



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0050261
(43) 공개일자 2024년04월18일

(51) 국제특허분류(Int. Cl.)
G11C 11/16 (2006.01) G06F 7/498 (2006.01)
(52) CPC특허분류
G11C 11/1673 (2013.01)
G06F 7/4983 (2013.01)
(21) 출원번호 10-2023-0108470
(22) 출원일자 2023년08월18일
심사청구일자 2023년08월18일
(30) 우선권주장
1020220129402 2022년10월11일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
박중선
서울특별시 서초구 신반포로 32
장윤호
광주광역시 서구 하남대로680번길 10(동천동, 호반베르디움)
(74) 대리인
특허법인주연케이알피

전체 청구항 수 : 총 10 항

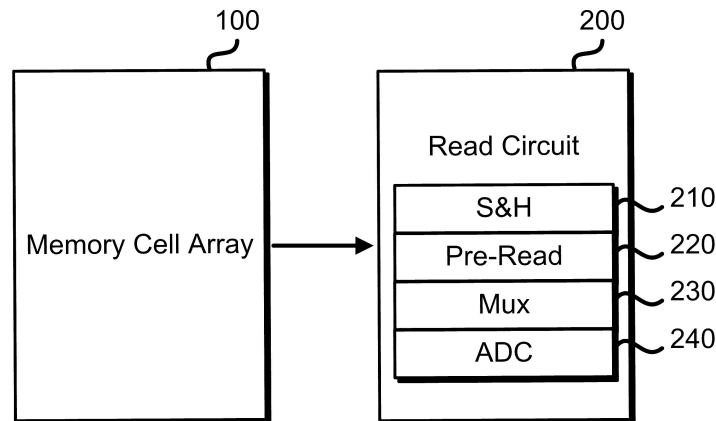
(54) 발명의 명칭 SOT 소자에 기반한 인 메모리 컴퓨팅 및 그 동작 방법

(57) 요약

본 발명은 인 메모리 컴퓨팅에 관한 것이다. 본 발명의 일 실시 예에 따른 인 메모리 컴퓨팅은 로우(Row) 라인을 통해 인가되는 입력 신호들과 각각의 가중치를 가지는 저항을 MAC(Multiply And Accumulation) 연산하여 각각의 독출 전류를 생성하고, 상기 독출 전류를 칼럼(Column) 라인 별로 합하여 전압을 출력하는 메모리 셀 어레이; 및 상기 전압을 입력 받아 디지털 신호를 출력하는 독출 회로를 포함하고, 상기 독출 회로는: 적어도 하나 이상의 SOT(Spin Orbit Torque) 소자를 통해 전류 합의 크기에 따라 스위칭 전류 범위를 특정하는 프리-리드(Pre-Read) 회로; 상기 SOT 소자의 개수에 따라 생성되는 복수개의 상기 스위칭 전류 범위 중 어느 하나를 선택하는 맥스단; 및 상기 맥스단으로부터 선택된 상기 스위칭 전류 범위에 따라 상기 디지털 신호를 출력하는 아날로그-디지털 컨버터를 포함할 수 있다.

대표도 - 도1

10



이 발명을 지원한 국가연구개발사업

과제고유번호	1711154560
과제번호	2020M3F3A2A01082591
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(R&D)
연구과제명	저전력 스핀토크 소자 기반 보안칩 개발
기 여 율	5/10
과제수행기관명	고려대학교 산학협력단
연구기간	2020.07.01 ~ 2023.06.30

이 발명을 지원한 국가연구개발사업

과제고유번호	1711175758
과제번호	2022M3H4A1A04096339
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	나노소재기술개발
연구과제명	비휘발성 임베디드 메모리용 스핀스와핑 기반 스핀토크소재 개발
기 여 율	5/10
과제수행기관명	고려대학교 산학협력단
연구기간	2022.10.01 ~ 2027.06.30

명세서

청구범위

청구항 1

로우(Row) 라인을 통해 인가되는 입력 신호들과 각각의 가중치를 가지는 저항을 MAC(Multiply And Accumulation) 연산하여 각각의 독출 전류를 생성하고, 상기 독출 전류를 칼럼(Column) 라인 별로 합하여 전압을 출력하는 메모리 셀 어레이; 및

상기 전압을 입력 받아 디지털 신호를 출력하는 독출 회로를 포함하고,

상기 독출 회로는:

적어도 하나 이상의 SOT(Spin Orbit Torque) 소자를 통해 전류 합의 크기에 따라 스위칭 전류 범위를 특징하는 프리-리드(Pre-Read) 회로;

상기 SOT 소자의 개수에 따라 생성되는 복수개의 상기 스위칭 전류 범위 중 어느 하나를 선택하는 맥스단; 및

상기 맥스단으로부터 선택된 상기 스위칭 전류 범위에 따라 상기 디지털 신호를 출력하는 아날로그-디지털 컨버터를 포함하는 인 메모리 컴퓨팅.

청구항 2

제1항에 있어서,

상기 인 메모리 컴퓨팅은,

상기 전압을 샘플링하는 샘플/홀드 회로를 더 포함하는 인 메모리 컴퓨팅.

청구항 3

제1항에 있어서,

상기 프리-리드 회로는,

리셋 신호를 수신하여 상기 SOT 소자를 리셋하고, 상기 전류 합을 수신하여 상기 SOT 소자를 스위칭하고, 감지 신호를 수신하여 상기 SOT 소자의 스위칭을 감지하는 인 메모리 컴퓨팅.

청구항 4

제3항에 있어서,

상기 프리-리드 회로는,

상기 SOT 소자의 스위칭을 감지하여 스위칭 확률(Switching Probability)이 천이되는 스위칭 전류 범위를 특징하는 인 메모리 컴퓨팅.

청구항 5

제1항에 있어서,

상기 맥스단은,

상기 칼럼 라인에 대응하는 복수의 프리-리드 회로 중 어느 하나를 선택하는 인 메모리 컴퓨팅.

청구항 6

인 메모리 컴퓨팅 동작 방법에 있어서,

로우(Row) 라인을 통해 인가되는 입력 신호들과 각각의 가중치를 가지는 저항을 MAC(Multiply And Accumulation) 연산하여 각각의 독출 전류를 생성하고, 상기 독출 전류를 칼럼(Column) 라인 별로 합하여 전압

을 출력하는 단계; 및

상기 전압을 입력 받아 디지털 신호를 출력하는 단계를 포함하고,

상기 디지털 신호를 출력하는 단계는:

적어도 하나 이상의 SOT(Spin Orbit Torque) 소자를 통해 전류 합의 크기에 따라 스위칭 전류 범위를 특정하는 단계;

상기 SOT 소자의 개수에 따라 생성되는 복수개의 상기 스위칭 전류 범위 중 어느 하나를 선택하는 단계; 및

상기 스위칭 전류 범위 중 어느 하나를 선택하는 단계로부터 선택된 상기 스위칭 전류 범위에 따라 상기 디지털 신호를 출력하는 단계를 포함하는 인 메모리 컴퓨팅 동작 방법.

청구항 7

제6항에 있어서,

상기 인 메모리 컴퓨팅 동작 방법은,

상기 전압을 샘플링하는 단계를 더 포함하는 인 메모리 컴퓨팅 동작 방법.

청구항 8

제6항에 있어서,

상기 스위칭 전류 범위를 특정하는 단계는,

리셋 신호를 수신하여 상기 SOT 소자를 리셋하고, 상기 전류 합을 수신하여 상기 SOT 소자를 스위칭하고, 감지 신호를 수신하여 상기 SOT 소자의 스위칭을 감지하는 인 메모리 컴퓨팅 동작 방법.

청구항 9

제8항에 있어서,

상기 스위칭 전류 범위를 특정하는 단계는,

상기 SOT 소자의 스위칭을 감지하여 스위칭 확률(Switching Probability)이 천이되는 스위칭 전류 범위를 특정하는 인 메모리 컴퓨팅 동작 방법.

청구항 10

제6항에 있어서,

상기 스위칭 전류 범위 중 어느 하나를 선택하는 단계는;

상기 칼럼 라인에 대응하는 복수의 프리-리드 회로 중 어느 하나를 선택하는 인 메모리 컴퓨팅 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 SOT 소자에 기반한 인 메모리 컴퓨팅 및 그 동작 방법에 관한 것이다.

배경 기술

[0002] 종래의 컴퓨터는 읽기/쓰기 동작을 지원하는 메모리와 데이터 연산을 지원하는 연산기가 분리되어 있어 메모리와 연산기 사이의 데이터 이동에서 발생하는 에너지 소모가 연산 자체에 사용되는 에너지 소모에 보다 매우 크다. 특히, 최신 어플리케이션에 주로 사용되는 인공 신경망의 곱셈-누적 연산은 막대한 양의 데이터를 필요로 하여 데이터 이동에서 일반적인 연산보다 더 많은 에너지가 소모된다. 이를 해결하기 위해 기존 읽기/쓰기 동작만이 가능한 메모리 안에 연산 동작을 추가하여 메모리와 연산기 간의 데이터 이동을 줄여주는 인 메모리 컴퓨팅(In-Memory Computing)이라는 메모리 기술이 개발되었다.

[0003] MRAM(Magnetoresistive Random Access Memory)는 인 메모리 컴퓨팅 기술에 사용될 수 있는 기술로서 메모리 내부에서의 아날로그-디지털 변환기(Analog-To-Digital Converter)를 통해 MAC(Multiply And Accumulation) 연산 결과 값을 디지털 값으로 변환할 수 있다. 하지만, 이러한 방식은 아날로그-디지털 변환기에서 소모하는 에너지가 크다는 문제점이 있어, 아날로그-디지털 변환기의 에너지 효율을 높이는 연구가 절실한 상황이다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 대한민국 공개특허 제 10-2021-0131099호

발명의 내용

해결하려는 과제

[0005] 본 발명은 상술한 과제를 해결하기 위한 것으로서, 본 발명의 목적은 SOT 소자에 기반한 인 메모리 컴퓨팅 및 그 동작 방법을 제공하는 데 있다.

과제의 해결 수단

[0006] 본 발명은 로우(Row) 라인을 통해 인가되는 입력 신호들과 각각의 가중치를 가지는 저항을 MAC(Multiply And Accumulation) 연산하여 각각의 독출 전류를 생성하고, 상기 독출 전류를 칼럼(Column) 라인 별로 합하여 전압을 출력하는 메모리 셀 어레이; 및 상기 전압을 입력 받아 디지털 신호를 출력하는 독출 회로를 포함하고, 상기 독출 회로는: 적어도 하나 이상의 SOT(Spin Orbit Torque) 소자를 통해 전류 합의 크기에 따라 스위칭 전류 범위를 특정하는 프리-리드(Pre-Read) 회로; 상기 SOT 소자의 개수에 따라 생성되는 복수개의 상기 스위칭 전류 범위 중 어느 하나를 선택하는 먹스단; 및 상기 먹스단으로부터 선택된 상기 스위칭 전류 범위에 따라 상기 디지털 신호를 출력하는 아날로그-디지털 컨버터를 포함할 수 있다.

[0007] 본 발명의 일 실시 예에 있어서, 상기 인 메모리 컴퓨팅은, 상기 전압을 샘플링하는 샘플/홀드 회로를 더 포함할 수 있다.

[0008] 본 발명의 일 실시 예에 있어서, 상기 프리-리드 회로는, 리셋 신호를 수신하여 상기 SOT 소자를 리셋하고, 상기 전류 합을 수신하여 상기 SOT 소자를 스위칭하고, 감지 신호를 수신하여 상기 SOT 소자의 스위칭을 감지할 수 있다.

[0009] 본 발명의 일 실시 예에 있어서, 상기 프리-리드 회로는, 상기 SOT 소자의 스위칭을 감지하여 스위칭 확률(Switching Probability)이 천이되는 스위칭 전류 범위를 특정할 수 있다.

[0010] 본 발명의 일 실시 예에 있어서, 상기 먹스단은, 상기 칼럼 라인에 대응하는 복수의 프리-리드 회로 중 어느 하나를 선택할 수 있다.

[0011] 본 발명은 인 메모리 컴퓨팅 동작 방법에 있어서, 로우(Row) 라인을 통해 인가되는 입력 신호들과 각각의 가중치를 가지는 저항을 MAC(Multiply And Accumulation) 연산하여 각각의 독출 전류를 생성하고, 상기 독출 전류를 칼럼(Column) 라인 별로 합하여 전압을 출력하는 단계; 및 상기 전압을 입력 받아 디지털 신호를 출력하는 단계를 포함하고, 상기 디지털 신호를 출력하는 단계는: 적어도 하나 이상의 SOT(Spin Orbit Torque) 소자를 통해 전류 합의 크기에 따라 스위칭 전류 범위를 특정하는 단계; 상기 SOT 소자의 개수에 따라 생성되는 복수개의 상기 스위칭 전류 범위 중 어느 하나를 선택하는 단계; 및 상기 스위칭 전류 범위 중 어느 하나를 선택하는 단계로부터 선택된 상기 스위칭 전류 범위에 따라 상기 디지털 신호를 출력하는 단계를 포함할 수 있다.

[0012] 본 발명의 일 실시 예에 있어서, 상기 인 메모리 컴퓨팅 동작 방법은, 상기 전압을 샘플링하는 단계를 더 포함할 수 있다.

[0013] 본 발명의 일 실시 예에 있어서, 상기 스위칭 전류 범위를 특정하는 단계는, 리셋 신호를 수신하여 상기 SOT 소자를 리셋하고, 상기 전류 합을 수신하여 상기 SOT 소자를 스위칭하고, 감지 신호를 수신하여 상기 SOT 소자의 스위칭을 감지할 수 있다.

[0014] 본 발명의 일 실시 예에 있어서, 상기 스위칭 전류 범위를 특정하는 단계는, 상기 SOT 소자의 스위칭을 감지하

여 스위칭 확률(Switching Probability)이 천이되는 스위칭 전류 범위를 특정할 수 있다.

[0015] 본 발명의 일 실시 예에 있어서, 상기 스위칭 전류 범위 중 어느 하나를 선택하는 단계는; 상기 칼럼 라인에 대응하는 복수의 프리-리드 회로 중 어느 하나를 선택할 수 있다.

발명의 효과

[0016] 본 발명에 따른 SOT 소자에 기반한 인 메모리 컴퓨팅은 전류의 크기에 따라 스위칭하는 SOT 소자의 특성을 이용하여 MAC 연산의 결과로 메모리에서 생성된 전류 크기의 범위를 관측하여 아날로그-디지털 컨버터의 해상도(resolution)를 감소시킬 수 있다. 이에 따라, 아날로그-디지털 컨버터에 소모되는 에너지를 감소시켜 전체적인 메모리 컴퓨팅 연산의 에너지 효율을 증가시킬 수 있다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 실시 예에 따른 인 메모리 컴퓨팅을 나타내는 블록도이다.

도 2는 본 발명의 실시 예에 따른 메모리 셀 어레이의 일 예를 보여주는 도면이다.

도 3은 본 발명의 실시 예에 따른 독출 회로를 나타내는 블록도이다.

도 4는 본 발명의 실시 예에 따른 프리-리드 회로의 일 예를 보여주는 회로도이다.

도 5는 본 발명의 실시 예에 따른 스위칭 전류 범위의 일 예를 보여주는 도면이다.

도 6은 본 발명의 실시 예에 따른 먹스단의 일 예를 보여주는 도면이다.

도 7a 및 도 7b는 본 발명의 실시 예에 따른 프리-리드 회로의 다른 일 예를 보여주는 도면이다.

도 8은 도 7에 따른 스위칭 전류 범위의 일 예를 보여주는 도면이다.

도 9은 본 발명의 실시 예에 따른 인 메모리 컴퓨팅의 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하에서, 본 발명의 기술 분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로, 본 발명의 실시 예들이 명확하고 상세하게 기재될 것이다.

[0019] 도 1은 본 발명의 실시 예에 따른 인 메모리 컴퓨팅을 나타내는 블록도이다.

[0020] 본 발명의 실시 예에 따른 인 메모리 컴퓨팅(In-Memory Computing, 10)은 메모리 장치에 구현될 수 있다. 예를 들어, 인 메모리 컴퓨팅(10)은 랩탑 컴퓨터(Laptop Computer), 데스크탑 컴퓨터(Desktop Computer), 노트북 컴퓨터(Notebook Computer), 태블릿 컴퓨터(Tablet Computer), 스마트 폰(Smart Phone), PDA(Personal Digital Assistants), 웨어러블 디바이스 등과 같은 다양한 장치의 인 메모리 컴퓨팅에 구현될 수 있다.

[0021] 도 1을 참조하여 좀더 자세히 설명하면, 본 발명의 실시 예에 따른 인 메모리 컴퓨팅(10)은 메모리 셀 어레이(Memory Cell Array, 100) 및 독출 회로(Read Circuit, 200)를 포함한다.

[0022] 메모리 셀 어레이(100)는 로우(Row) 라인을 통해 인가되는 입력 신호들과 각각의 가중치를 가지는 저항을 MAC(Multiply And Accumulation) 연산하여 각각의 독출 전류를 생성하고, 생성한 독출 전류를 칼럼(Column) 라인 별로 합하여 전류 합의 크기를 나타내는 전압을 출력할 수 있다. 다시 말해, 메모리 셀 어레이(100)는 자기 저항 메모리(Magnetic Random Access Memory)로서 입력 신호와 저항의 가중치를 MAC 연산하고, 칼럼 라인 별로 전류를 합산할 수 있다. 예를 들어, 메모리 셀 어레이(100)는 N개(여기서, N은 자연수)의 로우 라인과 M개(여기서, M은 자연수)의 칼럼 라인으로 구현되는 크로스바 구조를 포함하고 있으며, 각 셀마다 각각의 가중치를 가지는 저항을 포함할 수 있다. 보다 자세한 설명은 이하 도 2에서 설명할 것이다.

[0023] 독출 회로(200)는 메모리 셀 어레이(100)로부터 전압을 입력 받아 디지털 신호를 출력할 수 있다. 이를 위해, 독출 회로(200)는 샘플/홀드 회로(210), 프리-리드(Pre-Read) 회로(220), 먹스단(230) 및 아날로그-디지털 컨버터(240)를 포함한다.

[0024] 샘플/홀드 회로(210)는 메모리 셀 어레이(100)로부터 전압을 입력 받아 전압을 샘플링할 수 있다.

[0025] 프리-리드 회로(220)는 적어도 하나 이상의 SOT(Spin Orbit Torque) 소자를 통해 전류 합의 크기에 따라 스위칭

전류 범위를 특정할 수 있다. 예를 들어, 프리-리드 회로(220)는 리셋 신호를 수신하여 SOT를 리셋하고, 전류 합을 수신하여 SOT를 스위칭하고, 감지 신호를 수신하여 SOT의 스위칭을 감지할 수 있다. 이에 따라, 프리-리드 회로(220)는 SOT 소자의 스위칭을 감지하여 스위칭 확률(Switching Probability)이 천이되는 스위칭 전류 범위를 특정할 수 있다.

[0026] 맥스단(230)은 프리-리드 회로(220)의 SOT 소자 개수에 따라 생성되는 복수개의 스위칭 전류 범위 중 어느 하나를 선택할 수 있다. 예를 들어, 맥스단(230)은 프리-리드 회로(220)의 SOT 소자 개수에 대응되는 복수의 스위칭 전류 범위를 포함하고, 프리-리드 회로(220)에서 특정된 스위칭 전류 범위에 따라 기 설정된 복수의 스위칭 전류 범위 중 어느 하나를 선택할 수 있다. 또한, 맥스단(230)은 칼럼 라인에 대응하는 복수의 프리-리드 회로(220) 중 어느 하나를 선택할 수 있다.

[0027] 아날로그-디지털 컨버터(240)는 맥스단(230)으로부터 선택된 어느 하나의 스위칭 전류 범위에 따라 디지털 신호를 출력할 수 있다. 본 발명의 일 실시 예에 따른 아날로그-디지털 컨버터(240)는 병렬 비교형 아날로그-디지털 컨버터(Flash ADC)로 구현될 수 있으나, 이에 한정되는 것은 아니다.

[0028] 이상에서 상술한 바와 같이, 본 발명의 실시 예에 따른 인 메모리 컴퓨팅(10)은 전류의 크기에 따라 스위칭하는 SOT 소자의 특성을 이용하여 전류 크기의 범위를 특정할 수 있다. 이에 따라, 아날로그-디지털 컨버터(240)는 특정 범위만을 판독하여 소모되는 에너지를 감소시킬 수 있다.

[0030] 도 2는 본 발명의 실시 예에 따른 메모리 셀 어레이의 일 예를 보여주는 도면이다.

[0031] 도 2를 참조하면, 메모리 셀 어레이(100)는 복수의 로우 라인들($WL_1, WL_2, WL_3, \dots, WL_N$) 및 복수의 칼럼 라인들($BL_1, BL_2, BL_3, \dots, BL_M$)이 교차하는 영역에 배치되는 복수의 저항성 메모리 셀들(RMC)을 포함할 수 있다. 복수의 저항성 메모리 셀들(RMC) 각각은 저항성 소자(R)를 포함할 수 있으며, 복수의 로우 라인들($WL_1, WL_2, WL_3, \dots, WL_N$) 및 복수의 칼럼 라인들($BL_1, BL_2, BL_3, \dots, BL_M$) 중 하나와 연결될 수 있다.

[0032] 저항성 소자(R)는 복수의 로우 라인들($WL_1, WL_2, WL_3, \dots, WL_N$) 및 복수의 칼럼 라인들($BL_1, BL_2, BL_3, \dots, BL_M$)을 통해 인가되는 입력 신호($X_0, X_1, X_2, \dots, X_N$)와 전류에 의해 저항 값이 변화할 수 있으며, 복수의 저항성 메모리 셀들(RMC)은 이러한 저항 변화에 의해 각각의 가중치를 가질 수 있다.

[0033] 메모리 셀 어레이(100)는 디지털-아날로그 컨버터(DAC)로부터 입력되는 입력 신호($X_0, X_1, X_2, \dots, X_N$)와 저항성 소자(R)의 가중치($W_{00}, W_{01}, W_{02}, \dots, W_{MN}$)를 MAC 연산하여 복수의 저항성 메모리 셀들(RMC) 각각의 독출 전류를 출력하고, 독출 전류를 칼럼 라인 별로 합하여 전류 합($Y_1, Y_2, Y_3, \dots, Y_M$)을 출력할 수 있다. 즉, 제1 칼럼 라인(BL_1)에서 출력되는 제1 전류 합(Y_1)은 $X_0W_{00} + X_1W_{01} + X_2W_{02} \dots + X_NW_{0N}$ 일 수 있다.

[0034] 이상에서 상술한 바와 같이, 메모리 셀 어레이(100)는 복수의 저항성 메모리 셀들(RMC)에서 출력되는 전류들을 칼럼 라인별로 합할 수 있다. 이에 따라, 메모리 셀 어레이(100)는 맥 연산을 수행할 수 있다.

[0036] 도 3은 본 발명의 실시 예에 따른 독출 회로를 나타내는 블록도이다. 샘플/홀드 회로(210)와 프리-리드 회로(220)의 개수는 메모리 셀 어레이(100)의 칼럼 라인과 대응하지만, 설명의 편의상 이하에서는 제1 내지 제3 칼럼 라인(BL_1, BL_2, BL_3)으로 제한하여 설명할 것이다.

[0037] 도 3을 참조하면, 독출 회로(200)는 제1 내지 제3 칼럼 라인(BL_1, BL_2, BL_3)에 대응하는 복수의 샘플/홀드 회로(210)와 복수의 프리-리드 회로(220)를 포함할 수 있다. 예를 들어, 제1 샘플/홀드 회로(210_1)는 메모리 셀 어레이(100)로부터 제1 전압(Y_1)을 입력 받아 제1 전류 합(Y_1)을 샘플링 하고, 제1 전류 합(Y_1)을 제1 프리-리드 회로(220_1)에 입력할 수 있다. 제1 프리-리드 회로(220_1)는 적어도 하나 이상의 SOT 소자를 통해 제1 전류 합(Y_1)의 크기에 따라 제1 스위칭 전류 범위를 특정할 수 있다.

[0038] 맥스단(230)은 프리-리드 회로(220)의 SOT 소자 개수에 대응되는 기 설정된 복수의 스위칭 전류 범위 중 어느 하나를 프리-리드 회로(220)의 스위칭 전류 범위에 따라 선택하여 아날로그-디지털 컨버터(240)에 전달할 수 있

다.

- [0039] 이상에서 상술한 바와 같이, 독출 회로(200)는 프리-리드 회로(220)를 통해 스위칭 전류의 범위를 특정하여 아날로그-디지털 컨버터(240)의 해상도를 감소시킬 수 있다.
- [0041] 도 4는 본 발명의 실시 예에 따른 프리-리드 회로의 일 예를 보여주는 회로도이다.
- [0042] 도 4를 참조하면, 프리-리드 회로(220)는 제1 내지 제4 트랜지스터(TR1, TR2, TR3, TR4), 제1 및 제2 SOT 소자(221, 222) 및 로직 게이트(223)을 포함한다.
- [0043] 프리-리드 회로(220)는 리셋 신호(Re, Reb)에 따라 제1 및 제2 트랜지스터(TR1, TR2)를 턴온 또는 턴오프하여 제1 SOT 소자(221)를 리셋할 수 있다. 또한, 프리-리드 회로(220)는 동작 신호(En)에 따라 제3 트랜지스터(TR3)를 턴온하고, 제1 SOT 소자(221)에 칼럼 라인(BL)의 전류 합(Y)을 인가시켜 전류 합(Y)의 크기에 따라 제1 SOT 소자(221)를 스위칭할 수 있다. 또한, 프리-리드 회로(220)는 감지 신호(De)에 따라 제4 트랜지스터(TR4)를 턴온하여 제1 SOT 소자(221)의 스위칭을 감지할 수 있다. 제1 SOT 소자(221)가 스위칭할 경우, 프리-리드 회로(220)는 로직 게이트(223)를 통해 제1 SOT 소자(221)와 제2 SOT 소자(222)의 결과값을 이진수(Binary) 디지털 값으로 변환할 수 있다. 예를 들어, 제1 단계(Phase 1)에서, 프리-리드 회로(220)는 양의 전압(VDD)을 제2 내지 제4 트랜지스터(TR2, TR3, TR4)에 인가하고, 음의 전압(VSS)을 제1 트랜지스터(TR1)에 인가하여 SOT 소자(221)를 스위칭 할 수 있다. 제2 단계(Phase 2)에서, 프리-리드 회로(220)는 양의 전압(VDD)을 제1 및 제2 트랜지스터(TR1, TR2)에 인가하고, 음의 전압(VSS)을 제3 및 제4 트랜지스터(TR3, TR4)에 인가하여 SOT 소자(221)의 스위칭을 감지할 수 있다. 제3 단계(Phase 3)에서, 프리-리드 회로(220)는 양의 전압(VDD)을 제1 및 제4 트랜지스터(TR1, TR4)에 인가하고, 음의 전압(VSS)을 제2 및 제3 트랜지스터(TR2, TR3)에 인가하여 SOT 소자(221)를 리셋 할 수 있다.
- [0045] 도 5는 본 발명의 실시 예에 따른 스위칭 전류 범위의 일 예를 보여주는 도면이다.
- [0046] 도 5를 참조하면, 인 메모리 컴퓨팅(10)은 1개의 SOT 소자를 통해 전류의 크기에 따라 스위칭 확률이 천이되는 16개의 레벨을 감지하고, 스위칭 확률이 천이되는 스위칭 전류 범위를 특정할 수 있다. 예를 들어, 인 메모리 컴퓨팅(10)은 전류의 크기가 180uA인 상태에서 스위칭 확률이 천이 될 경우, 프리-리드 회로(220)는 스위칭 전류 범위를 특정하고, 맥스단(230)은 스위칭 전류 범위가 포함된 제1 범위(Value 0~9)를 선택하여 아날로그-디지털 컨버터(240)에 전달할 수 있다. 또한, 인 메모리 컴퓨팅(10)은 전류의 크기가 250uA인 상태에서 스위칭 확률이 천이 될 경우, 프리-리드 회로(220)는 스위칭 전류 범위를 특정하고, 맥스단(230)은 스위칭 전류 범위가 포함된 제2 범위(Value 7~16)를 선택하여 아날로그-디지털 컨버터(240)에 전달할 수 있다.
- [0047] 이상에서 상술한 바와 같이, 인 메모리 컴퓨팅(10)은 스위칭 전류의 범위를 특정하여 SOT 소자의 공정 변이(Process Variation)나 확률적 스위칭(Stochastic Switching)으로 인해 정확도가 감소되는 현상을 방지할 수 있다.
- [0049] 도 6은 본 발명의 실시 예에 따른 맥스단의 일 예를 보여주는 도면이다.
- [0050] 도 6을 참조하면, 맥스단(230)은 프리-리드 회로(220)에서 특정된 스위칭 전류 범위에 따라 기 설정된 복수의 스위칭 전류 범위 중 어느 하나를 선택할 수 있다. 이를 위해, 맥스단(230)은 제1 저항 래더(231), 제2 저항 래더(232) 및 맥스(233)를 포함한다.
- [0051] 제1 저항 래더(231)는 기 설정된 스위칭 전류 범위의 제1 범위를 포함하고 있으며, 제2 저항 래더(232)는 기 설정된 스위칭 전류 범위의 제2 범위를 포함하고 있다. 맥스(233)는 제1 저항 래더(231) 및 제2 저항 래더(232)와 연결되어 프리-리드 회로(220)로부터 특정된 스위칭 전류 범위의 특정 신호(RC)를 입력받아 제1 범위 또는 제2 범위를 선택하여 아날로그-디지털 컨버터(240)에 전달할 수 있다.
- [0052] 이에 따라, 인 메모리 컴퓨팅(10)은 전체의 스위칭 전류를 관측할 필요없이 기 설정된 범위만을 관측하여 아날로그-디지털 컨버터(240)의 에너지 효율을 높일 수 있다.

- [0054] 도 7a 및 도 7b는 본 발명의 실시 예에 따른 프리-리드 회로의 다른 일 예를 보여주는 도면이다. 구체적으로, 도 7a는 프리-리드 회로(220A)의 제1 단계를 보여주는 도면이고, 도 7b는 프리-리드 회로(220A)의 제2 단계를 보여주는 도면이다. 상술한 구성 이외의 도 7a 및 도 7b의 구성은 도 4의 구성과 유사하다. 따라서, 동일하거나 유사한 구성 요소는 동일하거나 유사한 참조 부호로 표시되며, 중복되는 설명은 이하 생략될 것이다. 또한, 도 7a 및 도 7b는 SOT 소자의 개수를 한정하고 있지만 이는 프리-리드 회로의 다른 일 예를 보여주는 것일 뿐 이에 한정되는 것은 아니다.
- [0055] 도 7a를 참조하면, 프리-리드 회로(220A)는 복수개의 스위치를 턴온 하여 각 SOT 소자의 서로 다른 전압(VMTJ1, VMTJ2, VMTJ3)을 인가할 수 있다. 또한, 프리-리드 회로(220A)는 각 SOT 소자를 스위칭 하는 제1 단계(Phase 1)를 수행할 수 있다.
- [0056] 도 7b를 참조하면, 프리-리드 회로(220A)는 복수개의 스위치를 턴오프 할 수 있으며 SOT 소자(221)의 스위칭 여부를 감지하는 제2 단계(Phase 2)를 수행할 수 있다.
- [0057] 보다 상세하게, 도 7a 및 도 7b의 프리-리드 회로(220A)는 복수개의 SOT 소자 및 복수개의 스위치를 더 포함하고 있으며, 각 SOT 소자의 치수(Dimension) 및 파라미터를 달리하여 전류 크기에 대한 스위칭 확률을 달리할 수 있다. 또한, 프리-리드 회로(220A)는 복수의 스위치를 턴온 또는 턴오프하여 각 SOT 소자의 서로 다른 전압(VMTJ1, VMTJ2, VMTJ3)을 가해 스위칭 전류를 조절할 수 있다. 이에 따라, 프리-리드 회로(220A)는 복수개의 SOT 소자를 이용하여 써모미터 코드(Thermometer Code)를 생성하고, 복수개의 논리 게이트와 LUT(Look Up Table)을 이용하여 복수개의 스위칭 전류 범위 중 스위칭 확률이 천이되는 어느 하나의 스위칭 전류 범위를 특정할 수 있으며, 특정된 어느 하나의 스위칭 전류 범위에 대한 이진 신호(RCO)를 출력할 수 있다. 즉, 프리-리드 회로(220A)는 전류 합(Y)을 수신한 경우, 프리-리드 회로(220A)는 복수개의 SOT 소자에서 특정 신호(R0[0:2])를 출력하고, 복수개의 논리 게이트와 LUT를 통해 이진 신호(RCO)를 출력할 수 있다.
- [0058] 이에 따라, 프리-리드 회로(220A)는 전류 합 크기의 범위를 더욱 좁혀 아날로그-디지털 컨버터(240)의 해상도를 더욱 감소시킬 수 있다.
- [0060] 도 8은 도 7에 따른 스위칭 전류 범위의 일 예를 보여주는 도면이다.
- [0061] 도 8을 참조하면, 도 7a 및 도 7b의 프리-리드 회로(220A)에 따른 인 메모리 컴퓨팅(10A)은 3개의 SOT 소자를 통해 전류의 크기에 따라 스위칭 확률이 천이되는 16개의 레벨을 감지하고, 스위칭 확률이 천이되는 스위칭 전류 범위를 더욱 좁힐 수 있다. 예를 들어, 인 메모리 컴퓨팅(10A)은 스위칭 전류의 범위를 제1 범위(Value 0~7), 제2 범위(Value 5~12) 및 제3 범위(Value 9~16)로 구분할 수 있다.
- [0063] 도 9은 본 발명의 실시 예에 따른 인 메모리 컴퓨팅의 순서도이다.
- [0064] 도 9을 참조하면, S110 단계에서, 메모리 셀 어레이(100)는 로우 라인을 통해 인가되는 입력 신호들과 각각의 가중치를 가지는 저항을 MAC 연산하여 각각의 독출 전류를 생성하고, 생성한 독출 전류를 칼럼 라인 별로 합하여 전압을 출력할 수 있다.
- [0065] S120 단계에서, 샘플/홀드 회로(210)는 전압을 입력 받아 샘플링하고, 전류 합(Y)을 프리-리드 회로(220)에 입력할 수 있다.
- [0066] S130 단계에서, 프리-리드 회로(220)는 SOT 소자를 통해 전류 합(Y)의 크기에 따라 스위칭 전류 범위를 특정할 수 있다.
- [0067] S140 단계에서, 맥스단(230)은 SOT 소자 개수에 따라 생성되는 복수개의 스위칭 전류 범위 중 어느 하나를 선택할 수 있다.
- [0068] S150 단계에서, 아날로그-디지털 컨버터(240)는 맥스단(230)으로부터 선택된 어느 하나의 스위칭 전류 범위에 따라 디지털 신호를 출력할 수 있다.
- [0069] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순히 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들

에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

[0070]

10 : 인 메모리 컴퓨팅

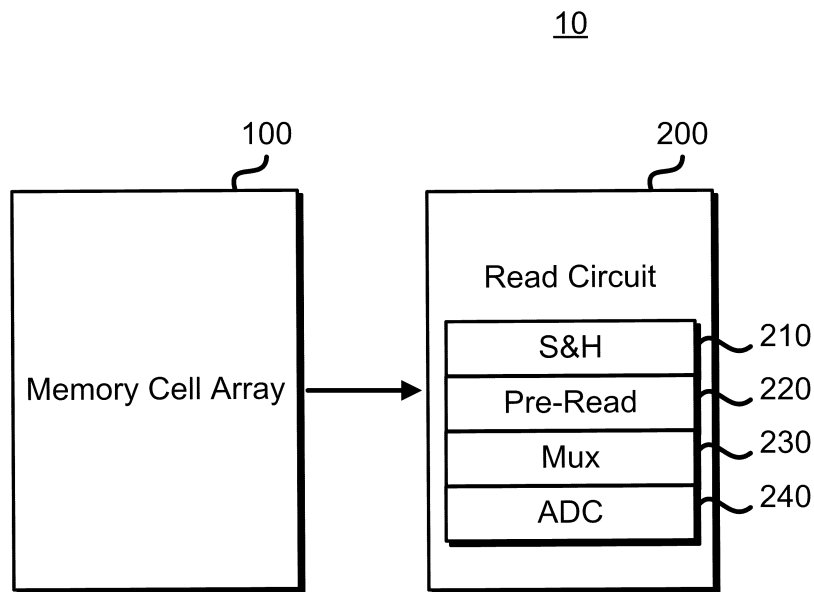
100 : 메모리 셀 어레이 220 : 프리-리드 회로

200 : 독출 회로 230 : 믹스단

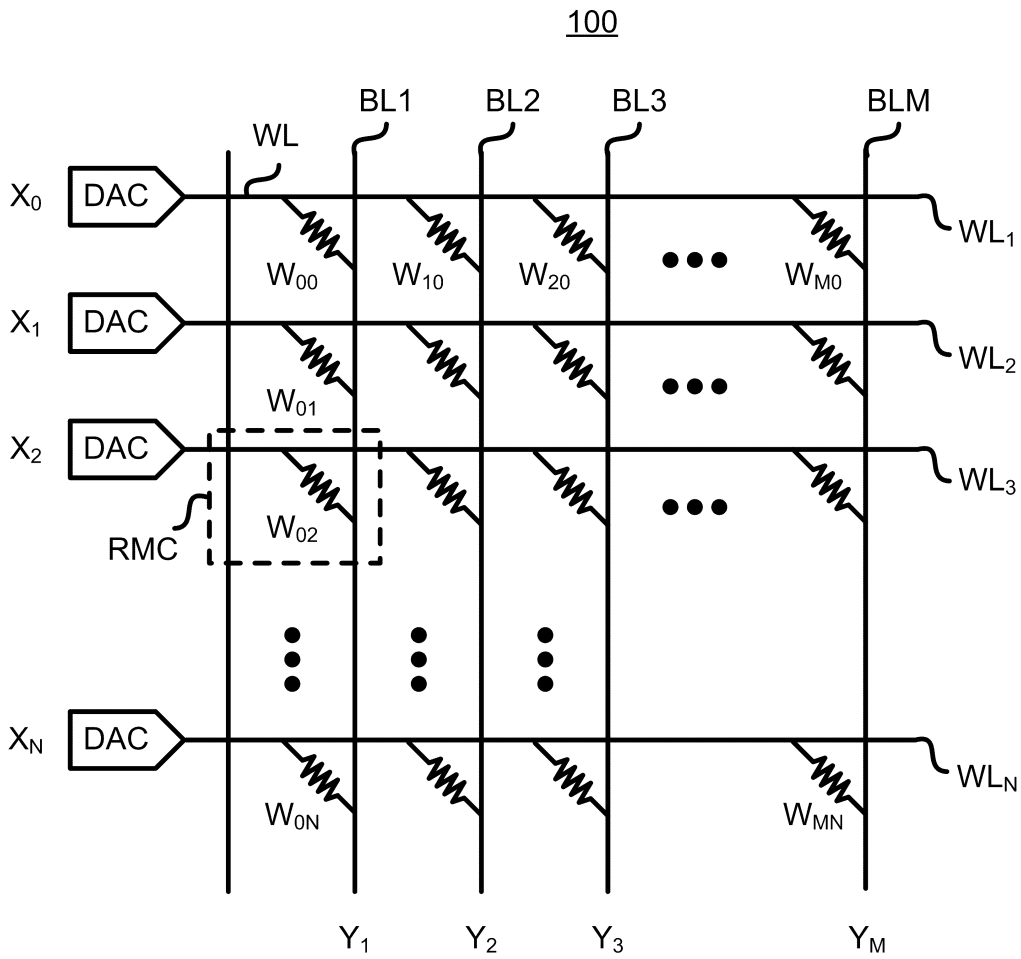
210 : 샘플/홀드 회로 240 : 아날로그-디지털 컨버터

도면

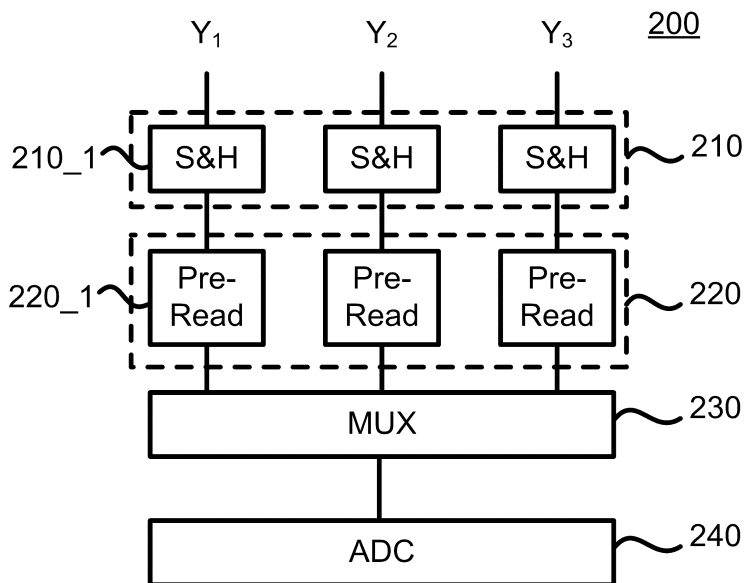
도면1



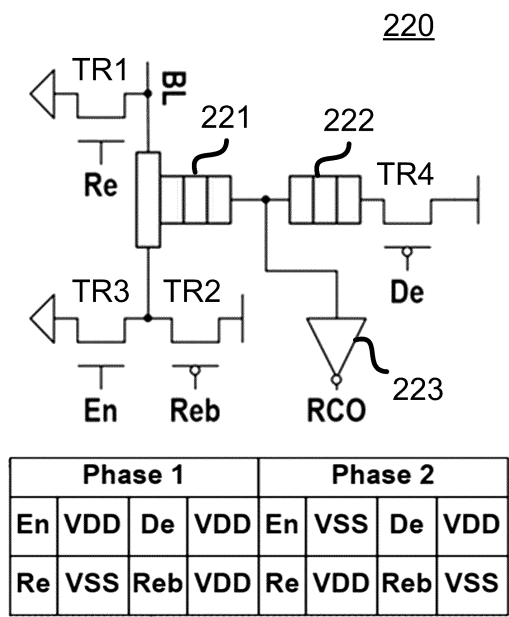
도면2



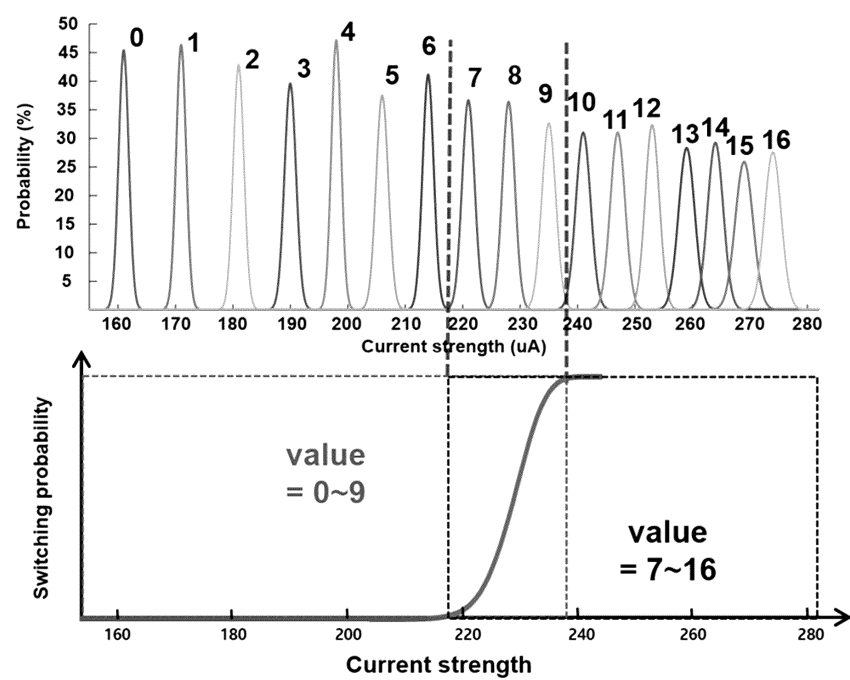
도면3



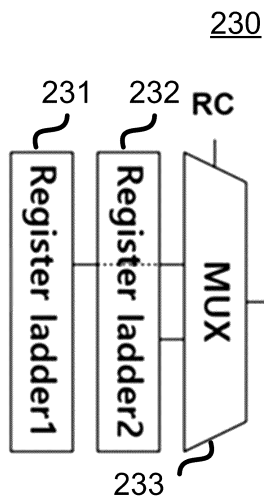
도면4



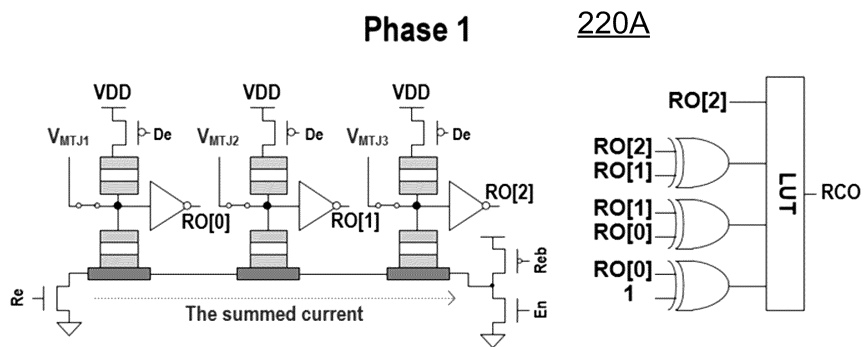
도면5



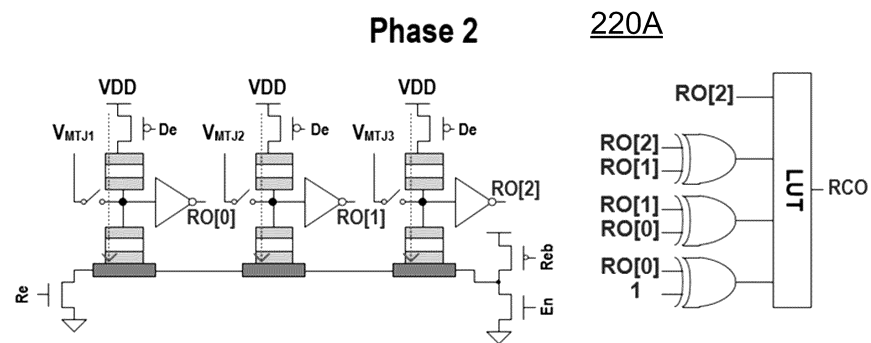
도면6



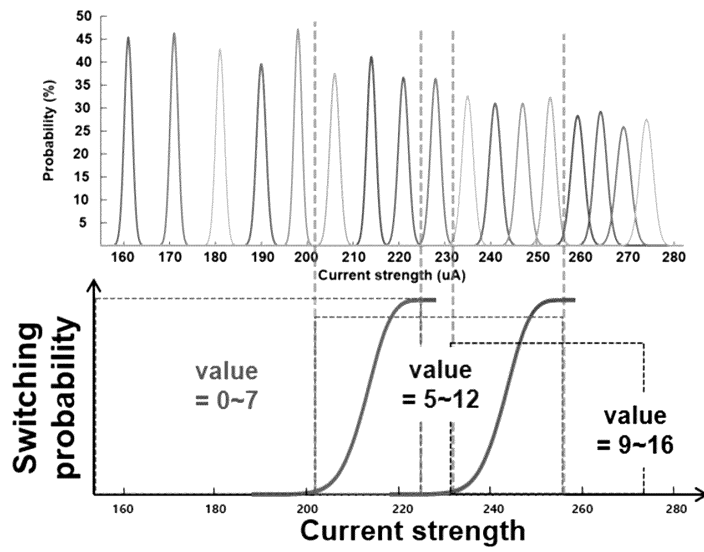
도면7a



도면7b



도면8



도면9

