

公告本

申請日期	90 年 1 月 19 日
案 號	90101346
類 別	H01L 27/486

A4
C4

(以上各欄由本局填註)

發明專利說明書 479370

一、發明 名稱	中 文	半導體裝置及其製造方法
	英 文	Semiconductor device and method of producing the same
二、發明 人	姓 名	(1) 坂間光範 (2) 石丸典子 (3) 三輪昌彦
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內 (2) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內 (3) 日本國大阪府大阪市阿倍野區長池町二二番二 二號 夏普股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所 (2) 夏普股份有限公司 シャープ株式会社
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八番地 (2) 日本國大阪府大阪市阿倍野區長池町二二番二 二
	代 表 人 姓 名	(1) 山崎舜平 (2) 町田勝彦

裝

訂

線

申請日期	90 年 1 月 19 日
案 號	90101346
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 新 型		
一、發明 名稱 新型	中 文	
	英 文	
二、發明人 創作	姓 名	(4) 岩井道記
	國 籍	(4) 日本
	住、居所	(4) 日本國大阪府大阪市阿倍野區長池町二二番二 二號 夏普股份有限公司內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝
訂
線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000 年 1 月 31 日 2000-022022 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

1, 發明領域

本發明係關於一種半導體裝置，其具有由薄膜電晶體(TFT)所構成之電路，和半導體裝置之製造方法。更特別而言，本發明係關於一種電光學裝置，其以具有例如一圖素部份和形成在相同基底上之一驅動電路部份之主動矩陣型液晶顯示裝置表示，和關於安裝有上述電光學裝置當成一部份之電子裝置。

在本說明書中，半導體裝置表示一般使用半導體特性工作之裝置。由使用薄膜電晶體形成之主動矩陣型液晶顯示裝置表示之電光學裝置，安裝此電光學裝置當成一部份之電子裝置，和半導體電路皆為半導體裝置。

2, 相關技藝之說明

已有藉由使用形成在例如玻璃之絕緣基底上之半導體薄膜而發展出之薄膜電晶體(TFT)。關於半導體薄膜之材料方面，可使用以雷射退火方法或熱退火方法使非晶矽膜結晶而形成之結晶矽膜或非晶矽膜。在這些膜中，由於使用多晶矽膜當成主動層之TFT因為其高程度的電場移動率而表現高電流驅動性，因此可精細的加工，且可增加在圖素部份中之數值孔洞。

此種TFT已廣泛的應用至如IC和電光學裝置之電子裝置，且使用例如當成在主動矩陣型顯示裝置中之圖素開關元件或驅動電路。關於TFT基底方面，典型的使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

玻璃基底如鋇硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃。玻璃基底之抗熱性比石英基底差，但是其優點為可輕易且便宜生產大面積基底以廉價的達成大螢幕顯示裝置。

如鋇硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃之玻璃基底包含如鈉(Na)之鹼金族元素之少量雜質，而TF T之電特性會因為從玻璃基底穿透入主動層之雜質離子而改變。為了防止在電特性上之改變，在形成有TF T之玻璃基底之表面上形成包含有氧化矽膜，氮化矽膜，或氮氧化矽膜之底膜(阻止層)。

已知如果使用包含氮化矽膜在基底之一側和氧化矽膜在主動層之一側之疊層膜當成一底膜時，TF T之特性可有效的穩定。

在頂閘TF T之例中，由於通道形成區域與底膜接觸，TF T特性會由底膜之品質顯著影響。

當一電壓應用至TF T之閘電極時，一電場形成在主動層中且在玻璃基底中之雜質離子被拉向主動層側。因此，根據底膜之品質，雜質離子經由底膜進入主動層或進入閘極絕緣層，且TF T之電特性因此而改變，而破壞了可靠性。

當成底膜之氮化矽膜所展現之優點為其具有阻擋雜質離子之顯著效果，但是其缺點為具有大的陷波位準而影響TF T特性。此外，氮化矽膜會產生大的內部應力和引起相對於主動層之介面上之扭曲，導致在TF T特性上之破壞，如 V_{th} (臨界電壓)之負移位和S值(副臨界常數

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

)之增加。再者，當成底膜之氧化矽膜之優點為其具有比氮化矽膜更寬的帶隙，高的絕緣特性和低的陷波位準，但是，其缺點為其會輕易的吸收水份和阻擋雜質離子之效果較差。氮氧化矽膜展現之特性會因為在膜中之氮濃度和氧濃度而有所不同。因此，為了增強阻擋雜質離子之效果，此膜必須藉由增加膜中之氮濃度而形成。但是，在氮氧化矽膜中之氮濃度增加會導致如氮化矽膜相同之缺點。

再者，當含大量固定電荷之膜，如底膜，接觸主動層時，在介於底膜和主動層間之介面上會形成一陷波位準，如此會導致T F T特性受到破壞。一般而言，固定電荷會隨著在膜中之氮濃度之增加而增加。

當氮化矽膜和氧化矽膜互相疊層時，由於它們以不同元素構成，因此需要特殊的膜形成室。在此例中，由於基底在傳送時需要冷卻，膜形成室之溫度會降低。因此，需要預熱以使基底之溫度不會降低。此預熱時間會使處理時間增加。

發明概要

本發明係關於用以解決上述問題之技術，且提供一種底膜以幫助穩定T F T之特性，改善可靠度，和優良的生產，以及其製造方法。

為了解決上述之問題，依照本發明，氮氧化矽膜以電漿C V D法使用 SiH_4 ， N_2O ，和 H_2 形成，且此膜使用當成T F T之底膜。此氮氧化矽膜之特性主要藉由改變

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

N_2O 和 H_2 之流率而控制。在增加 H_2 流率下，在膜中之氫濃度和氮濃度增加。再者，在增加 N_2O 流率下，在膜中之氫濃度和氮濃度降低，且氧濃度增加。另一方面，即使只有 N_2 和 N_2O 氣流比例改變時，矽之濃度幾乎未改變。當連續的改變於此之組成，可形成氮氧化矽膜在基底之一側，此氮氧化矽膜具有之組成可展現之特性為具有氮化矽膜之優點，和形成氮氧化矽膜在主動層之側上，此氮氧化矽膜具有之組成可展現之特性為具有氧化矽膜之優點，藉以形成可同時兼具氮化矽膜和氧化矽膜之優點之良好品質之底膜。展現上述特性之氮氧化矽膜可藉由簡單的改變氣流率比例以相同的膜形成方法形成，且可在相同膜形成室中形成，以有助於增加生產率。

更具體而言，於此之氮氧化矽膜形成 SiH_4 ， N_2O ，和 H_2 之流率比例為 $X_h = 0.5$ 至 5 ($X_h = H_2 / (SiH_4 + N_2O)$)， $X_g = 0.94$ 至 0.97 ($X_g = N_2O / (SiH_4 + N_2O)$)，和所形成之氮氧化矽膜之流率比率為 $X_h = 0$ ($X_h = H_2 / (SiH_4 + N_2O)$)， $X_g = 0.97$ 至 0.99 ($X_g = N_2O / (SiH_4 + N_2O)$)，這些氮氧化矽膜分離的使用。

在以電漿 CVD 法形成氮氧化矽膜時， H_2 添加至 SiH_4 和 N_2O 之混合氣體中以防止在氣相中（在反應空間中）由 SiH_4 之分解而形成之游離基之聚合，和消除顆粒之形成。再者，在膜成長之表面上，過多的氫無法由膜所吸收，此乃因為在表面上由氫基所吸收之氫牽引反應而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

引起的。此種動作極相關於當膜沉積時之基底溫度，亦即，此動作乃由設定基底溫度為 300°C 至 400°C ，且最好為 400°C 而獲得。結果，可形成具有較少缺陷密度之緊密膜，和在膜中少量的氫可有效的作用以緩和晶格應變。爲了藉由分解氫而高密度產生氫游離基，在高電源頻率 13.56MHz 至 120MHz ，且最好為 27MHz 至 60MHz 上，和放電密度為 $0.1\text{W}/\text{cm}^2$ 至 $1\text{W}/\text{cm}^2$ ，產生赤熱放電。

在使用上述準備條件下，本發明所應用之氮氧化矽膜具有氮濃度 0.5 至 10 原子百分比，氫濃度 0.5 至 5 原子百分比，和氧濃度 50 至 70 原子百分比。

本發明之特徵在於在以氮氧化矽膜形成TFE之底膜中，在底膜中之組成根據在基底側和在主動層側上而不同，和在膜中之前者側之氮濃度和氫濃度設定成相當高和氧濃度設定成相當低。

例如，和基底接觸之底膜之第一層以具有氮濃度 7 至 10 原子百分比，氫濃度 2 至 3 原子百分比，和氧濃度 52 至 55 原子百分比之氮氧化矽膜製成，和與主動層接觸之第二層由具有氮濃度 1 至 2 原子百分比，氫濃度 0.5 至 2 原子百分比，和氧濃度 62 至 65 原子百分比之氮氧化矽膜製成，以形成步階梯度濃度。或者，於此未存在有如上述介於第一層和第二層間之顯著差異，但是，替代的，其組成可連續改變。

氮氧化矽膜藉由使用由電容耦合型平行平板構成之電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (6)

漿裝置而形成。亦可使用利用如電子迴旋諧振之磁場能量之感應耦合型或電漿 C V D 裝置。氮氧化矽膜之組成可藉由使用 SiH_4 和 N_2O 氣體和添加 H_2 而改變。電漿之形成在 10 Pa 至 133 Pa 之壓力下 (最好為 20 Pa 至 40 Pa)，以 0.2 W/cm^2 至 1 W/cm^2 之高頻功率密度 (最好為 0.3 W/cm^2 至 0.5 W/cm^2)，在 200°C 至 450°C 之基底溫度上 (最好為 300°C 至 400°C)，和 10 MHz 至 120 MHz 之高頻電源振盪頻率 (最好為 27 MHz 至 60 MHz)。

表一為三種準備條件。條件 # 210 用以從 SiH_4 和 N_2O 形成氮氧化矽膜。條件 # 211 和 # 212 分別為當 H_2 添加至 SiH_4 和 N_2O 時和其中 H_2 之流率改變。在此說明書中，以 SiH_4 和 N_2O 形成之氮氧化矽膜表示成氮氧化矽膜 (A)，以 SiH_4 ， N_2O ，和 H_2 形成之氮氧化矽膜表示成氮氧化矽膜 (B)。氮氧化矽膜 (A) 以 SiH_4 ， N_2O ，和 H_2 形成之流率比例為 $X_h = 0$ ($X_h = \text{H}_2 / (\text{SiH}_4 + \text{N}_2\text{O})$) 和 $X_g = 0.97$ 至 0.99 ($X_g = \text{N}_2\text{O} / (\text{SiH}_4 + \text{N}_2\text{O})$)，和氮氧化矽膜 (B) 以 SiH_4 ， N_2O ，和 H_2 所形成之流率比率為 $X_h = 0.5$ 至 5 ($X_h = \text{H}_2 / (\text{SiH}_4 + \text{N}_2\text{O})$) 和 $X_g = 0.94$ 至 0.97 ($X_g = \text{N}_2\text{O} / (\text{SiH}_4 + \text{N}_2\text{O})$)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (7)

表 1

條件／樣本編號		# 2 1 0	# 2 1 1	# 2 1 2
電漿清潔	氣體 (sccm)	1 0 0	2 0 0	3 0 0
	O ₂	1 0 0	0	0
	壓力 (P a)	2 0	2 0	2 0
	高頻功率 (W / c m ²)	0 . 2	0 . 2	0 . 2
	處理時間 (minutes)	2	2	2
膜形成	氣體 (sccm)	4	5	5
	N ₂ O	4 0 0	1 2 0	1 2 0
	H ₂	0	5 0 0	1 2 5
	壓力 (P a)	2 0	2 0	2 0
	高頻功率 (W / c m ²)	0 . 4	0 . 4	0 . 4
處理時間 (°C)		4 0 0	4 0 0	4 0 0

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

參考表一，預先處理條件為導入200 SCCM氫氣，在20 Pa之壓力和 0.2 W/cm^2 之高頻功率下，作用2分鐘以產生電漿。以和上述相同方式進一步預先處理以進行生產電漿，但是導入100 SCCM氫氣和100 SCCM氧氣。雖然表中未顯示，此預先處理亦可在10 Pa至70 Pa之壓力下，以高頻功率密度 0.1 W/cm^2 至 0.5 W/cm^2 導入 N_2O 和 H_2 而進行數分鐘。在本預先處理中，所需的是基底保持在300至450℃上，且最好為400℃。此預先處理藉由暫時以氫吸收而使欲沉積之表面不活化而用以清潔基底之欲沉積表面和穩定後續沉積之氮氧化矽膜之介面特性。此預先處理進一步作用以藉由同時導入氧氣和 N_2O 而降低由氧化欲沉積之表面和其附近之介面位準。

具體而言，氮氧化矽膜(B)在條件#211下，藉由導入5 SCCM的 SiH_4 ，120 SCCM之 N_2O ，和500 SCCM之氫，以 0.4 W/cm^2 之高頻功率密度，在400℃之溫度下形成。電源之高頻為10至120 MHz，且最好為27至60 MHz，但是於此設定為60 MHz。在條件#212中，膜之形成與條件#211不同的是，其導入氫氣之流率為125 SCCM。氣體之流率並未特定其絕對值，而是在於其流率比例。當 $X_h = [\text{H}_2] / ([\text{SiH}_4] + [\text{N}_2\text{O}])$ 時， X_h 為0.1至7。當 $X_g = [\text{N}_2\text{O}] / ([\text{SiH}_4] + [\text{N}_2\text{O}])$ 時， X_g 為0.90至0.99。氮氧化矽

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

膜(A) 在條件# 2 1 0 下形成。

表二為在上述條件下所獲得之氮氧化矽膜之特性，以及從 Rutherford Backscattering Spectrometry (簡稱 R B S , 該系統使用 3 S - R 1 0 加速器，N E C 3 S D H 珠璣式靜電加速器端站；C E & A R B S - 4 0 0) 所發現之氫(H)，氮(N)，氧(O) 和矽(S i) 之密度和組成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

表 2

樣本編號		# 2 1 0	# 2 1 1	# 2 1 2
含量 (原子百分比)	H	1 . 6 ± 0 . 5	3 . 0 ± 0 . 5	2 . 0 ± 0 . 5
	N	1 . 5 ± 4	9 . 6 ± 4	7 . 9 ± 4
	O	6 3 . 5 ± 2	5 3 . 8 ± 2	5 6 . 4 ± 2
	S i	3 3 . 4 ± 2	3 3 . 6 ± 2	3 3 . 7 ± 2
組成比例	O / S i	1 . 9	1 . 6	1 . 6 7
	N / S i	0 . 0 9	0 . 1 8	0 . 1 4
密度 (原子 / c m ³)		6 . 5 3 × 1 0 ^{2 2}	7 . 1 6 × 1 0 ^{2 2}	7 . 1 1 × 1 0 ^{2 2}

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

從表二之結果可知，在形成膜時，當添加 H_2 時，在膜中之氮濃度增加。如此亦引起在氧和氮濃度含量之改變。在氮氧化矽膜 (A) 中，O 對 Si 之比例為 1 . 9 (容許範圍為 1 . 7 至 2)，和 N 對 Si 之比例為 0 . 0 4 (容許範圍為 0 . 0 2 至 0 . 0 6)。另一方面，氮氧化矽膜 (B) 之組成根據在膜形成時所添加之 H_2 之流率改變，且其中 O 對 Si 之比例為 1 . 6 (容許範圍為 1 . 4 至 1 . 8)，和 N 對 Si 之比例為 0 . 1 4 至 0 . 1 8 (容許範圍為 0 . 0 5 至 0 . 5)，O 對 Si 之比例降低，而 N 對 Si 之比例增加。

膜密度隨著氮含量之增加而增加，意即，從氮氧化矽膜 (A) 之 6 . 5 原子 / cm^3 增加至氮氧化矽膜 (B) 之 6 . 5 原子 / cm^3 。亦即，由於以含有 7 . 1 3 % 氟化氫氨 (NH_4HF_2) 和 1 5 . 4 % 氟化氨 (NH_4F) 之混合溶液 (商標名 L A L 5 0 0，由 Sterachemifa 公司所製造)，在 2 0 °C 下，對氮氧化矽膜 (A) 之蝕刻率為 1 2 0 nm / 分鐘和對氮氧化矽膜 (B) 之蝕刻率為 6 3 至 1 0 5 nm / 分鐘，膜會隨著氮濃度之增加而變密。因此，此事實表示密且硬的膜會有效的阻擋來自基底之雜質，且可提供氮氧化矽膜 (B) 在基底之側上。

當相較於內部應力下，在經由熱處理 (5 0 0 °C 下 1 小時 + 5 5 0 °C 下 4 小時，等效於在結晶步驟中之處理狀況)，氮氧化矽膜 (A) 之壓縮應力從 -4.26×10^8 Pa 顯著改變至 -7.29×10^6 Pa。另一方面，氮氧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

化矽膜 (B) 具有抗張應力 $2.31 \times 10^8 \text{ Pa}$ ，其即使經由熱處理亦幾乎未改變。由於熱處理在內部應力中之改變現象可視為相關於在膜之組成中之改變或構造改變，且可說明氮氧化矽膜 (B) 具有較佳熱穩定性。

前述說明氮氧化矽膜之典型特性。使用在本發明中當成絕緣膜之氮氧化矽膜並不限於如表一和表二所示者。氮氧化矽膜 (A) 具有之組成，亦即，適於當成以 T F T 表示之半導體裝置之底膜之絕緣膜，具有之組成包含 1 至 2 原子百分比之氮，0.5 至 2 原子百分比之氫，和 62 至 65 原子百分比之氧。氮氧化矽膜 (B) 具有之組成包含 7 至 10 原子百分比之氮，2 至 3 原子百分比之氫，和 52 至 55 原子百分比之氧。再者，氮氧化矽膜 (A) 具有之密度不小於 6×10^{22} ，但小於 7×10^{22} 原子 / cm^3 ，和氮氧化矽膜 (B) 具有之密度不小於 7×10^{22} ，但小於 8×10^{22} 原子 / cm^3 。以含有 7.13 % 氟化氫氨 (NH_4HF_2) 和 15.4 % 氟化氨 (NH_4F) 之混合溶液之蝕刻率對於氮氧化矽膜 (A) 為 110 至 130 nm / 分鐘，而對於氮氧化矽膜 (B) 為 60 至 110 nm / 分鐘。

圖式簡單說明

圖 1 A 至 1 C 為依照本發明之底膜之構成圖；

圖 2 A 和 2 B 為應用至本發明之電漿 C V D 裝置之構成圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

圖 3 為依照本發明之形成步驟圖 (第一實施例) ;

圖 4 A 至 4 C 為形成 A M - L C D 之步驟圖 (第二實施例) ;

圖 5 A 至 5 C 為形成 A M - L C D 之步驟圖 (第二實施例) ;

圖 6 為形成 A M - L C D 之步驟圖 (第二實施例) ;

圖 7 A 和 7 B 為形成 A M - L C D 之步驟圖 (第二實施例) ;

圖 8 為主動矩陣型液晶顯示裝置之構造之橫截面圖 (第二實施例) ;

圖 9 為 A M - L C D 之外觀圖 (第二實施例) ;

圖 1 0 為圖素部份之部份頂視圖 (第二實施例) ;

圖 1 1 A 和 1 1 B 為形成 A M - L C D 之步驟圖 (第三實施例) ;

圖 1 2 A 和 1 2 B 為形成 A M - L C D 之步驟圖 (第三實施例) ;

圖 1 3 A 和 1 3 B 為形成 A M - L C D 之步驟圖 (第四實施例) ;

圖 1 4 A 至 1 4 F 為電子裝置之例圖 (第五實施例) ;

圖 1 5 A 至 1 5 D 為電子裝置之例圖 (第五實施例) ;

圖 1 6 A 至 1 6 C 為電子裝置之例圖 (第五實施例) ; 和

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

圖 1 7 為製造裝置之圖 (第一實施例) 。

主要元件對照表

- 1 1 基底
- 1 2 底膜
- 1 3 半導體層
- 2 0 1 載入／釋載室
- 2 0 2 載送室
- 2 0 3 膜形成室
- 2 0 4 分隔閥
- 2 0 5 分隔閥
- 2 1 2 降低壓力機構
- 2 0 6 匣
- 2 0 7 基底
- 2 0 8 載送機構
- 2 0 9 電漿產生機構
- 2 1 0 基底加熱機構
- 2 1 1 氣體饋送機構
- 2 2 0 載入室
- 2 2 1 釋載室
- 2 2 2 共同室
- 2 2 3 - 2 2 5 反應室
- 2 3 6 , 2 3 8 基底
- 2 3 5 , 2 3 7 匣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (15)

- 2 3 3 載送機構
- 2 4 0 電漿產生機構
- 2 4 1 基底加熱機構
- 2 3 9 氣體饋送機構
- 2 3 0 - 2 3 2 分隔閥
- 2 4 2 降低壓力機構
- 1 7 1 1 基底載送室
- 1 7 1 2 , 1 7 1 3 載入鎖室
- 1 7 1 4 第一膜形成室
- 1 7 1 5 第二膜形成室
- 1 7 1 6 閘閥
- 3 0 1 基底
- 1 7 2 1 匣
- 1 7 2 0 機器臂
- 3 0 2 底膜
- 3 0 3 半導體膜
- 1 7 2 2 匣
- 1 0 1 絕緣基底
- 1 7 3 7 玻璃基底
- 1 0 4 主動層
- 1 0 3 p 通道 T F T
- 1 0 5 主動層
- 1 0 6 氣體絕緣膜
- 1 0 7 ~ 1 1 1 阻止光罩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (16)

- 1 1 7 第一導電層
- 1 1 8 - 1 2 3 阻止光罩
- 1 3 0 , 1 3 1 雜質區域
- 1 3 2 , 1 3 8 阻止光層
- 1 3 9 - 1 4 1 閘電極
- 1 4 2 電容電極
- 1 1 2 - 1 1 6 雜質區域
- 1 4 3 - 1 4 9 阻止光罩
- 1 5 1 , 1 5 2 雜質區域
- 1 5 0 , 1 5 3 , 1 5 4 雜質區域
- 1 5 5 第一中間層絕緣膜
- 1 5 6 - 1 5 8 源極電極
- 1 5 9 , 1 6 0 汲極電極
- 1 6 4 通道形成區域
- 1 6 7 , 1 6 8 第一雜質區域
- 1 6 5 , 1 6 6 第二雜質區域
- 1 6 2 , 1 6 3 第三雜質區域
- 1 6 1 通道形成區域
- 1 6 9 , 1 7 0 通道形成區域
- 1 7 1 ~ 1 7 6 雜質區域
- 1 7 7 雜質區域
- 1 7 8 被動膜
- 1 7 9 第二中間層絕緣膜
- 1 8 0 第三中間層絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (17)

- 1 8 1 圖 素 電 極
- 1 8 2 對 準 膜
- 1 8 3 基 底
- 1 8 4 導 電 膜
- 1 8 5 對 準 膜
- 9 0 1 圖 素 部 份
- 9 0 2 閘 極 線 驅 動 電 路
- 9 0 3 源 極 線 驅 動 電 路
- 9 0 4 邏 輯 電 路
- 9 0 5 閘 極 接 線
- 9 0 6 源 極 接 線
- 9 0 7 圖 素 電 極
- 9 0 8 儲 存 電 容
- 1 0 0 2 閘 極 電 極
- 1 0 0 1 下 層 半 導 體 層
- 1 0 0 7 儲 存 電 容
- 1 1 0 2 氮 氧 化 矽 膜
- 1 1 0 3 非 晶 矽 膜
- 1 1 0 4 含 鎳 層
- 1 1 0 5 結 晶 矽 膜
- 1 2 0 2 底 膜
- 1 2 0 1 玻 璃 基 底
- 1 2 0 3 非 晶 矽 膜
- 1 2 0 4 氧 化 矽 膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

- 1 2 0 5 開口
- 1 2 0 6 含 鎳 層
- 1 2 0 7 結 晶 矽 膜
- 1 7 3 7 基 底
- 1 3 0 2 底 膜
- 1 3 0 1 基 底
- 1 3 0 4 氧 化 矽 膜
- 1 3 0 3 結 晶 矽 膜
- 1 3 0 5 區 域
- 1 4 0 1 主 體
- 1 4 0 2 圖 像 輸 入 部 份
- 1 4 0 3 顯 示 單 元
- 1 4 0 4 鍵 盤
- 1 4 0 5 主 體
- 1 4 0 6 顯 示 單 元
- 1 4 0 7 聲 音 輸 入 單 元
- 1 4 0 8 操 作 開 關
- 1 4 0 9 電 池
- 1 4 1 0 圖 像 單 元
- 1 4 1 1 主 體
- 1 4 1 2 相 機 單 元
- 1 4 1 3 圖 像 單 元
- 1 4 1 4 操 作 開 關
- 1 4 1 5 顯 示 單 元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (19)

- 1 4 1 6 主 體
- 1 4 1 7 顯 示 單 元
- 1 4 1 8 臂 單 元
- 1 4 1 9 主 體
- 1 4 2 0 顯 示 單 元
- 1 4 2 1 揚 聲 器 單 元
- 1 4 2 2 記 錄 媒 體
- 1 4 2 3 操 作 開 關
- 1 4 2 4 主 體
- 1 4 2 5 顯 示 單 元
- 1 4 2 6 接 目 鏡
- 1 4 2 7 操 作 開 關
- 1 5 0 1 投 影 單 元
- 1 5 0 2 螢 幕
- 1 5 1 4 液 晶 顯 示 裝 置
- 1 5 0 3 主 體
- 1 5 0 4 投 影 單 元
- 1 5 0 5 鏡
- 1 5 0 6 螢 幕
- 1 5 0 7 光 源 光 學 系 統
- 1 5 0 8 , 1 5 1 0 , 1 5 1 2 鏡
- 1 5 0 9 分 色 鏡
- 1 5 1 7 稜 鏡
- 1 5 1 1 相 差 異 板

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (20)

- 1 5 1 9 光源
- 1 5 2 0 , 1 5 2 1 透鏡陣列
- 1 5 2 2 偏光 / 轉換元件
- 1 5 2 3 聚焦透鏡
- 1 6 0 1 主體
- 1 6 0 2 聲音輸出單元
- 1 6 0 3 聲音輸入單元
- 1 6 0 4 顯示單元
- 1 6 0 5 操作開關
- 1 6 0 6 天線
- 1 6 0 7 主體
- 1 6 0 8 顯示單元
- 1 6 0 9 儲存媒體
- 1 6 1 0 操作開關
- 1 6 1 1 天線
- 1 6 1 2 主體
- 1 6 1 3 支持板
- 1 6 1 4 顯示單元

較佳實施例之說明

以下說明依照本實施例形成適於以 T F T 表示之半導體裝置之底膜之方法。

以下說明應用氮氧化矽膜 (A) 和氮氧化矽膜 (B) 當成 T F T 之底膜之例。圖 1 A 為頂閘型 T F T 之構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

在基底 1 1 上形成一底膜 (亦稱為阻止層) 1 2 , 且一島形半導體層 1 3 形成在其上。島形半導體層可為非晶半導體材料或結晶半導體材料。底膜 1 2 形成以和島形半導體層 1 3 之下表面接觸。

底膜 1 2 構成其組成從氮氧化矽膜 (A) 向著氮氧化矽膜 (B) 連續或步階的改變。圖 1 B 和 1 C 為在氮氧化矽膜中之氫和氮之組成圖。此組成可為, 如圖 1 B 所示, 氮氧化矽膜 (B) 形成以接觸島形半導體層和氮氧化矽膜 (A) 形成在其上, 或如圖 1 C 所示, 此組成從島形半導體層之側從氮氧化矽膜 (B) 向著氮氧化矽膜 (A) 連續改變。

關於發生在圖 1 B 所示之疊層膜中之膜剝離問題, 如圖 1 C 所示之組成連續改變之膜沒有介面, 且因此, 不會有由建立在介面上之應力而引起之剝離之缺點。

如上所述, 氮氧化矽膜 (A) 和氮氧化矽膜 (B) 為疊層或其組成連續改變以穩定 T F T 性質。具體而言, 可防止 V t h 移位, 和此特性為熱穩定且不會改變。

圖 2 a 和 2 b 為藉由形成氮氧化矽膜 (A) 和氮氧化矽膜 (B) 而適於構成本發明之裝置。圖 2 a 所示之電漿 C V D 裝置包括一載入 / 釋載室 2 0 1 , 載送室 2 0 2 和膜形成室 2 0 3 。這些室以分隔閥 2 0 4 和 2 0 5 分離。安裝有真空泵等之降低壓力機構 2 1 2 (2 1 2 a 至 2 1 2 c) 連接至這些室。載入 / 釋載室 2 0 1 包含一基底 2 0 7 和一匣 2 0 6 以保持基底, 該基底而後以提供在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

載送室 2 0 2 中之載送機構 2 0 8 傳送至反應室 2 0 3 。反應室 2 0 3 包括電漿產生機構 2 0 9 ，基底加熱機構 2 1 0 ，和氣體饋送機構 2 1 1 。在反應室 2 0 3 中，使用赤熱放電之電漿形成膜。氣體饋送機構 2 1 1 饋送如 SiH_4 ， N_2O ， H_2 ，和 O_2 等氣體，並控制它們的流率。

反應室只由一室組成，但是氮氧化矽膜 (A) 和氮氧化矽膜 (B) 可藉由控制 SiH_4 ， N_2O ， H_2 之饋送量和控制高頻電功率和反應壓力而連續形成在相同反應室中。當基底為大尺寸時，可降低所安裝之地板面積，藉以節省空間。

圖 2 B 所示之裝置包括一載入室 2 2 0 ，一釋載室 2 2 1 和一共同室 2 2 2 。反應室 2 2 3 至 2 2 5 提供在共同室 2 2 2 中。載入室 2 2 0 和釋載室 2 2 1 包含基底 2 3 6 ， 2 3 8 ，和用以保持基底之匣 2 3 5 ， 2 3 7 ，且以分隔閥 2 2 6 ， 2 2 7 與共同室分離。來自載入室 2 2 0 而由載送機構 2 3 3 載送之基底可設定至任一反應室 2 2 3 至 2 2 5 。

反應室 2 2 3 至 2 2 5 提供有電漿產生機構 2 4 0 ，基底加熱機構 2 4 1 ，和氣體饋送機構 2 3 9 ，且其中使用赤熱放電之電漿形成膜。反應室具有分隔閥 2 3 0 a 至 2 3 2 a 和 2 3 0 b 至 2 3 2 b ，且其壓力由安裝有真空泵等之降低壓力機構 2 4 2 分離控制。因此，膜形成條件分離控制以沉積膜。或者，膜可在相關反應室中同時或平

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(23)

行形成以增進生產率。

由於可控制 SiH_4 , N_2O , H_2 之饋送率, 高頻電功率和反應壓力, 因此可在相同反應室中連續形成氮氧化矽膜(A)和(B), 且可獲得上述之雙層構造, 或藉由在膜形成時改變饋送氣體之速率而連續改變於此之組成。以此方式, 如圖2B所示之構造之裝置有助於增進生產率。

較佳實施例之詳細說明

〔第一實施例〕

以下參考圖3和17說明藉由使用本發明形成氮氧化矽膜和半導體膜(在此實施例中為結晶矽膜)之步驟。

本實施例使用一片一片型電漿CVD裝置(包括基底載送室1711, 載入鎖室1712和1713, 第一膜形成室1714, 第二膜形成室1715, 和閘閥1716至1719), 如圖17所示。

首先, 基底301設定在載入鎖室1712中之匣1721。關於基底301方面, 可使用鋇硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃, 如由Coning公司所產製之7059玻璃基底或#1731玻璃基底。此玻璃基底包含少量鹼金屬元素, 如鈉等。

而後, 基底301經由一機械臂1720引入第一膜形成室1714且加熱至約400℃。在引入第一膜形成室1714之前, 基底可經由一預先加熱室而加熱。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

而後，如圖 3 所示，底膜 3 0 2 形成當成一阻止層以防止來自基底 3 0 1 之鹼金屬元素和其它雜質之污染。在如表一所示之形成條件下，基底之介面以氮氧化矽膜 (B) 形成，且藉由使用大流量控制器控制 SiH_4 ， N_2O ， H_2 之流率，此組成可連續改變為氮氧化矽膜 (A) 之組成。包含大量氮之氮氧化矽膜 (B) 形成在基底之側上以防止雜質之擴散，如果該雜質從基底進入主動層時，和含有少量氮之氮氧化矽膜 (A) 形成在主動層之側上以保持相對於主動層之較佳介面狀態。圖 3 之虛線表示組成剛好為中介值之部份。此部份可在膜厚度之中央，或亦可靠近半導體層或基底。具體而言，膜之形成由首先饋以 5 S C C M 速率之 SiH_4 ，1 2 0 S C C M 速率之 N_2O 和 1 2 5 S C C M 速率之 H_2 ，在 $X_h = 1$ 下設定 $X_g = 0.96$ ，控制壓力為 2 0 P a，和供應 2 7 M H z，0.4 m W / c m² 之高頻功率，而開始。而後，考量膜形成速率下，在膜形成完成時， N_2O 之流率增加至 5 0 0 S C C M， H_2 之流率降低為 0 S C C M，和在 $X_h = 0$ 下設定 $X_g = 0.99$ 。 SiH_4 之流率控制為從 5 S C C M 至 4 S C C M，亦即，轉換至圖 3 之虛線部份上。因此所形成之底膜保持 1 5 0 n m 厚。底膜之厚度不限於此，而是可為 5 0 至 3 0 0 n m (最好為 8 0 至 1 5 0 n m)，和氮氧化矽膜 (A) 和 (B) 可疊層如上所述。於此所示之膜形成條件只是範例而已，且如果獲得如表二所示之組成下，並不需加上任何限制。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (25)

在形成底膜前進行之電漿清潔處理是有效的。電漿清潔處理進行2分鐘以形成一電漿在20 Pa壓力下， $0.2 \text{ W} / \text{cm}^2$ 之高頻功率下，而導入氬之速率為200 S C C M。或者，此電漿處理亦可相似的作用在40 Pa壓力下以100 S C C M之速率導入 H_2 和以100 S C C M之速率導入氧。或者，此處理亦可進行數分鐘以在10 Pa至70 Pa壓力下以0.1至 $0.5 \text{ W} / \text{cm}^2$ 之高頻功率導入 N_2O 和氬。基底溫度保持在300℃至450℃，且最好為400℃。在此步驟中，基底301之表面以電漿清潔以移除黏著之硼和磷，和移除如有機物質之污染物。

如此獲得氮氧化矽膜302，其中在膜中之N，O，H組成比例連續改變。氮氧化矽膜302在膜中具有一組成梯度，氮和氬的含量向著基底側上之介面連續增加。

而後，在第一膜形成室1714中之氣體抽空且比如 N_2 之惰性氣體替代，和基底經由基底載送室1711載送至第二膜形成室1715。

其次，半導體膜303形成在氮氧化矽膜302上並與之接觸。於此，非晶矽膜形成在第二膜形成室1715中。

於此，氮氧化矽膜302和半導體膜以相同膜形成方法形成。因此，兩膜連續的形成在相同室中。在連續形成這些膜時，氮氧化矽膜302之表面乃用以防止在載送時之污染，因此可抑制T F T特性之分散和抑制在臨界電壓

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (26)

中之改變。於此亦可縮短處理時間和增進生產率。

其次，形成有非晶矽膜之基底經由基底載送室 1 7 1 1 載送至載入鎖室 1 7 1 3，且設定在匣 1 7 2 2 中。

而後，氮氧化矽膜 3 0 2 和非晶半導體膜疊層之基底依照已知結晶技術結晶以形成結晶半導體膜。

在後續步驟中，T F T 可依照已知技術形成。

〔第二實施例〕

以下參考圖 4 A 至 1 0 說明本發明應用至主動矩陣型液晶顯示裝置之例，其中圖素矩陣電路和驅動電路整合形成在相同基底上。

圖 4 A 為一截面圖，其中參考數字 1 0 1 表示一絕緣基底，其可為 C o n i n g 公司之 1 7 3 7 玻璃基底。在玻璃基底上形成有氮氧化矽膜 1 0 2 和非晶半導體膜之疊層膜，其中 N，O，和 H 組成比例連續改變，以當成用以防止來自基底之雜質之擴散。疊層膜以上述第一實施例之方法形成，亦即，1 5 0 n m 厚之底膜和 5 0 n m 厚之非晶矽膜分別形成。

其次，雖然可根據氫含量改變，非晶矽膜以在 4 0 0 至 5 5 0 °C 下加熱數小時以除氫化，以結晶，藉以降低氫含量為不再大於 5 原子百分比。如此可防止膜之表面免於粗糙。當非晶矽膜以電漿 C V D 法，使用 S i H₄ 和 A r 當成反應氣體，保持基底溫度在 3 0 0 至 4 0 0 °C 而形成時

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

，在非晶矽膜中之氫濃度可抑制至不大於 5 原子百分比。
在此例中，不需要除氫化處理。

非晶矽膜可以已知雷射退火方法或熱退火方法結晶。
當使用雷射退火方法時，光源為脈衝振盪型或連續發光型準分子雷射或氬雷射。當使用脈衝振盪型準分子雷射時，雷射束形成線性光束以作用雷射退火。雷射退火條件可由執行退火者適當的選擇。例如，雷射脈衝振盪頻率為 30 Hz 和雷射功率密度為 $100 \text{ mJ} / \text{cm}^2$ (典型為 $300 \text{ mJ} / \text{cm}^2$ 至 $400 \text{ mJ} / \text{cm}^2$)。線性光束投影在基底之整個表面上。此時之線性束之重疊因數為 80 至 90 %。如此形成結晶半導體層。依照另一方法，可使用脈衝振盪型之 YAG 雷射。使用第二諧振 (532 nm) 至第三諧振，雷射脈衝振盪頻率選擇為 1 Hz 至 20000 Hz (最好為 10 Hz 至 10000 Hz)，且雷射功率密度選擇為 $200 \text{ mJ} / \text{cm}^2$ 至 $600 \text{ mJ} / \text{cm}^2$ (典型為 $300 \text{ mJ} / \text{cm}^2$ 至 $500 \text{ mJ} / \text{cm}^2$)。線性光束投影在基底之整個表面上。此時之線性束之重疊因數為 80 至 90 %。當使用第二諧振時，熱會均勻的傳送至半導體層，而雖然照射能量散佈至某種程度，亦可完成結晶。如此增加了在結晶中之加工邊界和降低散佈。此外，高脈衝頻率亦有助於增加產量。當使用熱退火方法時，此退火乃在氮氣中在約 600 至 660 °C 下使用退火爐執行。以此方式，當非晶半導體層結晶時，此原子乃再安排以變成更密。因此，所形成之結晶半導體層之厚度相較於初始

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

非晶半導體層之厚度降低約 1 % 至 1 5 % 。在此實施例中，脈衝振盪型之 K r F 準分子雷射束聚焦成一線性光束且投影至非矽膜以形成結晶矽膜。

所形成之結晶矽膜使用第一光罩定圖樣為島形且以乾蝕刻形成在驅動電路中之 p 通道 T F T 之主動層 1 0 3 ， n 通道 T F T 之主動層 1 0 4 ，和圖素 T F T 之主動層 1 0 5 。

在此實施例中，島形半導體層從非晶矽膜轉換為結晶矽膜。但是，亦可使用細結晶矽膜或直接形成結晶矽膜。

其次，主要包含氧化矽或氮化矽之閘極絕緣膜 1 0 6 形成以覆蓋島形半導體層 1 0 3 ， 1 0 4 ，和 1 0 5 。閘極絕緣膜 1 0 6 可為以電漿 C V D 法使用 N_2O 和 SiH_4 當成啓始材料，保持厚度為 1 0 n m 至 2 0 0 n m ，且最好為 5 0 n m 至 1 5 0 n m 而形成之氮氧化矽膜。於此，膜形成保持 1 0 0 n m 厚（圖 4 A ）。

而後，形成阻止光罩 1 0 7 ， 1 0 8 ， 1 0 9 ， 1 1 0 和 1 1 1 覆蓋半導體層 1 0 3 ，和使用第二光罩之半導體層 1 0 4 和 1 0 5 之通道形成區域。於此，阻止光罩 1 0 9 可形成在形成有接線之區域上。

而後，添加 n 型雜質元素以形成第二雜質區域。於此，第二雜質區域以離子摻雜法，使用磷化氫（ PH_3 ）形成。在此步驟中，加速電壓設定為 8 0 K e V 以添加磷經由閘極絕緣膜 1 0 6 至底層半導體層。添加至半導體層之磷濃度需要在 1×10^{16} 至 1×10^{19} 原子 / cm^3 ，且於

五、發明說明 (29)

此為 1×10^{18} 原子 / cm^3 。因此形成區域 1 1 2, 1 1 3, 1 1 4, 1 1 5, 和 1 1 6, 其中磷添加至半導體層。於此, 添加有磷之部份區域為作用當成 L D D 區域之第二雜質區域 (圖 4 B)。

而後, 移除阻止光罩, 和第一導電層 1 1 7 形成在整個表面上。第一導電層 1 1 7 為主要包含選自 Ta, Ti, Mo, W, Cr, 和 Al 之元素, 或矽或含磷之矽化物之導電材料之單層膜或疊層膜。於此可使用如 W Mo, Ta N, Mo Ta, W s i x ($2.4 < x < 2.7$) 之化合物。第一導電層 1 1 7 具有 1 0 0 至 1 0 0 0 nm 之厚度, 且最好為 1 5 0 至 4 0 0 nm。於此以濺鍍形成 Ta。(圖 4 C)。

其次, 使用第三光罩形成阻止光罩 1 1 8, 1 1 9, 1 2 0, 1 2 1, 1 2 2, 和 1 2 3。第三光罩乃用以形成 p 通道 T F T 之閘電極, C M O S 電路和圖素部份之閘極接線, 和閘極匯流排線。在後續步驟中形成 n 通道 T F T 之閘電極。因此, 阻止光罩 1 1 9 和 1 2 3 形成以使第一導電層 1 1 7 保留在半導體層 1 0 4 和 1 0 5 之整體表面上 (圖 5 A)。

第一導電層之不必要部份以乾蝕刻移除。Ta 以 CF_4 和 O_2 之混合氣體蝕刻。而後, 形成閘電極 1 2 4, 閘極接線 1 2 6, 1 2 8, 和閘極匯流排 1 2 7。

留下阻止光罩 1 1 8, 1 1 9, 1 2 0, 1 2 1, 1 2 2, 和 1 2 3, 和 p 型第三雜質元素乃添加至形成有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

p 通道 T F T 之半導體層 1 0 3 之部份。於此，以離子摻雜法，使用二硼化氫 (B_2H_6) 而添加硼當成雜質元素。硼以 8 0 K e V 之加速電壓，以 2×10^{20} 原子 / cm^3 之濃度添加。而後，如圖 5 A 所示，形成以高濃度添加硼之第三雜質區域 1 3 0 和 1 3 1。

在移除在圖 5 A 中形成之阻止光罩後，使用第四光罩新形成阻止光罩 1 3 2，1 3 3，1 3 4，1 3 5，1 3 6，1 3 7，和 1 3 8。第四光罩用以形成 n 通道 T F T 之閘電極，且於此以乾蝕刻形成閘電極 1 3 9，1 4 0，1 4 1 和電容電極 1 4 2。於此，閘電極 1 3 9，1 4 0，和 1 4 1 形成以重疊在第二雜質區域 1 1 2，1 1 3，1 1 4，1 1 5，和 1 1 6 之部份上 (圖 5 B)。

在移除阻止光罩後，新形成阻止光罩 1 4 3，1 4 4，1 4 5，1 4 6，1 4 7，1 4 8，和 1 4 9。阻止光罩 1 4 4，1 4 7，1 4 8 乃形成以覆蓋 n 通道 T F T 之閘電極 1 3 9，1 4 0，1 4 1，和覆蓋第二雜質區域之一部份。於此，阻止光罩 1 4 4，1 4 7，和 1 4 8 用以決定 L D D 區域之偏置量。

而後，藉由添加 n 型雜質元素而形成第一雜質區域。於此形成之第一雜質區域 1 5 1，1 5 2 當成源極區域，和第一雜質區域 1 5 0，1 5 3，和 1 5 4 當成汲極區域。於此，雜質元素使用磷化氫 (PH_3) 以離子摻雜法添加。加速電壓設為 8 0 K e V 以添加磷經由閘極絕緣膜

五、發明說明 (31)

1 0 6 至下層半導體層。在此區域之磷濃度高於添加第一雜質元素以授予 n 型之步驟中之濃度，且最好為 1×10^{19} 至 1×10^{21} 原子 / cm^3 ，於此設為 1×10^{20} 原子 / cm^3 (圖 5 C)。

在已完成至圖 5 C 之步驟後，第一中間層絕緣膜 1 5 5 形成在閘電極和在閘極絕緣膜上。第一中間層絕緣膜可由氧化矽膜，氮氧化矽膜，氮化矽膜，或其組成之疊層膜所形成。再者，第一中間層絕緣膜 1 5 5 亦可以無機絕緣材料形成。第一中間層絕緣膜 1 5 5 具有 1 0 0 至 2 0 0 nm 之厚度。於此，當使用氧化矽膜時，此膜乃以電漿 C V D 法，混合 T E O S 和 O_2 ，在 4 0 P a 之反應壓力下，保持基底在 3 0 0 至 4 0 0 $^{\circ}\text{C}$ 之溫度，和產生具有 0 . 5 W / cm^2 至 0 . 8 W / cm^2 之高頻 (1 3 . 5 6 M H z) 功率密度之電放電而形成。當使用氮氧化矽膜時，此膜可以電漿 C V D 法由 S i H ₄，N ₂ O，和 N H ₃ 形成，或可為以 S i H ₄ 和 N ₂ O 形成之氮氧化矽膜。在此例中之形成條件為反應壓力 2 0 至 2 0 0 P a，基底溫度 3 0 0 至 4 0 0 $^{\circ}\text{C}$ ，和高頻 (6 0 M H z) 功率密度為 0 . 1 至 1 . 0 W / cm^2 。或者，亦可使用以 S i H ₄，N ₂ O，和 H ₂ 形成之含氫氮氧化矽膜。此氮氧化矽膜可以電漿 C V D 法以 S i H ₄ 和 N H ₃ 相似的形成。

而後執行熱處理。此熱處理需要活化添加在相關濃度上之 n 型或 p 型雜質元素。當第一中間層絕緣膜為疊層膜時，形成下層之絕緣膜，且而後進行熱處理。此步驟可以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

使用電熱爐之熱退火，使用上述準分子雷射之雷射退火，或使用鹵素燈之快速熱退火 (R T A) 法進行。於此，以熱退火法作用活化。此熱處理在含氧為不大於 1 p p m 之濃度，且最好不大於 0 . 1 p p m 之氮氣中，在 4 0 0 至 7 0 0 ° C ，最好為 5 0 0 至 6 0 0 ° C 下，在此例中為 5 0 0 ° C 下進行 4 小時。

在以加熱活化步驟後，在含 3 至 1 0 0 % 氫之氣體中，在 3 0 0 至 4 5 0 ° C 下，進行熱處理 1 至 1 2 小時，以使島形半導體層氫化。此步驟乃在終止半導體層和熱激勵氫之懸垂鍵。關於另一氫化機構方面，亦可進行電漿氫化 (使用以電漿激勵之氫) 。在任一例中，所需的是，在半導體層中之缺陷密度不大於 $10^{16} / \text{cm}^3$ 。因此，氫可添加之濃度為約 0 . 0 1 至 0 . 1 原子百分比。

而後，第一中間層絕緣膜 1 5 5 定圖樣以形成 T F T 之源極區域和形成到達汲極區域之接觸孔。而後，形成源極電極 1 5 6 ， 1 5 7 ， 1 5 8 和汲極電極 1 5 9 ， 1 6 0 。在此實施例中，雖然圖中未顯示，可以濺鍍連續形成厚度 1 0 0 n m 之 T i 膜，厚度為 3 0 0 n m 之含 T i 之 A l 膜，和厚度 1 5 0 n m 之 T i 膜，且此三層膜定圖樣以使用當成電極。

經由上述步驟，於此可形成在 C M O S 電路之 n 通道 T F T 中之通道形成區域 1 6 4 ，第一雜質區域 1 6 7 ， 1 6 8 ，和第二雜質區域 1 6 5 ， 1 6 6 。於此，第二雜質區域包括重疊在閘電極上之區域 (G O L D 區域)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

1 6 5 a 和 1 6 6 a , 和未重疊在閘電極上之區域 (L D D 區域) 1 6 5 b 和 1 6 6 b 。第一雜質區域 1 6 7 作用當成源極區域 , 和第一雜質區域 1 6 8 作用當成汲極區域。

在 p 通道 T F T 中形成有通道形成區域 1 6 1 和第三雜質區域 1 6 2 和 1 6 3 。第三雜質區域 1 6 2 作用當成源極區域 , 和第三雜質區域 1 6 3 作用當成汲極區域。

在圖素部份中之 n 通道 T F T 具有多閘極構造且其中形成通道形成區域 1 6 9 , 1 7 0 , 第一雜質區域 1 7 5 , 1 7 6 , 和第二雜質區域 1 7 1 , 1 7 2 , 1 7 3 , 1 7 4 。第二雜質區域包括重疊在閘電極上之區域 1 7 1 a , 1 7 2 a , 1 7 3 a 和 1 7 4 a , 和不重疊之區域 1 7 1 b , 1 7 2 b , 1 7 3 b 和 1 7 4 b 。

因此 , 如圖 6 所示 , 在基底 1 0 1 上形成有一 C M O S 電路和一主動矩陣基底 , 其上形成有一圖素部份。在圖素部份之 n 通道 T F T 之汲極側上 , 以和第二雜質區域相同的濃度添加 n 型雜質元素之低濃度雜質區域 1 7 7 形成一儲存電容 , 同時形成一閘極絕緣膜 1 0 6 和一電容電極 1 4 2 。

其次 , 以下說明用以從主動矩陣基底製造主動矩陣型液晶顯示裝置之步驟。

被動膜 1 7 8 在圖 6 之狀態中形成在主動矩陣基底上。被動膜 1 7 8 為厚度 3 0 0 n m 之氮化矽膜所形成。當被動膜受到氫化處理時 , T F T 特性受到改善以提供更佳

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

之結果。例如，此熱處理必須在含 3 至 1 0 0 % 氫之氣體中，在 3 0 0 至 4 5 0 °C 下，作用 1 至 1 2 小時。或者，即使藉由電漿氫化法亦可獲得相似的效果。

而後，以有機樹脂形成厚度 1 0 0 0 n m 之第二中間層絕緣膜 1 7 9。關於有機樹脂膜方面，可使用聚醯亞胺，丙烯酸，或聚醯胺亞胺等。使用有機樹脂膜之優點為可輕易的形成此膜，且其比介電常數較低，因此可降低其寄生電容，和可獲得良好的平坦性。亦可使用非上述有機樹脂膜之其它有機樹脂膜。於此，以加熱聚合之聚醯亞胺應用至基底且在 3 0 0 °C 上加熱（圖 7 A）。

再者，形成第三中間層絕緣膜 1 8 0。第三中間層絕緣膜 1 8 0 以如聚醯亞胺之有機樹脂膜形成。第三中間層絕緣膜 1 8 0，第二中間層絕緣膜 1 7 9 和被動膜 1 7 8 受到選擇性移除以形成到達汲極電極 1 6 0 之接觸孔，以形成圖素電極 1 8 1。圖素電極 1 8 1 在透射型液晶顯示裝置之例中可以透明導電膜形成，而在反射型液晶顯示裝置之例中則可以金屬膜形成。於此，為了製造透射型液晶顯示裝置，以濺鍍法形成厚度 1 0 0 n m 之銦錫氧化物（ITO）膜，且定圖樣以形成圖素電極 1 8 1（圖 7 B）。

其次參考圖 8，一對準膜 1 8 2 形成以接觸第三中間層絕緣膜 1 8 0 和圖素電極 1 8 1。通常使用聚醯亞胺樹脂當成液晶顯示裝置之對準膜。透明導電膜 1 8 4 和對準膜 1 8 5 形成在基底 1 8 3 之相反側上。所形成之對準膜

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (35)

受磨擦以使液晶分子安排成以保持預傾斜角平行。

其上有經由上述步驟形成之圖素部份和 C M O S 電路之主動矩陣基底和相反基底乃經由一密封構件和一間隔器 (圖中未顯示) , 以已知之組裝胞步驟而黏合在一起。而後, 液晶材料倒入兩基底間, 並以密封劑 (未顯示) 完全密封。因此, 可完成如圖 8 所示之主動矩陣型液晶顯示裝置。

其次, 參考圖 9 和 10 說明此實施例之主動矩陣液晶顯示裝置之構造。圖 9 為此實施例之主動矩陣基底之立體圖。此主動矩陣基底由形成在玻璃基底 101 上之圖素部份 901, 掃描線 (閘極) 驅動電路 902, 訊號線 (源極) 驅動電路 903 和邏輯電路 904 所組成。在圖素部份中之圖素 T F T 900 為 n 通道 T F T , 和提供在週邊之驅動電路根據 C M O S 電路而構成。掃描線 (閘極) 驅動電路 902 和訊號線 (源極) 驅動電路 903 經由閘極接線 905 和源極接線 906 連接至圖素部份 901。圖素部份 901 以圖素 T F T 900, 圖素電極 907 和儲存電容 908 形成。

在此實施例中, 圖素 T F T 900 具有雙閘極構造。但是, 其亦可為單閘極構造或三閘極構造, 或多閘極構造。此實施例之主動矩陣基底之構造並不只限於此實施例之構造。本發明之構造特徵為底膜之構成。其它相關構成可由實施本發明之人士適當的決定。

圖 10 為圖素部份 901 之部份頂視圖, 和幾乎整個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

圖素之頂視圖。在圖素部份中提供有 n 通道 T F T。閘電極 1 0 0 2 經由未顯示之閘極絕緣膜交叉下層半導體層 1 0 0 1。雖然圖中未顯示，在半導體層中形成有源極區域，汲極區域，和第一雜質區域。在圖素 T F T 之汲極側上，以半導體層，閘極絕緣膜，和與閘電極相同材料形成之電極形成儲存電容 1 0 0 7。圖 1 0 所示之沿 A - A' 和 B - B' 之截面構造對應於圖 8 所示之圖素部份之截面圖。

[第三實施例]

在此實施例中，在第二實施例中使用當成半導體層之結晶半導體膜以熱結晶法，使用觸媒元素形成。當使用觸媒元素時，可此外如日本專利第 7 - 1 3 0 6 5 2 和 8 - 7 8 3 2 9 號案所揭示之技術。

圖 1 1 A 和 1 1 B 為應用日本專利第 7 - 1 3 0 6 5 2 號案所揭示之技術至本發明之例。關於在基底 1 1 0 1 上之底膜方面，首先，氮氧化矽膜 1 1 0 2 形成，其中 N，O，和 H 之組成連續改變，和非晶矽膜 1 1 0 3 形成在其上。此疊層膜藉由以第一實施例所述之方法形成厚度為 2 0 0 n m 之底膜和厚度為 5 0 n m 之非晶矽膜而形成。

其次，含鎳（其為觸媒元素）1 0 p p m（根據重量）之醋酸鎳溶液藉由使用旋轉塗覆應用，如圖 1 1 A 所示。因此，可促進結晶之鎳元素乃添加至非晶矽膜中以形成含鎳層 1 1 0 4。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (37)

其次，在 500 °C 下作用除氫化 1 小時，以降低氫含量至不大於 5 原子百分比，在 500 至 650 °C 下作用熱處理 4 至 12 小時，如在 550 °C 下進行 8 小時，藉以形成結晶矽膜 1105。所獲得之結晶矽膜 1105 展現非常好的晶性 (圖 11B)。

再者，日本專利第 8-78329 號案所揭示之技術乃藉由選擇性的添加觸媒元素以使非晶矽膜結晶。圖 12A 和 12B 為應用上述技術至本發明之例。

首先，包括氮氧化矽膜而其中 N 和 O 之組成連續改變之底膜 1202 乃形成在玻璃基底 1201 上，和非晶矽膜 1203 和氧化矽膜 1204 連續形成在其上。於此，氧化矽膜 1204 之厚度為 150 nm。底膜 1202 以如第一實施例之方法形成。

其次，氧化矽膜 1204 定圖樣以選擇性的形成開口 1205，且而後，含重量為 10 ppm 量之鎳之醋酸鎳溶液應用於其上。因此，形成含鎳層 1206 以只在開口 1205 之底部份上接觸非晶矽膜 1203 (圖 12A)。

其次，在 500 至 650 °C 下作用熱處理 4 至 24 小時，如在 570 °C 下作用 14 小時以形成結晶矽膜 1207。在此結晶步驟中，接觸鎳之一部份非晶矽膜結晶，且結晶從此部份在反方向進行。所形成之結晶矽膜 1207 以一組桿狀或針狀晶體構成，如果以巨觀的觀察，則個別晶體保持預定方向成長，如此可提供規則晶體之

五、發明說明 (38)

優點 (圖 1 2 B) 。

關於可使用在上述兩技術中之觸媒方面，可使用鎳 (Ni)，以及鍺 (Ge)，鐵 (Fe)，鈀 (Pd)，錫 (Sn)，鉛 (Pb)，鈷 (Co)，鉑 (Pt)，銅 (Cu)，和金 (Au) 等。

以上述技術形成結晶半導體膜 (包括結晶矽膜，結晶矽化鍺膜)，和定圖樣以形成結晶 T F T 之半導體層。藉由使用此實施例之技術而使用結晶半導體膜準備之 T F T 可展現出良好的特性。因此，仍需要高的可靠度。在使用本發明之 T F T 構造下，藉由使用本實施例之技術至最大程度，可準備一 T F T。

[第四實施例]

如同使用在第三實施例中之半導體層形成方法，本實施例處理之例為結晶半導體膜藉由使用觸媒元素形成，而非晶半導體膜當成初始膜，而後從結晶半導體膜中移除觸媒元素。此可使用日本專利第 1 0 - 1 3 5 4 6 8 和 1 0 - 1 3 5 4 6 9 號案所揭示之技術達成。

在上述專利中揭示之技術乃在結晶後藉由使用磷的聚集動作而移除使用於非晶半導體膜之結晶之觸媒元素。藉由使用此技術，在結晶半導體膜中之觸媒元素之濃度可降低至不大於 1×10^{17} 原子 / cm^3 ，且最好為不大於 1×10^{16} 原子 / cm^3 。

以下參考圖 1 3 A 和 1 3 B 說明此實施例之構成。於

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

此使用以 Coning 公司所產製之 1 7 3 7 基底之非鹼性玻璃基底。圖 1 3 A 為使用如第三實施例之結晶技術形成底膜 1 3 0 2 和結晶矽膜 1 3 0 3 在基底 1 3 0 1 上之狀態。第一實施例之方法使用以形成底膜 1 3 0 2。而後，用以掩蔽之氧化矽膜 1 3 0 4 形成厚度 1 5 0 n m 在結晶矽膜 1 3 0 3 之表面上，和藉由定圖樣而形成開口比曝露結晶矽膜。而後，添加磷以形成一區域 1 3 0 5，其中磷添加至結晶矽膜中。

在此狀態中，在氮氣中，在 5 5 0 至 8 0 0 °C 下作用熱處理 5 至 2 4 小時，或例如在 6 0 0 °C 下作用 1 2 小時。而後，磷添加至結晶矽膜之區域 1 3 0 5 作用當成一聚集側，和保留在結晶矽膜 1 3 0 3 中之觸媒元素在添加磷之區域 1 3 0 5 中隔離（圖 1 3 B）。

而後，用以掩蔽之氧化矽膜 1 3 0 4 和添加磷之區域 1 3 0 5 以蝕刻移除，以形成結晶矽膜，其中使用在結晶步驟中之觸媒元素之濃度降低至不大於 1×10^{17} 原子 / cm^3 。結晶矽膜可直接使用當成本發明之 T F T 之半導體層，且所準備之 T F T 具有小的關閉電流值和良好的晶性，且因此，可展現高電場效移動率和相當好的特性。

〔第五實施例〕

由本發明形成之 T F T 可使用在各種電光學裝置中（典型的，主動矩陣型液晶顯示裝置）。亦即，本發明可應用至安裝有上述電光學裝置和半導體電路當成一部份之各

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (40)

種電子設備中。

電子設備之範例包括視頻相機，數位相機，投影機（背面型或前面型），頭戴式顯示器（魚眼型顯示器），車輛導航系統，汽車音響系統，個人電腦，和手提資訊處理終端（行動電腦，行動電話，電子書等）。這些範例如圖 1 4 A 至 1 6 C 所示。

圖 1 4 A 為一個人電腦，且包含一主體 1 4 0 1；一影像輸入單元 1 4 0 2；一顯示單元 1 4 0 3；和一鍵盤 1 4 0 4。本發明可使用至影像輸入單元 1 4 0 2，顯示單元 1 4 0 3 和至其它訊號控制電路。

圖 1 4 B 為一視頻相機，且包含一主體 1 4 0 5，一顯示單元 1 4 0 6，一聲音輸入單元 1 4 0 7，操作開關 1 4 0 8，一電池 1 4 0 9，和一影像單元 1 4 1 0。本發明可使用至顯示單元 1 4 0 6 和其它訊號控制電路。

圖 1 4 C 為一行動電腦，且包含一主體 1 4 1 1，一相機單元 1 4 1 2，一影像單元 1 4 1 3，操作開關 1 4 1 4，和一顯示單元 1 4 1 5。本發明可使用至顯示單元 1 4 1 5 和其它訊號控制電路。

圖 1 4 D 為一魚眼型顯示器，其包含：一主體 1 4 1 6；一顯示單元 1 4 1 7；和一臂單元 1 4 1 8。本發明可使用至顯示單元 1 4 1 7 和其它訊號控制電路。

圖 1 4 E 為一播放器，其使用記錄媒體以記錄一程式，包含：一主體 1 4 1 9；一顯示單元 1 4 2 0；一揚聲器單元 1 4 2 1；一記錄媒體 1 4 2 2；和操作開關

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(41)

1 4 2 3。此裝置使用 D V D (數位多用途碟)，和 C D 等當成記錄媒體，且使用於音樂欣賞，影片欣賞，遊戲和執行網路通訊等。本發明可使用至顯示單元 1 4 2 0 和其它訊號控制電路。

圖 1 4 F 為一數位相機，且包含一主體 1 4 2 4，一顯示單元 1 4 2 5，一接目鏡 1 4 2 6，操作開關 1 4 2 7，和一影像單元(圖中未顯示)。本發明可使用至顯示單元 1 4 2 5 和其它訊號控制電路。

圖 1 5 A 為前面型投影器，其包括一投影單元 1 5 0 1，和一螢幕 1 5 0 2。本發明可應用至更構成投影單元 1 5 0 1 之一部份之液晶顯示裝置 1 5 1 4 和其它訊號控制電路。

圖 1 5 B 為背面型投影器，其包括一主體 1 5 0 3，一投影單元 1 5 0 4，一鏡 1 5 0 5，和一螢幕 1 5 0 6。本發明可應用至更構成投影單元 1 5 0 4 之一部份之液晶顯示裝置 1 5 1 4 和其它訊號控制電路。

圖 1 5 C 為圖 1 5 A 和 1 5 B 之投影單元 1 5 0 1 和 1 5 0 4 之構造之視圖。投影單元 1 5 0 1 和 1 5 0 4 以光源光學系統 1 5 0 7，鏡 1 5 0 8，1 5 1 0 至 1 5 1 2，分色鏡 1 5 0 9，稜鏡 1 5 1 7，液晶顯示裝置 1 5 1 4，相差異板 1 5 1 5，和投影光學系統 1 5 1 6 所構成。投影光學系統 1 5 1 6 由包括投影透鏡之光學系統所構成。本實施例處理三板型之構造，但是，本發明並不限於此，而其亦可使用於單一板型構造。實施

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (42)

本發明之人士可適當的提供一光學系統，如光學透鏡，具有偏光功能之底片，用以調整相位差異之底片，或在光學路徑中由圖 1 5 C 之箭頭所指示之 I R 底片。

圖 1 5 D 為在圖 1 5 C 中之光源光學系統 1 5 0 7 之構造。在此實施例中，光源光學系統 1 5 0 7 由反射器 1 5 1 8，光源 1 5 1 9，透鏡陣列 1 5 2 0，1 5 2 1，偏光／轉換構件 1 5 2 2 和聚焦透鏡 1 5 2 3 所構成。圖 1 5 D 所示之光源光學系統只是一範例而非對本發明之限制。例如，實施本發明之人士可適當的提供一光學系統，如光學透鏡，具有偏光功能之底片，用以調整相位差異之底片，或在光學路徑中之 I R 底片。

於此，圖 1 5 所示之投影器可使用透射型之電光學裝置，而反射型電光學裝置於此並未以圖解說。

圖 1 6 A 為一行動電話，包含一主體 1 6 0 1，一音頻輸出單元 1 6 0 2，一音頻輸入單元 1 6 0 3，一顯示單元 1 6 0 4，操作開關 1 6 0 5，和一天線 1 6 0 6。本發明可應用在音頻輸出單元 1 6 0 2，音頻輸入單元 1 6 0 3，和顯示單元 1 6 0 4 和其它訊號控制電路。

圖 1 6 B 為一行動電子書（電子字典），包含一主體 1 6 0 7，顯示單元 1 6 0 8，儲存媒體 1 6 0 9，操作開關 1 6 1 0，和一天線 1 6 1 1。本發明可應用至顯示單元 1 6 0 8，1 6 0 9 和其它訊號電路。

圖 1 6 C 為一顯示器，包含一主體 1 6 1 2，一支持板 1 6 1 3，和一顯示單元 1 6 1 4。本發明可應用在顯

五、發明說明 (43)

示單元 1 6 1 4 中。本發明之顯示器在大尺寸螢幕時特別有效，且在對角線等於或大於 1 0 吋（等於或大於 3 0 吋）之顯示器中更為有效。

如上所述，本發明之應用範圍極廣，且本發明可應用至所有領域之電子設備中。再者，此實施例之電子設備可藉由使用如第一至第四實施例之構成之組合而達成。

依照本發明氮氧化矽膜藉由電漿 C V D 法，使用 SiH_4 ， N_2O ，和 H_2 當成啓始材料氣體和改變啓始材料氣體之流率比例而形成。因此，可形成一較佳的底膜，其中 N，O，和 H 之組成連續改變。當使用此底膜時，本發明之膜因為其阻擋效果不只可防止來自基底之雜質之擴散，且亦可形成相對於主動層較佳的介面，以防止對 T F T 特性之破壞。由於膜在相同室中形成，因此可縮短處理時間，且 T F T 特性穩定和可增進生產率。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

四、中文發明摘要 (發明之名稱：半導體裝置及其製造方法)
一種底膜形成用於 TFT 以防止雜質從玻璃基底擴散至主動層，以穩定的保持如 V_{th} 和 TFT 之 S 值之特性和保持所增強之生產率。一膜，其中 N，O，和 H 之組成比例藉由改變 H_2 和 N_2O 之流率而連續改變，乃使用當成該底膜以防止 TFT 特性之改變。此底膜可藉由在相同膜形成室中改變 H_2 和 N_2O 之流率而改變而形成，藉以增強生產率。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE AND METHOD OF PRODUCING THE SAME)

A base film is formed for the TFTs in order to prevent diffusion of impurities from the glass substrate into the active layer, to maintain stability in the characteristics such as V_{th} and S-value of the TFTs and to maintain enhanced productivity. A film in which the composition ratios of N, O and H are continuously changed by changing the flow rates of H_2 and N_2O , is used as the base film to prevent a change in the TFT characteristics. The base film can be formed by varying the flow rates of H_2 and N_2O in the same film-forming chamber to enhance the productivity.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1 . 一種半導體裝置，包含：

一絕緣膜和一基底接觸；和

一半導體膜和該絕緣膜接觸，

其中該絕緣膜包含至少第一層和該基底接觸和第二層和該半導體膜接觸，

其中該第一層包含氮氧化矽膜含氫濃度 1 . 5 至 5 原子百分比，氮濃度 2 至 10 原子百分比，和氧濃度 50 至 60 原子百分比，和

其中該第二層包含氮氧化矽膜含氫濃度 0 . 1 至 2 原子百分比，氮濃度 0 . 1 至 2 原子百分比，和氧濃度 60 至 65 原子百分比。

2 . 如申請專利範圍第 1 項之半導體裝置，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

3 . 如申請專利範圍第 1 項之半導體裝置，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

4 . 如申請專利範圍第 1 項之半導體裝置，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

5 . 一種半導體裝置，包含：

一絕緣膜和一基底接觸；和

一半導體膜和該絕緣膜接觸，

六、申請專利範圍

其中該絕緣膜從與該基底接觸之第一層至與該半導體膜接觸之第二層連續的改變其組成，

其中該第一層包含氮氧化矽膜含氫濃度 1 . 5 至 5 原子百分比，氮濃度 2 至 10 原子百分比，和氧濃度 50 至 60 原子百分比，和

其中該第二層包含氮氧化矽膜含氫濃度 0 . 1 至 2 原子百分比，氮濃度 0 . 1 至 2 原子百分比，和氧濃度 60 至 65 原子百分比。

6 . 如申請專利範圍第 5 項之半導體裝置，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

7 . 如申請專利範圍第 5 項之半導體裝置，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

8 . 如申請專利範圍第 5 項之半導體裝置，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

9 . 一種半導體裝置，包含：

- 一絕緣膜和一基底接觸；和
- 一半導體膜和該絕緣膜接觸，

其中該絕緣膜包含至少第一層和該基底接觸和第二層和該半導體膜接觸，

其中該第一層包含氮氧化矽膜含氧對矽之組成比例為

A8
B8
C8
D8

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

六、申請專利範圍

1 . 4 比 1 . 8 , 氮對矽之組成比例 0 . 0 5 比 0 . 5 ,
和

其中該第二層包含氮氧化矽膜含氧對矽之組成比例為
1 . 7 比 2 , 氮對矽之組成比例 0 . 0 2 比 0 . 0 6 。

1 0 . 如申請專利範圍第 9 項之半導體裝置, 其中在
氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之
介面連續的降低。

1 1 . 如申請專利範圍第 9 項之半導體裝置, 其中在
氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之
介面連續的增加。

1 2 . 如申請專利範圍第 9 項之半導體裝置, 其中該
半導體裝置為選自由視頻相機, 數位相機, 投影機, 魚眼
型顯示器, 車輛導航系統, 汽車音響, 個人電腦, 和手提
資訊處理終端所組成之群之一。

1 3 . 一種半導體裝置, 包含:
一絕緣膜和一基底接觸; 和
一半導體膜和該絕緣膜接觸,

其中該絕緣膜從與該基底接觸之第一層至與該半導體
膜接觸之第二層連續的改變其組成,

其中該第一層包含氮氧化矽膜含氧對矽之組成比例為
1 . 4 比 1 . 8 , 氮對矽之組成比例 0 . 0 5 比 0 . 5 ,
和

其中該第二層包含氮氧化矽膜含氧對矽之組成比例為
1 . 7 比 2 , 氮對矽之組成比例 0 . 0 2 比 0 . 0 6 。

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1 4 . 如申請專利範圍第 1 3 項之半導體裝置，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

1 5 . 如申請專利範圍第 1 3 項之半導體裝置，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

1 6 . 如申請專利範圍第 1 3 項之半導體裝置，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

1 7 . 一種半導體裝置之製造方法，包含之步驟為：
形成包含有氮氧化矽膜之一絕緣膜在一基底上；和
形成一半導體膜在該絕緣膜上，
其中該絕緣膜包含至少第一層和該基底接觸和第二層和該半導體膜接觸，
其中該第一層由 SiH_4 ， N_2O ，和 H_2 所形成，和
其中該第二層由 SiH_4 和 N_2O 所形成。

1 8 . 如申請專利範圍第 1 7 項之半導體裝置，其中該第一層和第二層形成步驟在電漿 C V D 裝置之相同膜形成室中執行。

1 9 . 如申請專利範圍第 1 7 項之半導體裝置，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

2 0 . 如申請專利範圍第 1 7 項之半導體裝置，其中

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

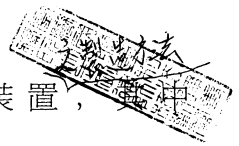
經濟部智慧財產局員工消費合作社印製

之製造方法
之製造方法
之製造方法

A8
B8
C8
D8

六、申請專利範圍

在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

2 1 . 如申請專利範圍第 1 7 項之半導體裝置，該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

2 2 . 一種半導體裝置之製造方法，包含之步驟為：
形成一絕緣膜在一基底上；和
形成一半導體膜在該絕緣膜上，
其中該絕緣膜包含氮氧化矽膜，其由 SiH_4 ， N_2O ，和 H_2 所形成，和

其中該氮氧化矽膜藉由從與該基底接觸之一區域至與該半導體膜接觸之一區域降低 H_2 之流率和增加 N_2O 之流率而形成。

2 3 . 如申請專利範圍第 2 2 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

2 4 . 如申請專利範圍第 2 2 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

2 5 . 如申請專利範圍第 2 2 項之半導體裝置之製造方法，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

26. 一種半導體裝置之製造方法，包含之步驟為：
形成包含有氮氧化矽膜之一絕緣膜在一基底上；和
形成一半導體膜在該絕緣膜上，

其中該絕緣膜包含至少第一層和該基底接觸和第二層和該半導體膜接觸，

其中該第一層由 $X_h (= H_2 / (SiH_4 + N_2O))$ 之氣體流率比例從 0.5 至 5，和 $X_g (= N_2O / (SiH_4 + N_2O))$ 之氣體流率比例從 0.94 至 0.97 所形成，和

其中該第二層由 $X_h (= H_2 / (SiH_4 + N_2O))$ 之氣體流率比例為 0，和 $X_g (= N_2O / (SiH_4 + N_2O))$ 之氣體流率比例為 0.97 至 0.99 所形成。

27. 如申請專利範圍第 26 項之半導體裝置之製造方法，其中該第一層和第二層形成步驟在電漿 CVD 裝置之相同膜形成室中執行。

28. 如申請專利範圍第 26 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

29. 如申請專利範圍第 27 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

30. 如申請專利範圍第 27 項之半導體裝置之製造方法，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

電腦，和手提資訊處理終端所組成之群之一。

3 1 . 一種半導體裝置之製造方法，包含之步驟為：
形成包含有氮氧化矽膜之一絕緣膜在一基底上；和
形成一半導體膜在該絕緣膜上，

其中該絕緣膜藉由從與該基底接觸之一區域至與該半導體膜接觸之一區域改變 $X_h (= H_2 / (SiH_4 + N_2O))$ 之氣體流率比例從 0 . 5 至 5，和 $X_g (= N_2O / (SiH_4 + N_2O))$ 之氣體流率比例從 0 . 9 4 至 0 . 9 7，至 $X_h (= H_2 / (SiH_4 + N_2O))$ 之氣體流率比例為 0，和 $X_g (= N_2O / (SiH_4 + N_2O))$ 之氣體流率比例為 0 . 9 7 至 0 . 9 9 而形成。

3 2 . 如申請專利範圍第 3 1 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

3 3 . 如申請專利範圍第 3 1 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

3 4 . 如申請專利範圍第 3 1 項之半導體裝置之製造方法，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

3 5 . 一種半導體裝置之製造方法，包含之步驟為：
形成第一氮氧化矽膜與一基底接觸，該第一氮氧化矽

六、申請專利範圍

膜具有氫濃度 1 . 5 至 5 原子百分比，氮濃度 2 至 1 0 原子百分比，和氧濃度 5 0 至 6 0 原子百分比；

形成第二氮氧化矽膜，該第二氮氧化矽膜具有氫濃度 0 . 1 至 2 原子百分比，氮濃度 0 . 1 至 2 原子百分比，和氧濃度 6 0 至 6 5 原子百分比上；和

形成一半導體膜在該第二氮氧化矽膜上，

其中該形成步驟在一相同膜形成室中連續執行。

3 6 . 如申請專利範圍第 3 5 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

3 7 . 如申請專利範圍第 3 5 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

3 8 . 如申請專利範圍第 3 5 項之半導體裝置之製造方法，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

3 9 . 一種半導體裝置之製造方法，包含之步驟為：

形成一包含氮氧化矽之絕緣膜在一基底上；和

形成一半導體膜在該絕緣膜上，

其中該氮氧化矽膜與該基底接觸之一區域具有氫濃度 1 . 5 至 5 原子百分比，氮濃度 2 至 1 0 原子百分比，和氧濃度 5 0 至 6 0 原子百分比，

其中該氮氧化矽膜與該半導體膜接觸之一區域具有氫

六、申請專利範圍

濃度 0 . 1 至 2 原子百分比，氮濃度 0 . 1 至 2 原子百分比，和氧濃度 6 0 至 6 5 原子百分比上，

其中該氮氧化矽膜連續的改變其組成，和

其中該形成步驟在一相同膜形成室中連續執行。

4 0 . 如申請專利範圍第 3 9 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

4 1 . 如申請專利範圍第 3 9 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

4 2 . 如申請專利範圍第 3 9 項之半導體裝置之製造方法，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

4 3 . 一種半導體裝置之製造方法，包含之步驟為：
形成包含氮氧化矽之第一絕緣膜與一基底接觸，該氮氧化矽具有氧對矽之組成比例為 1 . 4 比 1 . 8，氮對矽之組成比例 0 . 0 5 比 0 . 5；

形成包含氮氧化矽之第二絕緣膜在該第一絕緣膜上，該氮氧化矽具有氧對矽之組成比例為 1 . 7 比 2，氮對矽之組成比例 0 . 0 2 比 0 . 0 6；和

形成一半導體膜在該第二絕緣膜上，

其中該形成步驟在一相同膜形成室中連續執行。

4 4 . 如申請專利範圍第 4 3 項之半導體裝置之製造

六、申請專利範圍

方法，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

4 5 . 如申請專利範圍第 4 3 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

4 6 . 如申請專利範圍第 4 3 項之半導體裝置之製造方法，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

4 7 . 一種半導體裝置之製造方法，包含之步驟為：

形成一包含氮氧化矽之絕緣膜在一基底上；和

形成一半導體膜在該絕緣膜上，

其中與基底接觸之該氮氧化矽膜之一區域具有氧對矽之組成比例為 1 . 4 比 1 . 8，氮對矽之組成比例 0 . 0 5 比 0 . 5，

其中與該半導體膜接觸之氮氧化矽膜之一區域具有氧對矽之組成比例為 1 . 7 比 2，氮對矽之組成比例 0 . 0 2 比 0 . 0 6，

其中該氮氧化矽膜連續改變其組成，和

其中該形成步驟在一相同膜形成室中連續執行。

4 8 . 如申請專利範圍第 4 7 項之半導體裝置之製造方法，其中在氮氧化矽膜中之氮濃度向著介於該絕緣膜和半導體膜間之介面連續的降低。

4 9 . 如申請專利範圍第 4 7 項之半導體裝置之製造

六、申請專利範圍

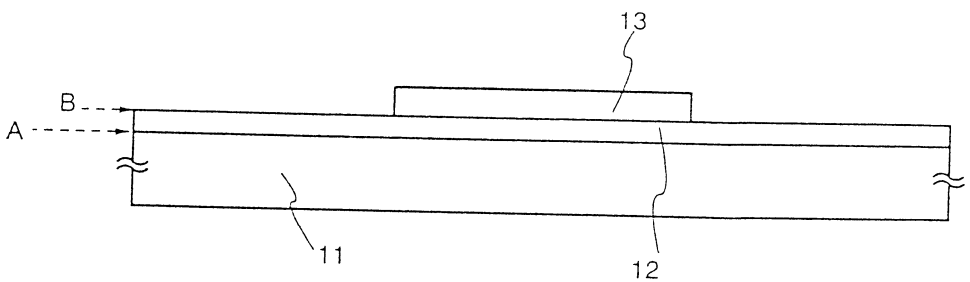
方法，其中在氮氧化矽膜中之氧濃度向著介於該絕緣膜和半導體膜間之介面連續的增加。

50．如申請專利範圍第47項之半導體裝置之製造方法，其中該半導體裝置為選自由視頻相機，數位相機，投影機，魚眼型顯示器，車輛導航系統，汽車音響，個人電腦，和手提資訊處理終端所組成之群之一。

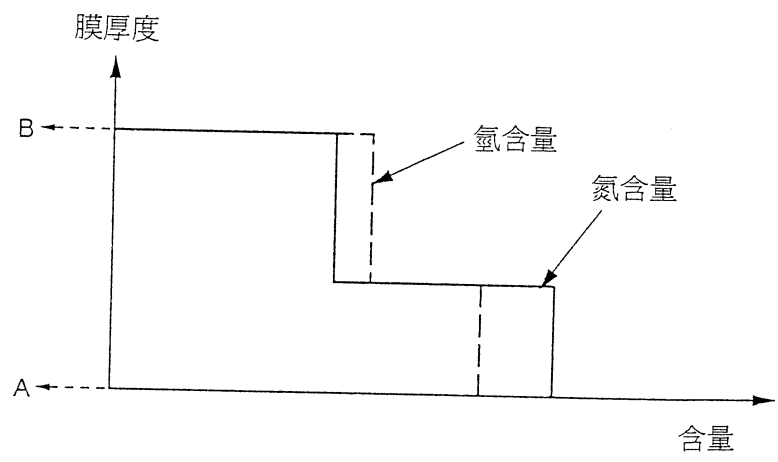
(請先閱讀背面之注意事項再填寫本頁)

裝
訂

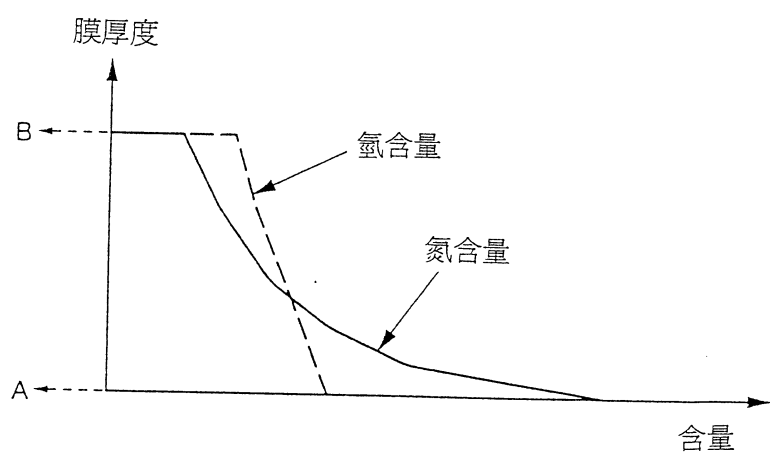
第 1A 圖

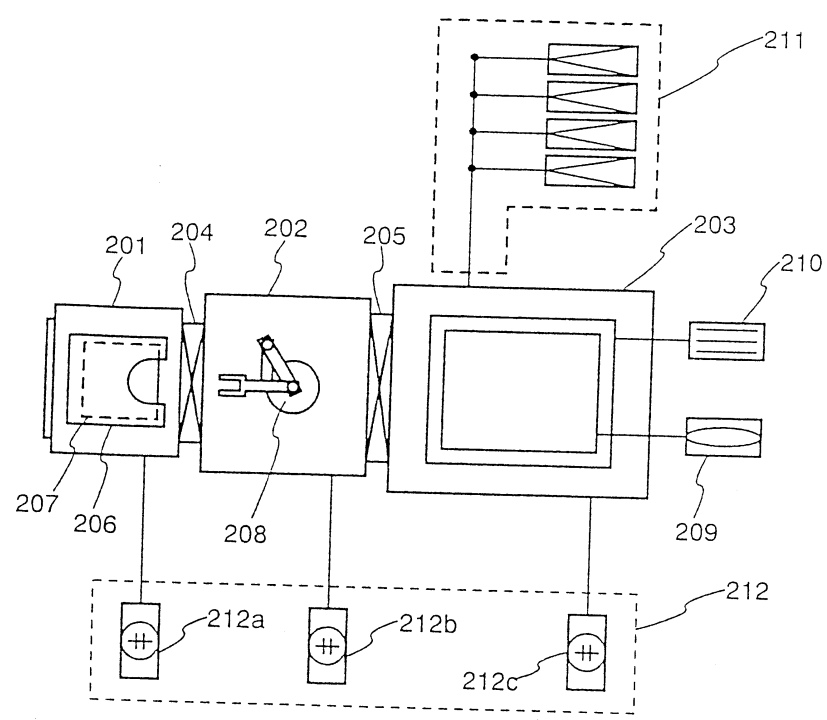


第 1B 圖

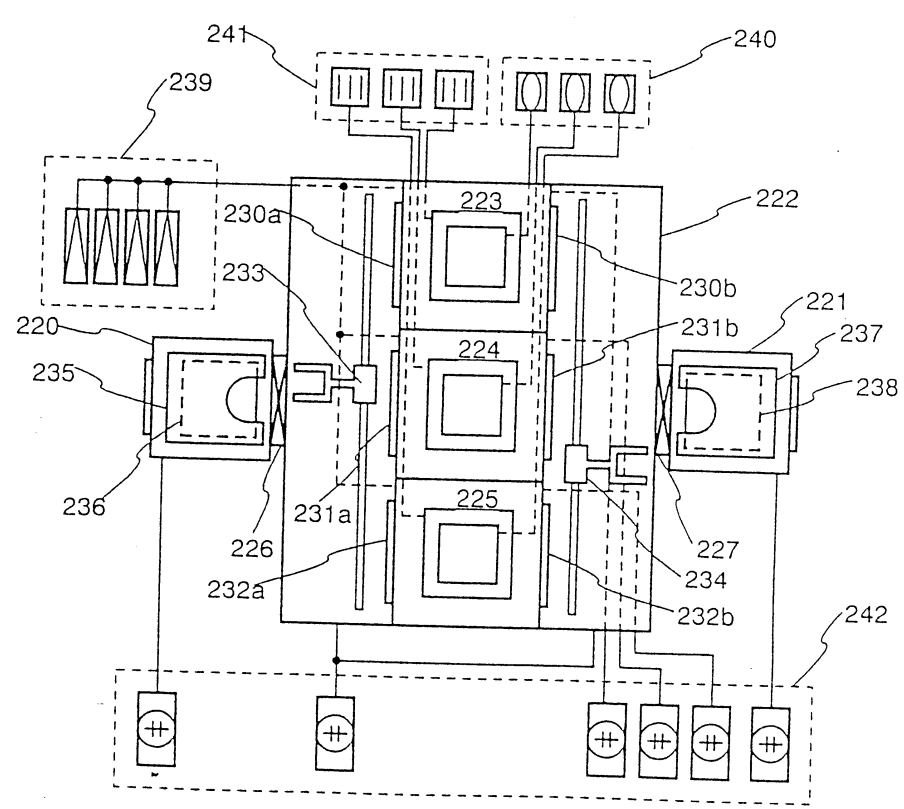


第 1C 圖



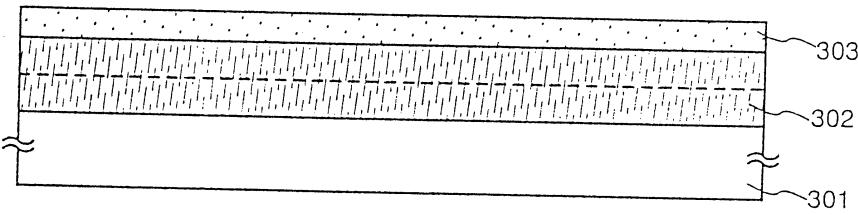


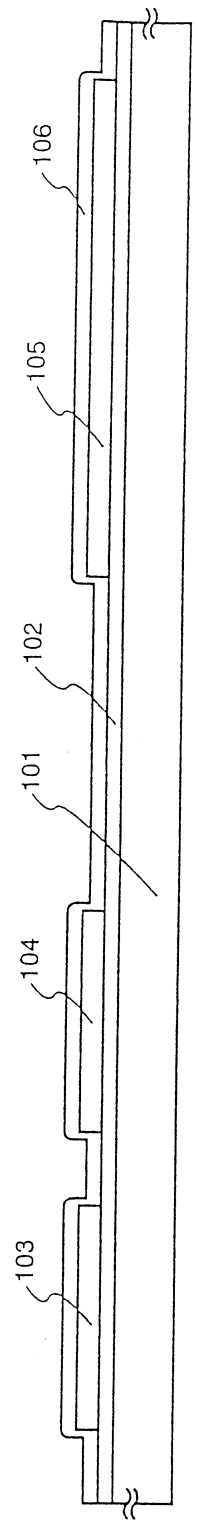
第 2A 圖



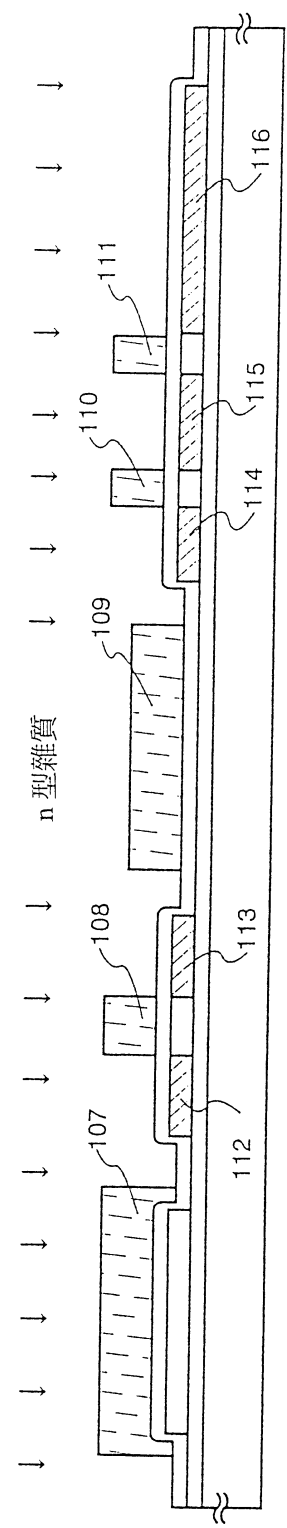
第 2B 圖

第 3 圖

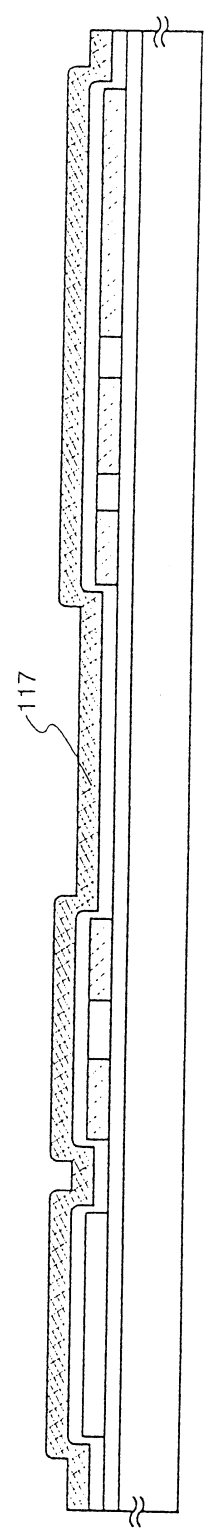




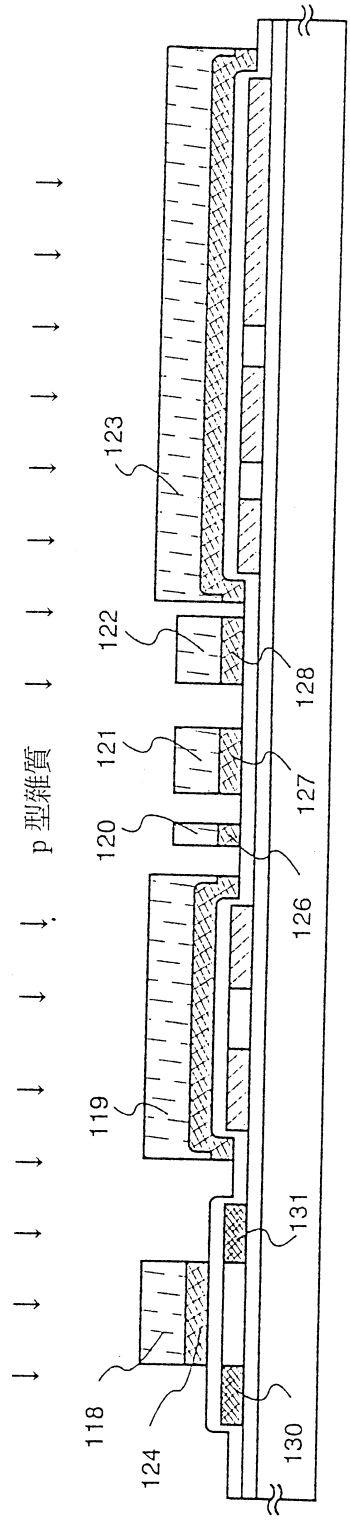
第 4A 圖



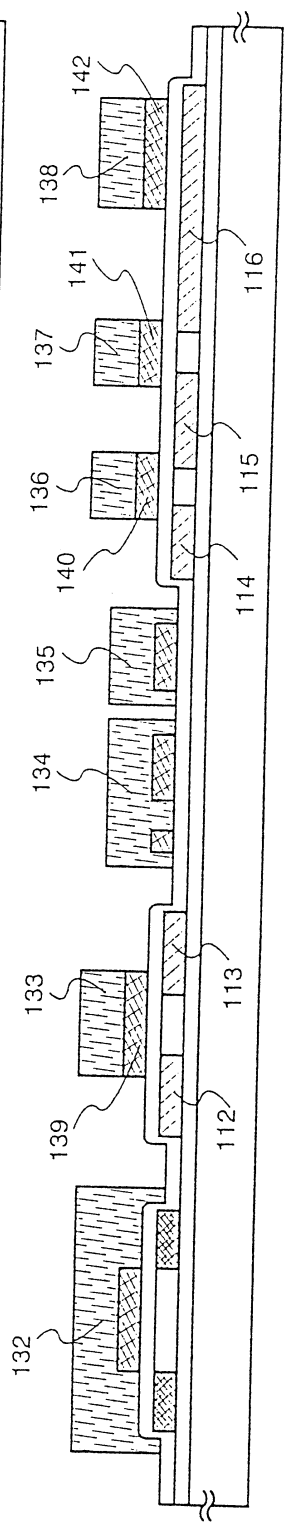
第 4B 圖



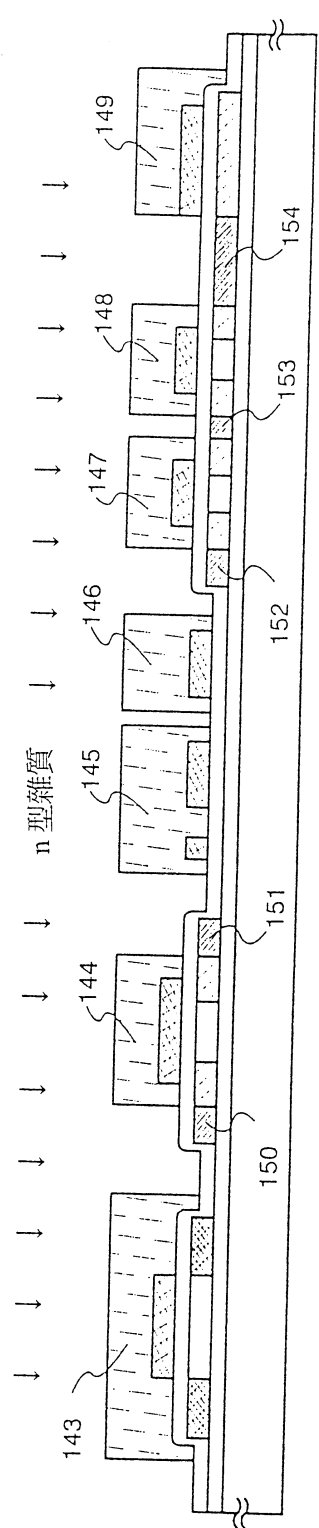
第 4C 圖



第 5A 圖

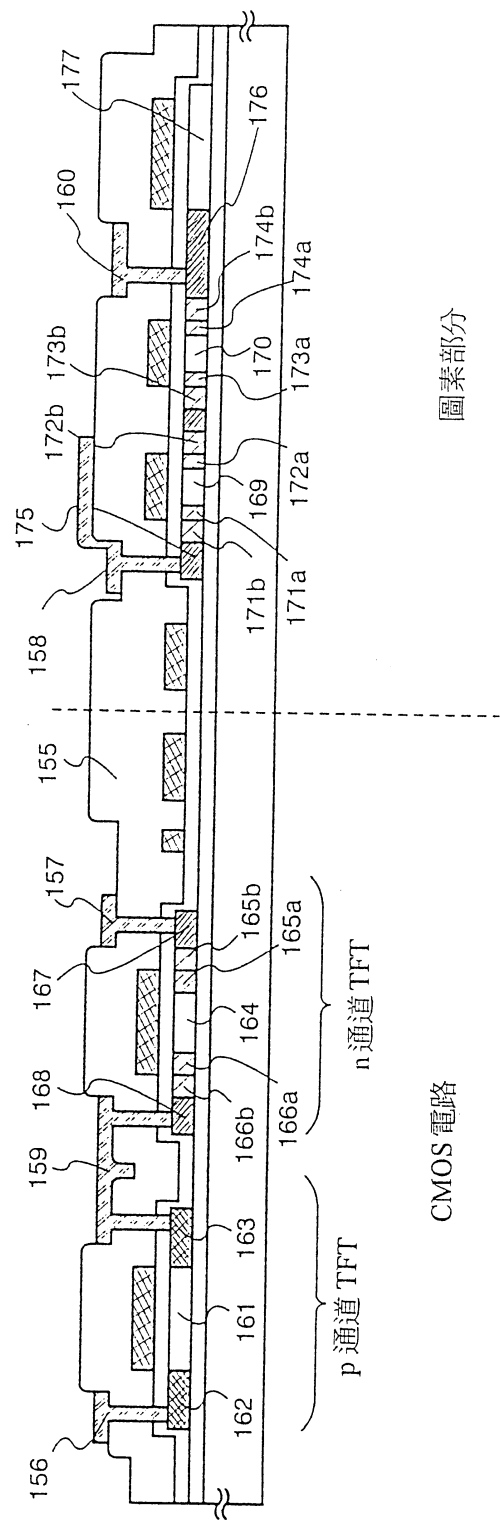


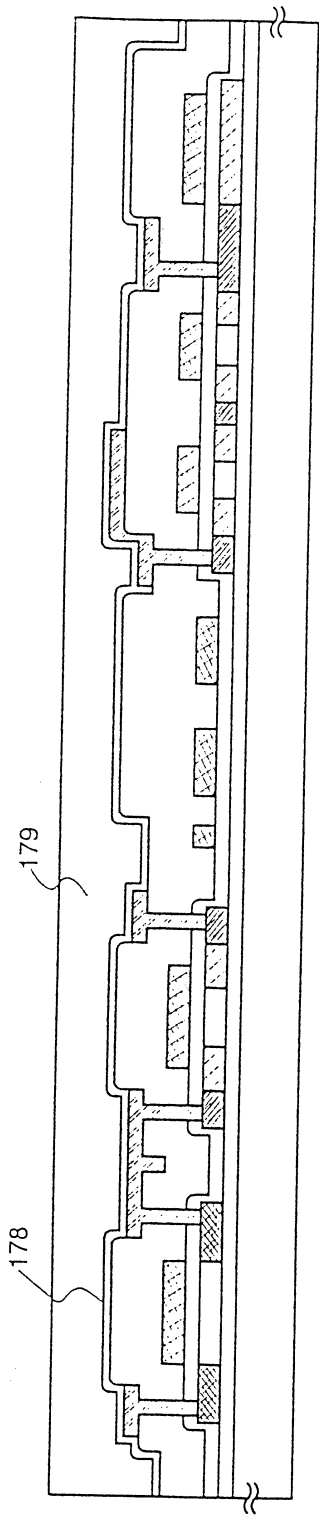
第 5B 圖



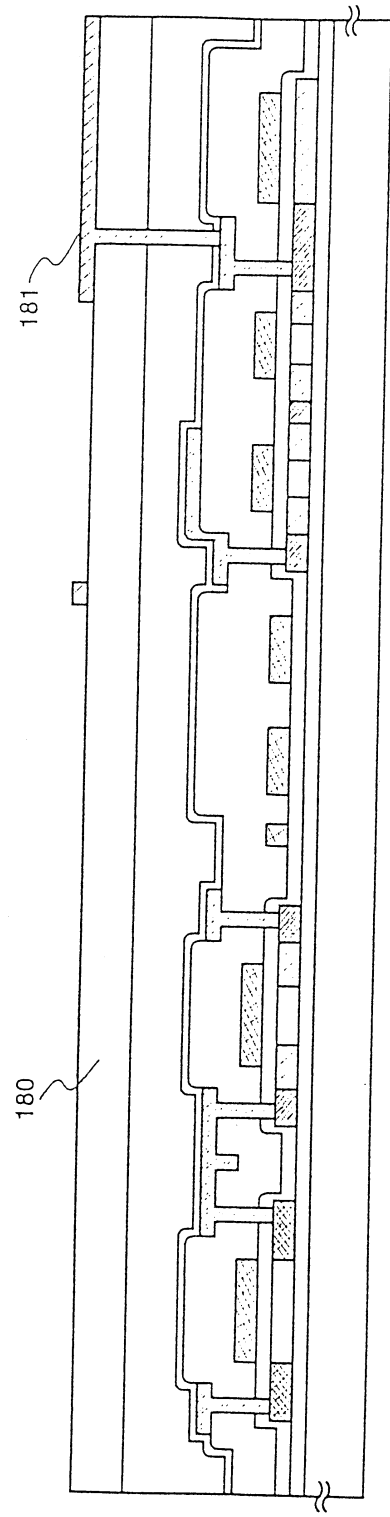
第 5C 圖

第 6 圖



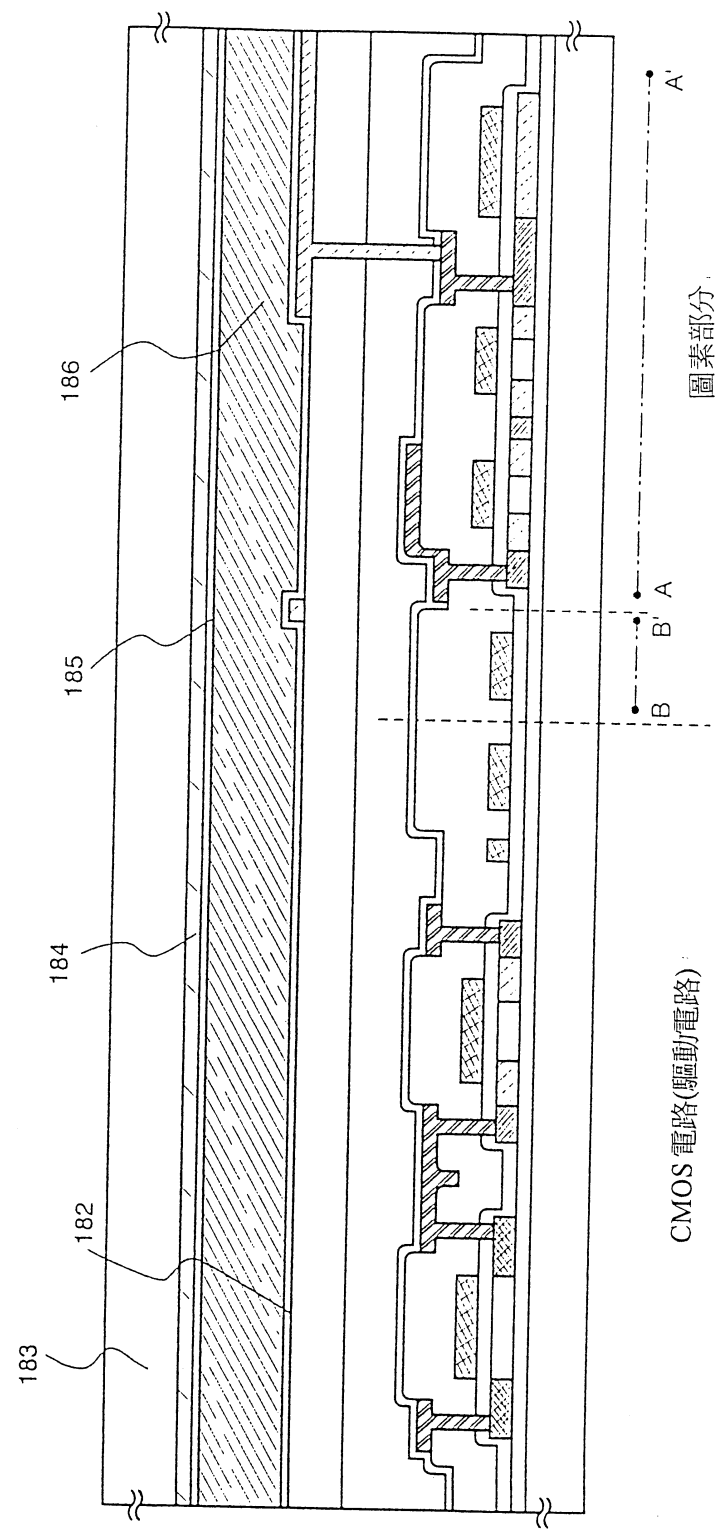


第 7A 圖

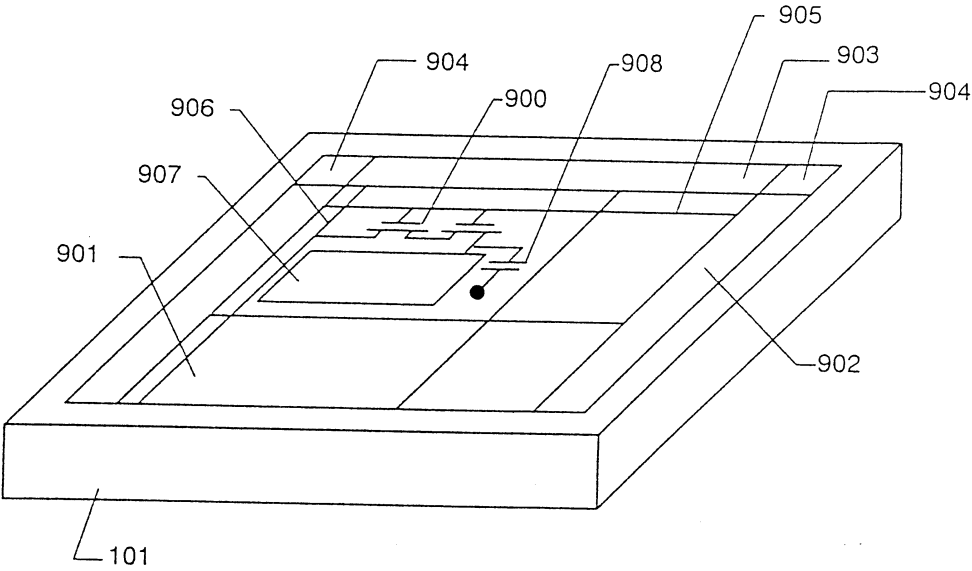


第 7B 圖

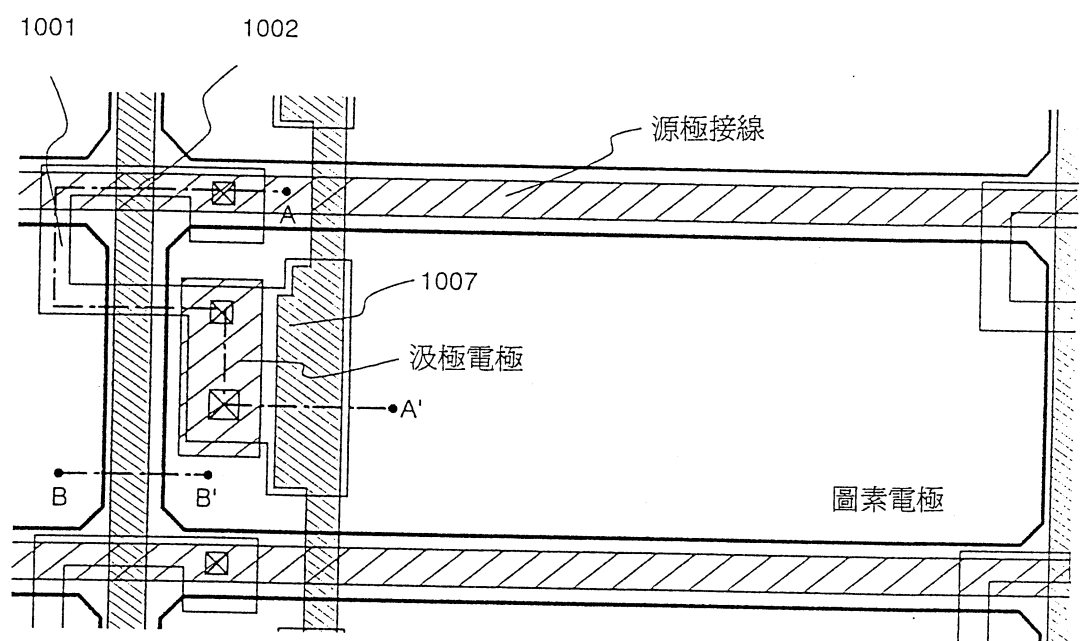
第 8 圖



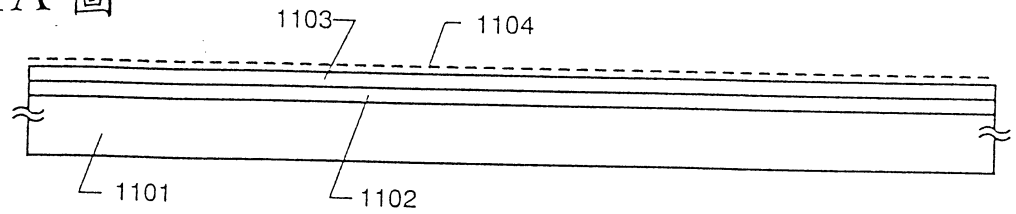
第 9 圖



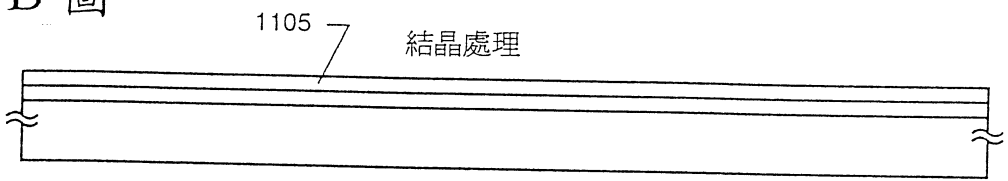
第 10 圖



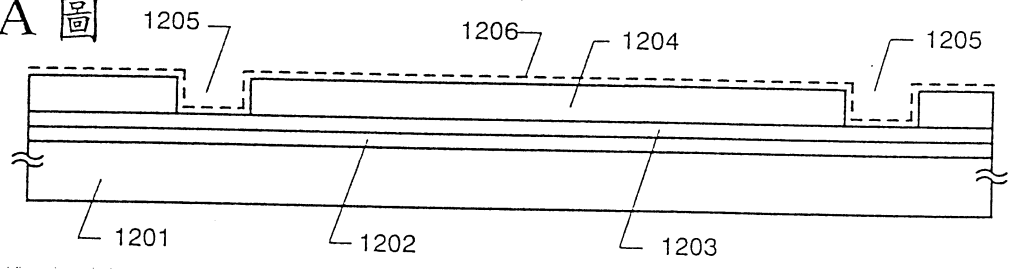
第 11A 圖



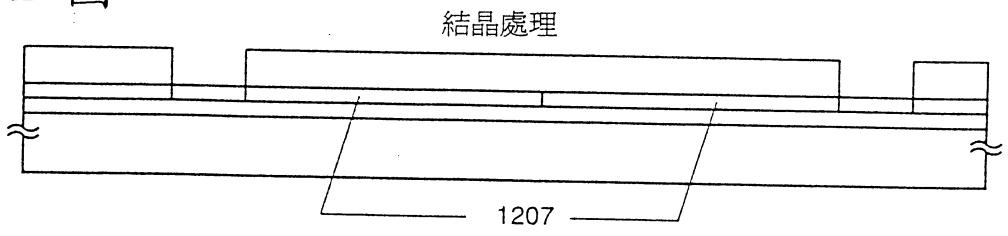
第 11B 圖



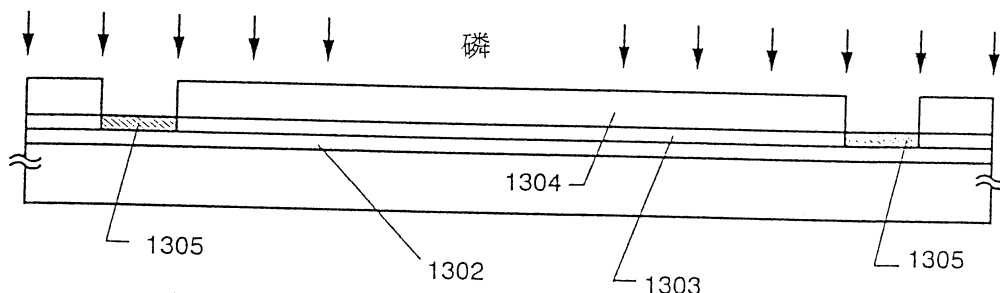
第 12A 圖



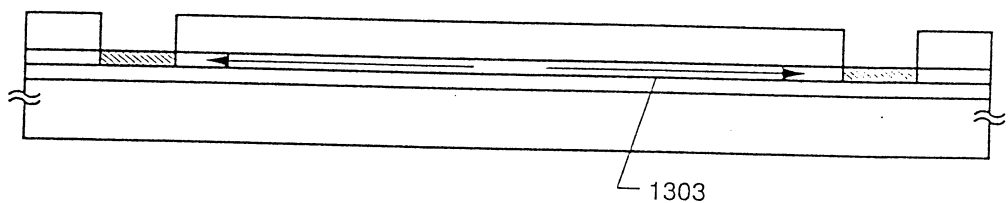
第 12B 圖

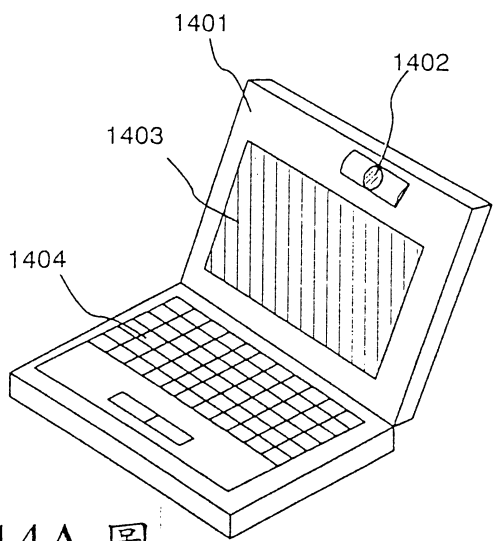


第 13A 圖

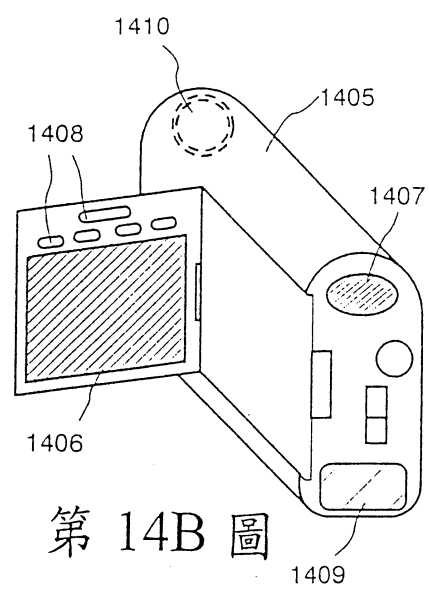


第 13B 圖

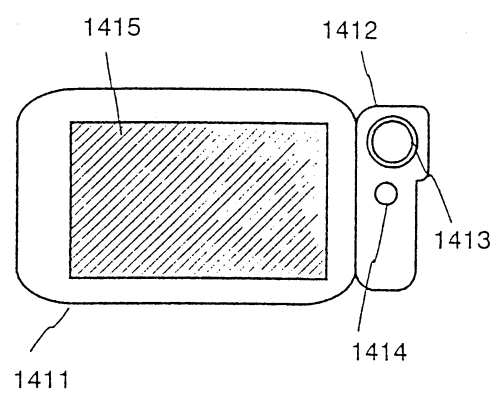




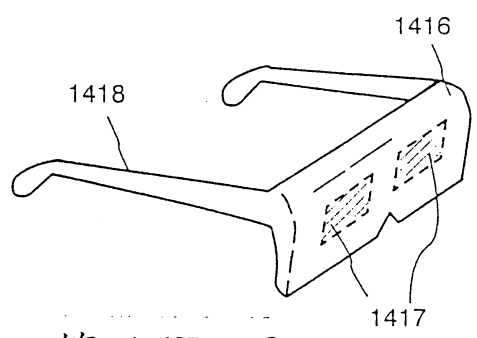
第 14A 圖



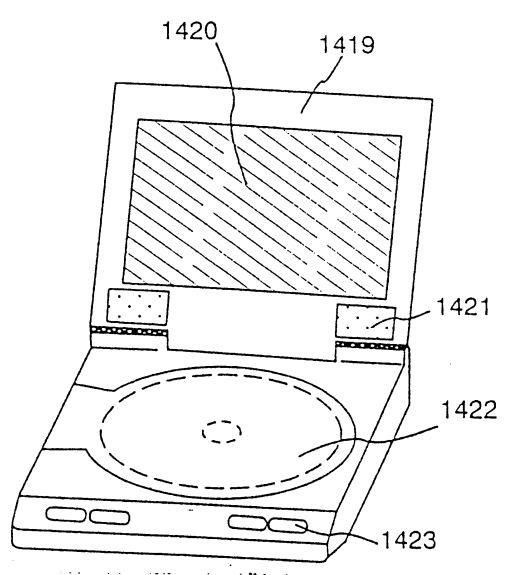
第 14B 圖



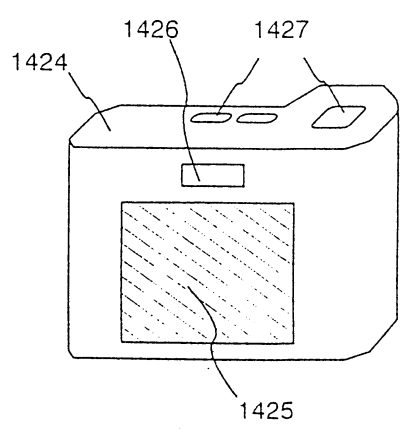
第 14C 圖



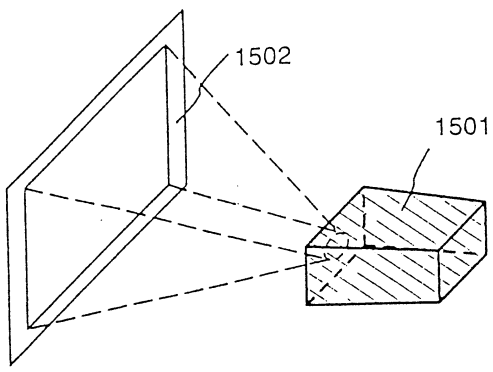
第 14D 圖



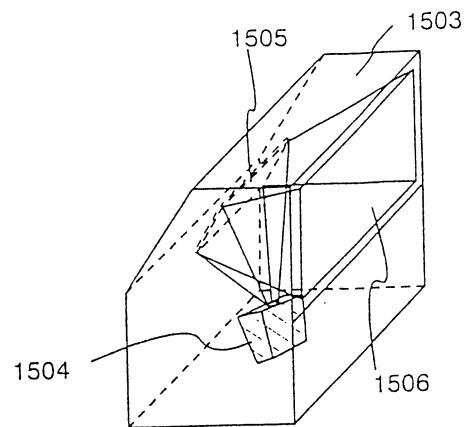
第 14E 圖



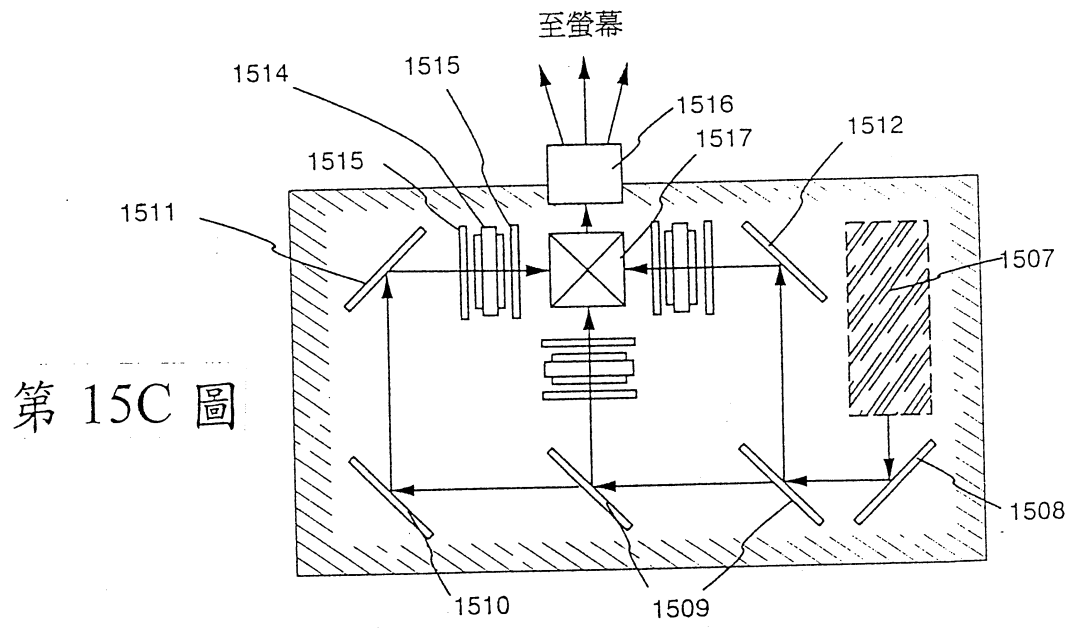
第 14F 圖



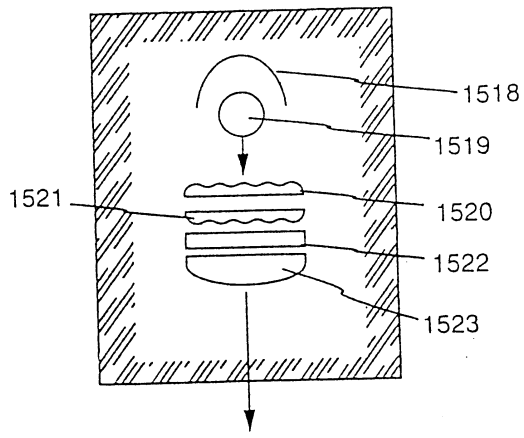
第 15A 圖



第 15B 圖

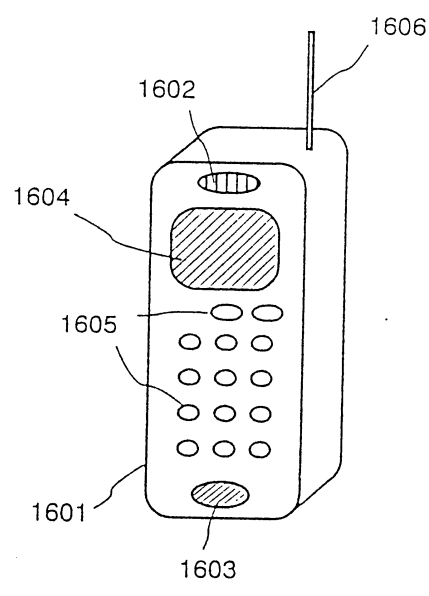


第 15C 圖

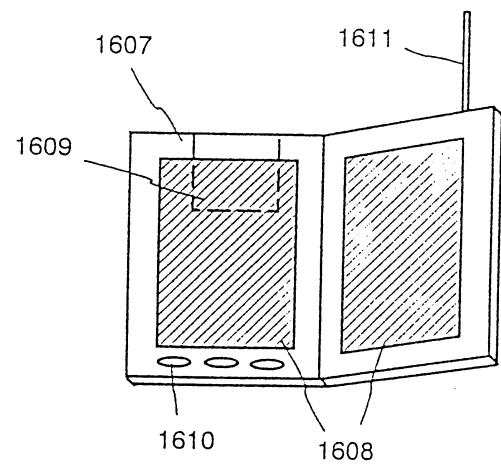


第 15D 圖

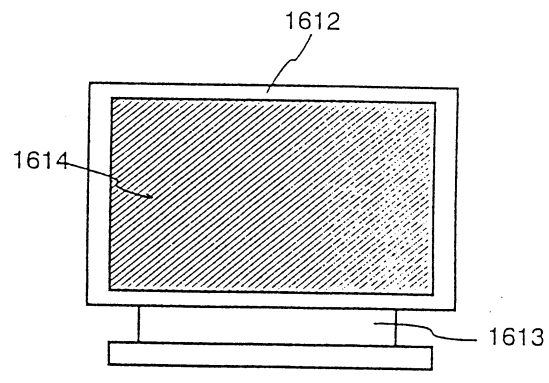
第 16A 圖



第 16B 圖



第 16C 圖



第 17 圖

