

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年3月27日(27.03.2014)



(10) 国際公開番号
WO 2014/045842 A1

- (51) 国際特許分類:
H01L 25/07 (2006.01) H01L 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2013/073335
- (22) 国際出願日: 2013年8月30日(30.08.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-205618 2012年9月19日(19.09.2012) JP
- (71) 出願人: マイクロモジュールテクノロジー株式会社(MICRO MODULE TECHNOLOGY CO., LTD.)
[JP/JP]; 〒2300046 神奈川県横浜市鶴見区小野町75番地1 リーディングベンチャープラザ Kanagawa (JP).
- (72) 発明者: 原園 文一(HARAZONO, Fumikazu); 〒2210864 神奈川県横浜市神奈川区菅田町652-39 Kanagawa (JP).
- (74) 代理人: 特許業務法人 湘洋内外特許事務所(SHOYO INTELLECTUAL PROPERTY FIRM); 〒2200004 神奈川県横浜市西区北幸二丁目15-1 東武横浜第2ビル6階 Kanagawa (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

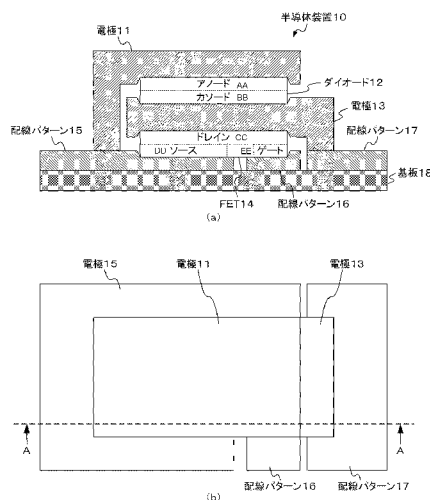


FIG. 1:
10 Semiconductor device
11, 13 Electrode
12 Diode
15, 16, 17 Wiring pattern
18 Substrate
AA Anode
BB Cathode
CC Drain
DD Source
EE Gate

(57) Abstract: The present invention further reduces the size of a semiconductor device. A semiconductor device (10) is provided with: a switching element (FET (14)) that is provided on a substrate (18); a first electrode (electrode (13)) that is provided on the side opposite to the substrate (18) with the switching element therebetween; a diode (12) that is provided on the side opposite to the switching element with the first electrode therebetween; and a second electrode (electrode (11)) that is provided on the side opposite to the first electrode with the diode (12) therebetween.

(57) 要約: 半導体装置の更なる小型化を実現する。半導体装置 10 であって、基板 18 上に設けられたスイッチング素子 (FET 14) と、スイッチング素子を挟んで基板 18 と反対側に設けられた第 1 の電極 (電極 13) と、第 1 の電極を挟んでスイッチング素子と反対側に設けられたダイオード 12 と、ダイオード 12 を挟んで第 1 の電極と反対側に設けられた第 2 の電極 (電極 11) とを備える。



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML,
MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称 : 半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。本発明は2012年9月19日に出願された日本国特許の出願番号2012-205618の優先権を主張し、文献の参照による織り込みが認められる指定国については、その出願に記載された内容は参照により本出願に織り込まれる。

背景技術

[0002] 下記の特許文献1には、M O S F E T等のスイッチング素子と、転流ダイオードとを、1つの基板上に並べて配置したパワーモジュールが開示されている。

先行技術文献

特許文献

[0003] 特許文献1：特開2009-105389号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、近年の製品の多機能化、小型化により、部品実装の高密度化が求められている。上記特許文献1のパワーモジュールにおいても、更なる小型化が求められている。

[0005] 本発明は上記事情を鑑みてなされたものであり、本発明の目的は、半導体装置の更なる小型化を実現することにある。

課題を解決するための手段

[0006] 上記課題を解決するための第一の態様は、例えば、半導体装置であって、基板上に設けられたF E T (Field effect transistor) と、前記F E Tを挟んで前記基板と反対側に設けられた第1の電極と、前記第1の電極を挟んで前記F E Tと反対側に設けられたダイオードと、前記ダイオードを挟んで前記第1の電極と反対側に設けられた第2の電極と、を備え、前記F E Tは、

板状に形成されており、一方の面にソースおよびゲートが設けられ、他方の面にドレインが設けられ、前記ソースが前記基板上の第 1 の配線パターンに接続され、前記ゲートが前記基板上の第 2 の配線パターンに接続され、前記ドレインが前記第 1 の電極に接続され、前記第 1 の電極の脚部と、前記基板上の前記第 1 の配線パターン及び前記第 2 の配線パターンとは異なる配線パターンとが接続され、前記ダイオードは、板状に形成されており、一方の面にアノードが設けられ、他方の面にカソードが設けられ、前記カソードが前記第 1 の電極に接続され、前記アノードが前記第 2 の電極に接続され、前記第 2 の電極の脚部と、前記第 1 の配線パターンとが接続され、前記第 1 の電極の脚部と、前記第 2 の電極の脚部とは、前記 F E T を挟んで対向していることを特徴とする。

[0007] また、上記課題を解決するための第二の態様は、例えば、半導体装置であって、基板上に設けられた F E T (Field effect transistor) と、前記 F E T を挟んで前記基板と反対側に設けられた第 1 の電極と、前記第 1 の電極を挟んで前記 F E T と反対側に設けられたダイオードと、前記ダイオードを挟んで前記第 1 の電極と反対側に設けられた第 2 の電極と、を備え、前記 F E T は、板状に形成されており、一方の面にソースおよびゲートが設けられ、他方の面にドレインが設けられ、前記ソースが前記基板上の第 1 の配線パターンに接続され、前記ゲートが前記基板上の第 2 の配線パターンに接続され、前記ドレインが前記第 1 の電極に接続され、前記ダイオードは、板状に形成されており、一方の面にアノードが設けられ、他方の面にカソードが設けられ、前記カソードが前記第 1 の電極に接続され、前記アノードが前記第 2 の電極に接続され、前記第 2 の電極と前記第 1 の配線パターンとが接続され、前記第 1 の電極の前記ダイオードと接続する面は、前記 F E T 及び前記ダイオードより大きく、前記 F E T の辺と平行かつ前記ソース及び前記ゲートを通る線を含み、前記 F E T の前記一方の面に直交する面で前記半導体装置を切断した断面において、前記カソードの長さは、前記ソースの長さと同様にゲートの長さの和よりも長いことを特徴とする。

[0008] また、上記課題を解決するための第三の態様は、例えば、半導体装置であって、基板上に設けられた第1のFET (Field effect transistor) と、前記第1のFETを挟んで前記基板と反対側に設けられた第1の電極と、前記第1の電極を挟んで前記第1のFETと反対側に設けられた第1のダイオードと、前記第1のダイオードを挟んで前記第1の電極と反対側に設けられた第2の電極と、前記第2の電極を挟んで前記第1のダイオードと反対側に設けられた第2のダイオードと、前記第2のダイオードを挟んで前記第2の電極と反対側に設けられた第3の電極と、前記第3の電極を挟んで前記第2のダイオードと反対側に設けられた第2のFETと、前記第2のFETを挟んで前記第3の電極と反対側に設けられた第4の電極と、を備え、前記第1および第2のFETは、それぞれ板状に形成されており、一方の面にソースおよびゲートが設けられ、他方の面にドレインが設けられ、前記第1のFETのソースが前記基板上に設けられた第1の配線パターンに接続され、前記第1のFETのゲートが前記基板上に設けられた第2の配線パターンに接続され、前記第1のFETのドレインが前記第1の電極に接続され、前記第1の電極の脚部と、前記基板上の前記第1の配線パターン及び前記第2の配線パターンとは異なる配線パターンとが接続され、前記第2のFETのソースが前記第3の電極に接続され、前記第2のFETのゲートが第5の電極に接続され、前記第2のFETのドレインが前記第4の電極に接続され、前記第1および第2のダイオードは、それぞれ、少なくとも一部が板状に形成されており、一方の面にアノードが設けられ、他方の面にカソードが設けられ、前記第1のダイオードのカソードが前記第1の電極に接続され、前記第1のダイオードのアノードが前記第2の電極に接続され、前記第2のダイオードのカソードが前記第2の電極に接続され、前記第2のダイオードのアノードが前記第3の電極に接続され、前記第2の電極の脚部と前記第1の配線パターンとが接続され、前記第1の電極の脚部と、前記第2の電極の脚部及び前記第4の電極の脚部とは、前記第1のFET、前記第2のFET、前記第1のダイオード及び前記第2のダイオードを挟んで対向していることを特徴とす

る。

[0009] また、上記課題を解決するための第四の態様は、例えば、半導体装置であって、基板上に設けられた第1のFET (Field effect transistor) と、前記第1のFETを挟んで前記基板と反対側に設けられた第1の電極と、前記第1の電極を挟んで前記第1のFETと反対側に設けられた第1のダイオードと、前記第1のダイオードを挟んで前記第1の電極と反対側に設けられた第2の電極と、前記第2の電極を挟んで前記第1のダイオードと反対側に設けられた第2のダイオードと、前記第2のダイオードを挟んで前記第2の電極と反対側に設けられた第3の電極と、前記第3の電極を挟んで前記第2のダイオードと反対側に設けられた第2のFETと、前記第2のFETを挟んで前記第3の電極と反対側に設けられた第4の電極と、を備え、前記第1および第2のFETは、それぞれ板状に形成されており、一方の面にソースおよびゲートが設けられ、他方の面にドレインが設けられ、前記第1のFETのソースが前記基板上に設けられた第1の配線パターンに接続され、前記第1のFETのゲートが前記基板上に設けられた第2の配線パターンに接続され、前記第1のFETのドレインが前記第1の電極に接続され、前記第2のFETのソースが前記第3の電極に接続され、前記第2のFETのゲートが第5の電極に接続され、前記第2のFETのドレインが前記第4の電極に接続され、前記第1および第2のダイオードは、それぞれ、少なくとも一部が板状に形成されており、一方の面にアノードが設けられ、他方の面にカソードが設けられ、前記第1のダイオードのカソードが前記第1の電極に接続され、前記第1のダイオードのアノードが前記第2の電極に接続され、前記第2のダイオードのカソードが前記第2の電極に接続され、前記第2のダイオードのアノードが前記第3の電極に接続され、前記第2の電極と前記第4の電極と前記第1の配線パターンとが接続され、前記第1の電極の前記第1のダイオードと接続する面は、前記第1のFET及び前記第1のダイオードより大きく、前記第1のFETの辺と平行かつ前記第1のFETのソース及び前記第1のFETのゲートを通る線を含み、前記第1のFETの前記一方の

面に直交する面で前記半導体装置を切断した断面において、前記第 1 のダイオードのカソードの長さは、前記第 1 の F E T のソースの長さと同記第 1 の F E T のゲートの長さの和よりも長いことを特徴とする。

発明の効果

[0010] 本発明によれば、スイッチング素子とダイオードとを有する半導体装置の更なる小型化を実現することができる。

図面の簡単な説明

[0011] [図1]本発明の一実施形態に係る半導体装置 1 0 の構造の一例を示す断面図 (a) および平面図 (b) である。

[図2]半導体装置 1 0 が用いられる回路の一例を示す回路図である。

[図3]基板 1 8 上に設けられた配線パターン 1 5、配線パターン 1 6、および配線パターン 1 7 の一例を示す概念図である。

[図4] F E T 1 4 の構造の一例を説明するための概念図である。

[図5]電極 1 3 の形状の一例を説明するための概念図である。

[図6]電極 1 1 の形状の一例を説明するための概念図である。

[図7]半導体装置 1 0 の製造過程の一例を示すフローチャートである。

[図8]配線パターン 1 5 および配線パターン 1 6 上に F E T 1 4 が配置された状態の一例を説明するための概念図である。

[図9] F E T 1 4 および配線パターン 1 7 上に電極 1 3 が配置された状態の一例を説明するための概念図である。

[図10]電極 1 3 上にダイオード 1 2 が配置された状態の一例を説明するための概念図である。

[図11]半導体装置 1 0 の構造の他の例を示す断面図である。

[図12]半導体モジュール 1 9 の構造の一例を示す断面図 (a) および底面図 (b) である。

[図13]半導体モジュール 1 9 の構造の他の例を示す断面図である。

[図14]配線パターン 1 5 および配線パターン 1 6 上に設けられた突起および溝の一例を示す平面図 (a) および断面図 (b) である。

[図15]本発明の他の実施形態に係る半導体装置20の構造の一例を示す断面図(a)および平面図(b)である。

[図16]本発明の他の実施形態に係る半導体装置20の構造の一例を示す断面図である。

[図17]半導体装置20の外観の一例を示す斜視図である。

[図18]電極23の形状の一例を説明するための概念図である。

発明を実施するための形態

[0012] 以下、本発明の実施の形態について図面を参照しながら説明する。

[0013] 図1は、本発明の一実施形態に係る半導体装置10の構造の一例を示す断面図(a)および平面図(b)である。図1(a)は、図1(b)の半導体装置20のA-A断面図である。半導体装置10は、電極11、ダイオード12、電極13、FET(Field effect transistor)14、配線パターン15、配線パターン16、配線パターン17、および基板18を備える。FET14は、スイッチング素子の一例である。

[0014] 本実施形態に示す半導体装置10は、例えば図2に示すような回路に用いられる。図2に例示した回路は、3相PWM(Pulse Width Modulation)インバータから構成される電力変換回路であり、高圧直流電源線であるP電源線と低圧直流電源線であるN電源線と間にそれぞれU相出力部、V相出力部、およびW相出力部を有する。

[0015] U相出力部、V相出力部、およびW相出力部は、それぞれスイッチング素子(FET)とダイオードとが並列に接続された半導体装置10を2組ずつ有する。それぞれの半導体装置10では、FETのドレインとダイオードのカソードが接続され、FETのソースとダイオードのアノードが接続されている。

[0016] それぞれのFETのゲートは、制御回路によってオン／オフ制御され、P電源線およびN電源線から供給される直流電流が交流電流に変換されてモータに供給され、モータが駆動する。

[0017] 図1に戻って説明を続ける。基板18上には、例えばCu(銅)等を用い

て配線パターン１５、配線パターン１６、および配線パターン１７が形成される。基板１８は、熱伝導率および絶縁性が高い、例えば窒化アルミニウム等のセラミックスで形成されることが好ましい。また、基板１８を熱伝導率の高い銅やアルミニウム等の金属で形成してもよいが、その場合には、基板１８上に窒化アルミ等で絶縁層を形成し、その上に配線パターン１５～１７を設ける。

[0018] 配線パターン１５および配線パターン１６には、例えば図３に示すように、ＦＥＴ１４が配置される領域に沿って、凹部１５１および凹部１６０がそれぞれ設けられている。凹部１５１は、配線パターン１５の他の領域よりも薄く形成されており、凹部１６０は、配線パターン１６の他の領域よりも薄く形成されている。

[0019] 凹部１５１および凹部１６０が設けられていることにより、配線パターン１５および配線パターン１６の上にＦＥＴ１４を載せる際の位置決めの精度を向上させることができると共に、他の部品をＦＥＴ１４の上にさらに載せた場合に、配線パターン１５上や配線パターン１６上でＦＥＴ１４がずれることを防止することができる。

[0020] また、凹部１５１および凹部１６０が設けられていることにより、配線パターン１５および配線パターン１６の上に銀ナノペースト等の導電性接合剤を塗布してからＦＥＴ１４を載せた場合に、導電性接合剤が配線パターン１５または配線パターン１６上の他の領域に漏れ出るのを防止することができる。

[0021] ＦＥＴ１４は、例えば板状に形成され、図４に示すように、一方の面にゲートおよびソースが設けられ、他方の面にドレインが設けられる。本実施形態において、ＦＥＴ１４は、材料としてＳｉＣ（炭化ケイ素）を用いることが好ましい。

[0022] そして、導電性接合剤により、ＦＥＴ１４のソースが配線パターン１５の凹部１５１に固着され、ＦＥＴ１４のゲートが配線パターン１６の凹部１６０に固着される。導電性接合剤としては、金属ナノペースト（例えば銀ナノ

ペースト)やハンダペーストを用いることができる。

[0023] 電極13は、例えばCu等により、例えば図5に示す形状に形成される。電極13においてダイオード12と接続する面には、例えば図5(a)に示すような凹部130が形成され、FET14と接続する面には、例えば図5(b)に示すような凹部131が形成される。

[0024] そして、銀ナノペースト等の導電性接合剤により、凹部131がFET14のドレインに固着され、脚部132が配線パターン17の領域170に固着される。凹部131は、例えばFET14のドレインが設けられた面(より好ましくは面全体)でFET14に固着される。

[0025] ダイオード12は、例えば板状に形成され、一方の面にアノードが設けられ、他方の面にカソードが設けられる。本実施形態において、ダイオード12は、材料としてSiC(炭化ケイ素)を用いることが好ましい。

[0026] そして、銀ナノペースト等の導電性接合剤により、ダイオード12のカソードが電極13の凹部130に固着される。ダイオード12は、例えばダイオード12のカソードが設けられた面(より好ましくは面全体)で凹部130に固着される。

[0027] 電極13の凹部130や凹部131が設けられていることにより、電極13とFET14との位置決め精度、および、電極13とダイオード12との位置決め精度を向上させることができると共に、導電性接合剤が電極13上の他の領域に漏れ出るのを防止することができる。

[0028] 電極11は、例えばCu等により、例えば図6に示す形状に形成される。電極11においてダイオード12と接続する面には、例えば図6(b)に示すような凹部110が形成される。

[0029] そして、銀ナノペースト等の導電性接合剤により、凹部110がダイオード12のアノードが設けられた面に固着され、脚部111が配線パターン15の領域150に固着される。脚部111は、例えばダイオード12のアノードが設けられた面(より好ましくは、面全体)でダイオード12に固着されることが好ましい。

- [0030] 電極 11 の凹部 110 が設けられていることにより、電極 11 とダイオード 12 との位置決め精度を向上させることができると共に、導電性接合剤が電極 13 上の他の領域に漏れ出るのを防止することができる。
- [0031] このように、本実施形態の半導体装置 10 は、電極 13 を介してダイオード 12 と FET 14 とを積み重ねて構成するため、ダイオード 12 と FET 14 とを基板上に横に並べて配置する従来のパワーモジュールの構造よりも実装面積を削減することができ、小型化することができる。
- [0032] また、ダイオード 12 と FET 14 とを積み重ねることにより、基板上に横に並べて配置する場合よりも、配線を短くすることができるため、配線抵抗の熱による損失を低減することができ、電力効率の向上、発生する熱の低減を実現することができる。
- [0033] また、本実施形態におけるダイオード 12 および FET 14 は、SiC（炭化ケイ素）を用いて作成されてもよく、その場合には、通常のシリコンを用いて作成された場合に比べて、高温（例えば 300℃ 程度）での動作が可能となる。
- [0034] ここで、ダイオードや FET をシリコンを用いて作成したとすれば、150℃ 程度までの温度範囲でしか正常な動作ができないため、これらのダイオード 12 および FET 14 を用いて回路を構成すると、回路全体の温度上昇を 150℃ 未満とするための冷却装置を設けなければならない、装置が大型化・複雑化する場合がある。
- [0035] これに対して、本実施形態の半導体装置 10 では、ダイオード 12 および FET 14 に SiC（炭化ケイ素）を用いるため、高温での動作が可能となり、大掛かりな冷却装置が不要となり、装置の小型化・簡略化が可能となる。
- [0036] また、シリコンで作成された従来のダイオードや FET を用いた回路では動作温度の範囲が 150℃ 程度までであったため、ダイオードや FET をワイヤボンディングで配線することが可能である。しかし、本実施形態のように、ダイオード 12 および FET 14 に SiC（炭化ケイ素）を用いると、

300℃程度の温度でダイオード12やFET14を動作させることも可能となる。

[0037] そのような場合には、配線をワイヤボンディングで行うとすれば、ワイヤが溶断してしまう場合がある。これに対して、本実施形態の半導体装置10では、ダイオード12やFET14をワイヤではなく、幅の広い電極や配線パターンで接続するため、動作中にダイオード12やFET14が300℃程度に達する場合であっても、断線することなく接続状態を維持することができる。

[0038] また、ワイヤボンディングであっても、ワイヤの本数を増やすことで、1本あたりに流れる電流を減らして、全体として配線抵抗の減少やワイヤの溶断を防止することも考えられるが、ボンダのキャピラリを小さくすることには限界があり、ある程度の距離をあけて配線せざるを得ないため、ワイヤの本数をあまり増やすことができない（あるいは、端子の面積を増やすことで、ワイヤの本数を増加させるしかない）。また、ワイヤの本数を増やすと、配線作業にかかる時間も増大する。

[0039] これに対して、本実施形態の半導体装置10では、物理的な本実施形態の半導体装置10では、ダイオード12やFET14を、ワイヤではなく幅の広い電極や配線パターンで接続するため、抵抗の低い配線が可能となる。

[0040] また、本実施形態では、スイッチング素子の一例としてFET14を用いたが、他の形態として、FET14に代えてIGBT（Insulated Gate Bipolar Transistor）等のバイポーラトランジスタを用いてもよい。FET14に代えてIGBTを設けた場合、図1において、配線パターン16にはベースが、配線パターン15にはエミッタが、電極13にはコレクタが、それぞれ接続される。

[0041] 図7は、半導体装置10の製造過程の一例を示すフローチャートである。

[0042] まず、例えば図3に示すように、基板18上にCu等を用いて、配線パターン15、配線パターン16、および配線パターン17が、例えばメッキやスパッタリング等により形成され、凹部151および凹部160が、例えば

エッチング等により形成される（S100）。

[0043] 次に、配線パターン15、配線パターン16、および配線パターン17に、銀ナノペースト等の導電性接合剤が塗布される（S101）。より詳細には、配線パターン15の領域150および凹部151、配線パターン16の凹部160、ならびに配線パターン17の領域170に、銀ナノペースト等の導電性接合剤が塗布される。

[0044] 次に、FET14が、導電性接合剤が塗布された配線パターン15および配線パターン16上に載せられる（S102）。より詳細には、FET14のソースが配線パターン15の凹部151上に、FET14のゲートが配線パターン16の凹部160上に載せられて、例えば図8に示すような状態になる。

[0045] 次に、FET14のドレインの面に銀ナノペースト等の導電性接合剤が塗布される（S103）。

[0046] 次に、電極13がFET14および配線パターン17の上に載せられる（S104）。より詳細には、電極13の凹部131がFET14のドレインの面上に、電極13の脚部132が配線パターン17の領域170上に載せられて、例えば図9に示すような状態になる。

[0047] 次に、電極13の凹部130に銀ナノペースト等の導電性接合剤が塗布される（S105）。

[0048] 次に、ダイオード12が電極13の凹部130上に載せられる（S106）。より詳細には、ダイオード12のカソードの面が電極13の凹部130上に載せられて、例えば図10に示すような状態になる。

[0049] 次に、ダイオード12のアノードの面に銀ナノペースト等の導電性接合剤が塗布される（S107）。

[0050] 次に、電極11がダイオード12および配線パターン15の上に載せられる（S108）。より詳細には、電極11の凹部110がダイオード12のアノードの面上に、電極11の脚部111が配線パターン15の領域150上に載せられて、例えば図1（b）に示したような状態になる。

- [0051] 次に、半導体装置 10 全体が熱処理されて、銀ナノペースト等の導電性接合剤が固化し（S 109）、本フローチャートに示した半導体装置 10 の製造工程が終了する。
- [0052] 以上、本発明の実施の形態について説明した。
- [0053] 上記説明から明らかなように、本実施形態の半導体装置 10 によれば、スイッチング素子とダイオードとを有する半導体装置の更なる小型化を実現することができる。
- [0054] なお、上記した実施形態における半導体装置は、FET 14 のソースとドレインを反対の面に設け、ダイオード 12 を反対に取り付けることにより、例えば図 11 に示すように半導体装置 10 を構成してもよい。
- [0055] また、半導体装置 10 は、例えば図 12 に示すように、電極 11 上に絶縁性の高い樹脂等の絶縁層 192 を設け、その上に放熱板 191 を設け、全体をモールド樹脂 190 で封止した半導体モジュール 19 として構成されてもよい。図 12（b）は、半導体モジュール 19 の底面図であり、図 12（a）は、図 12（b）の B-B 断面図である。
- [0056] なお、放熱板 191 において、絶縁層 192 に接する面と反対側の面は、半導体モジュール 19 の外部に露出している。そのため、半導体モジュール 19 が取り付けられた装置の金属筐体などに放熱板 191 を接触させることで、より効率よく半導体モジュール 19 の熱を外部へ放出することができる。また、放熱板 191 において、絶縁層 192 に接する面と反対側の面に、凹凸やフィンを設けて表面積を増加させることにより、より効率よく半導体モジュール 19 の熱を外部へ放出することができる。
- [0057] 図 12 に例示した半導体モジュール 19 では、基板 18 に複数のスルーホール 180 を設け、配線パターンが設けられた基板 18 の面と反対側の面にそれぞれのスルーホール 180 に接続するためのハンダボール 181 が設けられる。
- [0058] 領域 182 には、配線パターン 15 に接続するスルーホール 180 のハンダボール 181 が配置され、領域 183 には、配線パターン 16 に接続する

スルーホール 180 のハンダボール 181 が配置され、領域 184 には、配線パターン 17 に接続するスルーホール 180 のハンダボール 181 が配置される。このような構成により、半導体モジュール 19 を、他の回路基板上に容易に表面実装することができる。

[0059] また、半導体装置 10 は、例えば図 13 に示すように、電極 11 上に絶縁層 192 を介して放熱板 191 を設け、全体をモールド樹脂 190 で封止し、基板 18 上の配線パターンに接続するリード 40 およびリード 41 を設けた半導体モジュール 19 として構成されてもよい。図 13 の例では、FET 14 のゲートの配線パターン 16 に接続されたリードも設けられている。

[0060] また、上記した実施形態において、電極 11、電極 13、配線パターン 15、および配線パターン 16 には、凹部を設けることにより、ダイオード 12 や FET 14 の位置決め精度の向上や製造過程での位置ずれの防止、銀ナノペースト等の導電性接合剤の他の領域へ漏れ出るのを堰き止めることができるが、本発明はこれに限られない。

[0061] 例えば、図 14 に示すように、配線パターンや電極に溝や突起を設けるようにしてもよい。図 14 (a) は、配線パターン 15、配線パターン 16、および配線パターン 17 の平面図であり、図 14 (b) は、図 14 (a) の C-C 断面図である。

[0062] 図 14 に示す例では、配線パターン 15 において、FET 14 のソースが配置される領域 153 に沿って溝 152 が設けられ、配線パターン 16 において、FET 14 のゲートが配置される領域 162 に沿って突起 161 が設けられている。

[0063] このような溝を設けることでも、銀ナノペースト等の導電性接合剤の他の領域への漏れ出しの防止を実現することができる。なお、溝は、FET 14 のソースが配置される領域 153 や、FET 14 のゲートが配置される領域 162 を完全に囲む必要はなく、他の信号線との距離が短いなど、導電性接合剤の漏れ出しにより短絡等の影響が懸念される部分について溝を設けるようにしてもよい。

- [0064] また、図 1 4 に示すように、配線パターン 1 5 において、F E T 1 4 のソースが配置される領域 1 5 3 に沿って突起 1 5 4 ~ 1 5 6 が設けられ、配線パターン 1 6 において、F E T 1 4 のゲートが配置される領域 1 6 2 に沿って突起 1 6 1 が設けられるようにしてもよい。
- [0065] 図 1 4 の突起 1 5 4 ~ 1 5 6 では、配線パターン 1 5 からの高さよりも領域 1 5 3 に沿う方向の長さが長いものを例示しているが、配線パターン 1 5 からの高さよりも領域 1 5 3 に沿う方向の長さが同じか短いものであてもよい。
- [0066] このような突起を設けることでも、ダイオード 1 2 や F E T 1 4 の位置決め精度の向上や製造過程での位置ずれの防止を実現することができる。なお、電極 1 1 および電極 1 3 においても、同様に、凹部に代えて、上述の溝、突起、またはその両方を設けるようにしてもよい。
- [0067] また、上記した実施形態では、F E T 1 4 とダイオード 1 2 とを 1 つずつ重ねた半導体装置 1 0 を例示したが、本発明はこれに限られず、F E T とダイオードとを 2 つずつ以上重ねて半導体装置 1 0 を構成してもよい。
- [0068] 図 1 5 ~ 1 7 は、F E T とダイオードとを 2 つずつ重ねて構成した場合の半導体装置 2 0 の構造の一例を示す概念図である。図 1 5 (b) は、半導体装置 2 0 の平面図であり、図 1 5 (a) は、図 1 5 (b) の半導体装置 2 0 の D - D 断面図であり、図 1 6 は、図 1 5 (b) の半導体装置 2 0 の E - E 断面図である。
- [0069] 半導体装置 2 0 は、電極 2 1、F E T 2 2、電極 2 3、ダイオード 2 4、電極 2 5、ダイオード 2 6、電極 2 7、F E T 2 8、配線パターン 2 9、配線パターン 3 0、配線パターン 3 1、基板 3 2、配線パターン 3 3、および配線パターン 3 4 を備える。
- [0070] 熱伝導率および絶縁性の高い窒化アルミニウムなどのセラミックスを用いて形成された基板 3 2 上には、例えば C u 等を用いて配線パターン 2 9、配線パターン 3 0、配線パターン 3 1、配線パターン 3 3、および配線パターン 3 4 が形成される。

- [0071] FET 28は、例えば板状に形成され、銀ナノペースト等の導電性接合剤により、FET 28のソースが配線パターン29の凹部に固着され、FET 28のゲートが配線パターン30の凹部に固着される。
- [0072] 電極27は、例えばCu等により、例えば図5に示した形状に形成され、銀ナノペースト等の導電性接合剤により、一方の凹部がFET 28のドレインに固着され、他方の凹部がダイオード26のカソードに固着され、脚部が配線パターン31に固着される。
- [0073] ダイオード26は、例えば板状に形成され、一方の面に設けられたカソードが電極27の凹部に、他方の面に設けられたアノードが電極25の凹部に、銀ナノペースト等の導電性接合剤により固着される。
- [0074] 電極25は、例えばCu等により、例えば図5に示した形状に形成され、銀ナノペースト等の導電性接合剤により、一方の凹部がダイオード26のアノードに固着され、他方の凹部がダイオード24のカソードに固着され、脚部が配線パターン29に固着される。
- [0075] ダイオード24は、例えば板状に形成され、一方の面に設けられたカソードが電極25の凹部に、他方の面に設けられたアノードが電極23の凹部に、銀ナノペースト等の導電性接合剤により固着される。
- [0076] 電極23は、例えばCu等により、例えば図18に示す形状に形成される。電極23は、ソース電極230、絶縁部231、およびゲート電極232を有する。電極23においてFET 22と接続する面には、例えば図18(a)に示すような凹部233が形成され、ダイオード24と接続する面には、例えば図18(b)に示すような凹部234が形成される。
- [0077] ソース電極230は、凹部234の面でダイオード24のアノードに接続し、凹部233の一部の面でFET 22のソースに接続する。ゲート電極232は、凹部233の一部の面でFET 22のゲートに接続する。絶縁部231は、ソース電極230と絶縁部231とを絶縁する。
- [0078] 電極23のソース電極230は、ソース脚部235で配線パターン33に接続し、ゲート電極232は、ゲート脚部236で配線パターン34に接続

し（図１７（ｂ）参照）。

[0079] FET 22は、例えば板状に形成され、銀ナノペースト等の導電性接合剤により、FET 22のソースが電極23の絶縁部231に固着され、FET 22のゲートがゲート電極232に固着される。

[0080] 電極21は、例えばCu等により、例えば図6に示した形状に形成され、銀ナノペースト等の導電性接合剤により、凹部がFET 22のドレインに固着され、脚部が電極25に固着される。

[0081] このような構造とすることにより、図2に示した回路において、例えば、半導体装置10を2つずつ有する各相の出力部を1つの半導体装置20で構成することができる。これにより、図2に示した回路のさらなる小型化を実現することができる。

[0082] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に多様な変更または改良を加えることが可能であることが当業者には明らかである。また、そのような変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、特許請求の範囲の記載から明らかである。

符号の説明

[0083] 10・・・半導体装置、11・・・電極、12・・・ダイオード、13・・・電極、14・・・FET、15・・・配線パターン、16・・・配線パターン、17・・・配線パターン、18・・・基板、19・・・半導体モジュール、20・・・半導体装置、21・・・電極、22・・・FET、23・・・ダイオード24・・・電極、25・・・電極、26・・・ダイオード、27・・・電極、28・・・FET、29・・・配線パターン、30・・・配線パターン、31・・・基板32・・・配線パターン、33・・・配線パターン、34・・・基板

請求の範囲

[請求項1]

半導体装置であって、
基板上に設けられたF E T (Field effect transistor) と、
前記F E Tを挟んで前記基板と反対側に設けられた第1の電極と、
前記第1の電極を挟んで前記F E Tと反対側に設けられたダイオードと、
前記ダイオードを挟んで前記第1の電極と反対側に設けられた第2の電極と、
を備え、
前記F E Tは、板状に形成されており、
一方の面にソースおよびゲートが設けられ、他方の面にドレインが設けられ、
前記ソースが前記基板上の第1の配線パターンに接続され、
前記ゲートが前記基板上の第2の配線パターンに接続され、
前記ドレインが前記第1の電極に接続され、
前記第1の電極の脚部と、前記基板上の前記第1の配線パターン及び前記第2の配線パターンとは異なる配線パターンとが接続され、
前記ダイオードは、板状に形成されており、
一方の面にアノードが設けられ、他方の面にカソードが設けられ、
前記カソードが前記第1の電極に接続され、
前記アノードが前記第2の電極に接続され、
前記第2の電極の脚部と、前記第1の配線パターンとが接続され、
前記第1の電極の脚部と、前記第2の電極の脚部とは、前記F E Tを挟んで対向している
ことを特徴とする半導体装置。

[請求項2]

半導体装置であって、
基板上に設けられたF E T (Field effect transistor) と、
前記F E Tを挟んで前記基板と反対側に設けられた第1の電極と、

前記第 1 の電極を挟んで前記 F E T と反対側に設けられたダイオードと、

前記ダイオードを挟んで前記第 1 の電極と反対側に設けられた第 2 の電極と、

を備え、

前記 F E T は、板状に形成されており、

一方の面にソースおよびゲートが設けられ、他方の面にドレインが設けられ、

前記ソースが前記基板上の第 1 の配線パターンに接続され、

前記ゲートが前記基板上の第 2 の配線パターンに接続され、

前記ドレインが前記第 1 の電極に接続され、

前記ダイオードは、板状に形成されており、

一方の面にアノードが設けられ、他方の面にカソードが設けられ、

前記カソードが前記第 1 の電極に接続され、

前記アノードが前記第 2 の電極に接続され、

前記第 2 の電極と前記第 1 の配線パターンとが接続され、

前記第 1 の電極の前記ダイオードと接続する面は、前記 F E T 及び前記ダイオードより大きく、

前記 F E T の辺と平行かつ前記ソース及び前記ゲートを通る線を含み、前記 F E T の前記一方の面に直交する面で前記半導体装置を切断した断面において、前記カソードの長さは、前記ソースの長さと同記ゲートの長さの和よりも長い

ことを特徴とする半導体装置。

[請求項 3]

請求項 1 又は 2 に記載の半導体装置であって、

前記 F E T の辺と平行かつ前記ソース及び前記ゲートを通る線を含み、前記 F E T の前記一方の面に直交する面で前記半導体装置を切断した断面において、前記第 1 の電極及び前記第 2 の電極は L 字形状であり、

前記第 1 の電極及び前記第 2 の電極は、前記 L 字形状のうちの長辺に相当する部分が前記基板と平行、かつ前記 L 字形状のうちの短辺に相当する部分の先端が前記基板上のパターンと当接するように設けられる

ことを特徴とする半導体装置。

[請求項 4]

請求項 1 から 3 のいずれかに記載の半導体装置であって、

前記第 1 および第 2 の電極は、少なくとも一部が板状の電極であり、

、

前記第 1 の電極は、

前記 F E T における前記ドレインの面で前記 F E T と接続し、前記ダイオードにおける前記カソードの面で前記ダイオードと接続し、

前記第 2 の電極は、

前記ダイオードにおける前記アノードの面で前記ダイオードと接続し、

前記第 1 の配線パターンは、

前記 F E T における前記ソースの面で前記 F E T と接続していることを特徴とする半導体装置。

[請求項 5]

請求項 1 から 4 のいずれかに記載の半導体装置であって、

前記第 1 の電極には、

前記 F E T と接続される面に、前記第 1 の電極と前記 F E T との位置を合わせるための窪みまたは突起が設けられ、

前記ダイオードと接続される面に、前記第 1 の電極と前記ダイオードとの位置を合わせるための窪みまたは突起が設けられており、

前記第 2 の電極には、

前記ダイオードと接続される面に、前記第 2 の電極と前記ダイオードとの位置を合わせるための窪みまたは突起が設けられており、

前記 1 の配線パターンには、

前記 F E T と接続される面に、前記第 1 の配線パターンと前記 F E

Tとの位置を合わせるための窪みまたは突起が設けられていることを特徴とする半導体装置。

[請求項6] 請求項1から5のいずれか一項に記載の半導体装置であって、
前記第1の電極と前記FET、前記第1の電極と前記ダイオード、
前記第2の電極と前記ダイオード、前記第1の配線パターンと前記FETは、それぞれ導電性の接合剤で接続され、

前記第1の電極における前記FETが接続される側および前記ダイオードが接続される側、前記第2の電極における前記ダイオードが接続される側、ならびに、前記第1の配線パターンにおける前記FETが接続される側には、それぞれ、前記導電性の接合剤の広がりを抑えるための堰き止め部が設けられていることを特徴とする半導体装置。

[請求項7] 請求項1から6のいずれか一項に記載の半導体装置において、
前記第2の電極を挟んで前記ダイオードと反対側に設けられ絶縁層と、

前記絶縁層を挟んで前記第2の電極と反対側に設けられた放熱板とをさらに備え、

前記半導体装置を樹脂封止し、前記放熱板において前記絶縁層に接する面と反対側の部分を外部に露出させたことを特徴とする半導体装置。

[請求項8] 半導体装置であって、
基板上に設けられた第1のFET (Field effect transistor) と、
前記第1のFETを挟んで前記基板と反対側に設けられた第1の電極と、

前記第1の電極を挟んで前記第1のFETと反対側に設けられた第1のダイオードと、

前記第1のダイオードを挟んで前記第1の電極と反対側に設けられた第2の電極と、

前記第 2 の電極を挟んで前記第 1 のダイオードと反対側に設けられた第 2 のダイオードと、

前記第 2 のダイオードを挟んで前記第 2 の電極と反対側に設けられた第 3 の電極と、

前記第 3 の電極を挟んで前記第 2 のダイオードと反対側に設けられた第 2 の F E T と、

前記第 2 の F E T を挟んで前記第 3 の電極と反対側に設けられた第 4 の電極と

を備え、

前記第 1 および第 2 の F E T は、それぞれ板状に形成されており、一方の面にソースおよびゲートが設けられ、他方の面にドレインが設けられ、

前記第 1 の F E T のソースが前記基板上に設けられた第 1 の配線パターンに接続され、

前記第 1 の F E T のゲートが前記基板上に設けられた第 2 の配線パターンに接続され、

前記第 1 の F E T のドレインが前記第 1 の電極に接続され、

前記第 1 の電極の脚部と、前記基板上の前記第 1 の配線パターン及び前記第 2 の配線パターンとは異なる配線パターンとが接続され、

前記第 2 の F E T のソースが前記第 3 の電極に接続され、

前記第 2 の F E T のゲートが第 5 の電極に接続され、

前記第 2 の F E T のドレインが前記第 4 の電極に接続され、

前記第 1 および第 2 のダイオードは、それぞれ、少なくとも一部が板状に形成されており、一方の面にアノードが設けられ、他方の面にカソードが設けられ、

前記第 1 のダイオードのカソードが前記第 1 の電極に接続され、

前記第 1 のダイオードのアノードが前記第 2 の電極に接続され、

前記第 2 のダイオードのカソードが前記第 2 の電極に接続され、

前記第 2 のダイオードのアノードが前記第 3 の電極に接続され、
前記第 2 の電極の脚部と前記第 1 の配線パターンとが接続され、
前記第 1 の電極の脚部と、前記第 2 の電極の脚部及び前記第 4 の電極の脚部とは、前記第 1 の F E T、前記第 2 の F E T、前記第 1 のダイオード及び前記第 2 のダイオードを挟んで対向している
ことを特徴とする半導体装置。

[請求項9]

半導体装置であって、
基板上に設けられた第 1 の F E T (Field effect transistor) と、
、
前記第 1 の F E T を挟んで前記基板と反対側に設けられた第 1 の電極と、
前記第 1 の電極を挟んで前記第 1 の F E T と反対側に設けられた第 1 のダイオードと、
前記第 1 のダイオードを挟んで前記第 1 の電極と反対側に設けられた第 2 の電極と、
前記第 2 の電極を挟んで前記第 1 のダイオードと反対側に設けられた第 2 のダイオードと、
前記第 2 のダイオードを挟んで前記第 2 の電極と反対側に設けられた第 3 の電極と、
前記第 3 の電極を挟んで前記第 2 のダイオードと反対側に設けられた第 2 の F E T と、
前記第 2 の F E T を挟んで前記第 3 の電極と反対側に設けられた第 4 の電極と
を備え、
前記第 1 および第 2 の F E T は、それぞれ板状に形成されており、一方の面にソースおよびゲートが設けられ、他方の面にドレインが設けられ、
前記第 1 の F E T のソースが前記基板上に設けられた第 1 の配線パ

ターンに接続され、

前記第 1 の F E T のゲートが前記基板上に設けられた第 2 の配線パターンに接続され、

前記第 1 の F E T のドレインが前記第 1 の電極に接続され、

前記第 2 の F E T のソースが前記第 3 の電極に接続され、

前記第 2 の F E T のゲートが第 5 の電極に接続され、

前記第 2 の F E T のドレインが前記第 4 の電極に接続され、

前記第 1 および第 2 のダイオードは、それぞれ、少なくとも一部が板状に形成されており、一方の面にアノードが設けられ、他方の面にカソードが設けられ、

前記第 1 のダイオードのカソードが前記第 1 の電極に接続され、

前記第 1 のダイオードのアノードが前記第 2 の電極に接続され、

前記第 2 のダイオードのカソードが前記第 2 の電極に接続され、

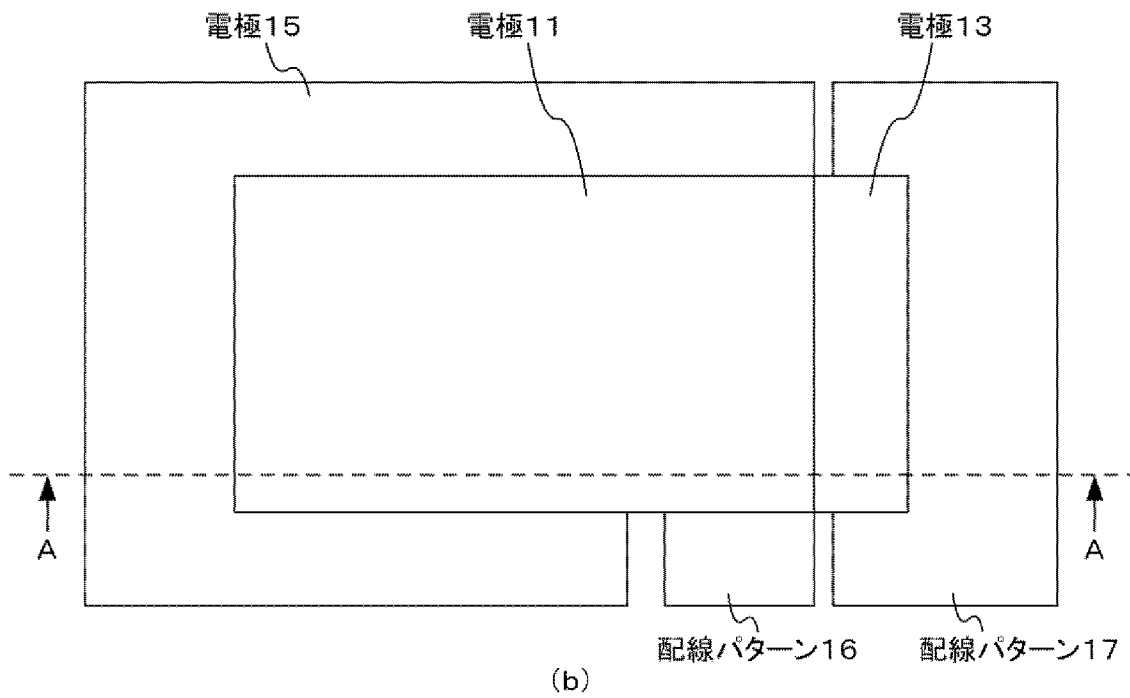
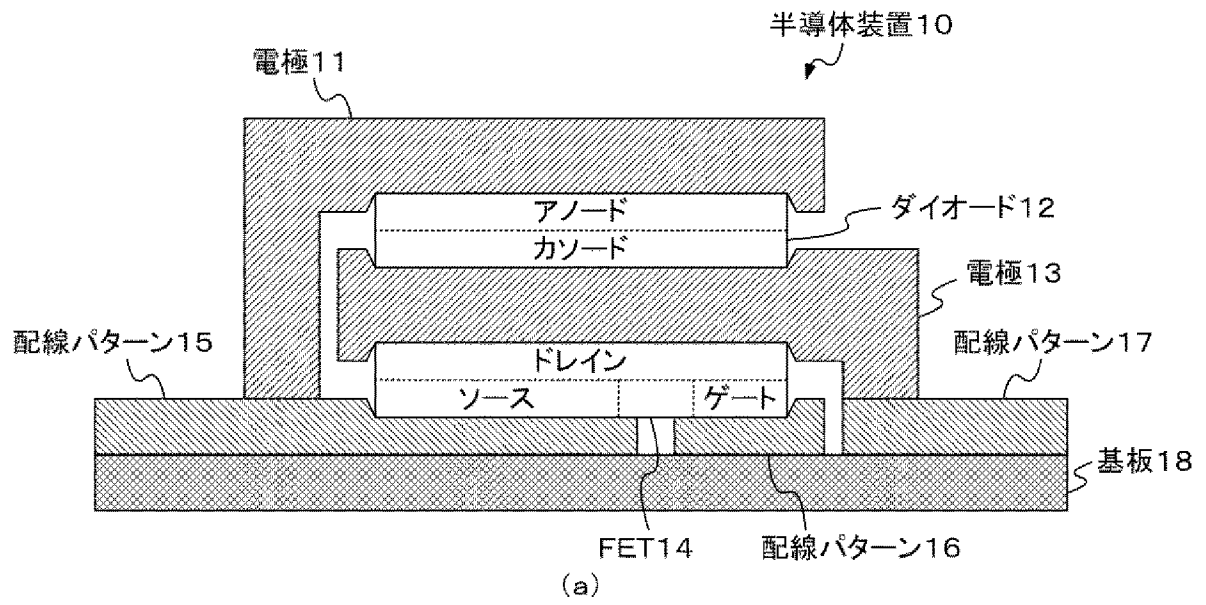
前記第 2 のダイオードのアノードが前記第 3 の電極に接続され、

前記第 2 の電極と前記第 4 の電極と前記第 1 の配線パターンとが接続され、

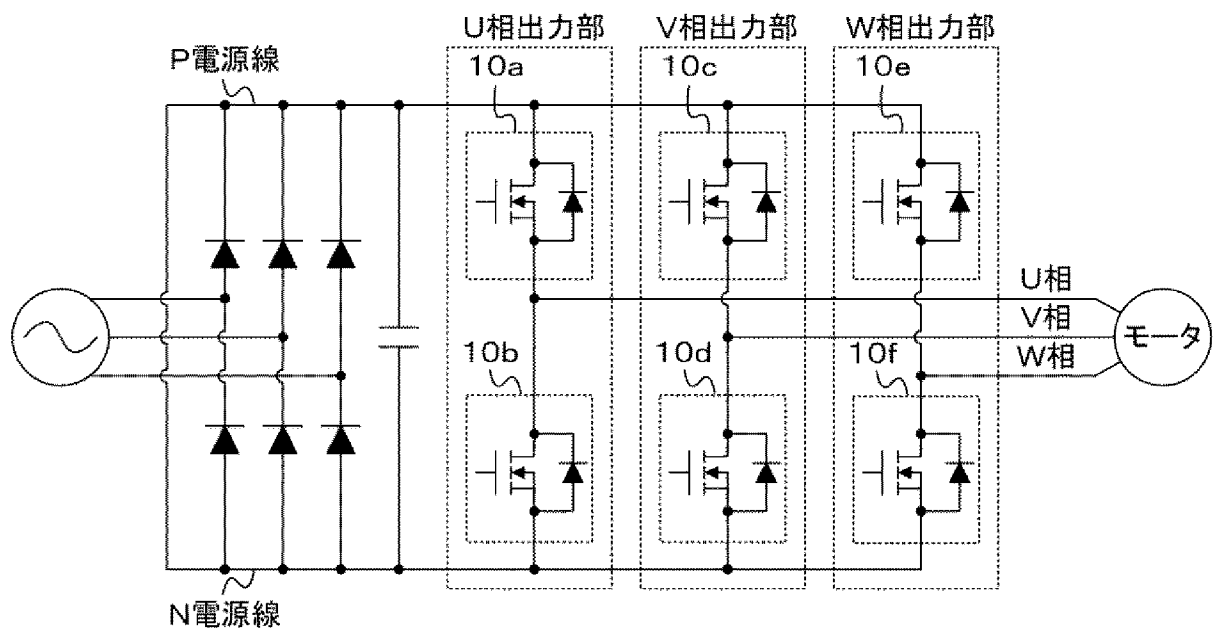
前記第 1 の電極の前記第 1 のダイオードと接続する面は、前記第 1 の F E T 及び前記第 1 のダイオードより大きく、

前記第 1 の F E T の辺と平行かつ前記第 1 の F E T のソース及び前記第 1 の F E T のゲートを通る線を含み、前記第 1 の F E T の前記一方の面に直交する面で前記半導体装置を切断した断面において、前記第 1 のダイオードのカソードの長さは、前記第 1 の F E T のソースの長さと同前記第 1 の F E T のゲートの長さの和よりも長いことを特徴とする半導体装置。

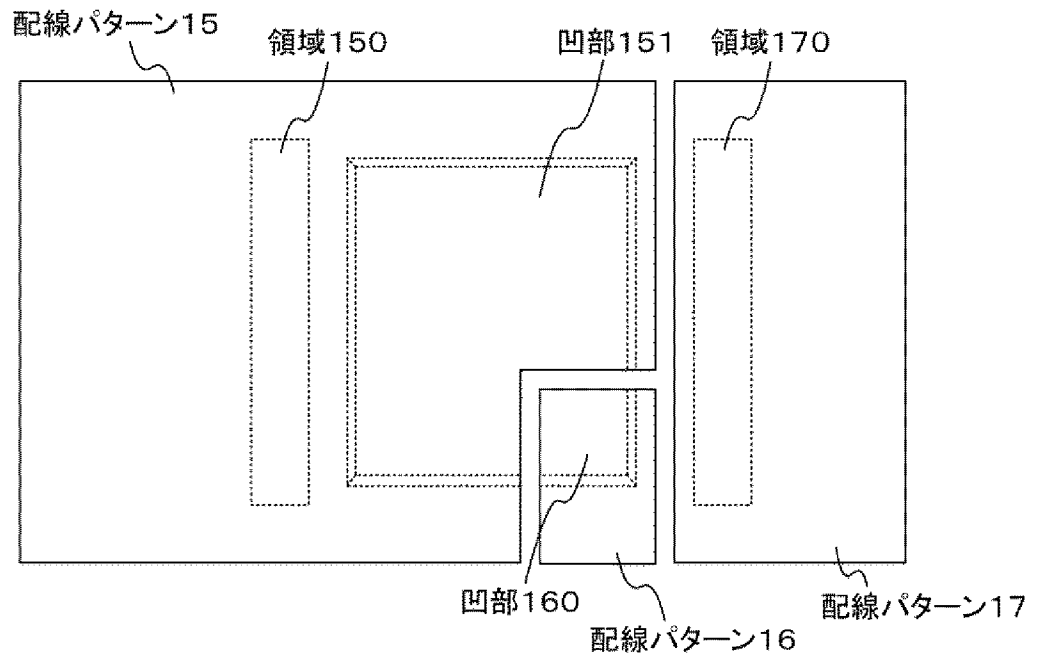
[図1]



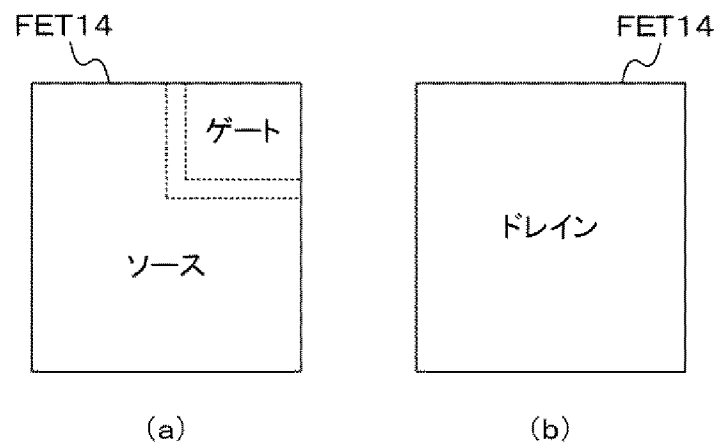
[図2]



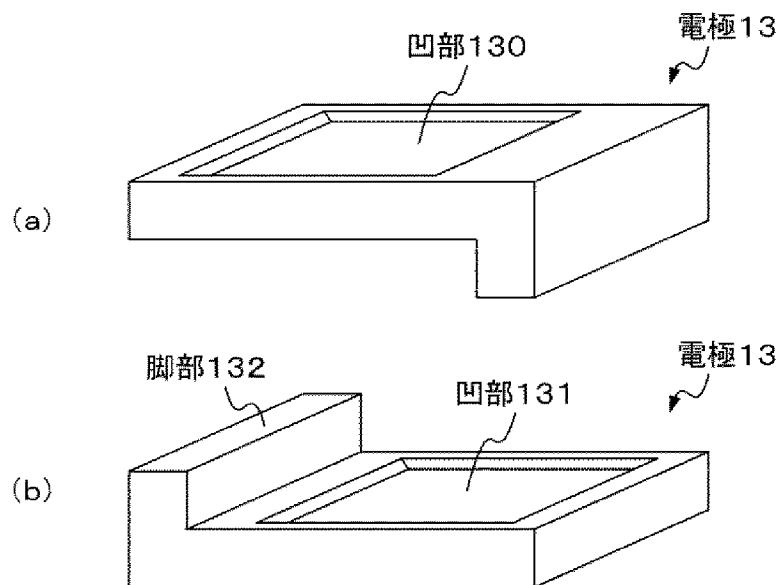
[図3]



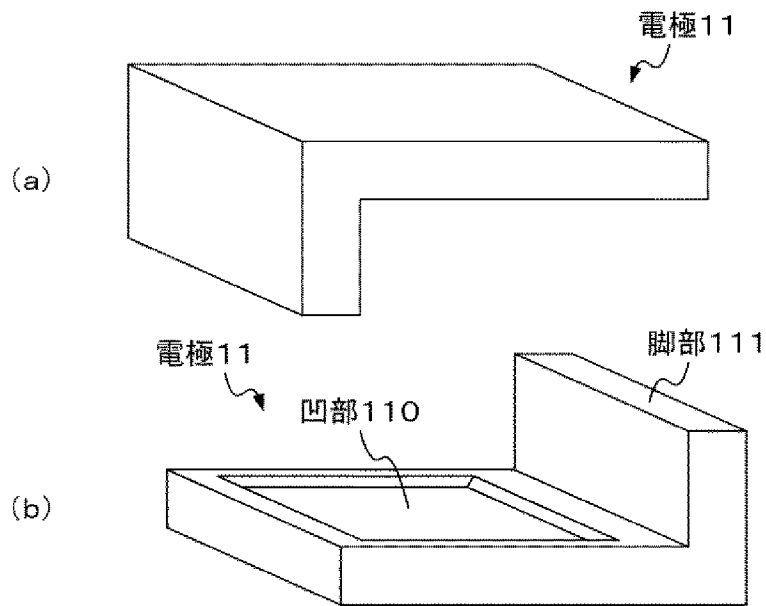
[図4]



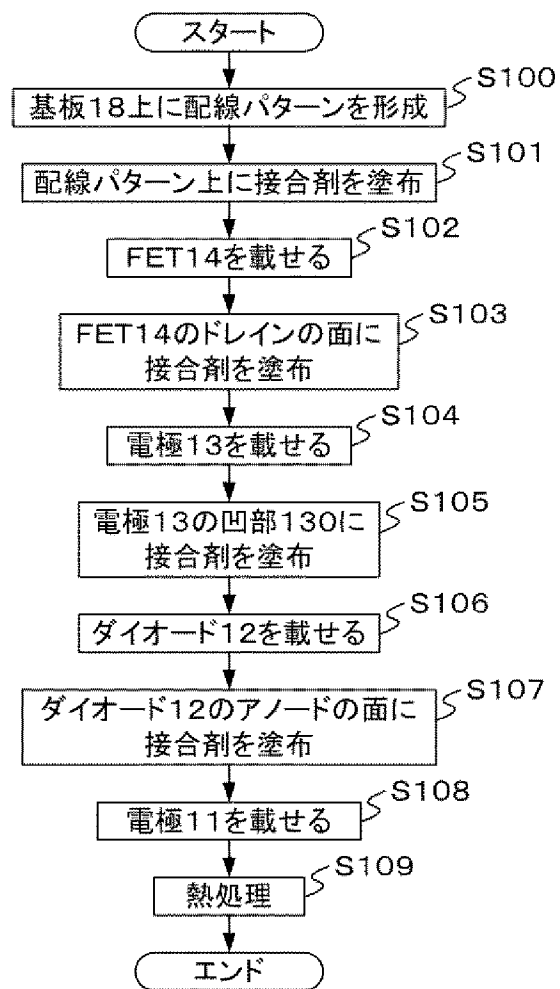
[図5]



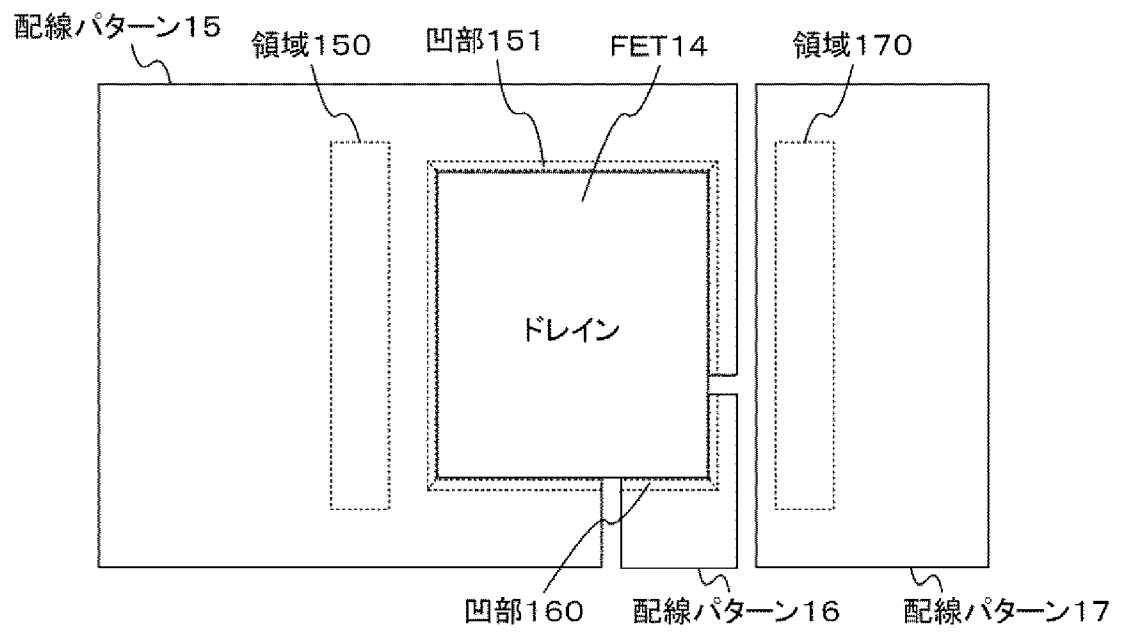
[図6]



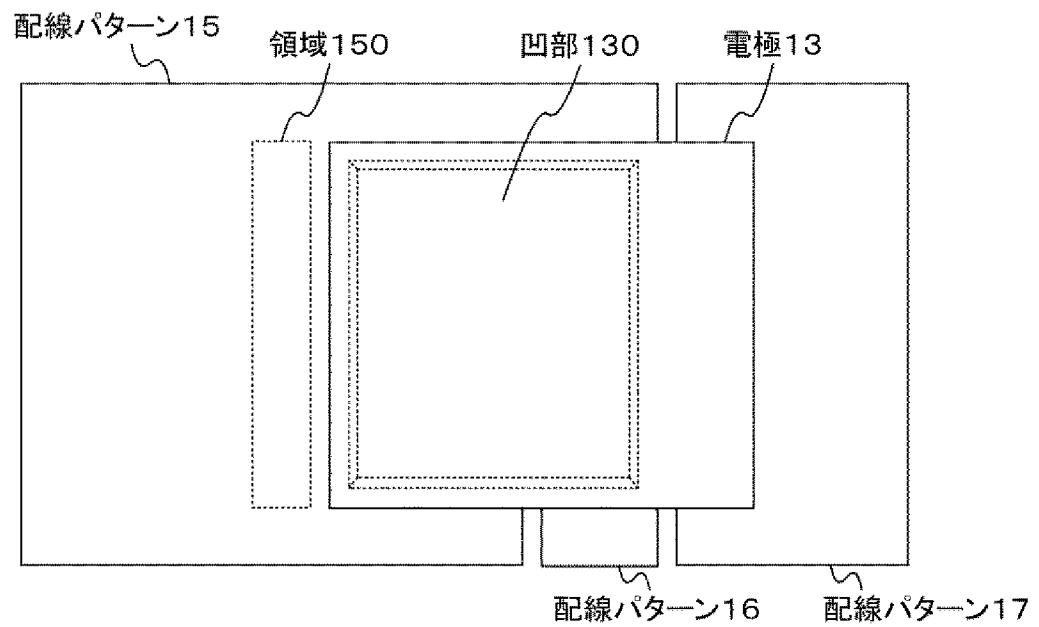
[図7]



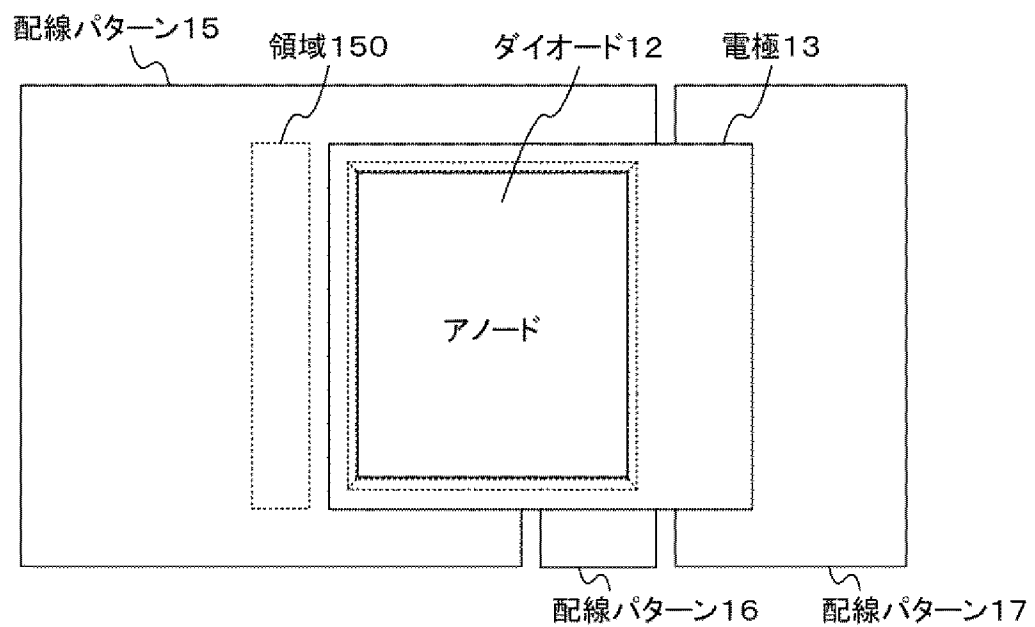
[図8]



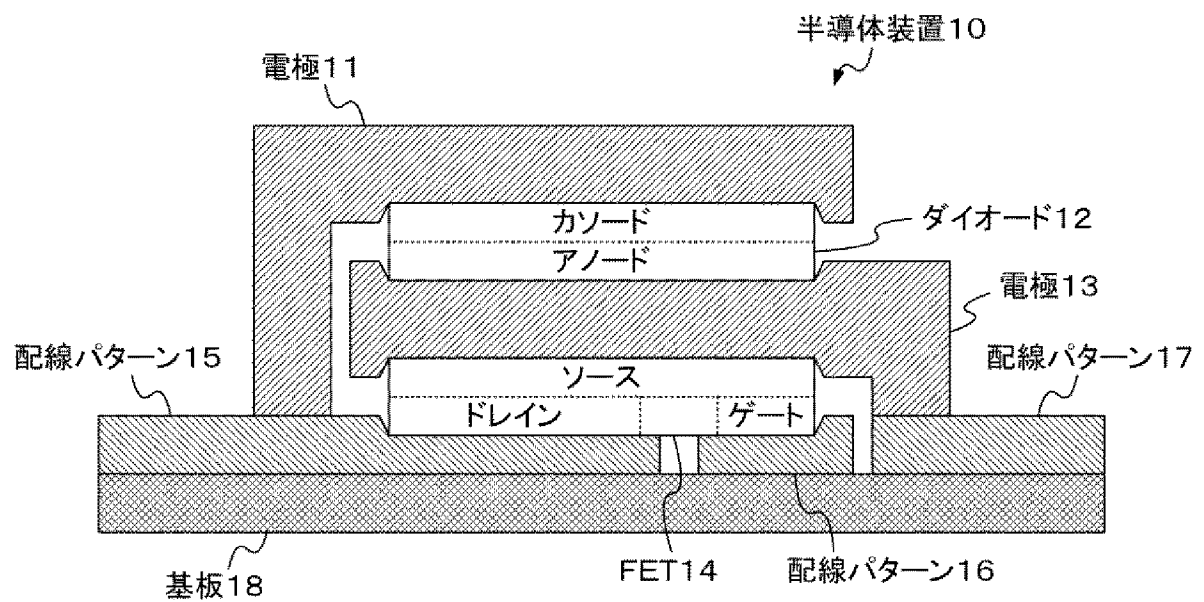
[図9]



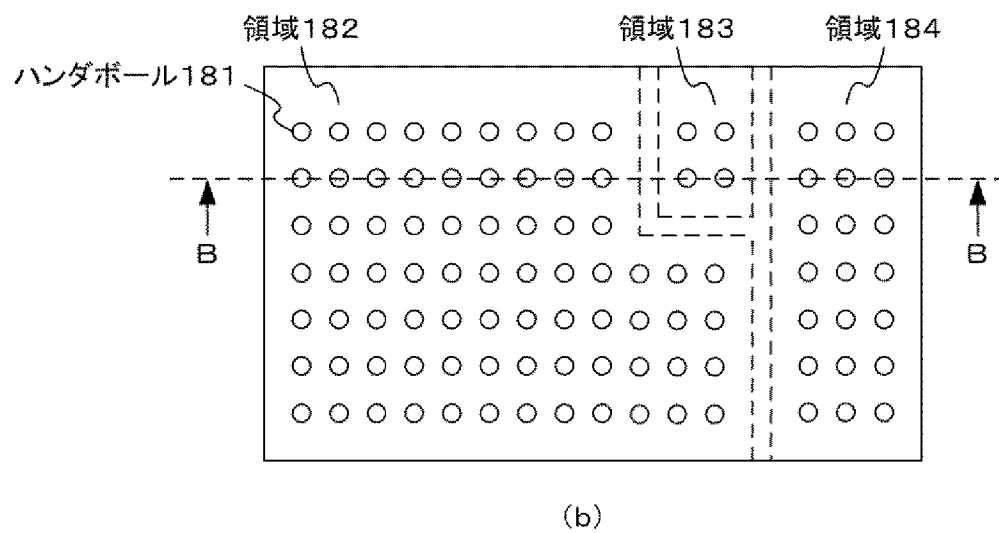
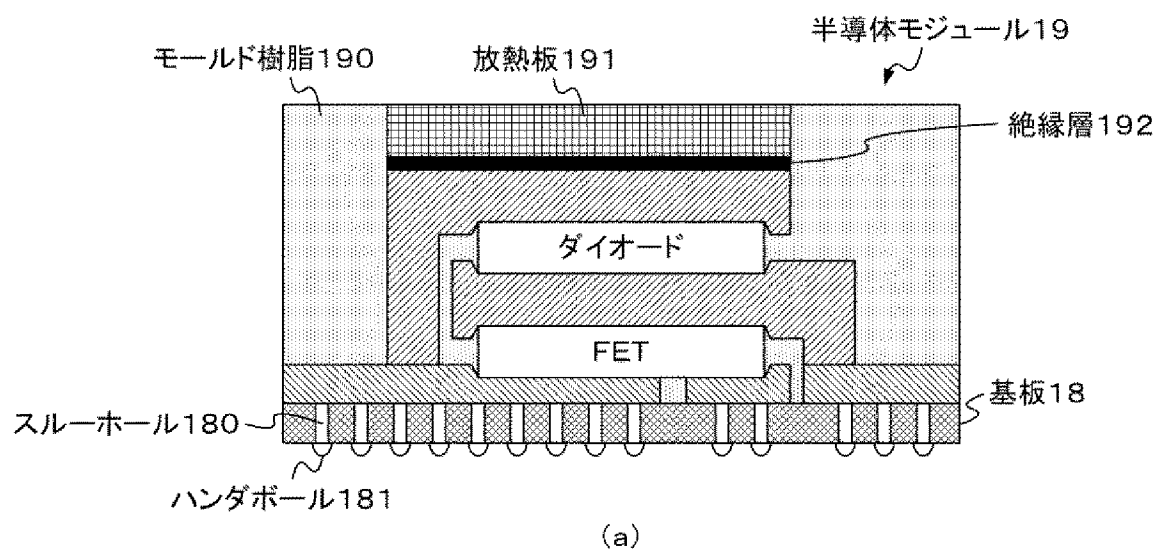
[図10]



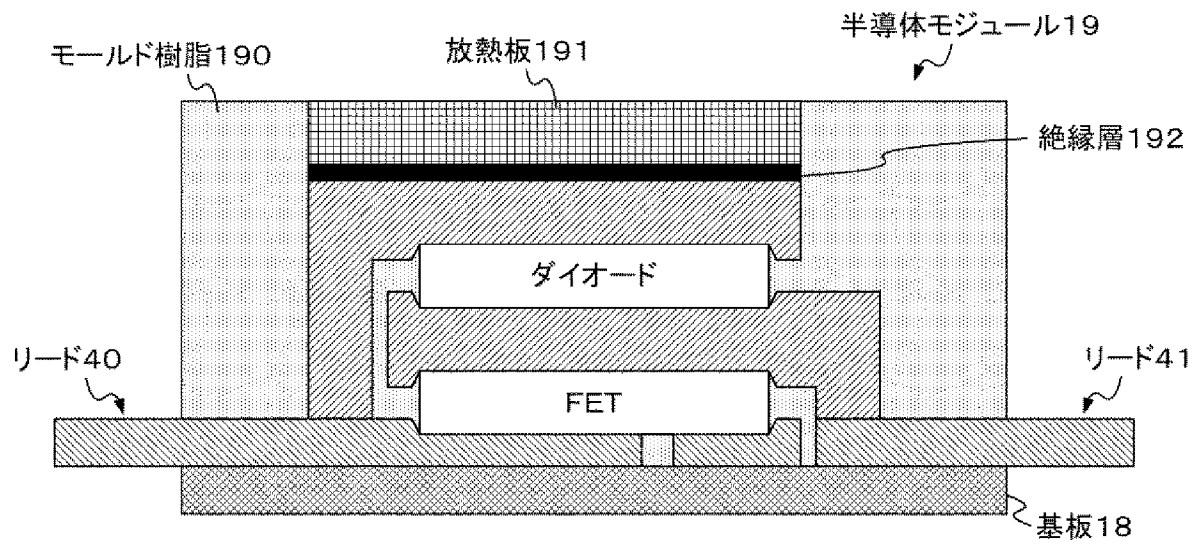
[図11]



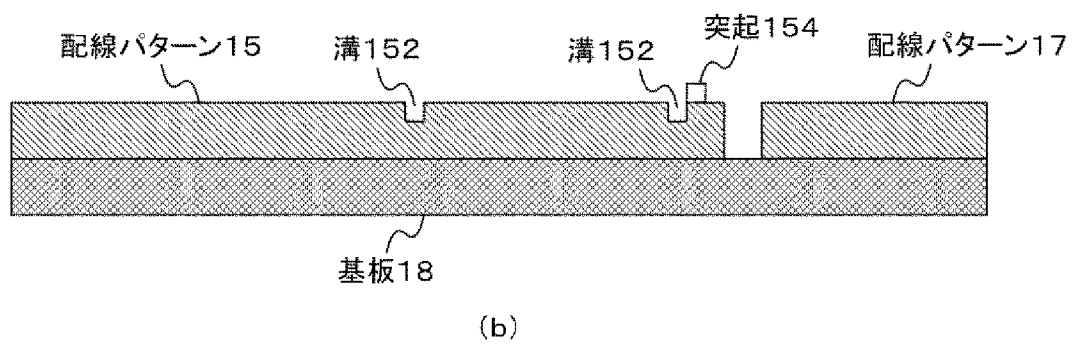
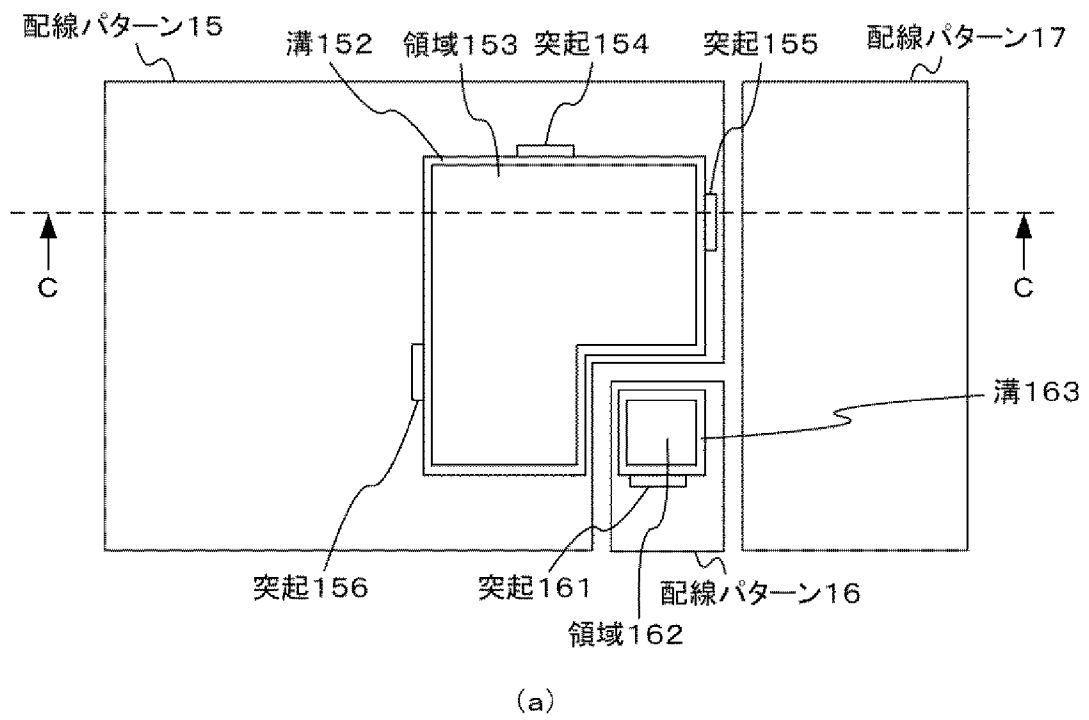
[図12]



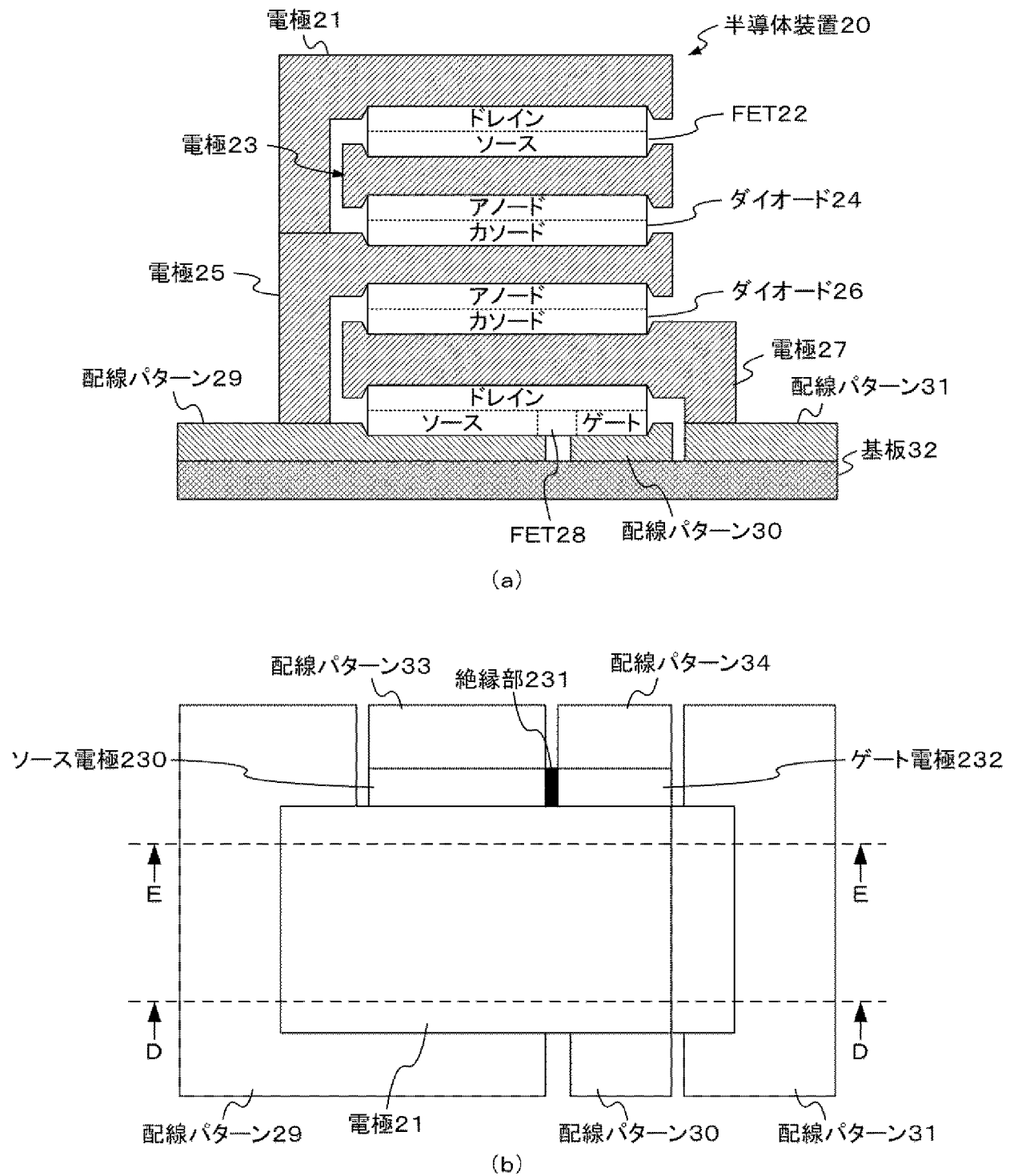
[図13]



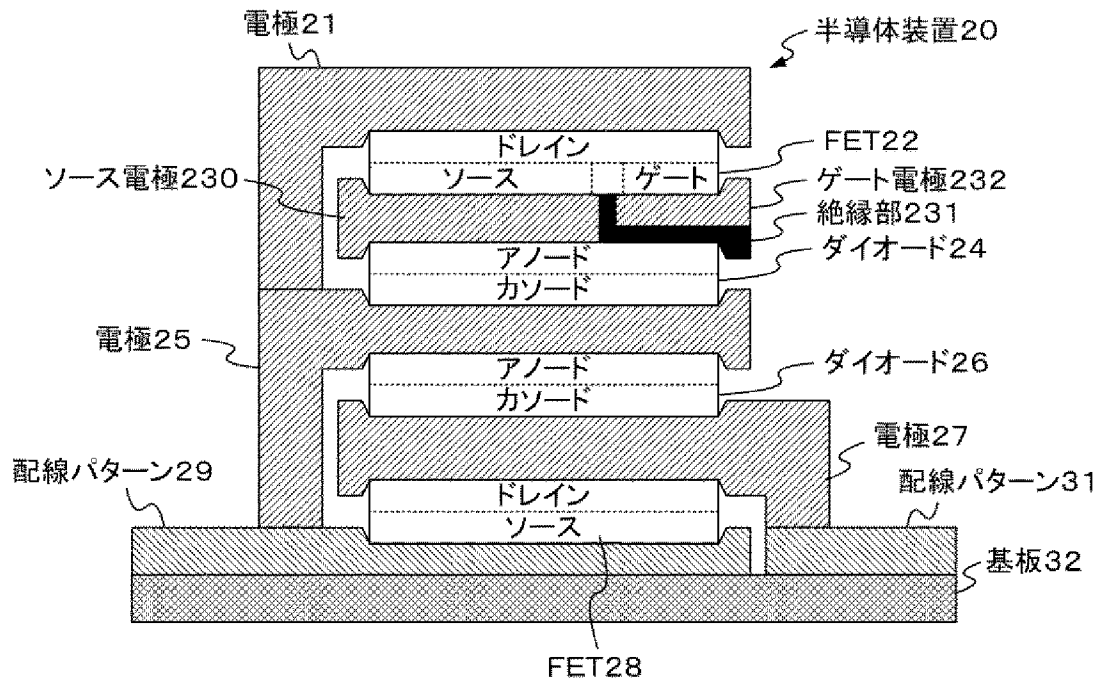
[図14]



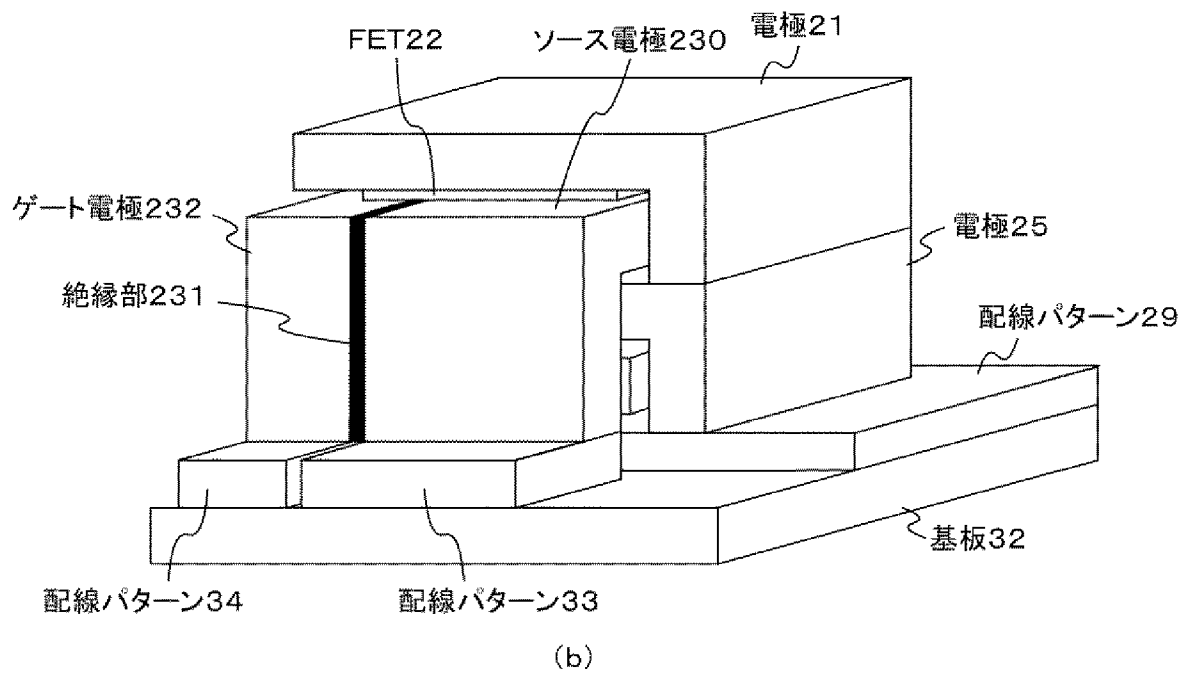
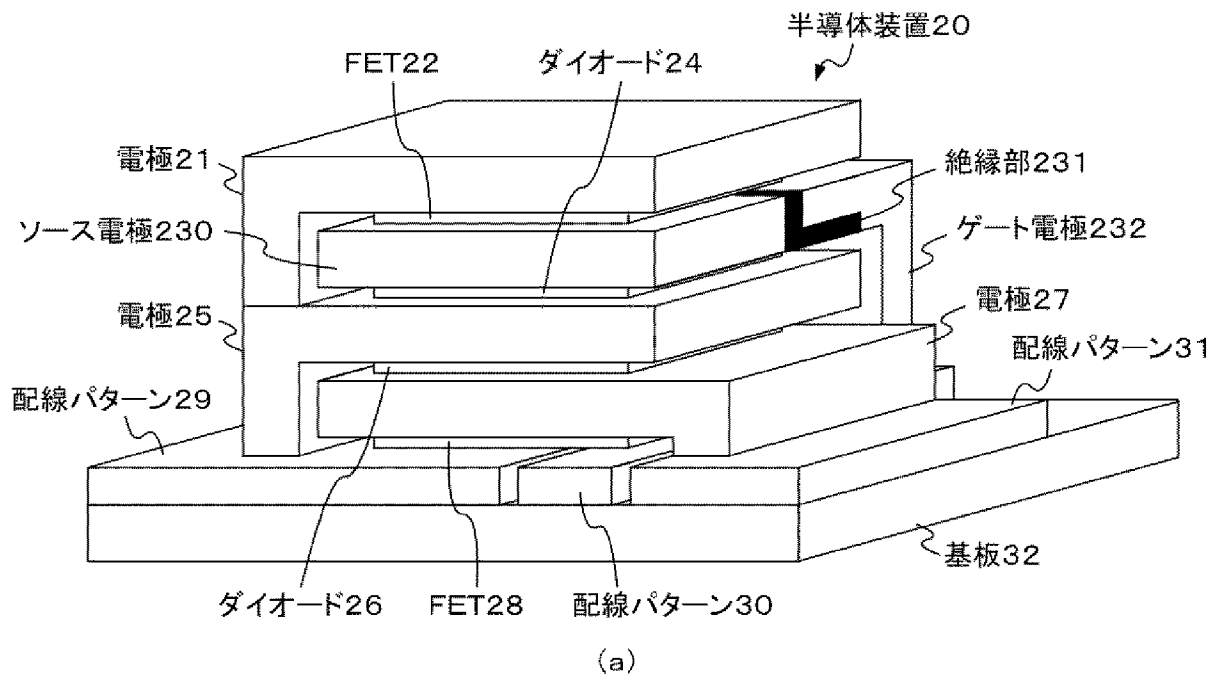
[図15]



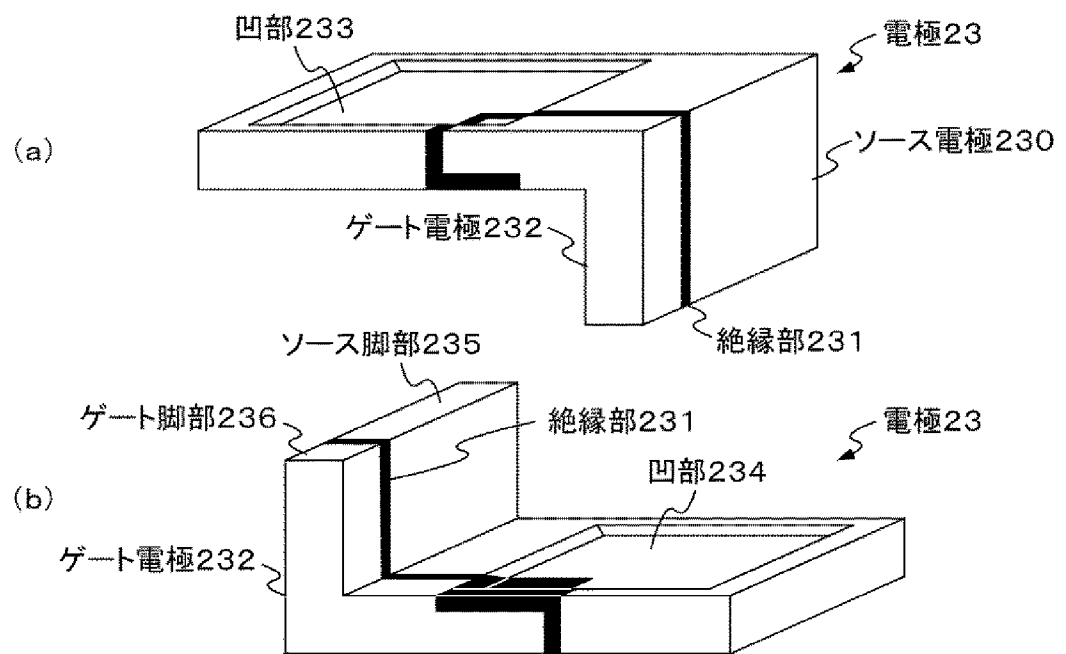
[図16]



[図17]



[図18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073335

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/07(2006.01) i, H01L25/18(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2009/020061 A1 (Rohm Co., Ltd.), 12 February 2009 (12.02.2009), paragraph [0049]; fig. 10 & JP 2009-043820 A & US 2011/0096509 A1 & US 2013/0163211 A1 & TW 200913220 A	1-9
A	JP 2006-134990 A (Fuji Electric Holdings Co., Ltd.), 25 May 2006 (25.05.2006), paragraphs [0012] to [0023]; fig. 1 (Family: none)	1-9
A	JP 2005-302951 A (Toshiba Corp.), 27 October 2005 (27.10.2005), paragraphs [0017] to [0036]; fig. 1 to 3 & US 2005/0224945 A1	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 October, 2013 (08.10.13)

Date of mailing of the international search report
29 October, 2013 (29.10.13)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/073335

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2009-295794 A (Mitsubishi Electric Corp.), 17 December 2009 (17.12.2009), paragraphs [0002], [0028] to [0097]; fig. 1, 7, 20 to 24 & US 2009/0302444 A1 & DE 102008054306 A & CN 101599484 A & CN 102201398 A & CN 102569256 A	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L25/07(2006.01)i, H01L25/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 3 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 3 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 3 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2009/020061 A1（ローム株式会社） 2009.02.12, 段落[0049], 第10図 & JP 2009-043820 A & US 2011/0096509 A1 & US 2013/0163211 A1 & TW 200913220 A	1-9
A	JP 2006-134990 A（富士電機ホールディングス株式会社） 2006.05.25, 段落【0012】－【0023】，【図1】 （ファミリーなし）	1-9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 1 0 . 2 0 1 3

国際調査報告の発送日

2 9 . 1 0 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

宮本 靖史

4 R

3 7 6 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-302951 A (株式会社東芝) 2005.10.27, 段落【0017】－【0036】, 【図1】－【図3】 & US 2005/0224945 A1	1-9
A	JP 2009-295794 A (三菱電機株式会社) 2009.12.17, 段落【0002】, 【0028】－【0097】, 【図1】, 【図7】, 【図20】－【図24】 & US 2009/0302444 A1 & DE 102008054306 A & CN 101599484 A & CN 102201398 A & CN 102569256 A	1-9