

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第3607048号  
(P3607048)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int.CI.<sup>7</sup>

F 1

G 11 B 20/10

G 11 B 20/10 321 A

請求項の数 5 (全 13 頁)

(21) 出願番号 特願平9-185732  
 (22) 出願日 平成9年6月26日(1997.6.26)  
 (65) 公開番号 特開平11-16280  
 (43) 公開日 平成11年1月22日(1999.1.22)  
 審査請求日 平成13年7月12日(2001.7.12)

(73) 特許権者 000003078  
 株式会社東芝  
 東京都港区芝浦一丁目1番1号  
 (74) 代理人 100097629  
 弁理士 竹村 壽  
 (72) 発明者 大久保 真美子  
 神奈川県川崎市幸区堀川町580番1号  
 株式会社東芝 半導体システム技術センター内  
 (72) 発明者 島田 浩  
 神奈川県川崎市幸区堀川町580番1号  
 株式会社東芝 半導体システム技術センター内

審査官 前田 祐希

最終頁に続く

(54) 【発明の名称】ディスク再生装置及びデータスライス回路

## (57) 【特許請求の範囲】

## 【請求項 1】

ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を増幅する増幅器と、前記増幅器から供給される電気信号から2値化された信号を生成するデータスライス回路と、前記データスライス回路から供給される2値化された信号に基づき、データの再生速度の変化に応じた第1のクロック信号及び周波数制御信号を生成するPLL回路と、前記データスライス回路から供給される前記2値化された信号を復調し、データを再生するデータ処理回路とを備え、

前記データスライス回路は、前記周波数制御信号に基づいて前記2値化された信号とは非同期である第2のクロック信号を生成するクロック信号生成回路を有し、前記増幅器から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”的うちの1つのデータを出力する比較器と、前記第2のクロック信号を分周し、カウント用のクロック信号を生成する分周器と、前記比較器から供給されるデータ“0”的期間とデータ“1”的期間に応じて、前記分周器から供給されるカウント用のクロック信号をカウントし、データ“0”的期間とデータ“1”的期間の差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この前記差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを有することを特徴とするディスク

再生装置。

**【請求項 2】**

ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を増幅する増幅器と、

前記増幅器から供給される電気信号から 2 値化された信号を生成するデータスライス回路と、

前記データスライス回路から供給される 2 値化された信号に基づき、データの再生速度の变化に応じた第 1 のクロック信号及び周波数制御信号を生成する PLL 回路と、

固定周波数発振回路から生成された基準クロックに基づいて基準クロック信号を生成する基準クロック生成回路と、

前記データスライス回路から供給される前記 2 値化された信号を復調し、データを再生するデータ処理回路とを備え、

前記データスライス回路は、前記周波数制御信号に基づいて前記 2 値化された信号とは非同期である第 2 のクロック信号を生成するクロック信号生成回路を有し、前記クロック信号生成回路から出力される前記第 2 のクロック信号を分周し、カウント用のクロック信号を生成する第 1 の分周器と、前記基準クロック生成回路から出力される前記基準クロック信号を分周し、カウント用のクロック信号を生成する第 2 の分周器と、前記第 1 及び第 2 の分周器から出力されるカウント用のクロック信号のうち 1 つを選択するスイッチと、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”的うちの 1 つのデータを出力する比較器と、  
20 前記比較器から供給されるデータ“0”的期間とデータ“1”的期間に応じて、前記スイッチから供給されるクロック信号をカウントし、データ“0”的期間とデータ“1”的期間の差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この前記差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを有することを特徴とするディスク再生装置。

**【請求項 3】**

ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を増幅する増幅器と、

前記増幅器から供給される電気信号から 2 値化された信号を生成するデータスライス回路と、

前記データスライス回路から供給される 2 値化された信号に基づき、データの再生速度の变化に応じた第 1 のクロック信号及び周波数制御信号を生成する PLL 回路と、

基準電圧に基づいて基準周波数制御信号を生成する基準電圧生成回路と、

前記 PLL 回路から生成された周波数制御信号と前記基準電圧生成回路から生成された基準周波数制御信号のうち 1 つを選択するスイッチと、  
30 前記データスライス回路から供給される前記 2 値化された信号を復調し、データを再生するデータ処理回路とを備え、

前記データスライス回路は、前記スイッチから供給される周波数制御信号に基づいて前記 2 値化された信号とは非同期である第 2 のクロック信号を生成するクロック信号生成回路を有し、前記増幅器から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”的うちの 1 つのデータを出力する比較器と、前記第 2 のクロック信号を分周し、カウント用のクロック信号を生成する分周器と、前記比較器から供給されるカウント用のクロック信号をカウントし、データ“0”的期間とデータ“1”的期間の差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この前記差分データをアナログ電圧に変換し前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを有することを特徴とするディスク再生装置。

**【請求項 4】**

10

20

30

40

50

ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段から供給される電気信号を増幅する増幅器から供給される電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つのデータを出力する比較器と、

前記比較器の出力の周波数との周波数比が一定になるように連続的に追従し、かつ位相が非同期のクロック信号を生成するクロック信号生成回路と、

前記クロック信号生成回路の出力クロックを分周する分周器と、

前記比較器から供給されるデータ“0”的期間とデータ“1”的期間に応じて前記カウント用クロック信号をカウントし、データ“0”的期間とデータ“1”的期間の差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この前記差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを備えたことを特徴とするデータスライス回路。

#### 【請求項5】

ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段から供給される電気信号を増幅する増幅器から供給される電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つのデータを出力する比較器と、

前記比較器の出力の周波数との周波数比が一定になるように連続的に追従し、かつ位相が非同期のクロックを生成するクロック信号生成回路と、

前記クロック信号生成回路の出力クロックを分周する第1の分周器と、

基準クロック信号生成回路から生成される基準クロック信号を分周し、カウント用のクロック信号を生成する第2の分周器と、

前記第1及び第2の分周器から出力されるカウント用のクロック信号のうち1つを選択するスイッチと、

前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”のうちの1つのデータを出力する比較器と、

前記比較器から供給されるデータ“0”的期間とデータ“1”的期間に応じて前記スイッチから供給されるクロック信号をカウントし、データ“0”的期間とデータ“1”的期間の差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この前記差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを備えたことを特徴とするデータスライス回路。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、コンパクトディスク(CD)などの光学的なディスク再生装置に関するもので、とくに、再生速度を連続的に可変できる再生装置のデータスライス回路に関するものである。

##### 【0002】

##### 【従来の技術】

音響機器の分野では、現在、デジタル記録再生システムが開発されている。このシステムは高密度で忠実度の高い記録再生を行うため、オーディオ信号をPCM(Pulse Code Modulation)技術によりデジタル信号に変換して、例えばディスクや磁気テープなどの記録媒体に記録し、これを再生する。特に、直径12cmのディスクにデジタルデータに対応したビット列を形成し、これを光学式に読み取るCD(compact Disc)は、現在最も普及している。

このCDには、アナログオーディオ信号を16ビットでPCM化したデジタルデータ(主情報データ)が記憶されている。このデジタルデータは8ビットを1シンボルとし、2

10

20

30

40

50

4シンボルを1フレームとし、このフレームが繰り返されてデータが記憶される。このディスクでは、誤り訂正符号としてクロスインターリーブ・リードソロモン符号（C I R C : Cross Interleave Reed - Solomon Code）が用いられている。

#### 【0003】

即ち、24シンボルのデジタルデータは、C2系列パリティ生成回路に供給されて4シンボルのC2系列誤り訂正用のパリティデータQが生成される。前記デジタルデータとパリティデータQは、インターリーブ回路を経てC1系列パリティ生成回路に供給され、4シンボルのC1系列誤り訂正用パリティデータPが生成される。24シンボルのデジタルデータと4シンボルのパリティデータP、Qよりなる32シンボルのデータは、8ビット（1シンボル）のサブコードデータが付加される。このサブコードデータ及び32シンボルのE F M変調（Eight Fourteen Modulation）される。この変調された14ビットの各シンボル間に3ビットのマージンビットが付加され、さらに先頭に24ビットのフレーム同期信号が付加される。このようにして588ビットのデータが1フレームとしてディスクに記録される。この場合、ビットクロックが4.32MHzであるため1フレームあたり $136\mu\text{sec}$ （7.35KHz）でディスクに記録される。サブコードデータは、98フレームで1サブコードフレームが構成されており、1サブコードフレーム当り75Hz（10.3ms）でディスクに記録される。

#### 【0004】

前記CDからデータを再生するディスク再生装置は、CDをモータ制御回路及びモータによって線速度一定（C L V : Constant Linear Velocity）で回転させる。図6は、従来のディスク再生装置の回路ブロック図である。半導体レーザや光電変換素子などを内臓した光学式ピックアップ素子9は、ディスクモータ16で回転しているディスク15の内周側から外周側に向けてリニアトラッキングすることにより、CD15に記録されたデータを読み取る。この読み取ったデータ（電流信号）はアンプ10に供給される。このアンプ10は、電流信号を電圧信号としての広帯域の信号（以下、R F信号という）に変換して、データスライス回路17に供給する。データスライス回路17は、再生信号を2値化し、E F M信号としてPLL（Phase Locked Loop）回路18及びデータ処理回路11に供給する。このデータ処理回路11は、E F M信号から同期信号を分離した後E F M復調し、パリティデータP、Qを含む32シンボルのデータ成分とサブコードデータ成分とに分離する。ついで、E F M復調されたデータは、データ処理回路11において、PLL回路18で生成されたクロック信号P L C Kにより、メモリ（図示せず）へ書き込まれる。このメモリに書き込まれたデータは、水晶振動子を用いて生成した水晶系のシステム基準クロック信号X C Kによりメモリから読み出されることによって、モータによる時間軸変動が吸収される。このメモリから読み出されたデータは誤り訂正された後、16ビットのデジタルデータとして出力される。

#### 【0005】

再生速度の可変は、システムコントローラ20が行う。システムコントローラ20は、再生速度コントロール信号（以下、H Sという）を生成する。このH S信号は、例えば、通常の再生速度（1倍速と称する）又は基準速度の2倍の速度（2倍速と称する）を指定する。このH S信号は、データ処理回路11、モータ制御回路19に供給され、処理速度及びディスク再生速度を目的の速度に切り換える。H S信号は、データスライス回路17にも供給され、データスライス回路17は、H S信号に応じて制御周波数帯域を再生速度に対応するように変化させている。

#### 【0006】

##### 【発明が解決しようとする課題】

データスライス回路は、比較器に入力されたR F信号と基準電圧とを比較し、R F信号を2値データ、2値化された信号、例えば、E F M信号に変換する。アップダウンカウンタは、この2値化されたデータ“0”的期間とデータ“1”的期間とをカウントし、その期間の差分データを出力する。

10

20

30

40

50

前記アップダウンカウンタのカウント用クロックは、前記E F M信号に基づきP L L回路によって生成されたクロック信号である。このクロック信号はデータの再生速度に同期している。

前記アップダウンカウンタから出力される差分データは、デジタル／アナログ変換器に供給される。このデジタル／アナログ変換器は、前記差分データをアナログ電圧に変換し、前記基準電圧として前記比較器にフィードバックする。前記比較器は、このフィードバックされた基準電圧によって、R F信号を2値化することにより、データ“0”的期間とデータ“1”的期間が等しくなるように制御する。

#### 【0007】

このようにデータスライス回路は、データ“0”的期間とデータ“1”的期間が等しくなるようにカウント結果をフィードバックしている。このフィードバックループの帯域が低すぎると、ディスクにキズなどがあり、R F信号の振幅が変化した場合、スライスレベルが追従できないことになる。逆に帯域が高すぎるとスライスレベルが微小なR F信号の振幅に追従して変化するため、スライス後のE F M信号のジッターが増加してしまう。

以上述べた理由により、データスライス回路の帯域設定を行わなくてはならない。従来のデータスライス回路においては、E F M信号とアップダウンカウンタに入力するクロック信号は同期しているため、データスライス単体としての帯域設計をするのが困難であった。

本発明は、このような課題を解決するものであり、前記アップダウンカウンタに入力するクロック信号の周波数をE F M信号の再生レートに連続的に追従させ、かつ、位相は、E F M信号に非同期とするディスク再生装置を提供しようとするものである。

#### 【0008】

##### 【課題を解決するための手段】

本発明のディスク再生装置は、ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を增幅する増幅器と、前記増幅器から供給される電気信号を2値化し、E F M信号などの2値化された信号を生成するデータスライス回路と、前記データスライス回路から供給されるE F M信号に基づき、データの再生速度の変化に応じた第1のクロック信号を生成するP L L回路と、前記データスライス回路から供給される前記E F M信号などの2値化された信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、前記P L L回路から供給される信号に基づき、前記E F M信号とは非同期である第2のクロック信号を生成するクロック信号生成回路を有し、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”的うちの1つのデータを出力する比較器と、前記第2のクロック信号に基づいて、前記比較器から供給されるデータ“0”的期間とデータ“1”的期間の差分データを検出するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを有することを第1の特徴とする。

#### 【0009】

また、本発明のディスク再生装置は、ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を增幅する増幅器と、前記増幅器から供給される電気信号を2値化し、2値化された信号を生成するデータスライス回路と、前記データスライス回路から供給される2値化された信号に基づき、データの再生速度の変化に応じた第1のクロック信号及び周波数制御信号を生成するP L L回路と、固定周波数発振回路から生成された基準クロックに基づいて基準クロック信号を生成する基準クロック生成回路と、前記データスライス回路から供給される前記2値化された信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、前記周波数制御信号に基づき、前記2値化された信号とは非同期である第2のクロック信号を生成するクロック信号生成回路を有し、前記クロック信号生成回路から出力される前記第2のクロック信号を分周し、カウント用のクロック信号を生成する第1

10

20

30

40

50

の分周器と、前記基準クロック生成回路から出力される前記基準クロックを分周し、カウント用のクロック信号を生成する第2の分周器と、前記第1及び第2の分周器から出力されるカウント用のクロック信号のうち1つを選択するスイッチと、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”的うちの1つのデータを出力する比較器と、前記比較器から供給されるデータ“0”的期間とデータ“1”的期間に応じて、前記スイッチから供給されるクロック信号をカウントし、これらの差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを有することを第2の特徴とする。

10

#### 【0010】

また、本発明のディスク再生装置は、ディスクに記録されたデータを光学的に読み出し、電気信号に変換する光電変換手段と、前記光電変換手段から供給される電気信号を増幅する増幅器と、前記増幅器から供給される電気信号を2値化し、2値化された信号を生成するデータスライス回路と、前記データスライス回路から供給される2値化された信号に基づき、データの再生速度の変化に応じた第1のクロック信号及び周波数制御信号を生成するPLL回路と、基準電圧に基づいて基準周波数制御信号を生成する基準電圧生成回路と、前記PLL回路から生成された周波数制御信号と前記基準電圧生成回路から生成された基準周波数制御信号のうち1つを選択するスイッチと、前記第2のクロック信号に応じて、前記データスライス回路から供給される前記2値化された信号を復調し、データを再生するデータ処理回路とを備え、前記データスライス回路は、前記スイッチから供給される周波数制御信号に基づき、前記2値化された信号とは非同期である第2のクロック信号を生成するクロック信号生成回路を有し、前記増幅器から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”的うちの1つのデータを出力する比較器と、前記第2のクロック信号を分周し、カウント用のクロック信号を生成する分周器と、前記比較器から供給されるデータ“0”的期間とデータ“1”的期間に応じて、前記分周器から供給されるカウント用のクロック信号をカウントし、これらの差分データを出力するアップタウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを有することを第3の特徴とする。

20

#### 【0011】

本発明のデータスライス回路は、光電変換手段から供給される電気信号を増幅する増幅器から供給される電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”的うちの1つのデータを出力する比較器と、前記比較器の出力の周波数との周波数比が一定になるように連続的に追従し、かつ位相が非同期のクロックを生成するクロック信号生成回路と、前記クロック信号生成回路の出力クロックを分周する分周器と、前記比較器から供給されるデータ“0”的期間とデータ“1”的期間に応じて、前記カウント用クロック信号をカウントし、これらの差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを備えたことを第1の特徴とする。

30

#### 【0012】

また、本発明のデータスライス回路は、前記比較器の出力の周波数との周波数比が一定になるように連続的に追従し、かつ位相が非同期のクロックを生成するクロック信号生成回路と、前記クロック信号生成回路の出力クロックを分周する第1の分周器と、基準クロック生成回路から生成される基準クロック信号を分周し、カウント用のクロック信号を生成する第2の分周器と、前記第1及び第2の分周器から出力されるカウント用のクロック信号のうち1つを選択するスイッチと、前記光電変換手段から供給される前記電気信号と基準電圧とを比較し、前記電気信号と基準電圧とに応じてデータ“0”とデータ“1”的う

40

50

ちの 1 つのデータを出力する比較器と、前記比較器から供給されるデータ“ 0 ”の期間とデータ“ 1 ”の期間に応じて、前記スイッチから供給されるクロック信号をカウントし、これらの差分データを出力するアップダウンカウンタと、前記アップダウンカウンタから出力される前記差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として前記比較器に供給するデジタル／アナログ変換器とを備えたことを第 2 の特徴とする。

#### 【 0 0 1 3 】

データスライス回路は、光電変換手段から供給される電気信号を 2 値化し、E F M 信号などの 2 値化された信号を生成する。P L L 回路でデータスライス回路から供給される E F M 信号に基づいて周波数制御信号が生成され、この周波数制御信号がクロック信号生成回路に供給され、アップダウンカウンタ用のクロック信号が生成される。この発明により、アップダウンカウンタ用のクロックの周波数は、E F M 信号の再生レートに連続的に追従し、かつ位相は、E F M 信号に非同期となる。したがって、このアップダウンカウンタから出力される差分データを用いて生成した R F 信号をスライスするための基準電圧の制御帯域は、再生速度に合わせて連続的に変化することが可能であり、かつデータスライス回路の帯域設計を P L L 回路から切り離して単独で行うことが容易にできる。10

#### 【 0 0 1 4 】

##### 【発明の実施の形態】

以下、図面を参照して発明の実施の形態を説明する。

まず、図 1 を参照して第 1 の実施例を説明する。図 1 は、データスライス回路を用いたディスク再生装置の回路ブロック図である。この C D からデータを再生するディスク再生装置は、ディスク 1 5 をモータ制御回路（図示せず）及びモータ 1 6 によって、例えば、線速度一定（C L V ）で回転させる。半導体レーザや光電変換素子などを内蔵した光学式ピックアップ（P U ）9 によってディスク 1 5 から読み出されたデータは、電波信号として広帯域のヘッドアンプ 1 0 に供給される。このアンプ 1 0 は、電流信号を増幅し、電圧信号としての広帯域の信号（R F ）に変換し、R F 信号をデータスライス回路 1 7 に供給する。20

データスライス回路 1 7 は、前記アンプ 1 0 から供給される R F 信号と基準電圧とを比較し、R F 信号と基準電圧とに応じてデータ“ 0 ”とデータ“ 1 ”のうちの 1 つのデータを出力する比較器 1 と、クロック信号を分周し、カウント用のクロック信号を生成する分周器 4 と、比較器 1 から供給されるデータ“ 0 ”の期間とデータ“ 1 ”の期間に応じて、分周器 4 から供給されるカウント用のクロック信号をカウントし、これらの差分データを出力するアップタウンカウンタ 2 と、アップダウンカウンタ 2 から出力される差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として比較器 1 に供給するデジタル／アナログ変換器 3 とから構成されている。30

#### 【 0 0 1 5 】

この R F 信号は、比較器 1 の非反転入力端に供給され、基準電圧は、比較器の反転入力端に供給される。そして比較器 1 は、R F 信号と基準電圧とを比較し、R F 信号を“ 0 ”又は“ 1 ”の 2 値データに変換する。比較器 1 の出力端は、アップダウンカウンタ 2 に接続されている。アップダウンカウンタ 2 には、カウント用のクロック信号 C K が供給されている。このアップダウンカウンタ 2 は、比較器 1 から出力されるデータ“ 0 ”の期間とデータ“ 1 ”の期間に応じて、クロック信号 C K をカウントし、その期間の差分データを出力する。すなわち、アップダウンカウンタ 2 は、比較器 1 からデータ“ 0 ”が供給された場合、クロック信号 C K をダウンカウントし、比較器 1 からデータ“ 1 ”が供給された場合、クロック信号 C K をアップカウントする。したがって、このアップダウンカウンタ 2 からは、データ“ 0 ”の期間とデータ“ 1 ”の期間の差分データが出力される。この差分データは D / A 変換器 3 においてアナログ電圧に変換する。このアナログ電圧は、前記基準電圧として、比較器 1 にフィードバックされる。このフィードバックにより、比較器 2 から出力されるデータ“ 0 ”の期間とデータ“ 1 ”の期間が等しくなるように制御される。このデータ“ 0 ”及びデータ“ 1 ”は E F M 信号を構成する。4050

## 【0016】

データスライス回路17は、RF信号を2値化し、EFM信号などの2値化された信号をPLL回路18及びデータ処理回路11に供給する。

PLL回路18は、EFM信号が供給される位相比較器(PD)5と、位相比較器5の出力が供給される低域通過フィルタ(LPF)6と、低域通過フィルタ6の出力が入力され、出力が位相比較器5に供給される電圧制御発振器(VCO)7で構成される。

PLL回路18は、EFM信号に同期した第1のクロック信号PLCK1を生成する。この第1のクロック信号PLCK1がRF信号に同期しているとき、このクロック信号の周波数は、再生速度に比例している。PLL回路18を構成する低域通過フィルタ(LPF)6が出力する周波数制御信号は、電圧制御発振器(VCO)8に入力され、この周波数制御信号に基づいて第2のクロック信号(PLCK2)が生成される。したがって、この電圧制御発振器8は、クロック信号発生回路として用いられ、データスライス回路を構成する。第2のクロック信号PLCK2は、再生速度には追従しているが、EFM信号には非同期である。データスライス回路17のアップダウンカウンタ2に供給されるクロック信号CKは、第2のクロック信号PLCK2を分周器4で1/Nに分周して生成された信号である。

## 【0017】

すなわち、再生速度が速くなると、PLL回路が追従し、第1のクロック信号PLCK1の周波数は高くなる。それにともなって、第2のクロック信号PLCK2の周波数も高くなる。したがって、アップダウンカウンタ2のクロック信号CKも高くなるため、カウント結果の変化が速くなり、アップダウンカウンタ2の伝導利得が大きくなる。したがってフィードバックループにおいて、開ループ利得が大きくなり、制御帯域は高くなる。逆に、再生速度が遅くなると、第2のクロック信号PLCK2の周波数は低くなり、制御帯域は低くなる。このように、再生速度に合わせた最適な制御帯域を確保できる。

また、比較器1とアップダウンカウンタ2とD/A変換器3から構成されるデータスライス回路のフィードバックループと、第2のクロック信号とは同期していないのでデータスライス回路単体での帯域設計が容易にできる。

データ処理回路11は、EFM信号から同期信号を分離した後EFM復調し、パリティデータP、Qを含む32シンボルのデータ成分とサブコードデータ成分とに分離する。ついで、EFM復調されたデータは、データ処理回路11において、PLL回路18で生成された第2のクロック信号PLCK2により、メモリ(図示せず)へ書き込まれる。メモリから読み出されたデータは、誤り訂正された後16ビットのデジタルデータとしてデータ処理回路11から出力される。

## 【0018】

再生速度の可変は、システムコントローラ(図示せず)が行う。システムコントローラは、再生速度コントロール信号を生成する。この再生速度コントロール信号は、例えば、通常の再生速度(1倍速)又は基準速度の2倍の速度(2倍速)、・・・32倍の再生速度(32倍速)を指定する。この再生速度コントロール信号は、データ処理回路11、モータ制御回路(図示せず)に供給され、処理速度及びディスク再生速度を目的の速度に切り換える。再生速度コントロール信号は、データスライス回路17にも供給され、データスライス回路17は、この信号に応じて制御周波数帯域を再生速度に対応するよう変化させている。

従来のディスク再生装置には、データ処理回路がメモリ(RAM)にデータを書き込む時にPLL回路から生成されたPLL系クロック信号を用い、メモリから読み出す時に水晶系の基準クロック信号を用いるもの(従来例1)とメモリから読み出す時にもPLL系クロック信号を用いるもの(従来例2)がある。従来例1は、再生速度が可変の場合に、線速度が規定速度となるまでの期間は安定してデータを再生できないので再生が中断される。これに対して、従来例2は、従来例1を改良したものであり、PLL系クロック信号が再生速度に同期している。このためピックアップが内周から外周に移動した時点で安定したデータを再生できるので、確実にデータを出力することができる。従ってアクセス後、

10

20

30

40

50

データの出力を再開するまでの時間を従来例 1 より短縮できる。しかも従来例 2 のデータスライス回路は、PLL 系クロック信号に応じて基準電圧の制御帯域を制御しているため再生速度に合わせた最適な制御帯域を確保することができる。

#### 【0019】

前述のように従来例 2 ではクロック信号は再生速度に同期しており（同期クロック）、従来例 1 ではクロック信号は再生速度に同期していない（非同期クロック）。同期クロックの場合、クロック幅により分解能に制約が有り、クロック周波数が EFM 信号より十分高い場合（クロック > EFM）は分解能の問題は出ないが、高速再生化が著しくなると、クロック > EFM の関係は維持できなくなる。非同期クロックの場合、帯域が再生レートに追従しないが、前記分解能の問題は生じない。これは、図 5 に示すように、同期クロックの場合、EFM 信号の時間幅は、時間幅が大きくなるにしたがって、アップダウンカウンタのカウント結果の発生確率が段階的に大きくなる（特性線 A）が、非同期クロックの場合、カウント結果の発生確率は、実際の時間幅に比例している（特性線 B）ように、非同期クロックの場合は、分解能による制約は無い。図 5 は、縦軸がカウント結果の発生確率であり、横軸が EFM 信号の実際の時間幅を示している。10

本発明は、カウント結果の発生確率が実際の時間幅と一致するように PLL 系クロック信号を用いながらカウント結果を EFM 信号の実際の時間幅に一致させることに特徴がある。。

#### 【0020】

次に、図 2 を参照して第 2 の実施例を説明する。20

図 2 は、データスライス回路を用いたディスク再生装置の回路ブロック図である。図 1 に示すディスク再生装置では、分周器 4 から供給される出力信号をアップダウンカウンタ 2 のクロック信号 CK として用いたが、この実施例では、分周器 4 に加えて、分周器 13、スイッチ 12 をさらに有していることに特徴がある。すなわち、この実施例で用いるデータスライス回路 17 は、前記アンプ 10 から供給される RF 信号と基準電圧とを比較し、RF 信号と基準電圧とに応じてデータ“0”とデータ“1”的うちの 1 つのデータを出力する比較器 1 と、クロック信号を分周し、カウント用のクロック信号を生成する第 1 及び第 2 の分周器 4、13 と、比較器 1 から供給されるデータ“0”的期間とデータ“1”的期間に応じて、第 1 及び第 2 の分周器 4 又は 13 から供給されるカウント用のクロック信号をカウントし、これらの差分データを出力するアップタウンカウンタ 2 と、アップダウンカウンタ 2 から出力される差分データが供給され、この差分データをアナログ電圧に変換し、前記基準電圧として比較器 1 に供給するデジタル／アナログ変換器 3 とから構成されている。第 1 の分周器 4 は、前述したように、クロック信号生成回路から生成される PLL 系クロック信号 PLCK 2 を 1/N に分周しクロック信号 CK を生成する。30

#### 【0021】

そして、第 2 の分周器 13 は、水晶振動子によって発生された基準クロックに基づき、基準クロック生成回路から生成されるシステム基準クロック信号 XCK を 1/M に分周し、周波数が固定された水晶系のクロック信号 CK を生成する。スイッチ 12 は、第 1 の分周器 4 から出力されるクロック信号 CK 及び第 2 の分周器 13 から出力されるクロック信号 CK のいずれか一方を選択し、アップダウンカウンタ 2 に供給する。スイッチ 12 を、PLL 回路 18 のロック／アンロックに応じて、第 1 及び第 2 の分周器 4、13 のいずれか一方を選択するとする。スイッチ 12 は、PLL 回路がロックしている場合は、第 1 の分周器 4 から出力される PLL 系クロック信号 CK を選択し、ロックしていない場合は、第 2 の分周器 13 から出力される水晶系のクロック信号 CK を選択する。水晶系クロック信号 CK の周波数は、再生速度がその変化範囲の中心のとき、制御帯域が最適となる周波数に設定されている。したがって、なんらかの要因で PLL 回路 18 引き込みが遅れた場合、データスライス回路の制御帯域が最適値から大きくずれることを防止できる。スイッチ 12 の切換え条件は、PLL 回路 18 が完全にロック状態またはアンロック状態から若干ずれた範囲で切換ても良い。40

#### 【0022】

次ぎに、図3を参照して第3の実施例を説明する。

図3は、データスライス回路を用いたディスク再生装置の回路ブロック図である。図1に示すディスク再生装置は、PLL回路18から生成される周波数制御信号を電圧制御発振器（すなわち、クロック信号生成回路）8に供給しているが、この実施例のディスク再生装置は、PLL回路18と電圧制御発振器（クロック信号生成回路）8との間にスイッチ14を有していることに特徴がある。スイッチ14は、PLL回路18から出力される周波数制御信号及び基準電圧から出力される周波数制御信号のいずれか一方を選択して電圧制御発振器（クロック信号生成回路）8に供給する。なお、電圧制御発振器8は、データスライス回路を構成している。

#### 【0023】

10

スイッチ14は、PLL回路18のロック／アンロックに応じて、PLL回路から出力される周波数制御信号及び基準電圧から出力される周波数制御信号のいずれか一方を選択する。スイッチ14は、PLL回路18がロックしている場合は、PLL回路18から出力される周波数制御信号を選択し、ロックしていない場合は、基準電圧から出力される周波数制御信号を選択する。したがって、なんらかの要因でPLL回路引き込みが遅れた場合、データスライス回路17の制御帯域が最適値から大きくずれることを防止できる。

なお、この発明は、上記実施例に限定されるものではなく、発明の要旨を超えない範囲において、種々変形実施可能なことは勿論である。例えば、図4に示すように、図2に示すスイッチ12及び図3に示すスイッチ14を併用することができる。以上の様に構成すると、カウント用のクロック信号の選択の幅が広がるようになる。

20

#### 【0024】

##### 【発明の効果】

本発明は、以上の構成により、データスライス回路で用いるクロック信号が周波数的にはEFM信号の再生速度に連続的に追従し、位相がEFM信号と非同期となる。したがって再生速度によって再生性能が変化することを防止でき、かつデータスライス回路の帯域設計を単独で容易に行うことができる。また、何らかの要因でPLL回路引き込みが遅れた場合、データスライス回路の制御帯域が最適値から大きくずれることを防止できる。

##### 【図面の簡単な説明】

【図1】第1の実施例のディスク再生装置の回路ブロック図。

30

【図2】第2の実施例のディスク再生装置の回路ブロック図。

【図3】第3の実施例のディスク再生装置の回路ブロック図。

【図4】本発明のディスク再生装置の回路ブロック図。

【図5】本発明のアップダウンカウンタのカウント結果の発生確率のEFM信号の実際の時間幅依存性を示す特性図。

【図6】従来のディスク再生装置の回路ブロック図。

##### 【符号の説明】

1・・・比較器、2・・・アップダウンカウンタ、

3・・・D/A変換器、4、13・・・分周器、

5・・・位相比較器、6・・・低域通過フィルタ、

40

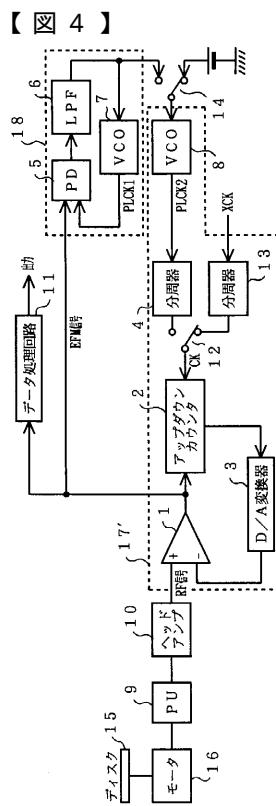
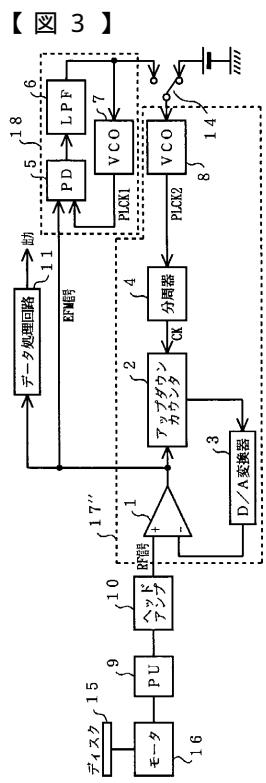
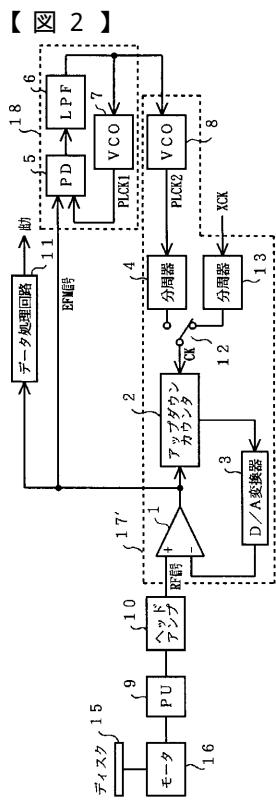
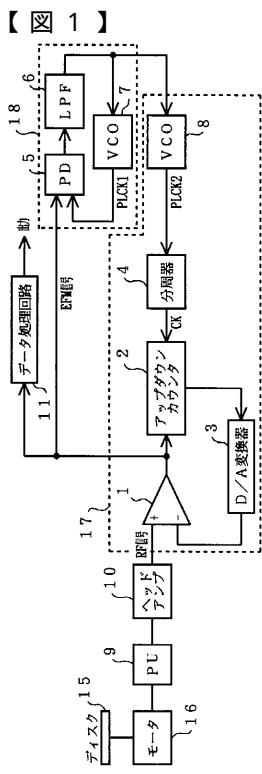
7、8・・・電圧制御発振器、9・・・光学式ピックアップ、

10・・・ヘッドアンプ、11・・・データ処理回路、

12、14・・・スイッチ、15・・・ディスク、

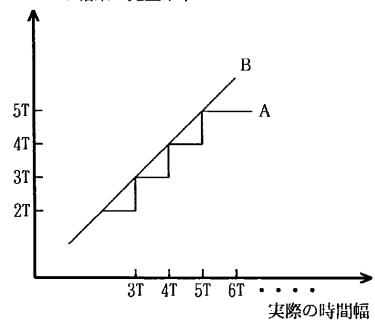
16・・・モータ、17、17、17・・・データスライス回路、

18・・・PLL回路。

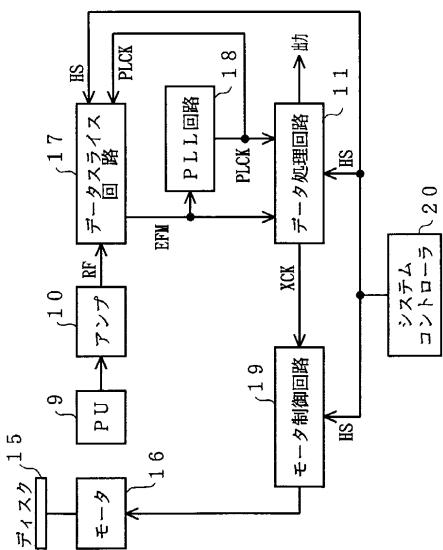


【図5】

カウント結果の発生確率



【図6】



---

フロントページの続き

(56)参考文献 特開平07-182796(JP,A)  
特開平07-134873(JP,A)

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)  
G11B 20/10