

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5259054号
(P5259054)

(45) 発行日 平成25年8月7日 (2013.8.7)

(24) 登録日 平成25年5月2日 (2013.5.2)

(51) Int.Cl.	F I
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 C
H O 1 L 27/04 (2006.01)	H O 1 L 27/04 A
H O 1 L 21/82 (2006.01)	H O 1 L 21/82 D
H O 1 L 21/768 (2006.01)	H O 1 L 21/82 W
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 Z
請求項の数 5 (全 13 頁) 最終頁に続く	

(21) 出願番号	特願2006-36376 (P2006-36376)	(73) 特許権者	308014341
(22) 出願日	平成18年2月14日 (2006.2.14)		富士通セミコンダクター株式会社
(65) 公開番号	特開2007-220716 (P2007-220716A)		神奈川県横浜市港北区新横浜二丁目10番23
(43) 公開日	平成19年8月30日 (2007.8.30)	(74) 代理人	110000992
審査請求日	平成20年10月8日 (2008.10.8)		特許業務法人ネクスト
審判番号	不服2012-7109 (P2012-7109/J1)	(72) 発明者	小村 一史
審判請求日	平成24年4月18日 (2012.4.18)		愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内
		合議体	
		審判長	北島 健次
		審判官	小野田 誠
		審判官	近藤 幸浩
		最終頁に続く	

(54) 【発明の名称】 容量セル、および容量

(57) 【特許請求の範囲】

【請求項1】

第一の配線層に形成され、交差する第一配線と第二配線からなる第一電極と、
前記第一の配線層に隣接する第二の配線層に形成され、交差する第三配線と第四配線からなる第二電極と、

前記第一の配線層に形成され、前記第一、第二の配線層間を接続するための第一ビアコンタクト層を介して前記第三、第四配線の交差領域と接続される第一ビア接続部と、

前記第二の配線層に形成され、前記第一ビアコンタクト層を介して前記第一、第二配線の交差領域と接続される第二ビア接続部とを備え、

前記第三、第四配線の交差領域と前記第一、第二配線の交差領域、および前記第一ビア接続部と前記第二ビア接続部とは、おのおの対角上に位置され、

前記第一ビア接続部と前記第一、第二配線との間、および前記第二ビア接続部と前記第三、第四配線との間は第一配線間隔だけ離間し、

前記第一、第二配線は、前記第一、第二の配線層の積層面と直交する方向の前記第二電極の配線方向外方の端面、および前記第一、第二の配線層の積層面と直交する方向の前記第一電極の配線方向外方の端面から、前記第一配線間隔の半分の長さだけ外方に突出して形成され、

前記第三、第四配線は、前記第一、第二の配線層の積層面と直交する方向の前記第一電極の配線方向外方の端面、および前記第一、第二の配線層の積層面と直交する方向の前記第二電極の配線方向外方の端面から、前記第一配線間隔の半分の長さだけ外方に突出して

10

20

形成されることを特徴とする容量セル。

【請求項 2】

前記第一配線と前記第三配線が平行に形成され、前記第二配線と前記第四配線が平行に形成されることを特徴とする請求項 1 に記載の容量セル。

【請求項 3】

前記容量セルを積層方向に複数並べて接続する場合に、第二のビアコンタクト層を介して接続することを特徴とする請求項 1 に記載の容量セル。

【請求項 4】

前記第一配線間隔は、設計ルールにて許容される最小の配線間隔であることを特徴とする請求項 1 に記載の容量セル。

【請求項 5】

容量であって、
第一容量セルとして請求項 2 に記載の容量セルを有し、
第二容量セルとして請求項 2 に記載の容量セルを有し、
前記第一容量セルと前記第二容量セルとは、第一および第三配線を介して接続され、あるいは第二および第四配線を介して接続されることを特徴とする容量。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多層配線を利用して容量素子を構成する際の容量セル、および容量に関するものであり、特に、半導体装置上の未配線領域に有効に容量素子を配置することが可能な容量セル、および容量に関するものである。

【背景技術】

【0002】

電源ノイズの除去用として備えられるデカップリング容量等の容量素子は、半導体装置の内部に構成する場合、MOSトランジスタのゲート酸化膜を利用して構成されてきた。しかしながら、近年、プロセステクノロジーの微細化により、ゲートリーク電流の影響が無視できなくなっている。ゲート酸化膜を利用する容量素子によりデカップリング容量を構成する場合、スタンバイ電流の増大は避けられないのが実情である。

【0003】

そこで、微細プロセスにおいては、ゲート酸化膜を利用する容量素子に代えて、一对の配線層と配線層に挟まれリーク電流の少ない層間絶縁膜とにより構成される容量素子が種々提案されている。以下にあげる、特許文献 1、および 2 がその一例である。

【0004】

特許文献 1 に開示されている多層配線装置では、同一方向にピッチ配列された複数の配線の、そのピッチ配列の方向が互いに交差するように積層された複数の配線層を有し、これらの配線層を、複数のコンタクト部を介して縦方向に接続する。隣り合う配線におおの異なる第 1、第 2 の電位が供給されて容量素子が構成される。また、コンタクト部の削除により第 1、第 2 の電位の供給をはずすことで、容量配線領域にクロスさせて信号線を通すことができる。

【0005】

特許文献 2 に開示されている半導体装置では、相互に積層された複数層の配線層を有し、各配線層は、層間絶縁膜と、この層間絶縁膜に埋め込まれ相互に離隔する第 1 及び第 2 の電極と、第 1 の電極とその上層又は下層に設けられた配線層の第 1 の電極とを相互に接続する第 1 のビアと、第 2 の電極とその上層又は下層に設けられた配線層の第 2 の電極とを相互に接続する第 2 のビアと、を有し、第 1 の電極及び第 1 のビアが第 1 の端子に接続され、第 2 の電極及び第 2 のビアが第 2 の端子に接続され、第 1 の電極及び第 1 のビアと第 2 の電極及び第 2 のビアとの間でキャパシタが形成される。

【0006】

また、その他の関連技術として特許文献 3 がある。

10

20

30

40

50

【 0 0 0 7 】

【特許文献 1】特開 2 0 0 3 - 2 4 9 5 5 9 号公報

【特許文献 2】特開 2 0 0 4 - 2 4 1 7 6 2 号公報

【特許文献 3】特開 2 0 0 1 - 1 7 7 0 5 6 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

特許文献 1 においては、必要に応じて、容量配線領域にクロスさせて信号線を通すことはできるものではある。しかしながら、同一方向にピッチ配列された複数の配線の、そのピッチ配列の方向が互いに交差するように積層された複数の配線層を備えて、信号配線領域とは別に容量配線領域を確保する必要がある、信号配線により生ずる空き領域を有効に活用して容量素子を構成するという思想は開示されていない。容量素子のために大きな配線領域を確保しなければならない、信号線を配線する際の制約になるおそれがある。また、信号線が配線される信号配線領域内の空き領域を容量素子に割り当てることができない場合があり高集積化に対する制約となるおそれがあり問題である。

10

【 0 0 0 9 】

また、特許文献 2 では、第 1 および第 2 の電極を第 1 および第 2 のビアを介して縦積構造とすることにより、キャパシタにおける単位面積当たりの容量値を増大させるものではある。しかしながら、単位面積当たりの容量値を増大させたキャパシタを平面方向に展開する構成についてはなんら開示がない。信号配線の配置の結果、未配線領域として残存するさまざまな形状の空き領域を有効に活用するため、同領域にキャパシタを配置する場合に、未配線領域の形状に合わせてキャパシタの形状を設計する必要がある煩雑である。

20

【 0 0 1 0 】

本発明は前記背景技術に鑑みなされたものであり、リーク電流の少ない層間絶縁膜を挟む配線層を電極層とする容量素子を、配置上の未使用領域の形状に応じて配置することが可能な容量セル、および容量を提供することを目的とする。

【課題を解決するための手段】

【 0 0 1 1 】

前記目的を達成するために、本発明に係る容量セルは、第一の配線層に形成され、交差する第一配線と第二配線からなる第一電極と、第一の配線層に隣接する第二の配線層に形成され、交差する第三配線と第四配線からなる第二電極と、第一の配線層に形成され、第一、第二の配線層間を接続するための第一ビアコンタクト層を介して第三、第四配線の交差領域と接続される第一ビア接続部と、第二の配線層に形成され、第一ビアコンタクト層を介して第一、第二配線の交差領域と接続される第二ビア接続部とを備え、第三、第四配線の交差領域と第一、第二配線の交差領域、および第一ビア接続部と第二ビア接続部とは、おのおの対角上に位置され、第一ビア接続部と第一、第二配線との間、および第二ビア接続部と第三、第四配線との間は第一配線間隔だけ離間し、第一、第二配線は、第一、第二の配線層の積層面と直交する方向の第二電極の配線方向外方の端面、および第一、第二の配線層の積層面と直交する方向の第一電極の配線方向外方の端面から、第一配線間隔の半分の長さだけ外方に突出して形成され、第三、第四配線は、第一、第二の配線層の積層面と直交する方向の第一電極の配線方向外方の端面、および第一、第二の配線層の積層面と直交する方向の第二電極の配線方向外方の端面から、第一配線間隔の半分の長さだけ外方に突出して形成されることを特徴とする。

30

40

【 0 0 1 2 】

【 0 0 1 3 】

これにより、容量セルをいずれの端面においても互いに連結することができ、容量セルの単位で、素子サイズや容量値等が増減可能な容量素子を構成することができる。

【 0 0 1 4 】

容量セルの大きさを信号配線の後に残存する未配線領域に配置可能な大きさに設定してやれば、信号配線により生ずる未配線領域の大きさや、未配線領域における上下方向およ

50

び平面方向の形状に関わらず、容量セルを必要に応じて連結して容量素子を構成することができる。信号が配線されていない空き領域を有効に活用して容量素子を配置することができる。信号配線領域とは別に容量配線領域を確保することは不要であり、容量素子を配置する際に高集積化に資するところ大である。

【 0 0 1 5 】

【 0 0 1 6 】

【 0 0 1 7 】

【 0 0 1 8 】

【 0 0 1 9 】

【 0 0 2 0 】

10

【 0 0 2 1 】

【 0 0 2 2 】

【 発明の効果 】

【 0 0 2 3 】

本発明によれば、リーク電流の少ない層間絶縁膜を挟む配線層を電極とする容量素子を、配置上の未使用領域の大きさに応じて配置することが可能となる。

【 発明を実施するための最良の形態 】

【 0 0 2 4 】

以下、本発明の容量セル、半導体装置、および容量素子の配置方法について具体化した実施形態を図 1 乃至図 9 に基づき図面を参照しつつ詳細に説明する。

20

【 0 0 2 5 】

図 1 は、半導体装置 1 の配線のレイアウトを示す概念図である。半導体装置 1 に回路ブロック 1 1 乃至 1 4 が配置されるものとして、回路ブロック 1 1 乃至 1 4 間を信号配線で結線した様子を示している。

【 0 0 2 6 】

半導体装置 1 に配置される個々の回路ブロック 1 1 乃至 1 4 に入出力される信号の種類や信号数、または / および回路ブロック 1 1 乃至 1 4 における信号の接続端子位置は、回路ブロック 1 1 乃至 1 4 に応じて変わるものである。また、回路ブロック 1 1 乃至 1 4 の配置位置に応じて信号配線のレイアウトも異なるものとなる。

【 0 0 2 7 】

30

信号配線は、回路ブロック 1 1 乃至 1 4 間にある領域にレイアウトされることとなるが、回路ブロック 1 1 乃至 1 4 の回路構成や信号配線の接続端子位置は回路ブロックごとに固有であり、半導体装置 1 における回路ブロック 1 1 乃至 1 4 のレイアウト位置も選択可能である。このため、配置された回路ブロック 1 1 乃至 1 4 間を結線する信号配線のレイアウトは、配置された回路ブロック 1 1 乃至 1 4 とその配置位置に大きく依存することとなる。回路ブロック間の領域において、信号配線の密なる領域と粗なる領域とが混在することとなる。更に言えば、必要となる信号配線の結線位置に応じて、回路ブロック間の領域内に信号配線がレイアウトされていない未配線領域 X が点在することとなる。未配線領域 X は、信号配線のレイアウトに応じて無作為の位置に点在して存在し、各々の未配線領域 X の大きさも異なったものとなる。

40

【 0 0 2 8 】

ここで、未配線領域 X とは、信号配線が存在せず積層される配線層が信号配線としては未使用である領域のほか、一部の配線層を信号配線として使用しているものの、積層される配線層のうち連続する 2 層以上の配線層が信号配線としては未使用である領域を含むものとする。これにより、信号配線としては未使用であって隣接して積層される配線層を対として容量素子を構成することができる。

【 0 0 2 9 】

図 2 および図 3 に、実施形態の容量セル 2 1 を示す。図 2 に斜視図を示し、図 3 に平面図を示す。図 3 の平面図においては、レイアウト上のデザインルールを示す。

【 0 0 3 0 】

50

容量セル 21 は、多層に積層される金属配線層のうち隣接して積層される配線層 Ma、Mb を 1 対の電極層 T1、T2 として構成されている。各電極層 T1、T2 は、対応する配線層 Ma、Mb が平面方向を区画する 4 つの横端面 X1、X2、Y1、Y2 のうち、対向する横端面 X1、X2、および横端面 Y1、Y2 の各々に直交して、線幅 A で配線されている。この場合、配線層 Ma、Mb は、線間の間隔として配線間隔 B を保ち、対向する横端面 X1、X2、および横端面 Y1、Y2 に直交して配線される配線層 Ma、Mb の交差領域が、図 3 に示す平面視において対角線上に位置して配線されている。電極層 T1、T2 の横端面 X1、X2、Y1、Y2 への接面が第 2 接続端子 T12、T22 である。容量セル 21 では、第 2 接続端子 T12、T22 の配置位置を 3 次元座標で指定すると、第 2 接続端子 T12、T22 の各々は、対向する横端面 X1、X2、および Y1、Y2 ごとに、同一平面座標に配置されている。また各電極層 T1、T2 に直接に接続されている。

10

【0031】

直交して配線される配線層 Ma、Mb の各々の交差領域には、縦方向経路を構成する線幅 D の第 1 ピアコンタクト層 V1 および第 2 ピアコンタクト層 V2 が接続される。ピアコンタクト層と配線層との接続点において、第 1 および第 2 ピアコンタクト層 V1、V2 から配線層 Ma、Mb の端部までの接続余裕距離は線幅 C である。

【0032】

第 1 ピアコンタクト層 V1 は、配線層 Ma と配線層 Mb とを接続するピアコンタクト層である。配線層 Ma、Mb から、対をなす配線層 Mb、Ma に向かって備えられ、配線層 Mb、Ma で構成されるピア接続層 VCb、Vca に接続される。ピア接続層 Vca、VCb も配線層 Ma、Mb で構成されるので、線幅 A の線幅を有し、接続点において、第 1 ピアコンタクト層 V1 から端部までの接続余裕距離は線幅 C で構成される。

20

【0033】

第 2 ピアコンタクト層 V2 は、配線層 Ma から下端面 Z1 を越え、配線層 Mb から上端面 Z2 を越えて、容量セル 21 の外方にある配線層（不図示）に接続する際のピアコンタクト層である。容量セル 21 に備えられている第 2 ピアコンタクト層 V2 は、上下方向に容量セル 21 が連結されることから、配線層間の層間距離の略 1/2 の長さを有して第 1 接続端子 T11、T21 に接続されている。電極層 T1 およびピア接続層 Vca を構成する配線層 Ma から下端面 Z1 に直交して下方に備えられ、また電極層 T2 およびピア接続層 Vcb を構成する配線層 Mb から上端面 Z2 に直交して上方に備えられる。接続点において、第 2 ピアコンタクト層 V2 からピア接続層 Vca、Vcb の端部までの接続余裕距離は線幅 C である。第 2 ピアコンタクト層 V2 の下端面 Z1 および上端面 Z2 への接面が第 1 接続端子 T11、T21 である。容量セル 21 では、第 1 接続端子 T11、T21 の配置位置を 3 次元座標で指定すると、第 1 接続端子 T11、T21 の各々は、対向する下端面 Z1 および上端面 Z2 で、同一座標に配置されている。また、第 2 ピアコンタクト層 V2 は第 1 ピアコンタクト層 V1 と平面視で同じ位置に配置されている。第 1 ピアコンタクト層 V1 と同様にピア接続層 Vca、Vcb に接続されるためである。

30

【0034】

なお、図 3 に示すように、配線層 Ma、Mb から各横端面 X1、X2、Y1、Y2 までの距離は、配線間隔 B の略半分である。これにより、横端面 X1、X2、Y1、Y2 で容量セル 21 を連結する場合に、配線層 Ma、Mb の線間距離が配線間隔 B となる。

40

【0035】

ここで、線幅 A、C、D、および配線間隔 B については、各々の配線層 Ma、Mb、第 1 および第 2 ピアコンタクト層 V1、V2 に対して定められているデザインルールに従って決定される。配線層間で同じデザインルールが適用される場合には、許容される最小値で構成することで最小サイズの容量セル 21 を構成することができる。最小許容値で構成することにより、容量セルの占有面積が低減され未配線領域 X に効率よく配置することができると共に、単位面積あたりの容量値の増大を図ることができる。残存する未配線領域 X に有効に配置して、小さな占有面積で大きな容量値を有する容量素子を構成することができる。

50

【 0 0 3 6 】

また、配線層間でデザインルールが異なる場合には、図 4 に示すように、配線層ごとの許容最小サイズのうち最大値で構成することにより、デザインルールの異なる配線層間に対しても、ビアコンタクト層 V 3 4、V 4 5、V 5 6、V 6 7、V 7 8、V 8 9 の配置位置を合わせることができる。積層される多層配線層の深さ方向に対して同じ平面状の面積を有して容量セルを接続することができる。

【 0 0 3 7 】

図 4 について説明する。最下層の金属配線層 M 4、M 5 およびビアコンタクト層 V 3 4、V 4 5 は、レイアウトの際のデザインルールが最小の許容値まで許されている。その上に積層される金属配線層 M 6、M 7 およびビアコンタクト層 V 5 6、V 6 7 は、最下層に比して大きな最小許容値を有するデザインルールでレイアウトすることが許されている。更に上層の金属配線層 M 8、M 9 およびビアコンタクト層 V 7 8、V 8 9 については、更に大きな最小許容値のデザインルールが許されている。各々隣接する 2 層の金属配線層で容量セルを構成する場合、各々の層で最小許容値のデザインルールを使用してレイアウトしてしまうと、最小許容値が異なる層間で第 1 接続端子のピッチが合わず、容量セルを縦方向に連結することはできない（図 4 中、（ A ）の場合）。そこで、最小許容値を、容量素子として使用する可能性がある最上層のデザインルールで統一してやれば、層間の第 1 接続端子のピッチを統一することができ、容量セルを縦方向で直結することができる（図 4 中、（ B ）の場合）。

【 0 0 3 8 】

また、図 4 では、隣接する 2 層の金属配線層ごとに許容最小値のデザインルールが異なる場合を例にとり説明したが、隣接する 4 層以上の金属配線層において同一のデザインルールが適用される場合がある。2 対以上の容量セルを構成することができる複数層の金属配線層で、同一のデザインルールが適用される場合である。この場合には、同一のデザインルールを有する金属配線層でグループ化し、グループごとに対応するデザインルールに適合した最小許容値で容量セルを構成することも考えられる。

【 0 0 3 9 】

図 5 は、容量セル 2 1 の連結を示す図である。容量セル 2 1 は、電極層 T 1、T 2 ごとに、対向する端面で同一の平面座標に第 1 接続端子 T 1 1、T 2 1 および第 2 接続端子 T 1 2、T 2 2 が配置されているので、2 つの容量セル 2 1 を同じ向きに直結してやれば、それぞれの電極層 T 1、T 2 が連結される。

【 0 0 4 0 】

上下方向に連結される場合は、下端面 Z 1 と上端面 Z 2 とが接合される。下端面 Z 1 の第 1 接続端子 T 1 1 と上端面 Z 2 の第 1 接続端子 T 1 1 が連結され、下端面 Z 1 の第 1 接続端子 T 2 1 と上端面 Z 2 の第 1 接続端子 T 2 1 が連結される。

【 0 0 4 1 】

平面方向に連結される場合は、横端面 X 1 と横端面 X 2、および横端面 Y 1 と横端面 Y 2 とが接合される。横端面 X 1 の第 2 接続端子 T 1 2 と横端面 X 2 の第 2 接続端子 T 1 2 が連結され、横端面 X 1 の第 2 接続端子 T 2 2 と横端面 X 2 の第 2 接続端子 T 2 2 が連結される。また、横端面 Y 1 の第 2 接続端子 T 1 2 と横端面 Y 2 の第 2 接続端子 T 1 2 が連結され、横端面 Y 1 の第 2 接続端子 T 2 2 と横端面 Y 2 の第 2 接続端子 T 2 2 が連結される。

【 0 0 4 2 】

図 6、図 7 に容量セル 2 1 を連結して容量素子を構成する場合を例示する。図 6 は 2 次元に連結した場合である。横端面 X 1 と横端面 X 2、および横端面 Y 1 と横端面 Y 2 で容量セル 2 1 を連結して、4 セル × 4 セルの容量素子が構成されている。容量セル 2 1 では、横端面 X 1、X 2、Y 1、Y 2 と各配線層 M a、M b の端辺との距離が、配線間隔 B の略半分（ $B/2$ ）で構成されている。このため、容量セル 2 1 を横方向に連結した際、隣接間における配線層 M a、M b 間の線間距離が、デザインルール上の許容最小値である配線間隔 B となる。具体的には、電極層 T 1 が許容最小間隔でビア接続層 V C a を取り巻き

、および電極層 T 2 が許容最小間隔でビア接続層 V C b を取り巻く。上下方向においては、電極層 T 1、T 2 間で容量部を構成する。加えて平面方向においては、電極層 T 1 とビア接続層 V C a、および電極層 T 2 とビア接続層 V C b とが、許容最小値の間隔で容量部を構成し、単位面積当たりの容量値を大きくすることに寄与している。容量セル 2 1 を 2 次元に連結して容量素子を構成する場合に、平面方向における単位あたりの容量値を大きくすることができる。効率よく大容量の容量素子を構成することができる。

【 0 0 4 3 】

図 7 は 3 次元に連結した場合である。図 6 の容量素子を上下方向に 3 段に連結した構成を有している。上下方向においては、隣接する容量セル 2 1 を連結する第 1 および第 2 ビアコンタクト層 V 1、V 2 により、隣接容量セル 2 1 間で、各電極層 T 1、T 2 が電極層ごとに連結され、対をなす電極層を取り囲むように構成される。電極層 T 1 と第 1 および第 2 ビアコンタクト層 V 1、V 2 とが、電極層 T 2 を取り囲み、電極層 T 2 と第 1 および第 2 ビアコンタクト層 V 1、V 2 とが、電極層 T 1 を取り囲む。これにより、平面方向に加えて、上下方向においても単位面積あたりの容量値が大きくとれ効率的な容量素子を構成することができる。

【 0 0 4 4 】

図 8 は、図 1 に示した任意形状の未配線領域 X に、有効に容量素子を構成する場合を模式的に示す図である。未配線領域 X の形状は、平面方向において任意の形状となることに加えて、上下方向においても任意の形状になる場合が考えられる。信号配線の平面方向の有無の違いに加えて、多層配線構造を有する半導体装置 1 の場合には、信号配線に使用される配線層の違いに応じて上下方向にも信号配線の有無の違いがあるからである。

【 0 0 4 5 】

3 次元的に任意の形状を有する未配線領域 X を容量素子の配置領域として有効に使用するために、容量セル 2 1 を利用することができる。図 8 にある直方体は容量セル 2 1 を示す。容量セル 2 1 は上下方向および平面方向に自由に連結できる。これにより、未配線領域 X の 3 次元的な形状に合わせて容量セル 2 1 を連結することができ、未配線領域 X を有効に使用した容量素子を構成することができる。

【 0 0 4 6 】

図 9 に示す容量セル 2 2 は容量セル 2 1 の変形例である。容量セル 2 1 では、第 1 接続端子 T 1 1、T 2 1 には、上下端面 Z 2、Z 1 共に、第 2 ビアコンタクト層 V 2 が接続される。このときの第 2 ビアコンタクト層 V 2 の長さは、第 2 ビアコンタクト層 V 2 で接続される配線層間の層間距離の略半分である。これに対して容量セル 2 2 では、上下端面 Z 2、Z 1 のうち何れか一方の端面にある第 1 接続端子 T 1 1、T 2 1 には、第 2 ビアコンタクト層 V 2 に代えて、電極層 T 1 または T 2、およびビア接続層 V C a または V C b が接続される。また他方の端面にある第 1 接続端子 T 1 1、T 2 1 に接続される第 2 ビアコンタクト層 V 2 の長さは、配線層間の層間距離である。

【 0 0 4 7 】

電極層 T 1 およびビア接続層 V C a が下端面 Z 1 の第 1 接続端子 T 1 1、T 2 1 に接続される場合は、容量セルを連結して容量素子を構成する場合の最下段のセルとして容量セル 2 2 を使用することができる。最下層の配線層を配線層 M a として容量素子を構成することができる。電極層 T 2 およびビア接続層 V C b が上端面 Z 2 の第 1 接続端子 T 2 1、T 1 1 に接続される場合は、容量セルを連結して容量素子を構成する場合の最上段のセルとして容量セル 2 2 を使用することができる。最上層の配線層を配線層 M b として容量素子を構成することができる。

【 0 0 4 8 】

以上詳細に説明したとおり、本実施形態に係る容量セル、半導体装置、および容量素子の配置方法によれば、1 対の電極層 T 1、T 2 を備え、各電極層 T 1、T 2 に接続される第 1 および第 2 接続端子 T 1 1、T 2 1 および T 1 2、T 2 2 を容量セル 2 1、2 2 の境界面である上 / 下端面 Z 2 / Z 1 および横端面 X 1、X 2、Y 1、Y 2 にそれぞれ備えているので、容量セル 2 1、2 2 を互いに連結してやれば、容量セル 2 1、2 2 の単位で、

10

20

30

40

50

素子サイズや容量値等が増減可能な容量素子を構成することができる。

【 0 0 4 9 】

容量セル 2 1、2 2 の大きさを信号配線の後に残存する未配線領域 X に配置可能な大きさに設定してやれば、信号配線により生ずる未配線領域 X の大きさ、上下および平面方向の形状等に関わらず、容量セル 2 1、2 2 を必要に応じて連結して容量素子を構成することができる。信号が配線されていない空き領域を有効に活用して容量素子を配置することができる。信号配線領域とは別に容量配線領域を確保することは不要であり、容量素子を配置する際に高集積化に資するところ大である。

【 0 0 5 0 】

尚、本発明は前記実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲内で種々の改良、変形が可能であることは言うまでもない。

例えば、本実施形態においては、第 1 接続端子 T 1 1、T 2 1、および第 2 接続端子 T 1 2、T 2 2 を、対向する端面において同一位置に配置されるものとして説明したが、本発明はこれに限定されるものではなく、対向する端面間で異なる位置に配置することも可能である。この場合、容量セルを鏡面对象にして折り返すことにより連結することができる。

また、容量セル 2 1、2 2 では、電極層 T 1、T 2 がセル内において直交する場合を例にとり説明したが、本発明はこれに限定されるものではない。1 対の配線層を 1 対の電極層として有し、上下方向および平面方向の各端面において、電極層ごとに、外部との接続を可能とする構成とすれば、レイアウト形状に制約はない。例えば、電極層 T 1、T 2 を上下方向に重なりを有し一つの横端面に沿って並走させるように配置し、ビアコンタクト層を、電極層 T 1、T 2 に並走する横端面に対向する横端面に並べて配置する構成とすることもできる。

【 0 0 5 1 】

ここで、本発明の技術思想により、背景技術における課題を解決するための手段を以下に列記する。

(付記 1) 多層に積層される配線層を電極とする容量セルであって、

隣接して積層される 1 対の配線層により構成される 1 対の電極層と、

前記電極層ごとに、上下方向を区画する上端面および下端面に備えられ、該電極層に接続される第 1 接続端子と、

前記電極層ごとに、平面方向を区画する 4 つの横端面に備えられ、該電極層に接続される第 2 接続端子と

を備えることを特徴とする容量セル。

(付記 2) 前記電極層を構成する配線層は金属配線層であり、前記電極層と前記第 1 接続端子とを接続する縦方向経路は、ビアコンタクト層を含んで構成されることを特徴とする付記 1 に記載の容量セル。

(付記 3) 前記縦方向経路のうち、該縦方向経路が接続されている前記電極層に対して対をなす前記電極層の配置側にある経路は、

前記 1 対の配線層を接続する第 1 ビアコンタクト層と、

前記第 1 ビアコンタクト層に接続され、対をなす前記電極層と同じ配線層により構成されるビア接続層と

を備えることを特徴とする付記 2 に記載の容量セル。

(付記 4) 前記縦方向経路のうち、前記上端面または前記下端面の少なくとも何れか一方の端面にある前記第 1 接続端子に接続される経路は、更に、

前記電極層および前記ビア接続層を構成する前記配線層と、前記第 1 接続端子の外方にある配線層とを接続する第 2 ビアコンタクト層を備えることを特徴とする付記 3 に記載の容量セル。

(付記 5) 前記第 2 ビアコンタクト層が前記上端面および前記下端面の双方に備えられる場合、

該第 2 ビアコンタクト層の経路長は、前記第 2 ビアコンタクト層により接続される前記

10

20

30

40

50

配線層間の層間距離の略半分の長さであることを特徴とする付記 4 に記載の容量セル。

(付記 6) 前記第 2 ピアコンタクト層が前記上端面および前記下端面の何れか一方に備えられる場合、

前記上端面または前記下端面の一方にある前記第 1 接続端子は、前記第 2 ピアコンタクト層に接続され、

前記上端面または前記下端面の他方にある前記第 1 接続端子は、前記電極層または前記ピア接続層に接続されることを特徴とする付記 4 に記載の容量セル。

(付記 7) 前記第 1 接続端子は、配置位置を 3 次元座標により指定する場合、前記電極層ごとに、前記上端面内の平面座標と前記下端面内の平面座標とが、同一座標を有して配置されていることを特徴とする付記 1 に記載の容量セル。

(付記 8) 前記第 2 接続端子は、配置位置を 3 次元座標により指定する場合、前記電極層ごとに、対向する前記横端面内の平面座標が同一座標を有して配置されていることを特徴とする付記 1 に記載の容量セル。

(付記 9) 各々の前記電極層は、前記 1 対の配線層のうち一つの配線層で構成され、該配線層は、4 つの前記横端面にある前記第 2 接続端子に接続されることを特徴とする付記 1 に記載の容量セル。

(付記 10) 多層に積層される前記配線層のうち最大のデザインルールによりレイアウトされることを特徴とする付記 1 に記載の容量セル。

(付記 11) 付記 1 乃至 10 の少なくともいずれか一項に記載の容量セルが、少なくとも 2 つ連結されて構成される容量素子を備えることを特徴とする半導体装置。

(付記 12) 前記容量セルの連結は、上下方向においては前記第 1 接続端子の連結により行なわれ、平面方向においては前記第 2 接続端子の連結により行なわれることを特徴とする付記 11 に記載の半導体装置。

(付記 13) 最上段および最下段に連結される容量セルは付記 6 に記載の容量セルであり、

最上段に連結される場合は、前記下端面にある前記第 1 接続端子が前記第 2 ピアコンタクト層に接続されると共に、前記上端面にある前記第 1 接続端子が前記電極層または前記ピア接続層に接続され、

最下段に連結される場合には、前記上端面にある前記第 1 接続端子が前記第 2 ピアコンタクト層に接続されると共に、前記下端面にある前記第 1 接続端子が前記電極層または前記ピア接続層に接続されることを特徴とする付記 12 に記載の半導体装置。

(付記 14) 付記 7 または 8 の少なくとも何れか一項に記載の容量セルが連結される場合、

前記容量セルは同じ向きであって、対向する端面間距離を連結する際の配置ピッチとして連結されることを特徴とする付記 11 に記載の半導体装置。

(付記 15) 多層に積層される配線層を電極とする容量セルの配置方法であって、

隣接して積層される 1 対の配線層を 1 対の電極層とし、上下および平面方向に区画されると共に、前記上下および平面方向の各端面において、外部から前記電極層の各々に接続可能な容量セルを準備するステップと、

前記容量セルを少なくとも 2 つ連結して容量素子を構成するステップと
を有することを特徴とする容量素子の配置方法。

(付記 16) 前記容量素子を準備するステップでは、外部から前記電極層への接続位置は、前記電極層ごとに、前記上下および平面方向の各端面のうち対向する端面において、面内の同一位置とされ、

前記連結のステップでは、前記容量セルは同じ向きであって、対向する端面間距離を連結する際の配置ピッチとされることを特徴とする付記 15 に記載の容量素子の配置方法。

【図面の簡単な説明】

【0052】

【図 1】半導体装置の配線レイアウトを示す図である。

【図 2】実施形態の容量セルを示す斜視図である。

10

20

30

40

50

【図 3】実施形態の容量セルを示す平面図である。

【図 4】多層に積層される配線層とビアコンタクト層との接続関係を示す概念図である。

【図 5】容量セルが連結される様子を示す図である。

【図 6】容量セルが 2 次元に連結されて構成される容量素子の一例を示す図である。

【図 7】容量セルが 3 次元に連結されて構成される容量素子の一例を示す図である。

【図 8】容量素子が自在の 3 次元形状で構成されることを示す図である。

【図 9】容量セルの変形例を示す斜視図である。

【符号の説明】

【 0 0 5 3 】

1 半導体装置

1 1 乃至 1 4 回路ブロック

2 1、2 2 容量セル

M 4、M 5、M 6、M 7、M 8、M 9 金属配線層

M a、M b 配線層

T 1、T 2 電極層

T 1 1、T 2 1 第 1 接続端子

T 1 2、T 2 2 第 2 接続端子

V 1 第 1 ビアコンタクト層

V 2 第 2 ビアコンタクト層

V 3 4、V 4 5、V 5 6、V 6 7、V 7 8、V 8 9 ビアコンタクト層

V C a、V C b ビア接続層

X 未配線領域

X 1、X 2、Y 1、Y 2 横端面

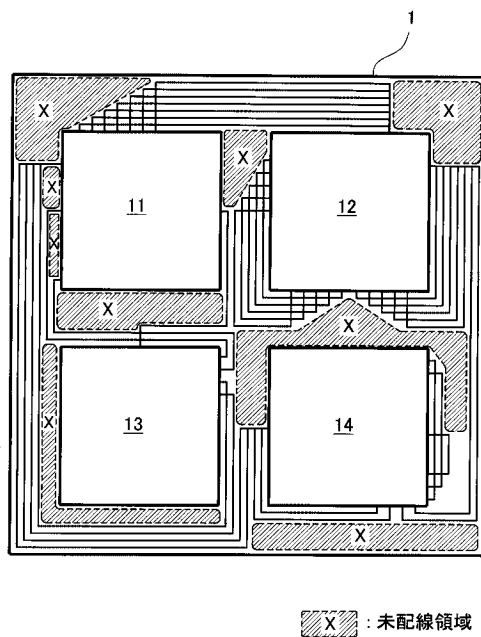
Z 1 下端面

Z 2 上端面

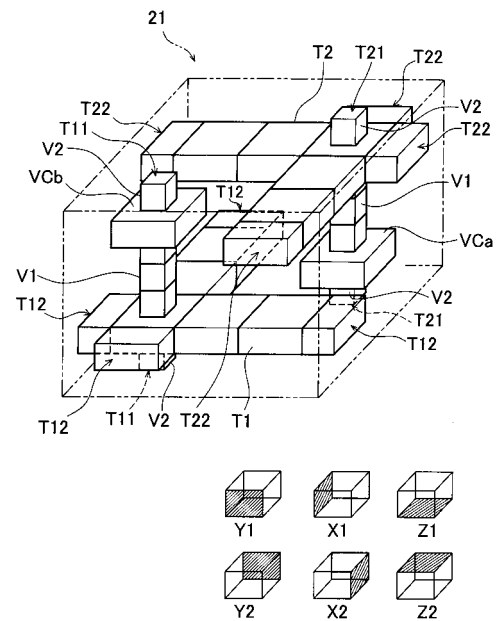
【図 1】

【図 2】

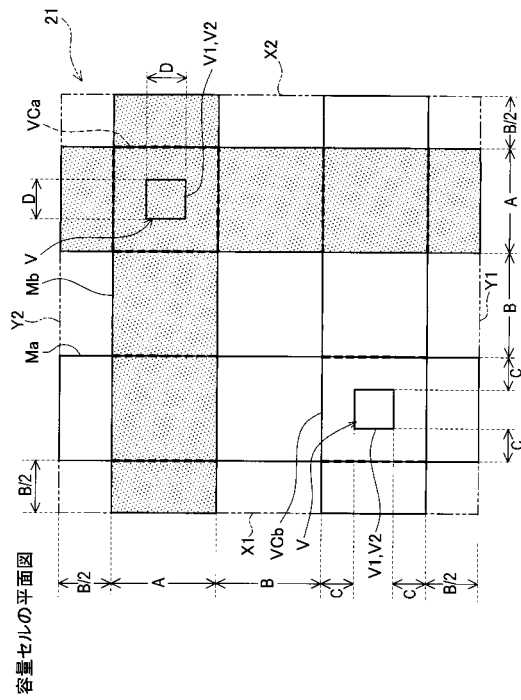
半導体装置の配線レイアウト図



容量セルの斜視図

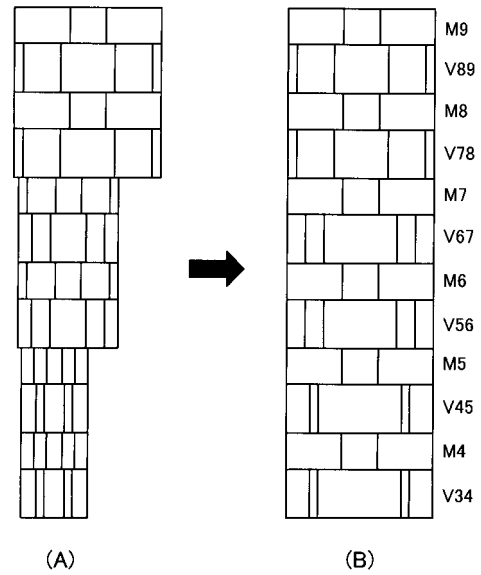


【図 3】



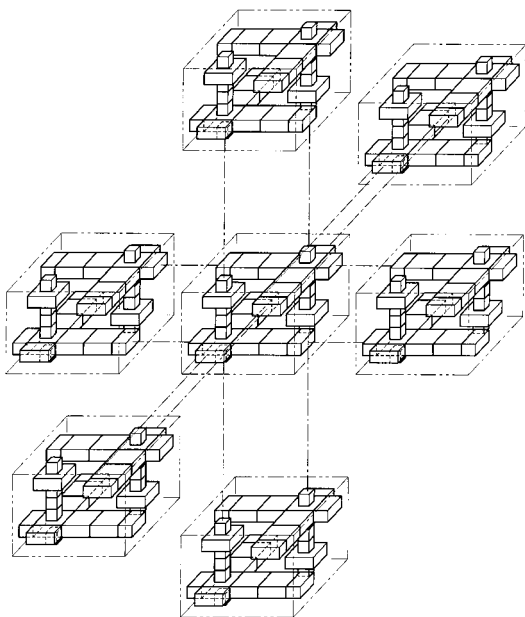
【図 4】

配線層とビアコンタクト層との接続関係



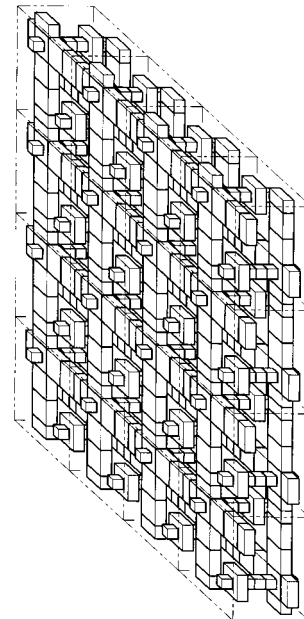
【図 5】

容量セルの連結位置を示す図

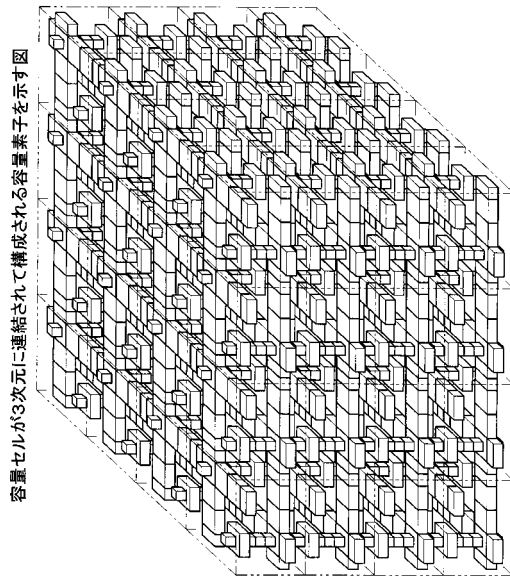


【図 6】

容量セルが2次元に連結されて構成される容量素子を示す図

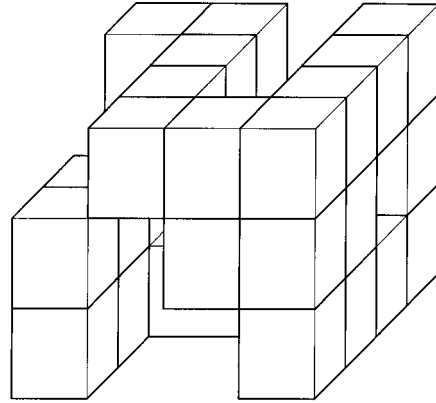


【図 7】



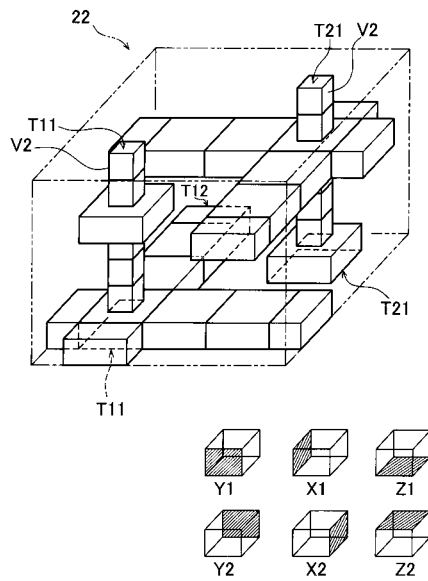
【図 8】

容量素子が自在の3次元形状で構成されることを示す図



【図 9】

容量セルの変形例



フロントページの続き

(51)Int.Cl. F I

H 0 1 L 23/522 (2006.01)

(56)参考文献 特表 2 0 0 5 - 5 2 7 9 7 3 (J P , A)

特開 2 0 0 2 - 2 9 9 5 5 5 (J P , A)

特開 2 0 0 3 - 2 5 6 4 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L27/04

H01L21/822

H01L21/82