



(12)发明专利

(10)授权公告号 CN 104483611 B

(45)授权公告日 2017.05.24

(21)申请号 201410681403.7

(22)申请日 2014.11.24

(65)同一申请的已公布的文献号

申请公布号 CN 104483611 A

(43)申请公布日 2015.04.01

(73)专利权人 华东师范大学

地址 200062 上海市普陀区中山北路3663
号

专利权人 上海集成电路研发中心有限公司

(72)发明人 李小进 王艳玲 卿健 石艳玲

胡少坚

(74)专利代理机构 上海麦其知识产权代理事务
所(普通合伙) 31257

代理人 董红曼

(51)Int.Cl.

G01R 31/26(2014.01)

(56)对比文件

CN 103424684 A, 2013.12.04,

CN 103576067 A, 2014.02.12,

CN 101441245 A, 2009.05.27,

CN 103513173 A, 2014.01.15,

CN 102004216 A, 2011.04.06,

CN 102495352 A, 2012.06.13,

CN 101923141 A, 2010.12.22,

CN 102866340 A, 2013.01.09,

US 2005278677 A1, 2005.12.15,

US 2013265029 A1, 2013.10.10,

贾高升等.用直接隧道栅电流在线表征

PMOSFET负偏压温度不稳定性.《中国集成电路》
.2007,(第4期),

审查员 许艳丽

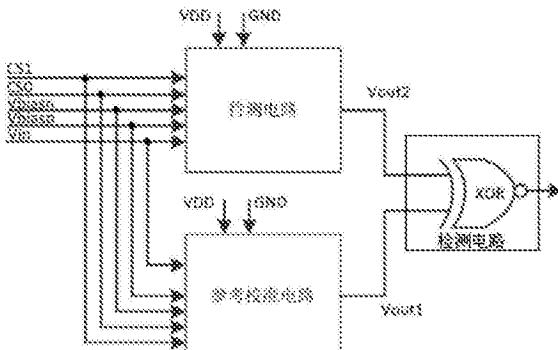
权利要求书2页 说明书9页 附图5页

(54)发明名称

MOS器件偏压温度不稳定退化的测试装置
及其方法

(57)摘要

本发明公开了一种MOS器件偏压温度不稳定退化的测试装置,包括:待测电路、参考校准电路和检测电路;待测电路和参考校准电路的输出同时连接至检测电路;待测电路的内部设置第一反馈控制组件和第一斯密特触发器,第一反馈控制组件对第一斯密特触发器内待测的反馈回路元器件施加应力使其发生退化,待测电路输出退化后的实际迟滞电压信号;参考校准电路输出标准迟滞电压信号;检测电路通过比较测量实际迟滞电压信号与参考标准迟滞电压信号之间的差异来测试反馈回路元器件的退化程度。本发明可同时实现NBTI及PBTI特性的测试,具有电路结构简单、测试精度高的特点。本发明公开了一种MOS器件偏压温度不稳定退化的测试方法。



1. 一种MOS器件偏压温度不稳定退化的测试装置,其特征在于,包括:待测电路、参考校准电路和检测电路;所述待测电路和所述参考校准电路的输出同时连接至所述检测电路;

所述待测电路的内部设置第一反馈控制组件和第一斯密特触发器,所述第一反馈控制组件和所述第一斯密特触发器连接,所述第一反馈控制组件对所述第一斯密特触发器内待测的反馈回路元器件施加应力从而使所述反馈回路元器件发生偏压温度不稳定退化效应,实现改变所述第一斯密特触发器的反馈增益,进而改变所述第一斯密特触发器的迟滞电压,所述待测电路输出退化后的实际迟滞电压信号;

所述参考校准电路内部设置第二反馈控制组件和第二斯密特触发器,所述第二反馈控制组件和所述第二斯密特触发器连接;在所述第一斯密特触发器被施加应力的同时,所述第二反馈控制组件使所述第二斯密特触发器不被施加应力,所述第二斯密特触发器的反馈增益保持不变从而使所述第二斯密特触发器的迟滞电压保持不变,所述参考校准电路输出标准迟滞电压信号;

所述检测电路通过比较测量所述实际迟滞电压信号与所述参考标准迟滞电压信号之间的差异,用于反映所述反馈回路元器件的偏压温度不稳定退化程度。

2. 如权利要求1所述的MOS器件偏压温度不稳定退化的测试装置,其特征在于,所述检测电路为异或门,所述异或门的输入分别接收所述实际迟滞电压信号与所述标准迟滞电压信号,当所述实际迟滞电压信号与所述标准迟滞电压信号之间的电平存在差异时,所述异或门输出高电平信号,通过测量所述高电平信号的脉冲宽度以测试所述反馈回路元器件的偏压温度不稳定退化程度。

3. 如权利要求1所述的MOS器件偏压温度不稳定退化的测试装置,其特征在于,所述第一反馈控制组件包括第三PMOS管(29)、第三NMOS管(30)、第四NMOS管(31)、第四PMOS管(32)、第五PMOS管(33)、第五NMOS管(34)、第六NMOS管(35)和第六PMOS管(36);

所述第一斯密特触发器的反馈回路中设置有NMOS反馈增益控制管(26)和PMOS反馈增益控制管(27);

所述第三PMOS管(29)和所述第三NMOS管(30)的栅极相连,用于接收第一控制信号;所述第三NMOS管(30)的源极接地,所述第三PMOS管(29)的源极用于接收第一反馈增益调节电压,所述第三PMOS管(29)的漏极与所述第三NMOS管(30)的漏极连接;所述第四NMOS管(31)和所述第四PMOS管(32)的栅极相连,用于接收第零控制信号;所述第四PMOS管(32)的源极接电源,所述第四NMOS管(31)的源极与所述第三NMOS管(30)的漏极连接,所述第四NMOS管(31)的漏极与所述第四PMOS管(32)的漏极相连构成第一输出端与所述NMOS反馈增益控制管(26)的栅极连接;

所述第五PMOS管(33)和所述第五NMOS管(34)的栅极相连,用于接收第一控制信号;所述第五NMOS管(34)的源极接地,所述第五PMOS管(33)的源极用于接收第二反馈增益调节电压,所述第五PMOS管(33)的漏极与所述第五NMOS管(34)的漏极连接;所述第六NMOS管(35)和所述第六PMOS管(36)的栅极相连,用于接收第零控制信号;所述第六PMOS管(36)的源极接电源,所述第六NMOS管(35)的源极与所述第五NMOS管(34)的漏极连接,所述第六NMOS管(35)的漏极与所述第六PMOS管(36)的漏极相连构成第二输出端与所述PMOS反馈增益控制管(27)的栅极连接。

4. 如权利要求1所述的MOS器件偏压温度不稳定性退化的测试装置,其特征在于,所述第二反馈控制组件包括第九PMOS管(9)、第九NMOS管(10)、第十NMOS管(11)、第十PMOS管(12)、第十一PMOS管(13)、第十一NMOS管(14)、第十二NMOS管(15)、第十二PMOS管(16)和非门;

所述第二斯密特触发器包括NMOS标准反馈增益管(6)、PMOS标准反馈增益管(7);

所述第九PMOS管(9)和所述第九NMOS管(10)的栅极相连,用于接收第一控制信号;所述第九NMOS管(10)的源极接地,所述第九PMOS管(9)的源极用于接收第一反馈增益调节电压,所述第九PMOS管(9)的漏极与所述第九NMOS管(10)的漏极连接;所述第十PMOS管(12)的栅极通过非门与所述第十NMOS管(11)的栅极相连,用于接收第零控制信号;所述第十PMOS管(12)的源极接地,所述第十NMOS管(11)的源极与所述第九NMOS管(10)的漏极连接,所述第十NMOS管(11)的漏极与所述第十PMOS管(12)的漏极相连构成第三输出端与所述NMOS标准反馈增益管(6)的栅极连接;

所述第十一NMOS管(14)的栅极通过非门与所述第十一PMOS管(13)的栅极相连,用于接收第一控制信号;所述第十一NMOS管(14)的源极接电源,所述第十一PMOS管(13)的源极用于接收第二反馈增益调节电压,所述第十一PMOS管(13)的漏极与所述第十一NMOS管(14)的漏极连接;所述第十二NMOS管(15)和所述第十二PMOS管(16)的栅极相连,用于接收第零控制信号;所述第十二PMOS管(16)的源极接电源,所述第十二NMOS管(15)的源极与所述第十一NMOS管(14)的漏极连接,所述第十二NMOS管(15)的漏极与所述第十二PMOS管(16)的漏极相连构成第四输出端与所述PMOS标准反馈增益管(7)的栅极连接。

5. 一种MOS器件偏压温度不稳定性退化的测试方法,其特征在于,包括如下步骤:

步骤一:对于待测电路,利用第一反馈控制组件对第一斯密特触发器内部待测的反馈回路元器件施加应力;同时对于参考校准电路,利用第二反馈控制组件不对第二斯密特触发器内部的反馈回路元器件施加应力;

步骤二:所述第一斯密特触发器内的反馈回路元器件将在应力作用下发生偏压温度不稳定性退化,从而改变所述第一斯密特触发器反馈增益,进而改变所述第一斯密特触发器的迟滞电压,所述待测电路输出退化后的实际迟滞电压信号;所述第二斯密特触发器内部的反馈回路元器件未发生偏压温度不稳定性退化,所述参考校准电路输出标准迟滞电压信号;

步骤三:利用检测电路对比所述实际迟滞电压信号和所述标准迟滞电压信号,计算所述实际迟滞电压信号与所述标准迟滞电压信号之间存在差异的脉冲宽度;

步骤四:将所述脉冲宽度换算为偏压温度不稳定性退化程度。

6. 如权利要求5所述的MOS器件偏压温度不稳定性退化的测试方法,其特征在于,所述存在差异的脉冲宽度为异或门输出的脉冲宽度,所述异或门的输入为所述实际迟滞电压信号与所述标准迟滞电压信号。

7. 如权利要求5所述的MOS器件偏压温度不稳定性退化的测试方法,其特征在于,将所述脉冲宽度换算为偏压温度不稳定性退化程度的换算方法为:根据所述脉冲宽度换算所述实际迟滞电压信号的改变量,并根据对电路进行仿真获取的退化电压与迟滞电压的曲线确定实际的退化值。

MOS器件偏压温度不稳定性退化的测试装置及其方法

技术领域

[0001] 本发明属于属于半导体器件可靠性技术领域,尤其涉及一种MOS器件偏压温度不稳定性退化的测试装置。

背景技术

[0002] 随着半导体工艺技术进入深亚微米时代,负偏压温度不稳定性(NBTI)成为影响器件性能退化及寿命的主要因素之一。NBTI效应是指在高温下对PMOS器件施加负栅压而引起的一系列电学参数的退化。对器件的影响表现为:随着时间增加,PMOS器件的阈值电压增大和漏电流变小,对电路的影响表现为在模拟电路中引起晶体管间失配,在数字电路中导致时序漂移、噪声容限缩小,甚至产品失效。

[0003] 所以,这使得电路设计者必须在产品设计阶段就需要考虑NBTI退化对电路性能的影响,留有足够的设计容限使得残品在使用寿命内保证电路功能正确。然而较大的设计容限必然带来电路功耗和芯片面积的增加。

[0004] 因此,目前亟需一种在芯片设计一种简单可行的NBTI退化监测电路。本发明提出了一种MOS器件偏压温度不稳定性退化的测试装置及其方法。

发明内容

[0005] 本发明提出了一种MOS器件偏压温度不稳定性退化的测试装置,包括:待测电路、参考校准电路和检测电路;所述待测电路和所述参考校准电路的输出同时连接至所述检测电路;所述待测电路的内部设置第一反馈控制组件和第一斯密特触发器,所述第一反馈控制组件和所述第一斯密特触发器连接,所述第一反馈控制组件对所述第一斯密特触发器内待测的反馈回路元器件施加应力从而使所述反馈回路元器件发生偏压温度不稳定性退化效应,实现改变所述第一斯密特触发器的反馈增益,进而改变所述第一斯密特触发器的迟滞电压,所述待测电路输出退化后的实际迟滞电压信号;所述参考校准电路内部设置第二反馈控制组件和第二斯密特触发器,所述第二反馈控制组件和所述第二斯密特触发器连接;在所述第一斯密特触发器被施加应力的同时,所述第二反馈控制组件使所述第二斯密特触发器不被施加应力,所述第二斯密特触发器的反馈增益保持不变从而使所述第二斯密特触发器的迟滞电压保持不变,所述参考校准电路输出标准迟滞电压信号;所述检测电路通过比较测量所述实际迟滞电压信号与所述参考标准迟滞电压信号之间的差异,用于反映所述反馈回路元器件的偏压温度不稳定性退化程度。

[0006] 本发明提出的所述MOS器件偏压温度不稳定性退化的测试装置中,所述检测电路为异或门,所述异或门的输入分别接收所述实际迟滞电压信号与所述标准迟滞电压信号,当所述实际迟滞电压信号与所述标准迟滞电压信号之间的电平存在差异时,所述异或门输出高电平信号,通过测量所述高电平信号的脉冲宽度以测试所述反馈回路元器件的偏压温度不稳定性退化程度。

[0007] 本发明提出的所述MOS器件偏压温度不稳定性退化的测试装置中,所述第一反馈

控制组件包括第三PMOS管、第三NMOS管、第四NMOS管、第四PMOS管、第五PMOS管、第五NMOS管、第六NMOS管和第六PMOS管；所述第三PMOS管和所述第三NMOS管的栅极相连，用于接收第一控制信号；所述第三NMOS管的源极接地，所述第三PMOS管的源极用于接收第一反馈增益调节电压，漏极与所述第三NMOS管的漏极连接；所述第四NMOS管和所述第四PMOS管的栅极相连，用于接收第零控制信号；所述第四PMOS管的源极接电源，所述第四NMOS管的源极与所述第三NMOS管的漏极连接，漏极与所述第四PMOS管的漏极相连构成第一输出端与所述第一斯密特触发器连接；所述第五PMOS管和所述第五NMOS管的栅极相连，用于接收第一控制信号；所述第五NMOS管的源极接地，所述第五PMOS管的源极用于接收第二反馈增益调节电压，漏极与所述第五NMOS管的漏极连接；所述第六NMOS管和所述第六PMOS管的栅极相连，用于接收第零控制信号；所述第六PMOS管的源极接电源，所述第六NMOS管的源极与所述第五NMOS管的漏极连接，漏极与所述第六PMOS管的漏极相连构成第二输出端与所述第一斯密特触发器连接。

[0008] 本发明提出的所述MOS器件偏压温度不稳定性退化的测试装置中，所述第二反馈控制组件包括第九PMOS管、第九NMOS管、第十NMOS管、第十PMOS管、第十一PMOS管、第十一NMOS管、第十二NMOS管、第十二PMOS管和非门；所述第九PMOS管和所述第九NMOS管的栅极相连，用于接收第一控制信号；所述第九NMOS管的源极接地，所述第九PMOS管的源极用于接收第一反馈增益调节电压，漏极与所述第九NMOS管的漏极连接；所述第十PMOS管的栅极通过非门与所述第十NMOS管的栅极相连，用于接收第零控制信号；所述第十PMOS管的源极接地，所述第十NMOS管的源极与所述第九NMOS管的漏极连接，漏极与所述第十PMOS管的漏极相连构成第一输出端与所述第二斯密特触发器连接；所述第十一NMOS管的栅极通过非门与所述第十一PMOS管的栅极相连，用于接收第一控制信号；所述第十一NMOS管的源极接电源，所述第十一PMOS管的源极用于接收第二反馈增益调节电压，漏极与所述第十一NMOS管的漏极连接；所述第十二NMOS管和所述第十二PMOS管的栅极相连，用于接收第零控制信号；所述第十二PMOS管的源极接电源，所述第十二NMOS管的源极与所述第十一NMOS管的漏极连接，漏极与所述第十二PMOS管的漏极相连构成第二输出端与所述第二斯密特触发器连接。

[0009] 本发明还提出了一种MOS器件偏压温度不稳定性退化的测试方法，包括如下步骤：

[0010] 步骤一：对于待测电路，利用第一反馈控制组件对第一斯密特触发器内部待测的反馈回路元器件施加应力；同时对于参考校准电路，利用第二反馈控制组件不对第二斯密特触发器内部的反馈回路元器件施加应力；

[0011] 步骤二：所述第一斯密特触发器内的反馈回路元器件将在应力作用下发生偏压温度不稳定性退化，从而改变所述第一斯密特触发器反馈增益，进而改变所述第一斯密特触发器的迟滞电压，所述待测电路输出退化后的实际迟滞电压信号；所述第二斯密特触发器内部的反馈回路元器件未发生偏压温度不稳定性退化，所述参考校准电路输出标准迟滞电压信号；

[0012] 步骤三：利用检测电路对比所述实际迟滞电压信号和所述标准迟滞电压信号，计算所述实际迟滞电压信号与所述标准迟滞电压信号之间存在差异的脉冲宽度；

[0013] 步骤四：将所述脉冲宽度换算为偏压温度不稳定性退化程度。

[0014] 本发明提出的所述MOS器件偏压温度不稳定性退化的测试方法中，所述存在差异的脉冲宽度为异或门输出的脉冲宽度，所述异或门的输入为所述实际迟滞电压信号与所述

标准迟滞电压信号。

[0015] 本发明提出的所述MOS器件偏压温度不稳定退化的测试方法中,将所述脉冲宽度换算为偏压温度不稳定退化程度的换算方法为:根据所述脉冲宽度换算所述实际迟滞电压信号的改变量,并根据对电路进行仿真获取的退化电压与迟滞电压的曲线确定实际的退化值。

[0016] 本发明的有益效果在于:本发明可同时实现负偏压温度不稳定退化(NBTI)及正偏压温度不稳定退化(PBTI)特性的测试,本发明测试装置的具有电路结构简单、测试精度高的特点。

附图说明

[0017] 图1是本发明MOS器件偏压温度不稳定退化的测试装置的结构图。

[0018] 图2是待测电路的线路结构图。

[0019] 图3是参考校准电路的线路结构图。

[0020] 图4是NBTI退化测试过程的波形图。

[0021] 图5是PBTI退化测试过程的波形图。

[0022] 图6是第一斯密特触发器对应于不同退化程度时的输出曲线示意图。

具体实施方式

[0023] 结合以下具体实施例和附图,对本发明作进一步的详细说明。实施本发明的过程、条件、实验方法等,除以下专门提及的内容之外,均为本领域的普遍知识和公知常识,本发明没有特别限制内容。

[0024] 参阅图1,本发明MOS器件偏压温度不稳定退化的测试装置包括待测电路、参考校准电路和检测电路;待测电路和参考校准电路的输出同时连接至检测电路;待测电路的内部设置第一反馈控制组件和第一斯密特触发器,第一反馈控制组件和第一斯密特触发器连接,第一反馈控制组件对第一斯密特触发器内待测的反馈回路元器件施加应力从而使反馈回路元器件发生偏压温度不稳定退化效应,实现改变第一斯密特触发器的反馈增益,进而改变第一斯密特触发器的迟滞电压,待测电路输出退化后的实际迟滞电压信号;参考校准电路内部设置第二反馈控制组件和第二斯密特触发器,第二反馈控制组件和第二斯密特触发器连接;在第一斯密特触发器被施加应力的同时,第二反馈控制组件使第二斯密特触发器不被施加应力,第二斯密特触发器的反馈增益保持不变从而使第二斯密特触发器的迟滞电压保持不变,参考校准电路输出标准迟滞电压信号;检测电路通过比较测量实际迟滞电压信号与参考标准迟滞电压信号之间的差异,用于反映反馈回路元器件的偏压温度不稳定退化程度。

[0025] 以下分别对待测电路、检测电路和参考校准电路的线路结构作进一步阐述。

[0026] (1) 待测电路的线路结构

[0027] 参阅图2,待测电路包括第一斯密特触发器和第一反馈控制组件。第一斯密特触发器的反馈回路中设置有两个待测的反馈回路元器件,具体为NMOS反馈增益控制管26和PMOS反馈增益控制管27。第一反馈控制组件用于调节NMOS反馈增益控制管26和PMOS反馈增益控制管27的栅极所被施加的电压,NMOS反馈增益控制管26的栅极施加VDD电压时为被施加应

力,而PMOS反馈增益控制管27的栅极施加0V电压时为被施加应力。

[0028] (1.1) 第一斯密特触发器的线路结构

[0029] 第一斯密特触发器包括:第一反相器、第二反相器、NMOS反馈增益控制管26、第一NMOS反馈晶体管25、PMOS反馈增益控制管27和第一PMOS反馈晶体管28。NMOS反馈增益控制管26和PMOS反馈增益控制管27为待测的反馈回路元器件。

[0030] 第一反相器包括第一PMOS管22与第一NMOS管21,第一PMOS管22的源极接电源,第一NMOS管21的源极接地,第一PMOS管22与第一NMOS管21的栅极相连构成第一反相器的输入端,用于接收输入电压,第一PMOS管22与第一NMOS管21的漏极相连构成第一反相器的输出端。

[0031] 第二反相器包括第二PMOS管24与第二NMOS管23,第二PMOS管24的源极接电源,第二NMOS管23的源极接地,第二PMOS管24与第二NMOS管23的栅极相连构成第二反相器的输入端,第二PMOS管24与第二NMOS管23的漏极相连构成第二反相器的输出端。第二反相器的输入端与第一反相器的输出端连接,输出端与待测校准电路的输出端连接。

[0032] NMOS反馈增益控制管26的栅极与第一反馈控制组件的输出连接,漏极与第一反相器的输出端连接,用于被施加正偏压温度不稳定应力,发生正偏压温度不稳定退化效应。

[0033] 第一NMOS反馈晶体管25的栅极与待测校准电路的输出端连接,源极接地,漏极与NMOS反馈增益控制管26的源极连接,用于反应NMOS反馈增益控制管26的反馈增益,输出实际迟滞电压信号。

[0034] PMOS反馈增益控制管27的栅极与第一反馈控制组件的输出连接,漏极与第一反相器的输出端连接,用于被施加负偏压温度不稳定应力,发生负偏压温度不稳定退化效应。

[0035] 第一PMOS反馈晶体管28的栅极与待测校准电路的输出端连接,源极接电源,漏极与PMOS反馈增益控制管27的源极连接,用于反应PMOS反馈增益控制管27的反馈增益,输出实际迟滞电压信号。

[0036] (1.2) 第一反馈控制组件的控制方法及线路结构

[0037] 第一反馈控制组件的输入包括第零控制信号、第一控制信号、第一反馈增益调节电压、第二反馈增益调节电压,其输出包括第一输出端和第二输出端。第一输出端与NMOS反馈增益控制管26的栅极连接,第二输出端与PMOS反馈增益控制管27的栅极连接。

[0038] 第一反馈控制组件包括第三PMOS管29、第三NMOS管30、第四NMOS管31、第四PMOS管32、第五PMOS管33、第五NMOS管34、第六NMOS管35和第六PMOS管36。

[0039] 第三PMOS管29和第三NMOS管30的栅极相连,用于接收第一控制信号。第三NMOS管30的源极接地,第三PMOS管29的源极用于接收第一反馈增益调节电压,漏极与第三NMOS管30的漏极连接。第四NMOS管31和第四PMOS管32的栅极相连,用于接收第零控制信号。第四PMOS管32的源极接电源,第四NMOS管31的源极与第三NMOS管30的漏极连接,漏极与第四PMOS管32的漏极相连构成第一输出端与NMOS反馈增益控制管26的栅极连接。

[0040] 第五PMOS管33和第五NMOS管34的栅极相连,用于接收第一控制信号。第五NMOS管34的源极接地,第五PMOS管33的源极用于接收第二反馈增益调节电压,漏极与第五NMOS管34的漏极连接。第六NMOS管35和第六PMOS管36的栅极相连,用于接收第零控制信号。第六PMOS管36的源极接电源,第六NMOS管35的源极与第五NMOS管34的漏极连接,漏极与第六PMOS管36的漏极相连构成第二输出端与PMOS反馈增益控制管27的栅极连接。

[0041] 当第一控制信号和第零控制信号同为低电平时,PMOS反馈增益控制管27的栅极接VDD电源,NMOS反馈增益控制管26的栅极接VDD电源,用于对NMOS反馈增益控制管26施加正偏压温度不稳定应力。

[0042] 当第一控制信号为低电平,第零控制信号为高电平时,PMOS反馈增益控制管27的栅极接第二反馈增益调节电压,NMOS反馈增益控制管26的栅极接第一反馈增益调节电压,用于测试NMOS反馈增益控制管26或者NMOS反馈增益控制管27的偏压温度不稳定性退化程度。

[0043] 当第一控制信号为高电平,第零控制信号为低电平时,PMOS反馈增益控制管27的栅极断开,NMOS反馈增益控制管26的栅极断开,用于结束或暂定测试。

[0044] 当第一控制信号和第零控制信号同为高电平时,PMOS反馈增益控制管27的栅极接地,NMOS反馈增益控制管26的栅极接地,用于对PMOS反馈增益控制管26施加负偏压温度不稳定应力。

[0045] (2) 参校准电路的线路结构

[0046] 参阅图3,参考校准电路包括第二斯密特触发器和第二反馈控制组件。

[0047] (2.1) 第二斯密特触发器的线路结构

[0048] 第二斯密特触发器与第一斯密特触发器的结构相同,其包括第三反相器、第四反相器、NMOS标准反馈增益管6、第八NMOS反馈晶体管5、PMOS标准反馈增益管7和第七PMOS反馈晶体管8。NMOS标准反馈增益管6和PMOS标准反馈增益管7为标准器件。

[0049] 第三反相器包括第七PMOS管2与第七NMOS管1,第七PMOS管2的源极接电源,第七NMOS管1的源极接地,第七PMOS管2与第七NMOS管1的栅极相连构成第三反相器的输入端,用于接收输入电压,第七PMOS管2与第七NMOS管1的漏极相连构成第三反相器的输出端。

[0050] 第四反相器包括第八PMOS管4与第八NMOS管3,第八PMOS管4的源极接电源,第八NMOS管3的源极接地,第八PMOS管4与第八NMOS管3的栅极相连构成第四反相器的输入端,第八PMOS管4与第八NMOS管3的漏极相连构成第四反相器的输出端。第四反相器的输入端与第三反相器的输出端连接,输出端与待测校准电路的输出端连接。

[0051] NMOS标准反馈增益管6的栅极与第七反馈控制组件的输出连接,漏极与第三反相器的输出端连接,NMOS标准反馈增益管6不发生正偏压温度不稳定退化效应。

[0052] 第八NMOS反馈晶体管5的栅极与待测校准电路的输出端连接,源极接地,漏极与NMOS标准反馈增益管6的源极连接,用于反应NMOS标准反馈增益管6的反馈增益,输出标准迟滞电压信号。

[0053] PMOS标准反馈增益管7的栅极与第七反馈控制组件的输出连接,漏极与第三反相器的输出端连接,PMOS标准反馈增益管7不发生负偏压温度不稳定退化效应。

[0054] 第七PMOS反馈晶体管8的栅极与待测校准电路的输出端连接,源极接电源,漏极与PMOS标准反馈增益管7的源极连接,用于反应PMOS标准反馈增益管7的反馈增益,输出标准迟滞电压信号。

[0055] (2.2) 第二反馈控制组件的控制方法及线路结构

[0056] 第二反馈控制组件的输入包括第零控制信号、第一控制信号、第一反馈增益调节电压、第二反馈增益调节电压,其输出包括第三输出端和第四输出端。第三输出端与NMOS标准反馈增益管6的栅极连接,第四输出端与PMOS标准反馈增益管7的栅极连接。

[0057] 当第一控制信号和第零控制信号同为低电平时,PMOS标准反馈增益管7的栅极接电源,NMOS标准反馈增益管6的栅极接地,用于使NMOS标准反馈增益管6或者PMOS标准反馈增益管7不发生偏压温度不稳定性退化效应。

[0058] 当第一控制信号为低电平,第零控制信号为高电平时,PMOS标准反馈增益管7的栅极接第二反馈增益调节电压,NMOS标准反馈增益管6的栅极接第一反馈增益调节电压,用于输出标准迟滞电压信号。

[0059] 当第一控制信号为高电平,第零控制信号为低电平时,PMOS标准反馈增益管7的栅极断开,NMOS标准反馈增益管6的栅极断开,用于结束或暂定测试。

[0060] 当第一控制信号和第零控制信号同为高电平时,PMOS标准反馈增益管7的栅极接电源,NMOS标准反馈增益管6的栅极接地,用于使NMOS标准反馈增益管6或者PMOS标准反馈增益管7不发生偏压温度不稳定性退化效应。

[0061] 第二反馈控制组件包括第九PMOS管9、第九NMOS管10、第十NMOS管11、第十PMOS管12、第十一PMOS管13、第十一NMOS管14、第十二NMOS管15、第十二PMOS管16和非门。

[0062] 第九PMOS管9和第九NMOS管10的栅极相连,用于接收第一控制信号。第九NMOS管10的源极接地,第九PMOS管9的源极用于接收第一反馈增益调节电压,漏极与第九NMOS管10的漏极连接。第十PMOS管12的栅极通过非门与第十NMOS管11的栅极相连,用于接收第零控制信号。第十PMOS管12的源极接地,第十NMOS管11的源极与第九NMOS管10的漏极连接,漏极与第十PMOS管12的漏极相连构成第一输出端与NMOS反馈增益控制管6的栅极连接。

[0063] 第十一NMOS管14的栅极通过非门与第十一PMOS管13的栅极相连,用于接收第一控制信号。第十一NMOS管14的源极接电源,第十一PMOS管13的源极用于接收第二反馈增益调节电压,漏极与第十一NMOS管14的漏极连接。第十二NMOS管15和第十二PMOS管16的栅极相连,用于接收第零控制信号。第十二PMOS管16的源极接电源,第十二NMOS管15的源极与第十一NMOS管14的漏极连接,漏极与第十二PMOS管16的漏极相连构成第二输出端与PMOS反馈增益控制管7的栅极连接。

[0064] 以上是关于本发明测试装置内部线路结构的详细描述,本发明的技术方案是以斯密特触发器中的NMOS反馈增益控制管或PMOS反馈增益控制管作为待测的反馈回路元器件,将BTI退化应力转换成斯密特触发器的反馈增益退化,从而转换成斯密特触发器迟滞电压变化。以下本发明测试方法的步骤及具体实施过程做进一步说明。

[0065] 本发明还提出了一种MOS器件偏压温度不稳定性退化的测试方法,包括如下步骤:

[0066] 步骤一:对于待测电路,利用第一反馈控制组件对第一斯密特触发器内部待测的反馈回路元器件施加应力;同时对于参考校准电路,利用第二反馈控制组件不对第二斯密特触发器内部的反馈回路元器件施加应力;

[0067] 步骤二:第一斯密特触发器内的反馈回路元器件将在应力作用下发生偏压温度不稳定性退化,从而改变第一斯密特触发器反馈增益,进而改变第一斯密特触发器的迟滞电压,待测电路输出退化后的实际迟滞电压信号;第二斯密特触发器内部的反馈回路元器件未发生偏压温度不稳定性退化,参考校准电路输出标准迟滞电压信号;

[0068] 步骤三:利用检测电路对比实际迟滞电压信号和标准迟滞电压信号,计算实际迟滞电压信号与标准迟滞电压信号之间存在差异的脉冲宽度;

[0069] 步骤四:将脉冲宽度换算为偏压温度不稳定性退化程度。

[0070] 结合上述本发明测试装置的线路结构,本实施例中对第一斯密特触发器施加偏压温度不稳定性退化应力的模式分为四种,NBTI施加应力模式、PBTI施加应力模式、测试模式和禁止模式。各模式的控制信号功能列表如以下表1所示:

[0071] 表1控制信号功能

[0072]

CS1	CS0	节点A电压	节点B电压	功能
0	0	VDD	VDD	对 NMOS 反馈增益控制管 26 施加应力, PBTI 应力施加模式
0	1	Vbiasp	Vbiasn	NBTI 测试模式
1	0	-	-	禁止模式
1	1	GND	GND	对 PMOS 反馈增益控制管 27 施加应力, NBTI 应力施加模式

[0073] 参见以上表1,处于PBTI应力模式 ($\{CS1, CS0\} = 00$) 中:第五PMOS管33、第六PMOS管36开启,第五NMOS管34和第六NMOS管35关闭,此时节点A(即PMOS反馈增益控制管27的栅极)电压为VDD,PMOS反馈增益控制管27未处于应力施加阶段;同时第三NMOS管30、第四NMOS管31关闭,第三PMOS管29和第四PMOS管32开启,此时节点B(NMOS反馈增益控制管26的栅极)电压为VDD,NMOS反馈增益控制管26管处于施加应力阶段。

[0074] 测试模式 ($\{CS1, CS0\} = 01$):第五PMOS管33、第六NMOS管35开启,第五NMOS管34和第六PMOS管36关闭,此时节点A电压为外部的第二反馈增益调节电压Vbiasp,PMOS反馈增益控制管27将处于测试模式;同时第三PMOS管29、第四NMOS管31开启,第三NMOS管30和第四PMOS管32关闭,此时节点B电压为第一反馈增益调节电压Vbiasn,NMOS反馈增益控制管26管处于测试模式。即,NBTI和PBTI测试同属一个模式。

[0075] 禁止模式 ($\{CS1, CS0\} = 10$):在整个工作过程中禁止出现此种控制信号。

[0076] NBTI应力模式 ($\{CS1, CS0\} = 11$):第五NMOS管34、第六NMOS管35开启,第五PMOS管33和第六PMOS管36关闭,此时节点A电压为GND,PMOS反馈增益控制管27处于NBTI应力施加阶段;同时第三PMOS管29、第四PMOS管32关闭,第三NMOS管30和第四NMOS管31开启,此时节点B电压为GND,未对NMOS反馈增益控制管26管施加应力。

[0077] 参考件准电路中包括第二斯密特触发器和第二反馈控制组件,第二斯密特触发器的线路结构与第一斯密特触发器的线路结构相同。在第一斯密特触发器被施加应力的同时,第二斯密特触发器不被施加应力,其输出的标准迟滞电压信号用于作为比对实际迟滞电压信号的依据。相应地,参考校准电路具有三种工作模式:测试模式、未受应力模式和禁止模式。其控制信号功能列表如以下表2所示:

[0078] 表2参考电路控制信号功能列表

	CS1	CS0	节点 C 电 压	节点 D 电 压	功能
[0079]	0	0	VDD	GND	未对 NMOS 标准反馈增益管 6 和 PMOS 标准反馈增益管 7 施加应力
	0	1	Vbiasp	Vbiasn	NBTI 测试模式
	1	0	-	-	禁止模式
	1	1	VDD	GND	未对 NMOS 标准反馈增益管 6 和 PMOS 标准反馈增益管 7 施加应力

[0080] 参见图2,未受应力模式下, $\{CS1, CS0\} = 00$: 第十一PMOS管13、第十二PMOS管16开启,第十一NMOS管14和第十二NMOS管15关闭,此时节点C(即PMOS标准反馈增益管7的栅极)电压为VDD,PMOS标准反馈增益管7未处于应力施加阶段;同时第九NMOS管10、第十NMOS管11关闭,第九PMOS管9和第十PMOS管12开启,此时节点D(即NMOS标准反馈增益管6的栅极)电压为GND,NMOS标准反馈增益管6管处于未施加应力状态。

[0081] 测试模式下, $\{CS1, CS0\} = 01$: 第十一PMOS管13、第十二NMOS管15开启,第十一NMOS管14和第十二PMOS管16关闭,此时节点C电压为外部调节电压Vbiasp,PMOS标准反馈增益管7将处于测试模式;同时第九PMOS管9、第十NMOS管11开启,第九NMOS管10和第十PMOS管12关闭,此时节点D电压为Vbiasn,NMOS标准反馈增益管6管处于测试模式。即,NBTI和PBTI测试同属一个模式。

[0082] 禁止模式下, $\{CS1, CS0\} = 10$: 在整个工作过程中禁止出现此种控制信号。

[0083] 未受应力模式下, $\{CS1, CS0\} = 11$: 第十一NMOS管14、第十二NMOS管15开启,第十一PMOS管13和第十二PMOS管16关闭,此时节点C电压为VDD,PMOS标准反馈增益管7处于未NBTI应力施加阶段;同时第九PMOS管9、第十PMOS管12关闭,第九NMOS管10和第十NMOS管11开启,此时节点D电压为GND,NMOS标准反馈增益管6管处于未施加应力阶段。由此可见,不管CS1CS0为何值,NMOS标准反馈增益管6和PMOS标准反馈增益管7均不会出现受应力状态,因此可作为待测试电路的参照。

[0084] 整个测试过程包括先进行应力施加,然后再进行测试。其测试过程的波形如图4和图5所示,

[0085] NBTI退化测试过程:

[0086] 将 $\{CS1, CS0\}$ 设置成11,对PMOS标准反馈增益管7管施加应力, $\{CS1, CS0\} = 00$,停止施加应力,按照应力施加条件如此反复直到结束。

[0087] 当应力施加过程结束时,将 $\{CS1, CS0\}$ 设置成01,同时Vin开始从VDD逐渐下降到GND,下降速率由外部信号源控制。Vout1为未施加应力的参考校准电路输出,Vout2为施加过应力测试电路输出。由于NBTI退化会造成Vout2相对于Vout1有一个延迟,因此Vout1和Vout2经过异或门后会产生一个高电平脉冲,脉冲宽度代表了器件性能退化程度。

[0088] PBTI退化测试过程:

[0089] 将 $\{CS1, CS0\}$ 设置成00,对NMOS标准反馈增益管6管施加应力, $\{CS1, CS0\} = 11$,停

止施加应力。按照应力施加条件如此反复直到应力施加结束。

[0090] 当应力施加结束时,将{CS1,CS0}设置成01,同时Vin开始从GND逐渐上升到VDD,上升时间由外部控制。Vout1为未施加应力的参考校准电路输出,Vout2为施加过应力测试电路输出。由于PBTI退化会造成Vout2相对于Vout1有一个延迟。Vout1和Vout2经过异或门将延迟时间差转换成一个高电平脉冲,脉冲宽度代表了器件性能退化程度。

[0091] 以上陈述了本发明MOS器件偏压温度不稳定退化的测试方法的具体控制方式,以下结合以NBTI退化测试过程为例,具体解释说明测试方法的过程及原理。PBTI退化测试过程及其原理与NBTI退化测试过程相类似。

[0092] 以NBTI退化测试过程为例,当PMOS反馈增益控制管27被施加应力之后,PMOS反馈增益控制管27的阈值电压会随着应力时间而增加,由于PMOS反馈增益控制管27位于测试电路斯密特触发器的反馈回路上(参见图2的箭头),因此NBTI退化所造成PMOS反馈增益控制管27阈值电压的改变会导致第一斯密特触发器反馈增益改变,从而导致第一斯密特触发器的迟滞电压发生变化。

[0093] 当待测电路和参考校准电路同时输入相同的Vin信号(三角波)时,由于待测电路中的第一斯密特触发器的迟滞电压发生改变,造成输出的实际迟滞电压信号相对于参考校准电路的输出的标准迟滞电压信号的上升沿提前。最后利用异或门比较两个输出波形,可获得输出脉冲,此脉冲宽度为待测电路相对于参考校准电路上升沿的时间提前量,所以该脉冲宽度即可反应PMOS反馈增益控制管27的退化程度。

[0094] 当PMOS反馈增益控制管27发生退化时(阈值电压发生变化),等价于PMOS反馈增益控制管27的栅极有效电压发生改变。参见图6,对于同样的输入Vin,第一斯密特触发器的输出曲线(即实际迟滞电压信号)会发生偏移。

[0095] 假设Vbiasp为一不变值,忽略第五PMOS管33和第六NMOS管35所造成的电压降(可用互补CMOS管构成的传输门替代单MOS管传输门),PMOS反馈增益控制管27栅极上未加发生退化时的电压为Vbiasp,PMOS反馈增益控制管27的过驱动电压为Vbiasp-Vth0,其中Vth0为PMOS反馈增益控制管27未发生退化时的阈值电压,为一常数。假设PMOS反馈增益控制管27发生 ΔV_{th} 的退化,则PMOS反馈增益控制管27的有效过驱动电压为Vbiasp-Vth0- ΔV_{th} 。不同的过驱动电压会造成如上图中迟滞电压的改变,迟滞电压定在图6中反应为输入Vin和输出的交点对应的纵轴电压。通过电路仿真可获知PMOS反馈增益控制管27退化(阈值电压改变)与脉冲宽度的关系曲线。在实际测试时,获得脉冲宽度后可通过仿真获得的关系曲线反向推导出阈值电压的退化值。

[0096] 本发明的保护内容不局限于以上实施例。在不背离发明构思的精神和范围下,本领域技术人员能够想到的变化和优点都被包括在本发明中,并且以所附的权利要求书为保护范围。

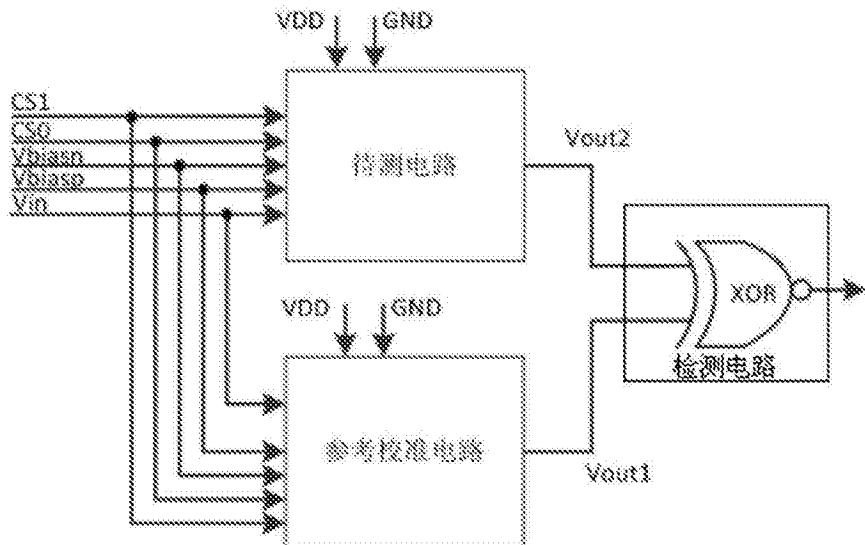


图1

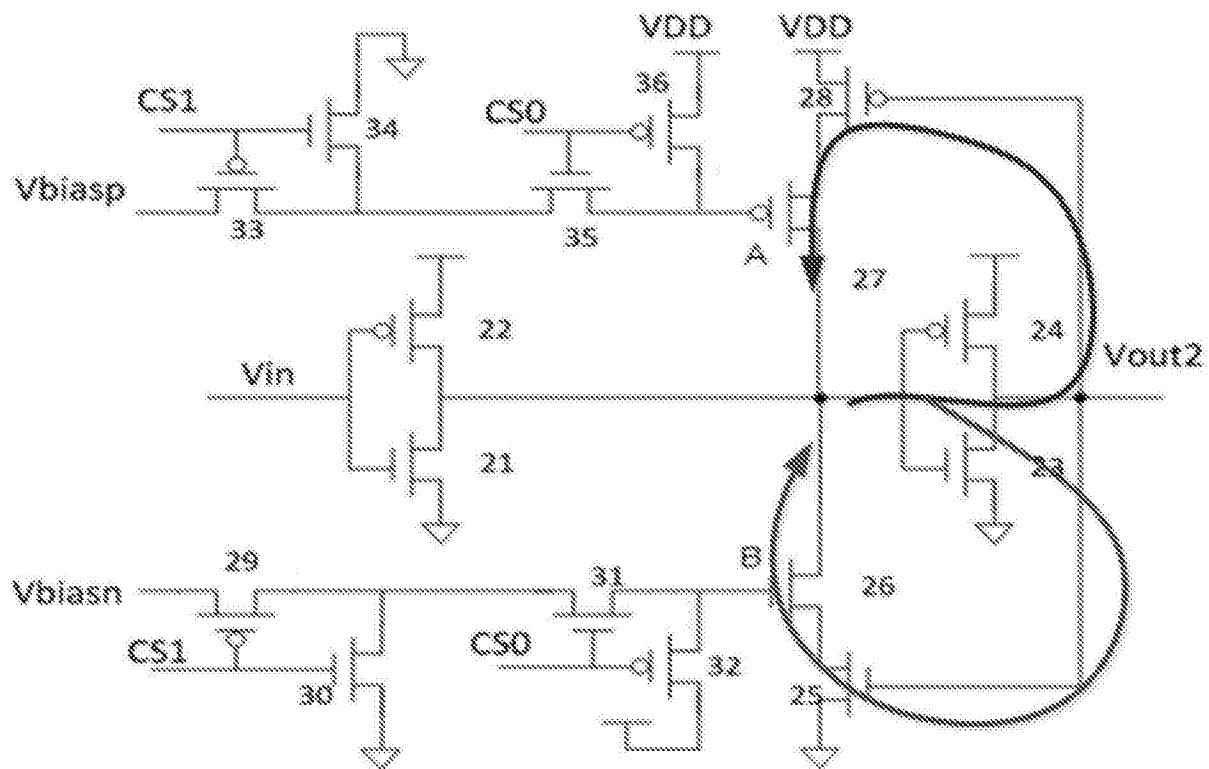


图2

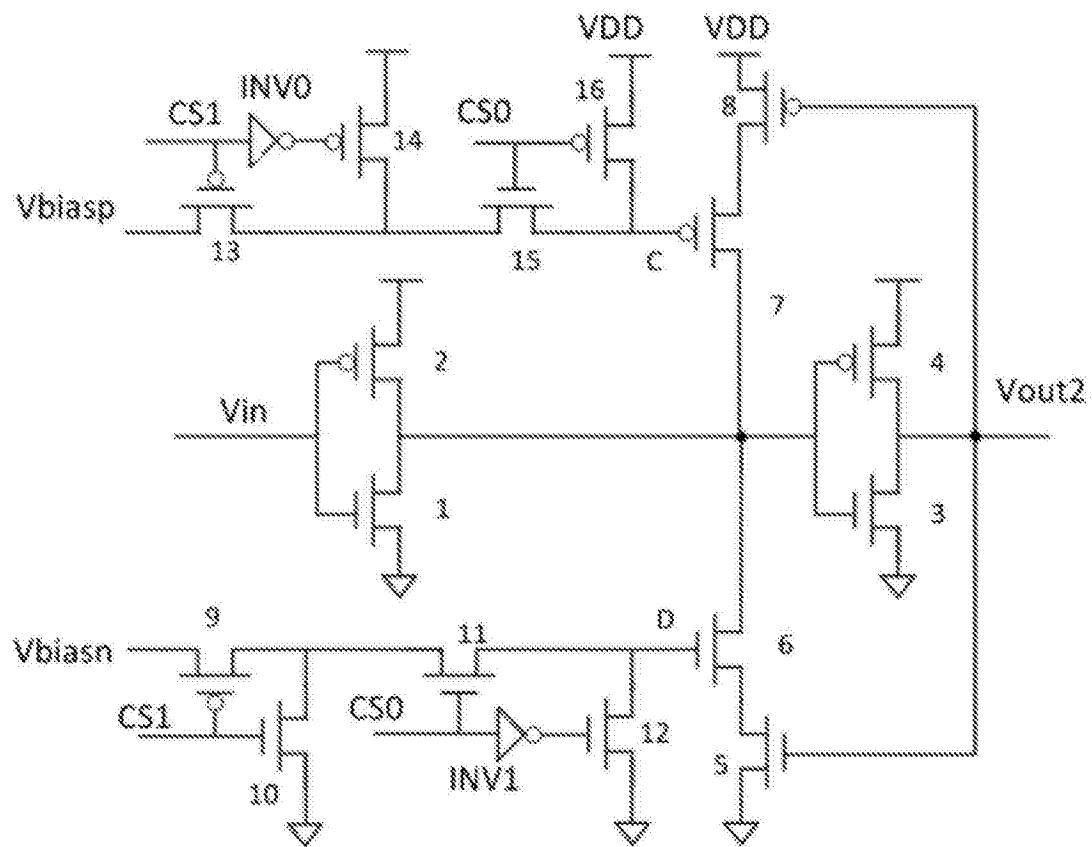


图3

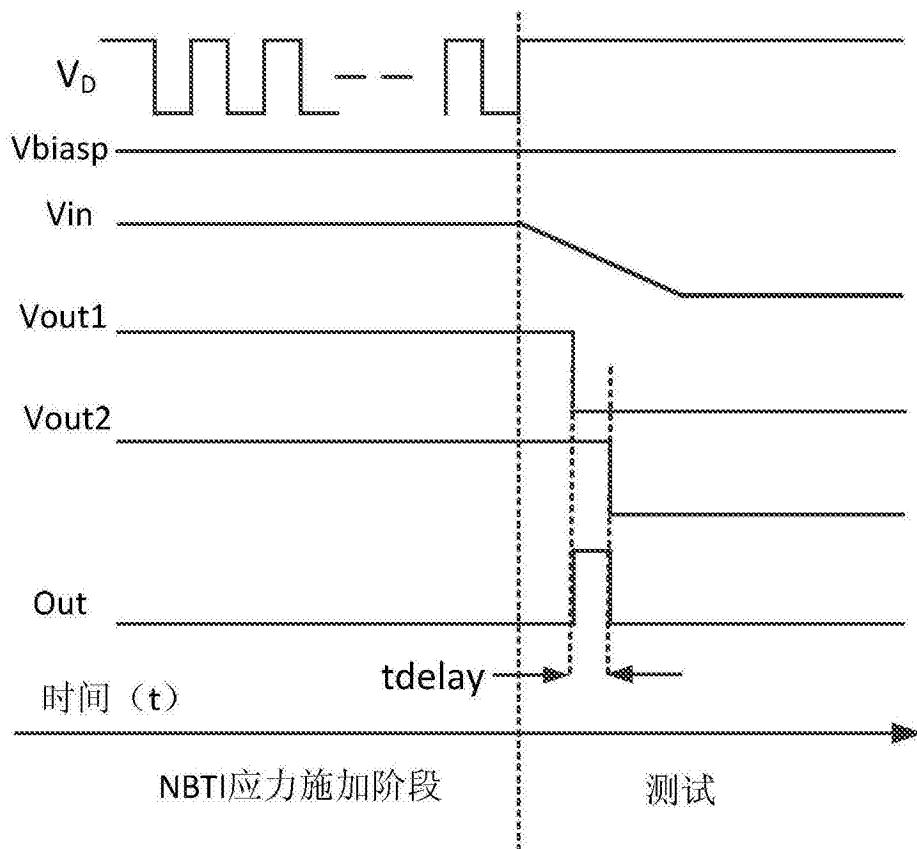


图4

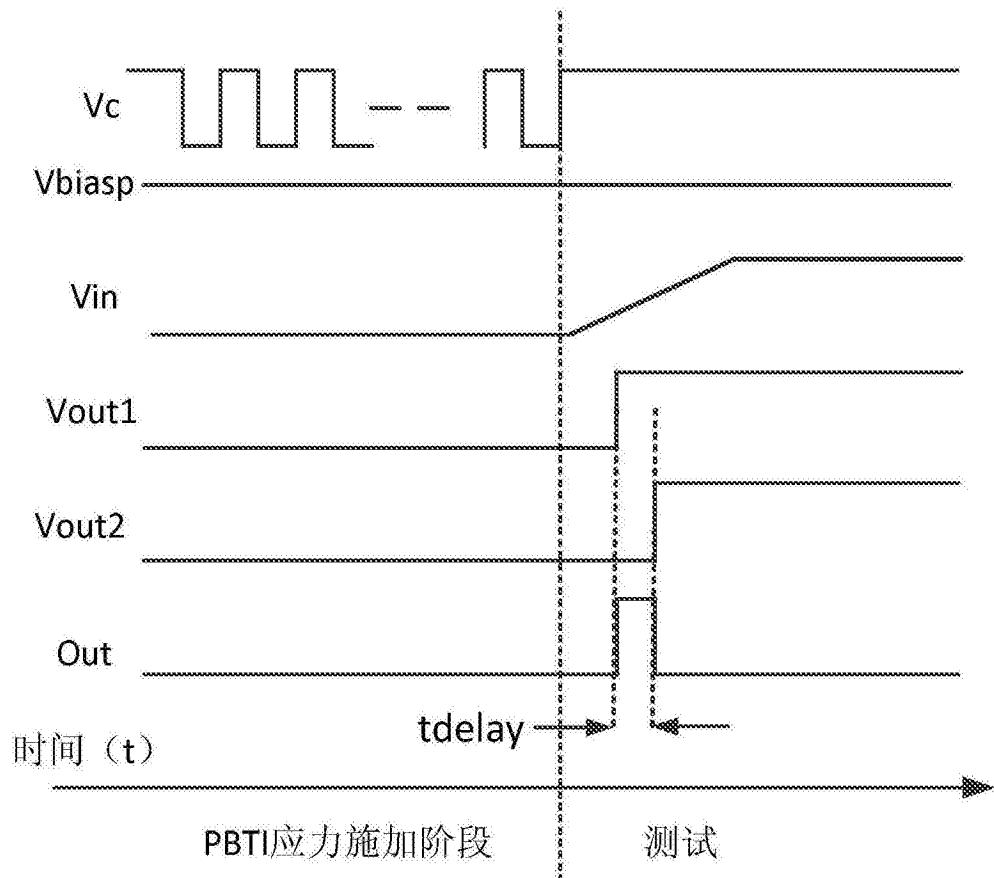


图5

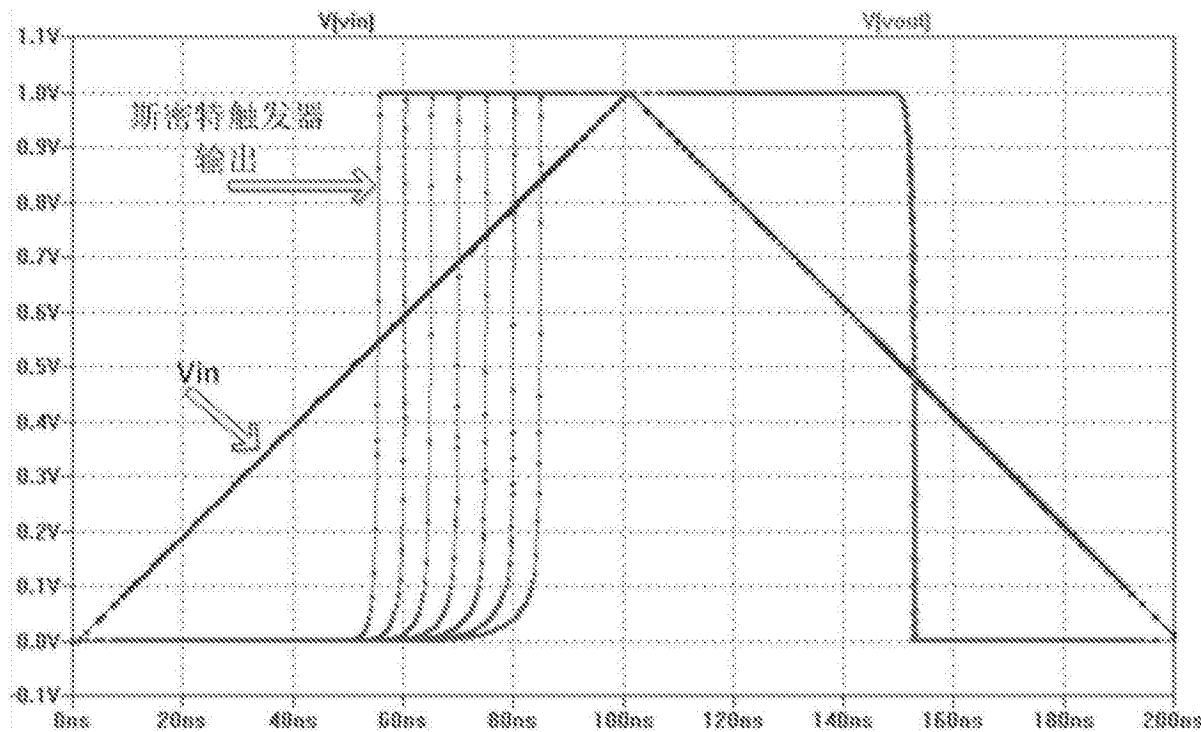


图6