

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5113845号
(P5113845)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl.

F I

HO 1 L 27/105 (2006.01)

HO 1 L 45/00 (2006.01)

HO 1 L 27/10 4 4 8

HO 1 L 45/00 A

請求項の数 7 (全 24 頁)

(21) 出願番号	特願2009-527966 (P2009-527966)	(73) 特許権者	302062931
(86) (22) 出願日	平成19年8月10日 (2007.8.10)		ルネサスエレクトロニクス株式会社
(86) 国際出願番号	PCT/JP2007/065686		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(87) 国際公開番号	W02009/022373	(74) 代理人	100080001
(87) 国際公開日	平成21年2月19日 (2009.2.19)		弁理士 筒井 大和
審査請求日	平成22年2月2日 (2010.2.2)	(72) 発明者	半澤 悟
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所 中央研究所内
		(72) 発明者	新田 文彦
			東京都千代田区大手町二丁目6番2号 株
			式会社ルネサステクノロジ内
		(72) 発明者	松崎 望
			東京都国分寺市東恋ヶ窪一丁目280番地
			株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

複数のワード線と、
前記複数のワード線に交差する複数のビット線と、
前記複数のワード線と前記複数のビット線との交点に配置された複数のメモリセルと、
前記複数のワード線を制御するためのワードドライバ群と、
前記複数のビット線に発生した読出し信号を分別するためのセンスアンプと、
前記複数のビット線に平行に配置された第1の電圧給電線と、
前記複数のワード線と前記第1の電圧給電線との交点に配置され、前記第1の電圧給電線に接続されていない第1の複数のバッファセルと、
前記複数のワード線に平行に配置された第2の電圧給電線と、
前記複数のビット線と前記第2の電圧給電線との交点に配置され、前記複数のビット線に接続されていない第2の複数のバッファセルとを具備し、
前記第1の複数のバッファセルは、前記ワードドライバ群と前記複数のメモリセルとの間に配置され、
前記第2の複数のバッファセルは、前記センスアンプと前記複数のメモリセルとの間に配置され、
前記複数のメモリセルは、第1の抵抗性記憶素子と第1の選択トランジスタとで夫々構成され、
前記第1の抵抗性記憶素子は、カルコゲナイド膜を有し、

10

20

前記第 1 の選択トランジスタは、ゲート電極及び拡散層を有し、
前記拡散層上には、前記拡散層と電氣的に接続されるように下部コンタクトが形成され

、
前記下部コンタクトは、前記第 1 の抵抗性記憶素子と電氣的に接続され、
前記第 1 の抵抗性記憶素子上には、前記第 1 の抵抗性記憶素子と接するようにタングス
テン電極が形成され、
前記タングステン電極上には、前記タングステン電極と電氣的に接続されるように第 1
の上部コンタクトが形成され、
前記ゲート電極が第 1 方向に延在することにより、前記複数のワード線となり、
前記複数のビット線は、前記第 1 方向と直行する第 2 方向に延在して前記第 1 の上部コ
ンタクトに接続していることを特徴とする半導体装置。

10

【請求項 2】

請求項 1 記載の半導体装置において、
前記第 2 の電圧給電線は第 1 の金属層で形成され、
前記複数のビット線と前記第 1 の電圧給電線は、第 2 の金属層で夫々形成され、
前記第 1 および第 2 の複数のバッファセルは、前記第 1 の選択トランジスタと同じ形状
の第 2 の選択トランジスタを有することを特徴とする半導体装置。

【請求項 3】

請求項 1 記載の半導体装置において、
前記第 1 および第 2 の複数のバッファセルは、さらに、前記第 1 の抵抗性記憶素子と同
じ形状の第 2 の抵抗性記憶素子を有し、
前記第 2 の抵抗性記憶素子は、第 1 の絶縁体で覆われ、前記第 1 の上部コンタクトに接
しておらず、
前記第 2 の抵抗性記憶素子は、カルコゲナイド膜を有することを特徴とする半導体装置

20

【請求項 4】

請求項 1 記載の半導体装置において、
前記複数のメモリセルは、さらに、第 3 の選択トランジスタを夫々有し、
前記第 1 および第 2 の複数のバッファセルは、さらに、前記第 3 の選択トランジスタと
同じ形状の第 4 の選択トランジスタを夫々有することを特徴とする半導体装置。

30

【請求項 5】

請求項 4 記載の半導体装置において、
リセット/セット動作時に、前記第 1 および第 3 の選択トランジスタが独立して駆動し
、前記第 1 の抵抗性記憶素子を流れる電流が制御されることを特徴とする半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、
前記第 1 の複数のバッファセルと前記ワードドライバ群との間に、前記第 1 の上部コン
タクトと同じ形状の第 2 の複数の上部コンタクトが形成され、
前記第 2 の複数のバッファセルと前記センスアンプとの間に、前記第 1 の上部コンタク
トと同じ形状の第 3 の複数の上部コンタクトが形成されていることを特徴とする半導体装
置。

40

【請求項 7】

請求項 3 記載の半導体装置において、
前記第 1 の複数のバッファセルと前記ワードドライバ群との間に、前記第 1 の上部コン
タクトと同じ形状の第 2 の複数の上部コンタクトが形成され、
前記第 2 の複数のバッファセルと前記センスアンプとの間に、前記第 1 の上部コンタク
トと同じ形状の第 3 の複数の上部コンタクトが形成されていることを特徴とする半導体装
置。

【発明の詳細な説明】

【技術分野】

50

【 0 0 0 1 】

本発明は、半導体装置及びその製造方法に関し、記憶情報に対応して抵抗値に差ができる素子から成るメモリセルを含む記憶装置、特に、カルコゲナイド材料の状態変化を利用して情報を記憶し、その情報による抵抗値差を検出して情報を弁別するメモリセルを用いた相変化メモリを含む記憶装置に適用して有効な技術に関する。

【 背景技術 】

【 0 0 0 2 】

本発明者が検討した技術として、例えば、相変化メモリを含む半導体装置においては、以下の技術が考えられる。

【 0 0 0 3 】

記憶素子は、少なくともアンチモン (S b) とテルル (T e) を含む G e - S b - T e 系、 A g - I n - S b - T e 系などのカルコゲナイド材料 (または、相変化材料) を記録層の材料として用いている。カルコゲナイド材料を用いた相変化メモリの特性は、例えば、非特許文献 1 で述べられている。

【 0 0 0 4 】

図 2 は、相変化材料を用いた抵抗性記憶素子の相変化に必要なパルス幅と温度との関係を示す図である。この記憶素子に記憶情報 ' 0 ' を書き込む場合、図 2 に示すように、素子をカルコゲナイド材料の融点 T_a 以上に熱してから急冷するようなりセットパルスを印加する。冷却時間 t_1 を短く、例えば約 1 n s に設定することにより、カルコゲナイド材料は高抵抗のアモルファス (非晶質) 状態となる。

【 0 0 0 5 】

逆に、記憶情報 ' 1 ' を書き込む場合、記憶素子を融点 T_a よりも低く、ガラス転移点と同じかそれよりも高い結晶化温度 T_x より高い温度領域に保つようなセットパルスを印加することにより、カルコゲナイド材料は低抵抗の多結晶状態となる。結晶化に要する時間 t_2 はカルコゲナイド材料の組成によって異なる。図 2 に示した素子の温度は、記憶素子自身が発するジュール熱、および周囲への熱拡散に依存する。

【 0 0 0 6 】

典型的な相変化メモリは、例えば図 3 に示すようにメモリセル・アレイ M C A、ワードドライバ群 W D B、マルチプレクサ M U X、書換え回路 P R G M、センスアンプ S A とで構成される。メモリセル・アレイ M C A は、ワード線 W L 0、W L 1、... とビット線 B L 0、B L 1、... との交点に行列状に配置されたメモリセル M C 0 0、M C 1 0、...、で構成される。メモリセルは、例えば M C 0 0 に示すように、上述した抵抗性記憶素子 R E と選択トランジスタ C T とがビット線 B L 0 と接地電圧端子との間に挿入された構成である。選択トランジスタ C T のゲート電極は、ワード線 W L 0 に接続される。ワードドライバ群 W D B は、図では省略されているアドレス信号に応じて、ワード線 W L 0、W L 1、... から一本を選択する。マルチプレクサ M U X は、図では省略されているアドレス信号に応じて、ビット線 B L 0、B L 1、... から一本を選択して、書換え回路 P R G M またはセンスアンプ S A に接続する。

【 0 0 0 7 】

特許文献 1 には、階層構造を有する半導体メモリ装置のレイアウト構造及びそのレイアウト方法が記載されている。具体的には、グローバルビット線の配線領域に、メモリセルと同じ構造体を形成して、メモリセル・アレイにおける構造体のレイアウト・パターンの規則性を維持している。特許文献 2 には、メモリセル・アレイの周囲にメモリセルと同様の構造体を配置する旨が記載されている。

【 特許文献 1 】 特開 2 0 0 6 - 2 9 5 1 1 7 号公報

【 特許文献 2 】 特開 2 0 0 4 - 3 4 9 5 0 4 号公報

【 特許文献 3 】 特開 2 0 0 4 - 1 5 4 7 5 2 号公報

【 非特許文献 1 】 「アイ・イー・イー・イー、インターナショナル・エレクトロン・デバイス・ミーティング、テクニカル・ダイジェスト (I E E E I n t e r n a t i o n a l E l e c t r o n D e v i c e s m e e t i n g , T E C H N I C A L D I

10

20

30

40

50

G E S T)」、(米国)、2001年、p . 803 - 806

【非特許文献2】「アイ・イー・イー・イー、インターナショナル・ソリッド・ステート・サーキット・カンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ(I E E E International Solid - State Circuits Conference , Digest of Technical Papers)」、(米国)、2007年、p . 472 - 473

【非特許文献3】「アイ・イー・イー・イー、インターナショナル・ソリッド・ステート・サーキット・カンファレンス、ダイジェスト・オブ・テクニカル・ペーパーズ(I E E E International Solid - State Circuits Conference , Digest of Technical Papers)」、(米国) 10
)、2007年、p . 474 - 475

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、前記のような相変化メモリの技術について、本発明者が検討した結果、抵抗性記憶素子の形成時にカルコゲナイド材料の昇華による製造装置の汚染を防ぐ工夫が必要であることが明らかとなった。

【0009】

第一に、相変化メモリのレイアウトについて検討した。図4(a)は、図3に示したメモリセル・アレイにおけるビット線BL0上のメモリセルの回路構成、図4(b)はレイ 20
アウト、図4(c)は断面構造を示している。図4(b)のレイアウト図において、AA0、AA1、AA2、...は、選択トランジスタのドレイン電極及びソース電極、チャンネルとなる活性化領域パターンである。活性化領域パターンは、二つのメモリセル毎に分割されている。例えば活性化領域パターンAA0は、メモリセルMC00とMC10の形成に用いられる。FGは、ワード線WL0、WL1、...となるポリシリコン・パターンである。RLA、RLは、抵抗性記憶素子パターンである。特に、パターンRLAは、ビット線BL0端に配置されるメモリセルMC00における記憶素子である。BCは、活性化領域と抵抗性記憶素子とを接続するための下部コンタクト・パターンである。TC、TCAは、抵抗性記憶素子と図では省略されている上部配線層とを接続するための上部コンタクト・パターンである。特に、パターンTCAは、ビット線BL0端に配置されるメモリセル 30
MC00において、抵抗性記憶素子上に形成される上部コンタクトである。

【0010】

図4(c)の断面図は、説明を簡単にするために、要部構造を示している。100は、P型シリコン基板である。101は、選択トランジスタのゲート電極が接続されるワード線である。102は、選択トランジスタのドレイン電極及びソース電極となるn+拡散層である。104はPウェル、106は素子分離のための絶縁体である。120、120Aは、抵抗性記憶素子である。特に120Aは、メモリセルMC00における抵抗性記憶素子である。131は、下部コンタクトである。132、132Aは、上部コンタクトである。特に、132Aは、ビット線BL0端に配置されるメモリセルMC00において、抵抗性記憶素子120A上に形成される上部コンタクトである。 40

【0011】

このような構造において、ビット線BL0端すなわちメモリセル・アレイの外周付近に配置されるメモリセルMC00では、抵抗性記憶素子のパターン密度が低下するため、フォトリソグラフィ工程では、当初の設計寸法より小さな面積にパターンニングされる虞がある。また、その後のドライエッチング工程においては、パターン密度の低下によるローディング効果のために横方向へのエッチングが余分に進み、最終的な抵抗性記憶素子の面積が小さくなる虞がある。このように記憶素子の面積が相対的に小さくなると、上部コンタクト・パターンTCA(132A)が記憶素子パターンRLA(120)をはみ出してしま 50
う恐れがあることがわかった。この問題を考えるために、抵抗性記憶素子に関する断面構造を図5に詳述する。

【 0 0 1 2 】

図 4 に記載の抵抗性記憶素子 1 2 0、1 2 0 A (R L、R L A) は、実際は、図 5 に示すように界面層 3 0 0、カルコゲナイド材料 3 0 1、タングステン電極 3 0 2 で構成される。また、記憶素子は、シリコン・ナイトライド 3 0 3、3 0 4 とで保護される。4 0 0 は、層間絶縁膜である。上部コンタクト孔 1 3 2 H、1 3 2 A H は、上部コンタクト 1 3 2、1 3 2 A となるタングステンを埋め込むためのコンタクト孔である。これらのコンタクト孔は、下部コンタクト 1 3 1 上ではシリコン・ナイトライド 3 0 4、抵抗性記憶素子上ではシリコン・ナイトライド 3 0 3 を夫々エッチング・ストッパーに用いて形成される。ところが、メモリセル M C 0 0 においては、上部コンタクト孔 1 3 2 A H が記憶素子からはみ出してしまい、記憶素子の側壁に形成されたシリコン・ナイトライド 3 0 4 が削り取られる。このため、カルコゲナイド材料 3 0 1 が露出された状態で、真空 C V D (C h e m i c a l V a p o r D e p o s i t i o n) 装置を用いて上部コンタクトとなるタングステンの埋め込みが行われる。この工程では、ターゲット・ウェハがカルコゲナイド材料の昇華温度 (2 0 0 前後) 以上に加熱されるため、カルコゲナイド材料の昇華によって C V D 製造装置が汚染される恐れがある。この問題を回避するために、上部コンタクト・パターン T C A (1 3 2 A) がはみ出さないように記憶素子パターン R L および R L A の面積を大きくすると、メモリセル・アレイの面積が増大してしまう問題が新たに生じる。

10

【 0 0 1 3 】

第二に、前述の上部コンタクト孔のドライエッチング深さについて検討した。図 6 は、メモリセル M C 0 0 における抵抗性記憶素子 (1 2 0、R L) のパターンが、所望の大きさに加工されている場合の断面構造を示している。同図で注目している点は、化学機械研磨 C M P (C h e m i c a l M e c h a n i c a l P o l i s h i n g) によって、ビット線 B L 0 端すなわちメモリセル・アレイの外周に配置されるメモリセル M C 0 0 では、層間絶縁膜 4 0 0 が薄くなってしまうことである。この結果、上部コンタクト孔 1 3 2 H B が、シリコン・ナイトライド 3 0 4、3 0 3 及びタングステン層 3 0 2 を突き破って、カルコゲナイド 3 0 1 にまで到達する虞がある。このような状況においても先に図 5 で説明したように、露出されたカルコゲナイド材料 3 0 1 の上に、上部コンタクトとなるタングステンが堆積される。よって、この工程でターゲット・ウェハが加熱された際に、カルコゲナイド材料の昇華により C V D 製造装置内部が汚染される可能性がある。

20

30

【 0 0 1 4 】

本発明の課題は、これらの問題を解決することである。すなわち、本発明の目的は、メモリアレイ加工の不均一性によって、カルコゲナイド材料が暴露されることなく、小面積の相変化メモリを実現することにある。

【 0 0 1 5 】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

【 0 0 1 6 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

40

【 0 0 1 7 】

すなわち、相変化メモリを有する半導体装置において、センスアンプとメモリセル・アレイとの間、並びにワードドライバとメモリセル・アレイとの間に、バッファセルを配置する。バッファセルは、メモリセルと同じ抵抗性記憶素子と選択トランジスタとで構成される。メモリセルにおける抵抗性記憶素子は、その上部に形成されたコンタクトを介してビット線に接続される。一方、バッファセルでは、抵抗性記憶素子の上部にコンタクトは形成されず、メモリセル内のコンタクトが加工される時は、絶縁物に覆われたままの状態に保たれる。このような加工方法により、抵抗性記憶素子に用いられるカルコゲナイド膜の暴露や昇華を回避することができる。

50

【発明の効果】

【0018】

本発明によれば、製造装置の汚染を招くことなく、相変化メモリを製造することができる。

【図面の簡単な説明】

【0019】

【図1】(a), (b)は本発明の実施の形態1の半導体装置において、それに含まれる相変化メモリのレイアウトと断面構造の例を示す図である。

【図2】相変化材料を用いた抵抗素子の相変化に必要なパルス幅と温度との関係を示す図である。

10

【図3】相変化メモリの構成例を示す図である。

【図4】(a), (b), (c)は図3に記載の相変化メモリのレイアウトと断面構造の例を示す図である。

【図5】図4に記載の相変化メモリの断面構造の例を詳細に示す図である。

【図6】図4に記載の相変化メモリの断面構造の別の例を詳細に示す図である。

【図7】図1の相変化メモリの回路構成の例を示す図である。

【図8】図1に記載の相変化メモリのフォトリソグラフィ工程の例を詳細に示す図である。

。

【図9】図1に記載の相変化メモリの断面構造の例を詳細に示す図である。

【図10】(a), (b)は本発明の実施の形態2の半導体装置において、それに含まれる相変化メモリのレイアウトと断面構造の例を示す図である。

20

【図11】本発明の実施の形態3の半導体装置において、それに含まれる相変化メモリの回路構成の例を示す図である。

【図12】(a), (b)は図11に記載の相変化メモリのレイアウトと断面構造の例を示す図である。

【図13】図12に記載の相変化メモリの断面構造の例を詳細に示す図である。

【図14】(a), (b)は本発明の実施の形態4の半導体装置において、それに含まれる相変化メモリのレイアウトと断面構造の例を示す図である。

【図15】本発明の実施の形態5の半導体装置において、それに含まれる相変化メモリの回路構成の例を示す図である。

30

【図16】(a), (b)は図15に記載の相変化メモリのレイアウトと断面構造の例を示す図である。

【図17】本発明の実施の形態6の半導体装置において、それに含まれる相変化メモリの回路構成の例を示す図である。

【図18】(a), (b)は図17に記載の相変化メモリのレイアウトと断面構造の例を示す図である。

【図19】本発明の実施の形態7の半導体装置において、それに含まれる相変化メモリの回路構成の例を示す図である。

【図20】(a), (b)は図19に記載の相変化メモリのレイアウトと断面構造の例を示す図である。

40

【図21】(a), (b)は図19に記載の相変化メモリのレイアウトと断面構造の別の例を示す図である。

【図22】本発明の実施の形態8の半導体装置において、それに含まれる相変化メモリの回路構成の例を示す図である。

【図23】図22に記載の相変化メモリのセット動作におけるタイミング・ダイアグラムの例を示す図である。

【図24】本発明の実施の形態9の半導体装置において、それに含まれる相変化メモリの回路構成の例を示す図である。

【図25】(a), (b), (c)は図24に記載の相変化メモリのレイアウトと断面構造の例を示す図である。

50

【図 26】本発明の実施の形態 10 の半導体装置において、それに含まれる相変化メモリの回路構成の例を示す図である。

【図 27】(a), (b), (c) は図 26 に記載の相変化メモリのレイアウトと断面構造の例を示す図である。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、実施例の各ブロックを構成する回路素子は、特に制限されないが、典型的には公知の CMOS (相補型 MOS トランジスタ) 等の半導体集積回路技術によっ

10

【0021】

(実施の形態 1)

図 7 は、本発明の実施の形態 1 による相変化メモリの要部ブロックの構成例を示している。即ち、当該相変化メモリは、メモリセル・アレイ MCA とマルチプレクサ MUX、ワードドライバ群 WDB、書換え回路 PRGM、センスアンプ SA に加え、メモリセル・アレイ MCA の周囲に配置された 8 つのバッファセル・アレイ YLBCA、YRBCA、XUBCA、XBBCA、ULBCA、URBCA、BLBCA、BRBCA とで構成される。8 つのバッファセル・アレイを除いた構成は、図 3 に示したものと同一である。当該

20

【0022】

バッファセル・アレイ YLBCA (第 2 の複数のバッファセル) は、二本の接地電圧給電線 (第 2 の電圧給電線) とビット線 BL0、BL1、... との各交点に配置されたバッファセル YBC00、YBC10、... で構成され、マルチプレクサ MUX とメモリセル・アレイ MCA との間に配置される。バッファセルの各々を構成する抵抗性記憶素子 RE と選択トランジスタ CT は、メモリセル・アレイ MCA 内のメモリセルと同じ構成である。バ

30

【0023】

バッファセル・アレイ XUBCA (第 1 の複数のバッファセル) は、二本の接地電圧給電線 (第 1 の電圧給電線) とワード線 WL0、WL1、... との各交点に配置されたバッファセル XBC00、XBC10、... で構成され、ワードドライバ群 WDB とメモリセル・アレイ MCA との間に配置される。二本の接地電圧給電線は、メモリセル・アレイ MCA におけるビット線に対応するものであり、各バッファセル内の抵抗性記憶素子は、この接地電圧給電線から切り離されている。バッファセル・アレイ XBBCA は、バッファセル・アレイ XUBCA と同じ構成であり、バッファセル・アレイ XUBCA と対を成すよう

40

【0024】

バッファセル・アレイ ULBCA、URBCA、BLBCA、BRBCA の夫々は、ワード線に平行な 2 本の接地電圧給電線とビット線に平行な 2 本の接地電圧給電線との交点に配置されたバッファセル CBC00、CBC10、CBC01、CBC11 とで構成される。他のバッファセル・アレイ YLBCA、YRBCA、XUBCA、XBBCA と共に、メモリセル・アレイ MCA の周囲に配置する。

【0025】

図 1 (a) は、図 7 に示した相変化メモリのビット線 BL0 におけるバッファセル・アレイ YLBCA とメモリセル・アレイ MCA のレイアウトを示し、図 1 (b) は断面構造

50

を示している。図4と比べると、第一金属層110のパターンFM、第二金属層111のパターンSM、第一ビア130のパターンFVが新たに追加されている。第一金属層110は、接地電圧給電線に用いられる。第二金属層111は、ビット線BL0に用いられる。第一ビア130は、上部コンタクト(TC)と同じ軸上に配置され、前述の第一金属層110と第二金属層111とを接続するために用いられる。バッファセルYBC00、YBC10において、抵抗性記憶素子(RL、120)上の上部コンタクト(TC、132)を取り除くことにより、図7の回路図に示したように、抵抗性記憶素子(RL、120)とビット線(SM、111)との接続を断つ。

【0026】

図8は、上部コンタクトを形成するための加工方法として、フォトリソグラフィ工程の例を示したものである。層間絶縁膜400の上部に塗布したレジスト500を、ガラス乾板601上の遮光膜602が上部コンタクトと同じパターンに除去されたフォトマスク600を用いて露光する。次に、現像液を用いて、露光光700によって感光したレジスト領域501を除去する。さらに、感光せずに残留した部分のレジストをマスクとしてエッチング処理を行うと、図9に示すように、所望の位置に上部コンタクト孔132Hが形成される。

【0027】

以上のこのような構造にすることにより、相変化メモリの加工におけるカルコゲナイドの昇華及び製造装置の汚染問題を回避することができる。すなわち、バッファセルYBC00、YBC10における抵抗性記憶素子120は、図8に示すように上部コンタクト孔132Hを形成時に、層間絶縁膜400に保護された状態に保たれる。したがって、抵抗性記憶素子のパターンが小さくなったり、バッファセル・アレイYLBCA上の層間絶縁膜が薄くなったりした場合において、カルコゲナイド膜301が暴露、昇華する恐れがない。よって、製造装置の汚染を防ぐことが可能となり、生産スループットが改善される。また、メモリセル・アレイMCAにおいては、抵抗性記憶素子パターンRLの面積を抑制することができるので、小面積の相変化メモリを形成することができる。さらに、抵抗性記憶素子REと選択トランジスタCTが規則正しく配置されるので、メモリセル・アレイMCAにおける形状ばらつきが抑制されて、均一な電気特性の相変化メモリ実現することができる。

【0028】

(実施の形態2)

図10は、本発明の実施の形態2による相変化メモリのレイアウトと断面構造の別の例を示している。実施の形態1の図1のレイアウトとの差異は、ビット線BL0端すなわちバッファセル・アレイYLBCAの外側に、上部コンタクトTCをさらに配置した点に特徴がある。これらの上部コンタクトは、この領域にメモリセルが配置された場合と同じ位置に形成される。

【0029】

このような構成により、メモリアレイMCA内の最外周に位置するメモリセル(ここでは、メモリセルMC00)の上部コンタクトは、行列状に配置された上部コンタクトの内側に位置することになる。よって、メモリセルMC00の上部コンタクトは、上部コンタクトの密度がほぼ一定となった領域に形成される。したがって、メモリセル・アレイMCAにおける形状ばらつきがより抑制されて、さらに均一な電気特性の相変化メモリ実現することができる。

【0030】

(実施の形態3)

本発明の実施の形態3では、先の発明とは異なる相変化メモリの要部ブロックの構成例を示す。本発明の特徴は、バッファセルから、抵抗性記憶素子を取り除いた構成とすることである。本特徴を図11から図13を用いて、以下に説明する。

【0031】

図11は、本実施の形態3による相変化メモリの要部ブロックの構成例を示している。

図7と同様に、8つのバッファセル・アレイYLB CA、YRB CA、XUB CA、XBB CA、ULB CA、URB CA、BLB CA、BRB CAが、メモリセル・アレイMCAの周囲に配置される。これらのバッファセル・アレイは選択トランジスタCTからなるバッファセルで構成される。選択トランジスタCTのソース電極とゲート電極は、接地電圧給電線に夫々接続される。

【0032】

図12(a)は、図11に示した相変化メモリのビット線BL0におけるバッファセル・アレイYLB CAとメモリセル・アレイMCAのレイアウトを示し、図12(b)は断面構造を示している。図1と比べると、バッファセルYBC00、YBC10において、抵抗性記憶素子(RL、120)が取り除かれている点異なる。その代わりに、抵抗性記憶素子(RL、120)上の上部コンタクト(TC、132)がメモリセルMC00などと同様に形成される。これらの上部コンタクトは、実施の形態1の図8で示したようなフォトリソグラフィを用いて形成される。

10

【0033】

このような構造にすることにより、先の実施例と同様に、相変化メモリの加工におけるカルコゲナイドの昇華及び製造装置の汚染問題を回避するなどの効果を得ることができる。すなわち、図13に示すようにバッファセルYBC00、YBC10では、抵抗性記憶素子120のない位置に上部コンタクト孔132Hが形成される。したがって、抵抗性記憶素子120と上部コンタクト孔132Hとの合わせずれが生じた場合や、バッファセル・アレイYLB CA上の層間絶縁膜が薄くなった場合においても、カルコゲナイド膜301が暴露、昇華の心配がない。よって、製造装置の汚染を防ぐことが可能となり、生産スループットが改善される。また、上部コンタクトを規則正しく配置されるので、メモリセル・アレイMCAにおける形状ばらつきが抑制されて、均一な電気特性の相変化メモリ実現することができる。

20

【0034】

(実施の形態4)

図14は、本発明の実施の形態4による相変化メモリのレイアウトと断面構造の別の例を示している。実施の形態3の図12のレイアウトとの差異は、ビット線BL0端すなわちバッファセル・アレイYLB CAの外側に、抵抗性記憶素子RLをさらに配置した点に特徴がある。これらの抵抗性記憶素子は、この領域にメモリセルが配置された場合と同じ位置に形成される。

30

【0035】

このような構成により、メモリアレイMCA内の最外周に位置するメモリセル(ここでは、メモリセルMC00)の抵抗性記憶素子RLは、行列状に配置された抵抗性記憶素子RLの内側に位置することになる。よって、メモリセルMC00の抵抗性記憶素子RLは、抵抗性記憶素子RLの密度がほぼ一定となった領域に形成される。したがって、メモリセル・アレイMCAにおける形状ばらつきがより抑制されて、さらに均一な電気特性の相変化メモリ実現することができる。

【0036】

(実施の形態5)

相変化メモリでは、抵抗性記憶素子に発生するジュール熱で記憶情報の書換え動作が行われるので、配線抵抗をできる限り抑制して配線抵抗における電圧降下を低減し、大電流をメモリセルに流すことが重要である。本発明の実施の形態5では、メモリセルのソース側の配線抵抗を抑制するために、接地電圧給電線を格子状に配線するための手段を提供する。すなわち、ソース・シャントセルの構成例を説明する。

40

【0037】

図15は、本発明による相変化メモリの要部ブロック図を示している。同図では、説明を簡単にするため、図3に示したメモリセル・アレイMCAを二つのメモリセル・アレイMCAU、MCA Bに分割し、これらの間にソース・シャントセル・アレイSSAを配置した構成例が示されている。メモリセル・アレイMCAUは、ワード線WL0~WL7と

50

ビット線 $BL0 \sim BL3$ との各交点に、 $8 \text{ 行} \times 4 \text{ 列}$ に配置されたメモリセル $MC00$ 、 $MC10$ 、...、 $MC70$ で構成される。同様に、メモリセル・アレイ $MCA B$ は、ワード線 $WL0 \sim WL7$ とビット線 $BL4 \sim BL7$ との各交点に、 $8 \text{ 行} \times 4 \text{ 列}$ に配置されたメモリセル $MC00$ 、 $MC10$ 、...、 $MC70$ で構成される。ソース・シャントセル・アレイ SSA は、ワード線 $WL0 \sim WL7$ と接地電圧給電線との各交点に配置された 8 個のソース・シャントセル $SC0 \sim SC7$ で構成される。ソース・シャントセルの各々は、メモリセルと同じ選択トランジスタ CT からなる。なお、ビット線やワード線の本数は、説明を簡単にするために 8 本としているが、この限りではない。

【0038】

図 16 (a) は、図 15 に示した相変化メモリのソース・シャントセル・アレイ SSA のレイアウトを示し、図 16 (b) は断面構造を示している。図 1 と比べると、メモリセルから、抵抗性記憶素子 (RL 、 120) が取り除かれている点異なる。また、二つの選択トランジスタで共有するように $n +$ 拡散層 (102) 上に形成された下部コンタクト (BC 、 131) と上部コンタクト (TC 、 132) とビット線に平行に配置される第二金属層 (SM 、 VSS) との間には、第一金属層 (FM) 及び第一ビア (FV 、 130) がさらに形成される。

【0039】

このような構造にすることにより、メモリアレイ内に接地電圧給電線を第一金属層 FM と第二金属層 SM を用いて格子状に配線することが可能となり、ソース側の配線抵抗を低減することができる。また、ソース・シャントセルをメモリセルと同じ選択トランジスタを有する構成とすることにより、選択トランジスタの配置が規則的なものとなり、メモリセルにおける形状ばらつきを抑制することが可能となる。よって、メモリアレイ内にソース・シャントセルを配置した場合においても、メモリセルの電気特性ばらつきを抑制することができて、安定動作の相変化メモリを実現することができる。

【0040】

(実施の形態 6)

大容量の相変化メモリにおいて高速動作を実現するには、ワード線を低抵抗化して、ワード線活性化時における立上げ時間を短縮することが重要である。本発明の実施の形態 6 では、メモリセルのワード線の配線抵抗を低減するために、ポリシリコンのゲート電極に平行に配置した金属配線層を一定間隔で短絡するための手段を提供する。すなわち、ワード線シャントセルの構成例を示す。

【0041】

図 17 は、本発明の実施の形態 6 による相変化メモリの要部ブロック図を示している。同図では、説明を簡単にするため、二つのメモリセル・アレイ $MCAU$ 、 $MCA B$ との間にワード線シャントセル・アレイ WSA が配置された構成例が示されている。メモリセル・アレイ $MCAU$ は、ワード線 $WL0 \sim WL7$ とビット線 $BL0 \sim BL3$ との各交点に、 $8 \text{ 行} \times 4 \text{ 列}$ に配置されたメモリセル $MC00$ 、 $MC10$ 、...、 $MC73$ で構成される。同様に、メモリセル・アレイ $MCA B$ は、ワード線 $WL0 \sim WL7$ とビット線 $BL4 \sim BL7$ との各交点に、 $8 \text{ 行} \times 4 \text{ 列}$ に配置されたメモリセル $MC00$ 、 $MC10$ 、...、 $MC73$ で構成される。ワード線シャントセル・アレイ WSA は、ワード線 $WL0 \sim WL7$ と、その各々に平行に配置されたグローバル・ワード線 $GWL0 \sim GWL7$ とを接続する 8 個のワード線シャントセル $WC0 \sim WC7$ で構成される。

【0042】

図 18 (a) は、図 17 に示した相変化メモリのワード線シャントセル・アレイ WSA のレイアウトを示し、図 18 (b) は断面構造を示している。図 1 と比べると、メモリセルから、抵抗性記憶素子 (RL 、 120) と活性化領域 ($AA0$ 、 $AA1$ 、...) と $n +$ 拡散層 (102) が取り除かれており、素子分離用の絶縁体 106 上にワード線シャントセル $WC0$ 、 $WC1$ 、...、 $WC7$ が形成される。また、ポリシリコンで形成されたワード線は、下部コンタクトを形成する領域にて、凸型のレイアウト・パターンをなす。そして、下部コンタクト (BC 、 131) と同じ軸上に形成された上部コンタクト (TC 、 132)

）、第一金属層（ＦＭ、１１０）、第一ビア（ＦＶ、１３０）、第二金属層（ＳＭ、１１１）、第二ビア（ＳＶ、１３３）を介して、第三金属層（ＴＭ、１１２）で形成されたグローバル・ワード線と接続される。

【００４３】

このような構造にすることにより、メモリアレイ内において、ポリシリコンで形成されたワード線と第三金属層で形成されたグローバル・ワード線とを接続することが可能となり、ワード線の配線抵抗を低減することができる。また、メモリセルと同じ面積で形成することができるので、メモリセル・アレイの面積オーバーヘッドを抑制することが可能となると共に、メモリセルのレイアウト・パターンが不連続となる領域を抑制することにより、メモリセルの形状ばらつきを抑制することが可能となる。よって、小面積かつ電気特性のばらつきの小さな、高速相変化メモリを実現することができる。

10

【００４４】

（実施の形態７）

本発明の実施の形態７では、相変化メモリの読出し動作における参照信号の発生に用いる参照セルの実現方法を説明する。図１９は、本発明の実施の形態７による相変化メモリの要部ブロック図を示している。本実施の形態７の特徴は、メモリセル・アレイＭＣＡＬ、ＭＣＡＲの各々において、各ビット線に参照セルが配置される点にある。この点に注目して、以下に本実施の形態７による相変化メモリの構成を詳しく説明する。

【００４５】

図１９における相変化メモリは、書換え回路ＰＲＧＭ、センスアンプＳＡ、読み書き回路選択回路ＲＷＳＥＬ、メモリセル・アレイＭＣＡＬ、ＭＣＡＲ、マルチプレクサＭＵＸＬ、ＭＵＸＲとで構成される。読み書き回路選択回路ＲＷＳＥＬは、書換え回路ＰＲＧＭ又はセンスアンプＳＡの何れか一方を、共通データ線ＣＤＬＬ又はＣＤＬＲとマルチプレクサＭＵＸＬ又はＭＵＸＲを介して、選択したビット線に接続する回路ブロックである。マルチプレクサＭＵＸＬは、メモリセル・アレイＭＣＡＬのビット線ＢＬ０Ｌ～ＢＬ７Ｌから一本を選択して、共通データ線ＣＤＬＬに接続する回路ブロックである。同様に、マルチプレクサＭＵＸＲは、メモリセル・アレイＭＣＡＲのビット線ＢＬ０Ｒ～ＢＬ７Ｒから一本を選択して、共通データ線ＣＤＬＲに接続する回路ブロックである。

20

【００４６】

メモリセル・アレイＭＣＡＬ、ＭＣＡＲは、図１５に示したメモリセル・アレイＭＣＡＵ、ＭＣＡＢ、ソース・シャントセル・アレイＳＳＡに加えて、ワードドライバ群ＷＤＢ、参照セル・アレイＲＣＡＵ、ＲＣＡＢ、参照セル・ソース・シャントセルＲＳＣとで構成される。このうち、参照セル・アレイＲＣＡＵは、ビット線ＢＬ０Ｒ～ＢＬ３Ｒと参照ワード線ＲＷＬとの交点に配置された参照セルＲＣ０～ＲＣ３で構成される。同様に、参照セル・アレイＲＣＡＢは、ビット線ＢＬ４Ｒ～ＢＬ７Ｒと参照ワード線ＲＷＬとの交点に配置された参照セルＲＣ０～ＲＣ３で構成される。参照セルＲＣ０～ＲＣ３の各々は、例えば参照セルＲＣ０のように、ビット線ＢＬ０Ｒと接地電圧給電線との間に縦続接続されたＮＭＯＳトランジスタＲＴおよびＣＴとで構成される。トランジスタＣＴは、メモリセル内の選択トランジスタと同じ構成である。参照ワード線は、選択されるメモリセルに応じて選択的に活性化される。トランジスタＲＴは、そのゲート長ＬＲＴが選択トランジスタＣＴのゲート長ＬＣＴよりも長くなるように設計されている。また、ゲート電極に

30

40

【００４７】

参照セル・ソース・シャントセルＲＳＣは、接地電圧給電線と参照ワード線ＲＷＬとの交点に配置され、参照セルと同様にトランジスタＲＴ、ＣＴとで構成される。参照セルとの違いは、ソース端子が参照ワード線ＲＷＬに平行な接地電圧給電線と、ビット線に平行な接地電圧給電線の双方に接続される点にある。このような接続は、後述するレイアウト

50

と断面図により容易に理解することができる。

【 0 0 4 8 】

図 2 0 (a) は、ビット線 B L 0 R におけるメモリセル M C 0 0 ~ M C 7 0 と参照セル R C 0 とのレイアウトを示し、図 2 0 (b) は断面構造を示している。参照セル R C 0 は、メモリセル M C 0 0 ~ M C 7 0 を形成する活性化領域 A A 0 ~ A A 3 と同じ面積の活性化領域 A A 4 上に形成される。トランジスタ C T のソース電極における n + 拡散層 1 0 2 を、下部コンタクト (B C 、 1 3 1) と上部コンタクト (T C 、 1 3 2) を介して、凸型パターンの第一金属層 (F M 、 1 1 0) に接続することにより、トランジスタ C T のソース電極と参照ワード線に平行な接地電圧給電線とを接続する。トランジスタ R T のドレイン電極における n + 拡散層 1 0 2 を、同軸上に形成した下部コンタクト (B C 、 1 3 1) および上部コンタクト (T C 、 1 3 2) と、第一金属層 (F M 、 1 1 0) 及び第一ビア (F V 、 1 3 0) を介して第二金属層 (S M 、 1 1 1) に接続することにより、トランジスタ R T のドレイン電極とビット線 B L 0 R とを接続する。

10

【 0 0 4 9 】

図 2 1 (a) は、ソース・シャントセル・アレイ S S A と参照セル・ソース・シャントセル R S C のレイアウトを示し、図 2 1 (b) は断面構造を示している。参照セル・ソース・シャントセル R S C は、前述の参照セル R C 0 ~ R C 3 の構造を基にしている。さらに、第一ビア (F V 、 1 3 0) を介して、第一金属層と第二金属層とを接続することにより、トランジスタ C T のソース電極とビット線に平行に配置した接地電圧給電線とを接続する。

20

【 0 0 5 0 】

このような参照セル構造にすることにより、メモリセル・アレイ内にメモリセルと同じピッチで参照セルを形成することが可能となり、メモリセルと参照セルの形状ばらつきを抑制することができる。よって、小面積かつ電気特性のばらつきの小さな、メモリセル・アレイを形成することができる。また、参照セル・ソース・シャントセル R S C を用いることにより、参照セルにおけるソース線の配線抵抗を低減することができる。さらに、書換え回路 P R G M とセンスアンプ S A を二つのメモリセル・アレイ M C A L 、 M C A R で共有して、一方のメモリセル・アレイを読み出し用、他方のメモリセル・アレイを参照信号発生用に使うことにより、所謂、開放型ビット線構成の読出し動作を行うことができる。

30

【 0 0 5 1 】

(実施の形態 8)

本発明の実施の形態 8 では、相変化メモリの別のメモリセル及びメモリセル・アレイの書換え動作を説明する。本発明の実施の形態 8 の特徴は、特許文献 3 に記載されているようにメモリセルを 2 T 1 R 構成 (2 トランジスタ・1 抵抗性記憶素子) としたメモリアレイにおいて、動作に応じてワード線の活性化時間を変える点にある。

【 0 0 5 2 】

図 2 2 は、本発明による相変化メモリにおけるメモリセル・アレイ T M C A を示している。同図では、簡単のために 8 行 8 列に配置されたメモリセル T M C 0 0 ~ T M C 7 7 で構成される例が示されている。メモリセルは、例えば T M C 0 0 に示すように N M O S トランジスタ C T 0 、 C T 1 と抵抗性記憶素子 R E とで構成される。抵抗性記憶素子 R E は、ビット線 B L 0 と二つのトランジスタ C T 0 、 C T 1 との間に挿入される。二つのトランジスタ C T 0 、 C T 1 は、ワード線 W L 0 0 、 W L 0 1 で夫々制御される。また、トランジスタ C T 0 、 C T 1 のソース電極は、隣接するメモリセルにおけるトランジスタのソース電極と夫々接続される。

40

【 0 0 5 3 】

図 2 3 は、本実施の形態 8 によるメモリセルの動作を示している。同図では、メモリセル M C 0 0 に注目して、ワード線 W L 0 0 、 W L 0 1 とビット線 B L 0 の動作電圧波形が示されている。図 2 3 (a) は、二本のワード線を同時に活性化して、メモリセルに書換え電流 I C E L L を印加する動作を示している。ここで、書換え電流 I C E L L は、書換

50

え情報に応じて印加されたビット線電圧 $B L 0$ で制御される。抵抗性記憶素子を高抵抗にするリセット動作の場合は、大振幅かつ短時間のパルスビット線に印加する。一方、記憶素子を低抵抗にするセット動作の場合は、小振幅かつ比較的長時間のパルスビット線に印加する。このような、動作により、図 2 で述べた動作を実現する。なお、相変化メモリは、フラッシュメモリで行われているような所謂消去動作を必要としないので、同図に示すようにリセットパルスやセットパルスを記憶情報に応じて選択的に印加する動作が可能である。このような動作により、書換え時間を短縮することができる。

【 0 0 5 4 】

図 2 3 (b) は、図 2 3 (a) の変形例である。セット動作時に、非特許文献 2 に記載されているようなビット線に徐冷パルスを印加する点に特徴がある。立ち下がり時間を長くすることにより、セル毎に最適な結晶化温度を実現することが可能となり、セット後の抵抗のばらつきを抑制することができる。

10

【 0 0 5 5 】

図 2 3 (c) は、別のワード線駆動方法の例である。本動作の特徴は、ワード線 $W L 0$ 、 $W L 0 1$ を二段階に駆動してセット動作を行う点にある。すなわち、第一の期間は、振幅の大きいパルスを印加して、一旦抵抗性記憶素子を融解する。続く第二の期間は、振幅を抑制して、記憶素子を結晶化に適した温度に保つ。このような動作を行うことで、非特許文献 3 で述べられているようなセット動作の高速化を実現することができる。

【 0 0 5 6 】

図 2 3 (d) は、さらに別のワード線駆動方法の例である。本動作の特徴は、異なるタイミングでワード線 $W L 0 0$ 、 $W L 0 1$ を立ち下げる点にある。すなわち、第一の期間は、二本のワード線 $W L 0 0$ 、 $W L 0 1$ を活性化することにより、如何なる記憶情報を書き込む場合においても、一旦、記憶素子を融解する。続く第二の期間は、一方のワード線 $W L 0 0$ を立ち下げて、他方のワード線 $W L 0 1$ を活性化状態に保持する。このような、制御により、セット動作におけるセル駆動電流 $I C E L L$ を抑制して、記憶素子を結晶化に適した温度に保つことが可能となる。このように、二値の電圧駆動でセル電流を制御することにより、簡単な回路構成で図 2 3 (c) と同様の効果を得ることができる。

20

【 0 0 5 7 】

図 2 3 (e) は、さらに別のワード線駆動方法の例である。本動作の特徴は、図 2 3 (d) に示したワード線の制御と、第二の期間に図 2 3 (b) に示したビット線への徐冷パルス印加を行う動作を組み合わせる点にある。このような制御により、セット動作の高速化と、セット後の抵抗ばらつきの抑制の双方を実現することができる。

30

【 0 0 5 8 】

図 2 3 (f) は、徐冷パルスに代えて、非特許文献 3 に記載されているような二段のパルスをビット線 $B L 0$ に印加する動作の例である。この場合は、斜めパルスと同様にセル駆動電流 $I C E L L$ を最適化できると共に、ビット線をアナログ的な駆動方法から 3 値駆動とすることによって、駆動回路の構成を簡単にできる。

【 0 0 5 9 】

以上の構成と動作により、次の効果が得られる。すなわち、図 2 2 に示すように素子分離領域を排して 2 T 1 R セルを形成することにより、選択トランジスタのゲート幅が大きなメモリセルを小さな面積で実現することが可能となる。また、図 2 3 に示したように、二本のワード線を個別に制御することにより、ワード線の 2 値駆動によるセル電流の制御を実現することが可能となる。よって、簡単な回路構成で、高速かつ抵抗ばらつきの小さなセット動作を実現することができる。なお、これまでの説明では、一旦、記憶素子を融解してから結晶化を行うようなワード線やビット線の電圧を制御する動作の例を述べてきた。しかし、書換え動作の原理は、これに限らず、種々の変形例がありうる。例えば、記憶素子の組成や形状によっては、融解せずに、一旦、結晶核生成に最適な温度に上げてから、結晶成長が最速となるような温度に下げる書換え動作もあり得る。この場合も、本実施例の書換え方式を用いて書換え電流を制御することにより、所望の書換え動作を簡便に実現することが可能となる。

40

50

【 0 0 6 0 】

(実施の形態 9)

本発明の実施の形態 9 では、実施の形態 8 で述べた 2 T 1 R 構成の相変化メモリセルにおけるバッファセル構造を説明する。本バッファセルの特徴は、実施の形態 1 で述べたように、メモリアレイの周囲に配置した構造体から、抵抗性記憶素子上のコンタクトが取り除かれており、抵抗性記憶素子とビット線との接続が断たれている点にある。

【 0 0 6 1 】

図 2 4 は、本発明による相変化メモリにおけるメモリセル・アレイ T M C A とバッファセル・アレイ Y L T B C A、Y R T B C A を示している。メモリセル・アレイ T M C A は、図 2 2 に示したものと同一であり、簡単のために 8 行 8 列に配置されたメモリセル T M C 0 0 ~ T M C 7 7 で構成される例が示されている。バッファセル・アレイ Y L T B C A、Y R T B C A は、1 行 8 列に配置されたバッファセル T B C 0 ~ T B C 7 で構成される。バッファセル T B C 0 ~ T B C 7 の各々は、メモリセルと同様に、二つのトランジスタ C T 0、C T 1 と抵抗性記憶素子 R E とで構成される。また、先に述べたように、記憶素子 R E とビット線との接続が断たれている。

【 0 0 6 2 】

図 2 5 (a) は、ビット線 B L 0 におけるメモリセル M C 0 0 ~ M C 7 0 と、その両端に配置されるバッファセル T B C 0 とのレイアウトを示し、図 2 5 (b) は A A ' 切断面における断面構造、図 2 5 (c) は B B ' 切断面における断面構造を示している。これらのセルは、ビット線方向に素子分離用の絶縁体が形成されることなく、一つの活性領域パターン A A 上に形成される点に特徴がある。抵抗性記憶素子 (R L、1 2 0) は、その長手方向がワード線に平行になるように配置される。

【 0 0 6 3 】

A A ' 断面において、メモリセル内の抵抗性記憶素子は、上部コンタクト (T C、1 3 2) 及び第一金属層 (F M、1 1 0)、第一ビア (F V、1 3 0) を介して、第二金属層 (S M、1 1 1) で形成されたビット線 B L 0 に接続される。一方、バッファセル・アレイ Y L T B C A、Y R T B C A におけるバッファセル T B C 0 では、抵抗性記憶素子上のコンタクトが取り除かれており、ビット線との接続が断たれている。

【 0 0 6 4 】

B B ' 断面において、メモリセル内の抵抗性記憶素子は、下部コンタクト (B C、1 3 1) を介して、トランジスタ C T 0、C T 1 のドレイン電極に相当する活性化領域 (A A、1 0 2) に接続される。また、トランジスタ C T 0、C T 1 のソース電極に相当する活性化領域 (A A、1 0 2) が、下部コンタクト (B C、1 3 1)、上部コンタクト (T C、1 3 2) を介して、第一金属層 (F M、1 1 0) で形成された接地電圧給電線に接続される。バッファセル・アレイ Y L T B C A、Y R T B C A におけるバッファセル T B C 0 の構造も、メモリセルに同様である。

【 0 0 6 5 】

このような構成とすることにより、バッファセルから上部コンタクトを排除した構成とすることにより、実施の形態 1 で述べたように上部コンタクト形成時における、カルコゲナイド膜 3 0 1 が暴露、昇華の心配がない。よって、製造装置の汚染を防ぐことが可能となり、生産スループットが改善される。

【 0 0 6 6 】

なお、図 2 4 では、説明を簡単にするために、バッファセルをビット線の両端に配置した構成を示した。しかし、実施の形態 1 で説明したように、上部コンタクト孔の合わせずれや、層間絶縁膜厚の不均一領域は、ワード線の両端にも生じることがある。この場合は、ビット線と同様に、ワード線の両端にもバッファセルを配置することにより、カルコゲナイド膜の暴露、昇華を回避することができる。また、実施の形態 2 の図 1 0 で述べたように、バッファセルのさらに外側に上部コンタクトを配置することにより、メモリセルの形状ばらつき起因の電気特性ばらつきを抑制することができる。

【 0 0 6 7 】

(実施の形態 10)

本発明の実施の形態 10 では、2 T 1 R 構成の相変化メモリセルの別のバッファセル構造及びメモリセル・アレイを説明する。本実施の形態 10 の特徴は、実施の形態 3 の図 1 1 ~ 図 1 3 に示したように、バッファセルから抵抗性記憶素子 R E を取り除いた点にある。図 2 6 は、本発明の実施の形態 10 による相変化メモリにおけるバッファセル・アレイ Y L T B C A、Y R T B C A の別の例を示している。メモリセル・アレイ T M C A は、図 2 4 と同様の構成である。バッファセル・アレイ Y L T B C A、Y R T B C A は、選択トランジスタ C T 0、C T 1 からなるバッファセル T B C 0 ~ T B C 7 で構成される。

【0068】

図 2 7 (a) は、ビット線 B L 0 におけるメモリセル M C 0 0 ~ M C 7 0 と、その両端に配置されるバッファセル T B C 0 とのレイアウトを示し、図 2 7 (b) は A A ' 切断面における断面構造、図 2 7 (c) は B B ' 切断面における断面構造を示している。これらのセルは、図 2 5 に示した構造と同様に、一つの活性領域パターン A A 上に形成される。また、抵抗性記憶素子 (R L、1 2 0) は、その長手方向がワード線に平行になるように、メモリセル M C 0 0 ~ M C 7 0 のみに配置される。

【0069】

A A ' 断面において、メモリセル内の抵抗性記憶素子は、上部コンタクト (T C、1 3 2) 及び第一金属層 (F M、1 1 0)、第一ビア (F V、1 3 0) を介して、第二金属層 (S M、1 1 1) で形成されたビット線 B L 0 に接続される。一方、バッファセル・アレイ Y L T B C A、Y R T B C A におけるバッファセル T B C 0 では、抵抗性記憶素子が取り除かれ、第一金属層 (F M、1 1 0) の上下にメモリセルと同様に上部コンタクト (T C、1 3 2) と第一ビア (F V、1 3 0) が形成される。

【0070】

B B ' 断面において、メモリセル内の抵抗性記憶素子は、下部コンタクト (B C、1 3 1) を介して、トランジスタ C T 0、C T 1 のドレイン電極に相当する活性化領域 (A A、1 0 2) に接続される。また、トランジスタ C T 0、C T 1 のソース電極に相当する活性化領域 (A A、1 0 2) が、下部コンタクト (B C、1 3 1)、上部コンタクト (T C、1 3 2) を介して、第一金属層 (F M、1 1 0) で形成された接地電圧給電線に接続される。バッファセル・アレイ Y L T B C A、Y R T B C A におけるバッファセル T B C 0 の構造も、メモリセルと同様である。このような構成とすることにより、実施の形態 8 と同様の効果を得ることができる。

【0071】

なお、図 2 6 では、説明を簡単にするために、バッファセルをビット線の両端に配置した構成を示した。しかし、実施の形態 3 で説明したように、上部コンタクト孔の合わせずれや、層間絶縁膜厚の不均一領域は、ワード線の両端にも生じることがある。この場合は、ビット線と同様に、ワード線の両端にもバッファセルを配置することにより、カルコゲナイド膜の暴露、昇華を回避することができる。また、実施の形態 4 の図 1 4 で述べたように、バッファセルのさらに外側に抵抗性記憶素子を配置することにより、メモリセルの形状ばらつき起因の電気特性ばらつきを抑制することができる。

【0072】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。また、前記実施の形態 1 ~ 1 0 をそれぞれ適宜組み合わせてもよい。

【0073】

例えば、バッファセルの規模は、製造装置の性能に応じて変更可能である。これまでは、センスアンプ並びにワードドライバ群との間に 2 セルずつ配置する構成を示したが、1 セルずつ配置する構成も可能である、この場合は、より小さなメモリセル・アレイを実現することができる。一方、上部コンタクト孔の合わせずれが広範囲に渡っていたり、層間絶縁膜が広範囲に渡って薄くなっていたりする場合は、バッファセルの個数を多くするこ

10

20

30

40

50

とにより、カルコゲナイド膜の暴露、昇華を回避することができる。

【 0 0 7 4 】

また、これまでは、抵抗性記憶素子がカルコゲナイド膜を有する相変化メモリを例に、本発明の実施例を説明してきたが、抵抗性記憶素子は、これに限定されない。例えば、磁性体材料を用いる M R A M や R R A M にも適用することができて、相変化メモリと同様に抵抗性記憶素子の暴露や昇華を回避することができる。

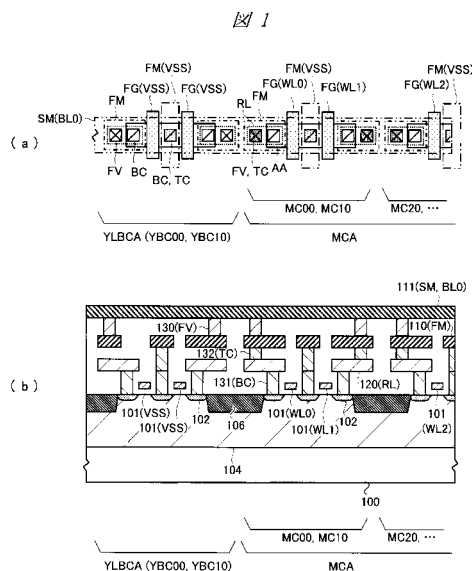
【産業上の利用可能性】

【 0 0 7 5 】

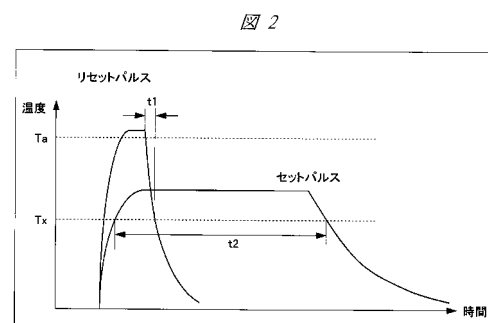
本発明は、メモリセル・アレイとセンスアンプ並びにワードドライバ群との間に、抵抗性記憶素子または上部コンタクトを取り除いた構造体を配置する領域を設けることにより、上部コンタクト孔を形成する時のカルコゲナイド膜の暴露、昇華を回避することが可能となるため、製造装置を汚染することなく、相変化メモリを製造することができる。

10

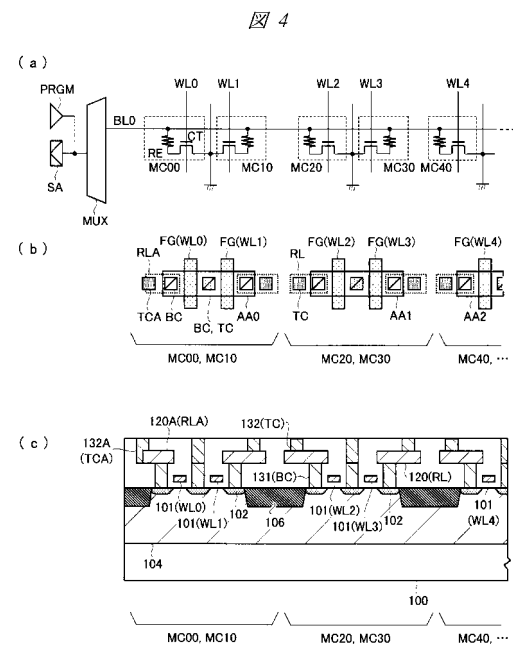
【図 1】



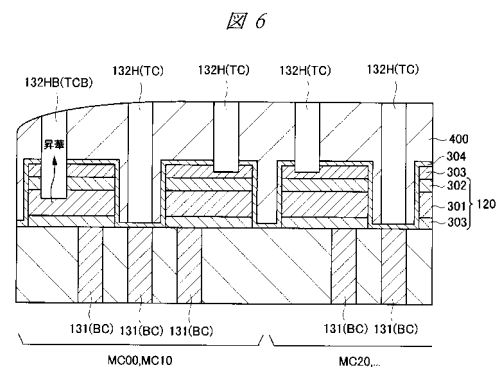
【図 2】



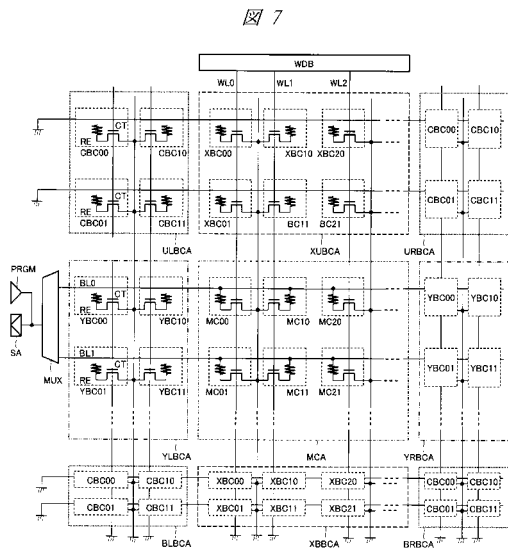
【 図 4 】



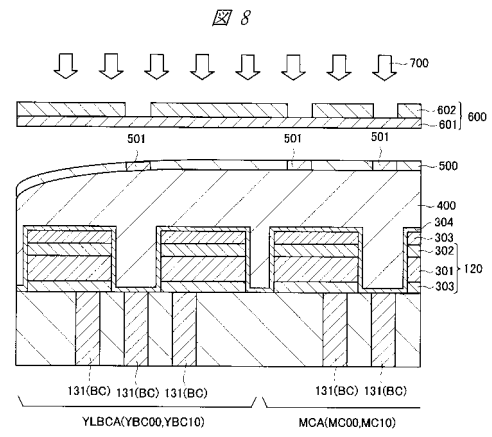
【 図 6 】



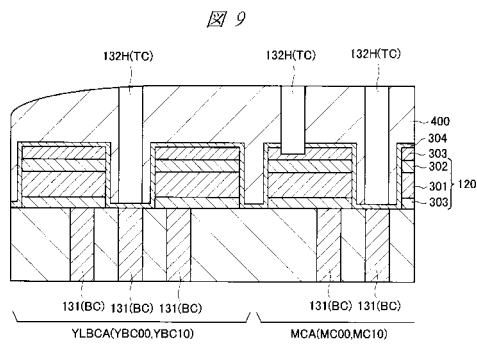
【図 7】



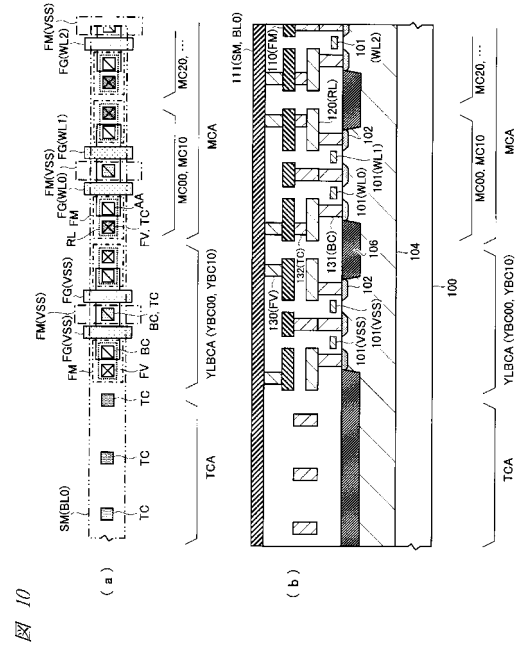
【図 8】



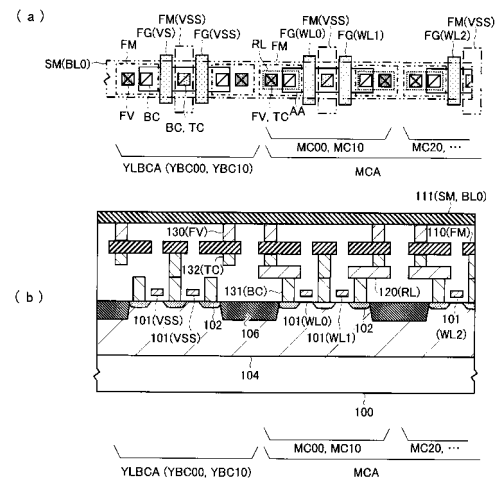
【図 9】



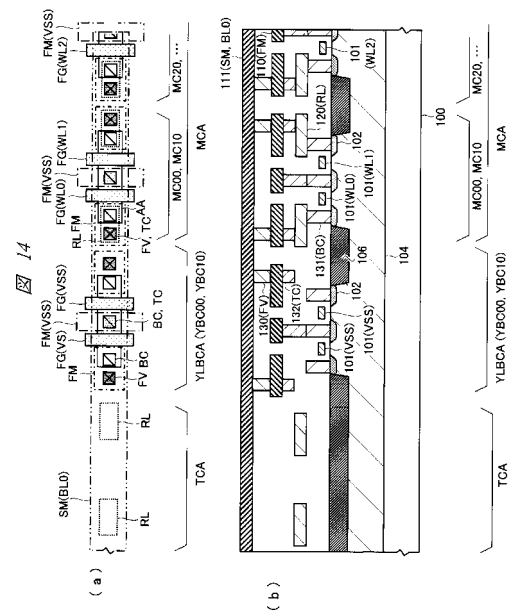
【図 10】



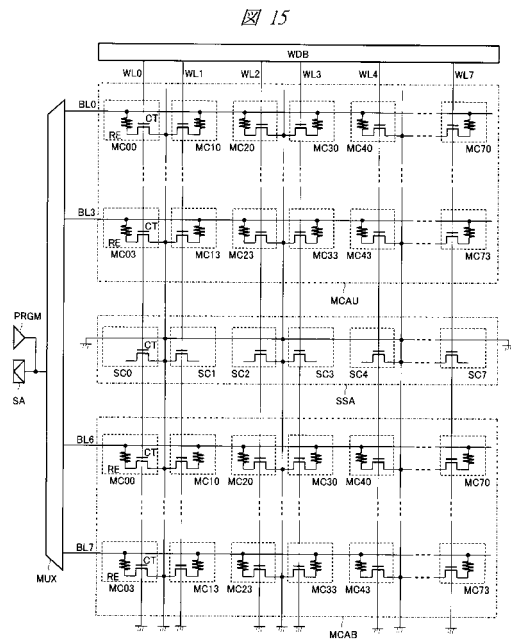
【圖 12】



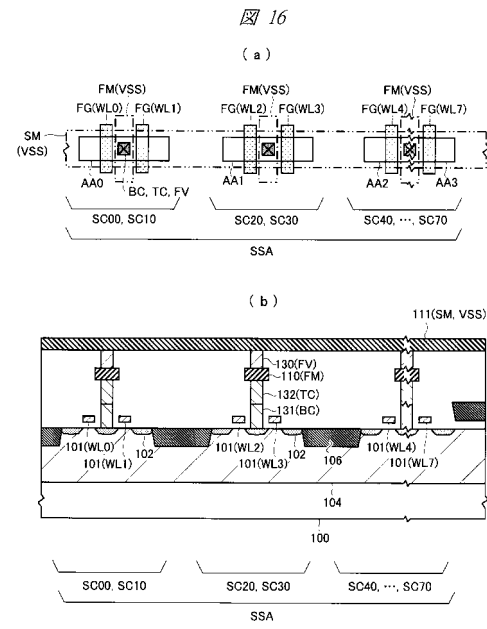
【 図 1 4 】



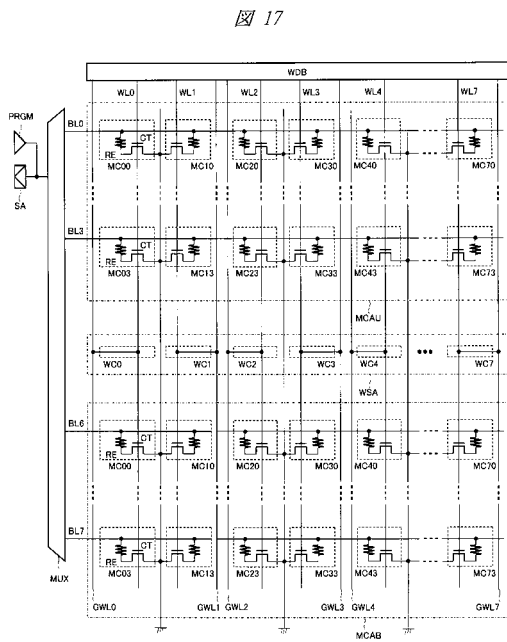
【図 15】



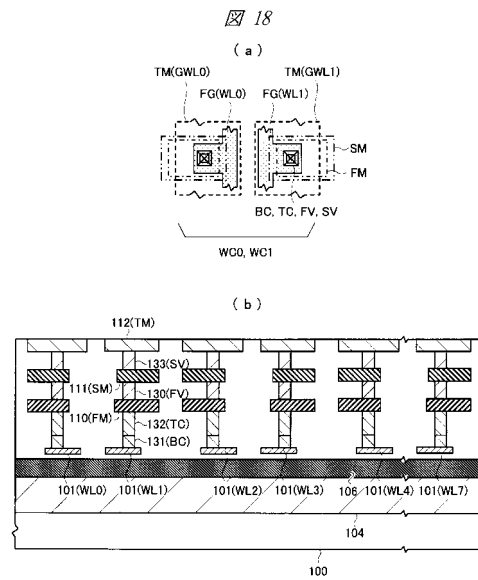
【図 16】



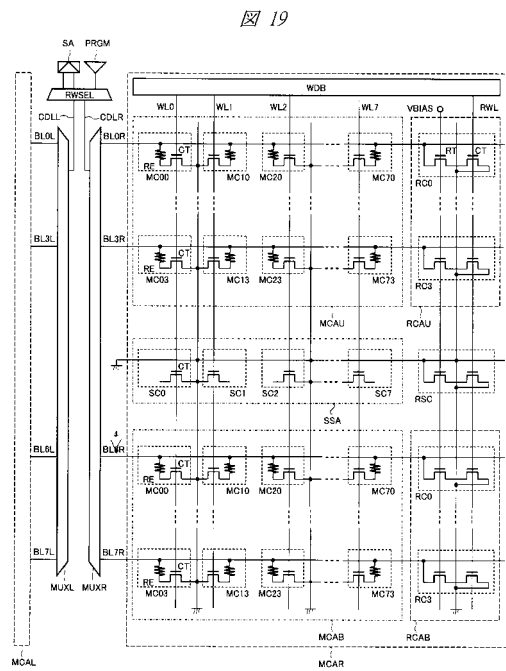
【図 17】



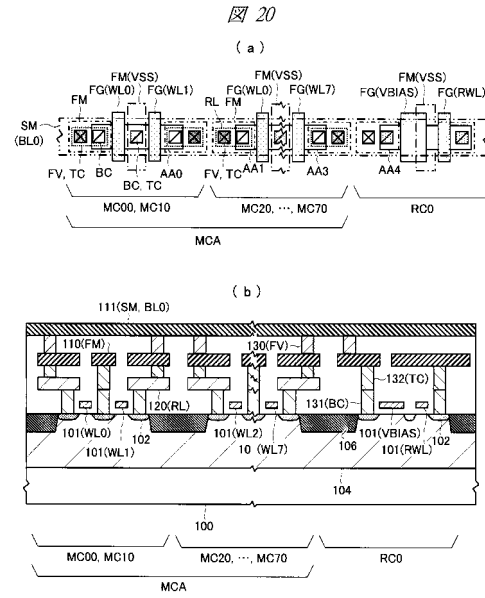
【図 18】



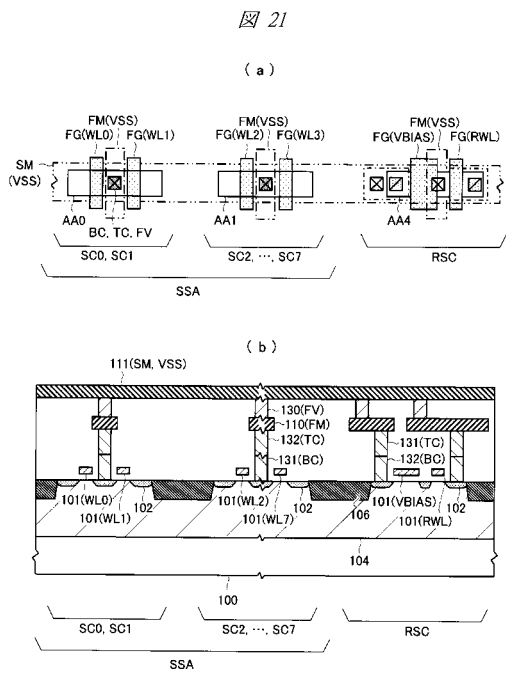
【図 19】



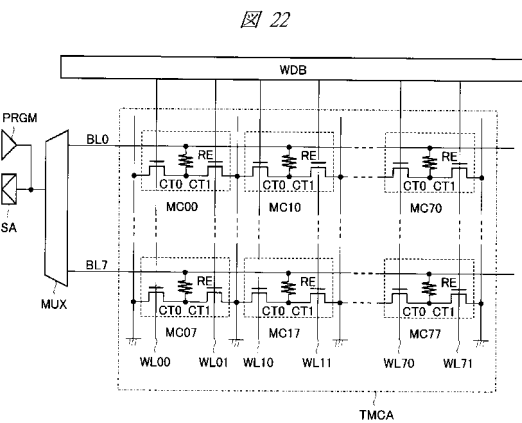
【図 20】



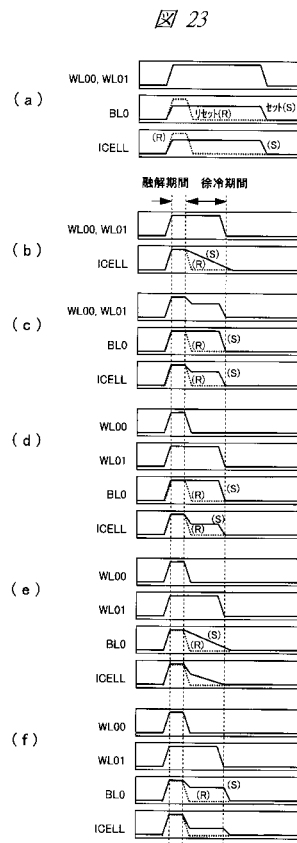
【図 21】



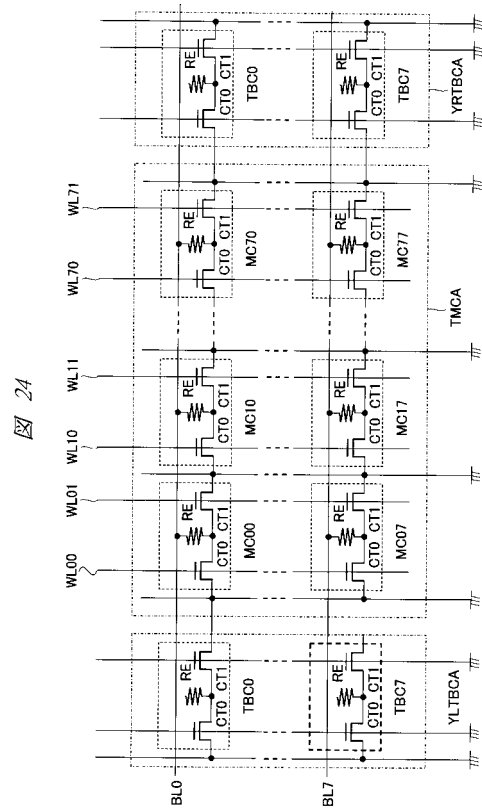
【図 22】



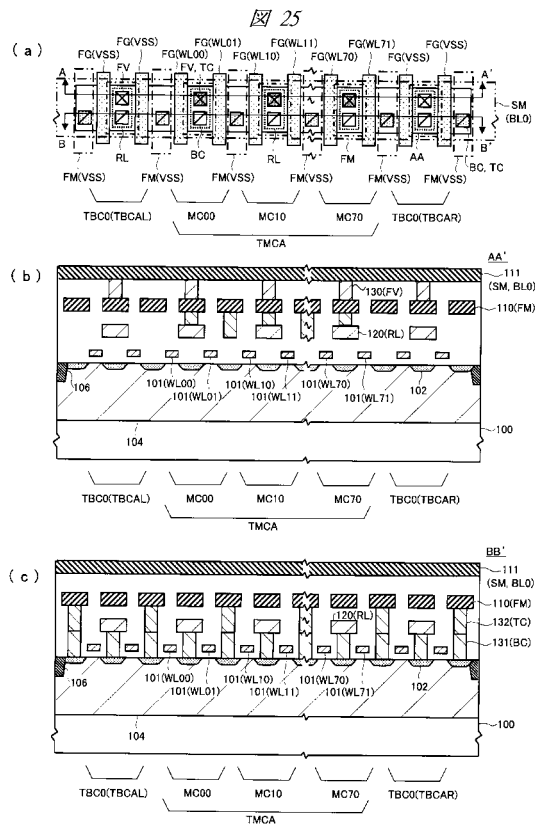
【図 23】



【図 24】



【図 25】



【図 26】

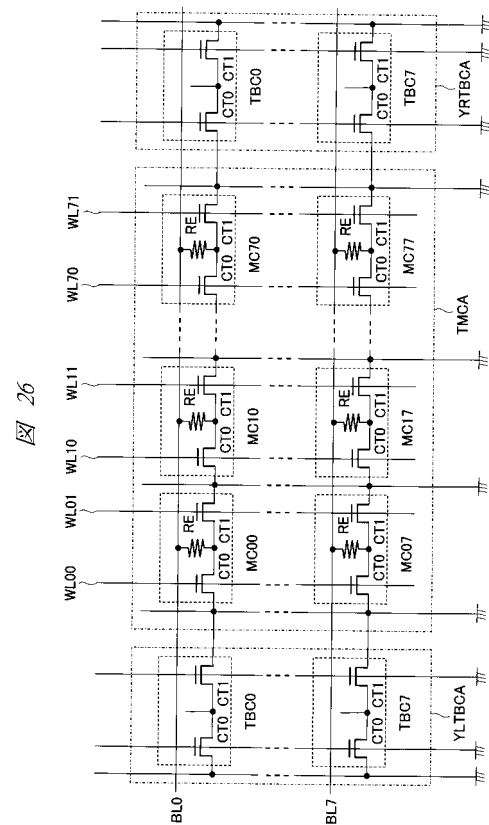
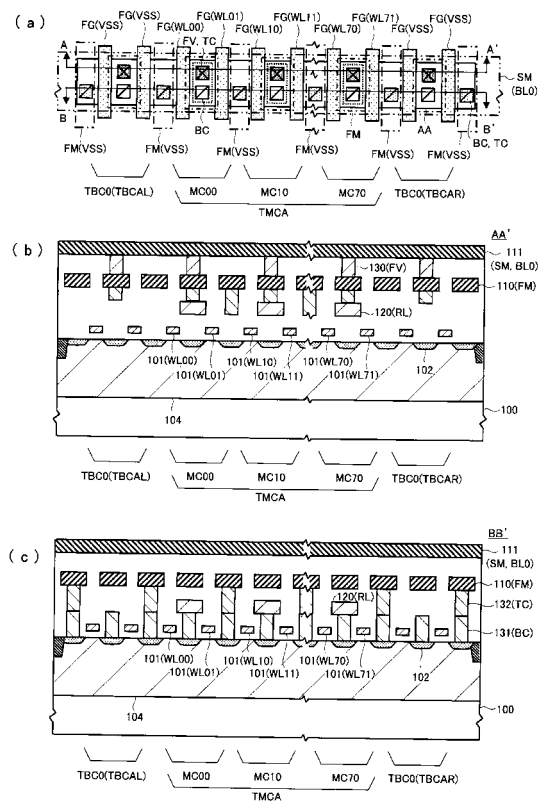


图 27



フロントページの続き

(72)発明者 田中 利広

東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

審査官 河合 俊英

(56)参考文献 特開 2 0 0 4 - 3 4 9 5 0 4 (J P , A)

特開 2 0 0 6 - 2 9 5 1 7 7 (J P , A)

特開 2 0 0 6 - 2 9 4 2 0 6 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H01L 27/105

H01L 45/00