



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

251 043

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 26 05 85
(21) PV 6895-85

(51) Int. Cl.

G 06 F 13/32

(40) Zveřejněno 16 10 86
(45) Vydáno 01 09 88

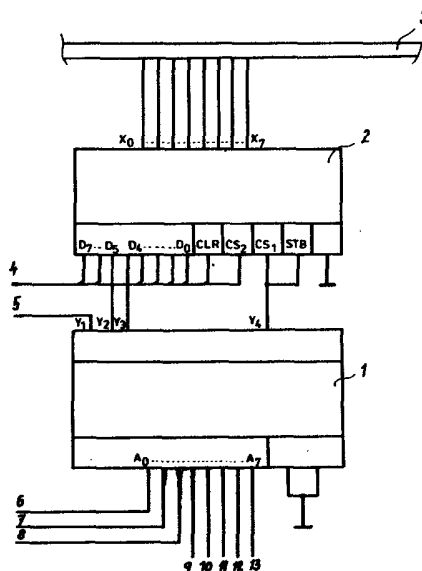
(75)
Autor vynálezu

BEJVL JOSEF ing. CSc.,
PINKER JIŘÍ ing. CSc.,
GEORGIEV VJAČESLAV ing., PLZEŇ

(54)

Zařízení pro generaci přerušení a čtení vstupních
signálů mikropočítače s pamětí PROM

Řešení se týká jednodušších mikroprocesorových systémů s minimálním počtem obvodů a řeší problém dokonalého způsobení mikropočítačového systému v řízené soustavě. Problém je vyřešen tím, že druhý a třetí výstup paměti PROM jsou přes budič sběrnice spojeny s datovou sběrnicí. Vstup vybavení budiče sběrnice je spojen s čtvrtým výstupem paměti. První výstup paměti PROM je spojen s přerušovacím vstupem mikroprocesoru. Na první vstup paměti PROM je připojen signál pro čtení dat, na druhý vstup paměti PROM signál po čtení vektoru přerušování, na třetí vstup paměti PROM výstup adresového dekodéru. Čtvrtý až osmý vstup paměti PROM je spojen se vstupem pro přerušování a testy.



Vynález se týká zařízení pro generaci přerušení a čtení vstupních signálů mikropočítače, tvořeného pamětí PROM a budičem sběrnice.

Při použití mikropočítače v řízení procesů se téměř vždy vyskytne potřeba přerušovacích vstupů a dále vstupů pro testování některých signálů za účelem větvení programu pomocí podmíněných skoků. Vstupy pro testy zcela chybí u mikroprocesoru 8080 i u mnoha dalších. Zatímco pro zpracování přerušení se používají specializované obvody 8259, 3214, pro vstup testovaných signálů je třeba vyčlenit jednu vstupní bránu, např. 3212, 8255, tj. jedno pouzdro integrovaného obvodu. Obvody pro zpracování přerušení mají pevně definovanou aktivní úroveň na vstupech, kterou nelze měnit. Přerušovací signály z řízené soustavy se tak musí někdy negovat, což opět zvyšuje počet pouzder. Někdy je třeba vyvolat přerušení již při jisté logické kombinaci vstupních signálů. Pak je třeba kombinační funkce realizovat opět dalšími obvody. Totéž může být zapotřebí i v případě testovaných vstupů. Programové zpracování kombinační funkce je sice možné, ale prodlužuje program a komplikuje jej. Celkem lze tedy konstatovat, že celý podsystém pro zpracování testovaných a přerušovaných signálů představuje alespoň tři až pět pouzder integrovaných obvodů. To zvyšuje cenu, komplikuje plošný spoj a snižuje spolehlivost. To zvláště u malých podsystémů tvoří relativně významné položky.

Uvedené nevýhody odstraňuje zařízení pro generaci přerušení a čtení vstupních signálů mikropočítače s pamětí PROM podle vynálezu, jehož podstata spočívá v tom, že druhý a třetí výstup paměti PROM jsou přes budič sběrnice spojeny s datovou sběrnicí.

Vstup vybavení budiče sběrnice je spojen se čtvrtým výstupem paměti. První výstup paměti PROM je spojen s přerušovacím vstupem mikroprocesoru. Na první vstup paměti PROM je připojen signál pro čtení dat, na druhý vstup paměti PROM signál pro čtení vektoru přerušování, na třetí vstup paměti PROM výstup adresového dekodéru. Čtvrtý až osmý vstup paměti PROM je spojen se vstupy pro přerušování a testy.

Výhody zařízení podle vynálezu jsou ve snížení počtu obvodů, zmenšení plochy na plošném spoji, snížení ceny, ale hlavně v možnosti dokonalého přizpůsobení mikropočítačového systému řízené soustavě, a to při jednodušších programech. Paměť PROM je individuálně naprogramována pro danou aplikaci. Výhody jsou zvláště markantní u malých jednodeskových systémů pro regulaci, neboť se zrychlí prováděcí program.

Praktické provedení předmětu vynálezu je na obrázku přiloženého výkresu, na kterém je zobrazeno provedení obvodu pro mikroprocesor 8080 s použitím paměti 74S287 a budiče sběrnice, realizovaného integrovaným obvodem 3212.

První výstup Y_1 paměti PROM 1 je připojen na přerušovací vstup 5 mikroprocesoru. Druhý a třetí výstup Y_2 , Y_3 paměti PROM 1 jsou připojeny na pátý a šestý vstup D_4 , D_5 budiče 2 sběrnice. Čtvrtý výstup Y_4 paměti PROM 1 je připojen jednak na vstup CS_1 vybavení budiče 2 sběrnice a jednak na vstup STB budiče 2 sběrnice. Další vstupy D_7 , D_6 , D_3 , D_2 , D_1 , D_0 , CLR , CS_2 jsou spojeny a připojeny na zdroj 4 napětí o velikosti + 5 V. Výstupy X_0 až X_7 budiče sběrnice jsou připojeny na datovou sběrnici 3. První vstup A_0 paměti PROM 1 je připojen na signál 6 pro čtení dat. Druhý vstup A_1 paměti PROM 1 je připojen na signál 7 pro čtení vektoru přerušování. Třetí vstup A_2 paměti PROM 1 je připojen na výstup 8 adresového dekodéru. Čtvrtý až osmý vstup A_3 až A_7 paměti PROM 1 jsou připojeny na první až pátý vstup

9 až 13 pro přerušení a testy.

251 043

Paměť PROM 1 umožňuje zpracovat celkem pět vnějších vstupních signálů. Požadavky na přerušení a testované vstupy mohou být libovolně kombinovány. První výstup Y₁ paměti PROM 1 je připojen na přerušovací vstup 5 mikroprocesoru. Čtvrtý výstup Y₄ paměti PROM 1 řídí připojování třístavového budiče 2 sběrnice. Dva výstupy Y₂ a Y₃ jsou připojeny přes výstupy X₅, X₄ budiče 2 sběrnice na datovou sběrnici 3. Bity na výstupech X₇, X₆, X₃, X₂, X₁, X₀ budiče 2 sběrnice jsou trvale doplněny na "1". Správné časování při čtecím cyklu mikroprocesoru je zajišťováno signály přiváděnými na vstupy A₀, A₂ paměti PROM 1, na které jsou přivedeny vhodné řídicí signály mikropočítače. Jedním z nich je výstup 8 adresového dekodéru, čímž je definována adresa pro čtení testovaných vstupů. Vhodným naprogramováním obsahu paměti PROM 1 se dosáhne toho, že při čtení z této adresy se na datovou sběrnici 3 přivedou některé ze vstupních testovaných signálů ze vstupů 9, 10, 11, 12, 13 pro přerušení a testy, příp. jejich logická kombinace tak, jak ji paměť PROM 1 zpracovává. Při vyvolání přerušení se na datovou sběrnici 3 přivede jistá kombinace hodnot, a to podle stavu na vstupech paměti PROM 1, čímž se může generovat vhodný vektor přerušení, např. instrukce "RST 1", "RST 3", "RST 5", "RST 7". Přerušení, které může být vyvoláno podle obsahu paměti PROM 1 buď stavem "0" nebo "1" na vstupech, nebo logickými kombinacemi na některých z pěti vstupů A₃, A₄, A₅, A₆, A₇, může být případně i některými vstupy blokováno. Čtení vstupů pro testování může převádět kterékoliv dva z pěti vstupních signálů nebo některé jejich logické kombinace i v zakódovaném tvaru na datovou sběrnici 3 přes čtvrtý a pátý výstup X₄, X₅ budiče 2 sběrnice.

Vazba ze čtvrtého výstupu Y₄ paměti PROM 1 na vstup STB budiče 2 sběrnice blokuje vnitřní registr budiče 2 sběrnice, takže data jsou fixována po dobu čtení. Správné časování v cyklu přerušení zajišťují signály převáděné na vstup 11 paměti PROM 1. Časování v cyklu čtení testovaných vstupů zajišťují signály přiváděné na vstupy A₀ a A₂ paměti PROM 1.

Zařízení podle vynálezu lze využít v jednodušších mikroprocesorových systémech s minimálním počtem obvodů určených spíše pro jednoúčelové aplikace. Paměť PROM lze snadno naprogramovat a tak definovat činnost obvodů případ od případu. Použití vynálezu není omezeno jen na mikroprocesor 8080.

PŘEDMĚT VYNÁLEZU

251 043

Zařízení pro generaci přerušení a čtení vstupních signálů mikropočítače s pamětí PROM tvořené pamětí PROM a budičem sběrnice, vyznačené tím, že druhý a třetí výstup (Y_2 , Y_3) paměti PROM (1) jsou přes budič (2) sběrnice spojeny s datovou sběrnicí (3) a vstup (CS_1) vybavení budiče (2) sběrnice je spojen se čtvrtým výstupem (Y_4) paměti PROM (1) a první výstup (Y_1) paměti PROM (1) je spojen s přerušovacím vstupem (5) mikroprocesoru, přičemž první vstup (A_0) paměti PROM (1) je připojen na výstup⁽⁶⁾ povelu pro čtení dat, druhý vstup (A_1) paměti PROM (1) na výstup (7) povelu čtení vektoru přerušení, třetí vstup (A_2) paměti PROM (1) na výstup (8) adresového dekodéru a čtvrtý až osmý vstup (A_3 až A_7) paměti PROM (1) je spojen se vstupy (9 až 13) pro přerušení a testy.

1 výkres

