



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년06월03일
(11) 등록번호 10-2118159
(24) 등록일자 2020년05월27일

(51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) H01L 21/336 (2006.01)
(21) 출원번호 10-2014-0060421
(22) 출원일자 2014년05월20일
심사청구일자 2018년11월26일
(65) 공개번호 10-2015-0133914
(43) 공개일자 2015년12월01일
(56) 선행기술조사문헌
KR1020110086405 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
박진택
경기도 화성시 영통로50번길 27 101동 603호
허성희
서울특별시 강남구 언주로 110 5동 803호 (개포동, 경남아파트)
유장현
서울특별시 서초구 강남대로10길 104 301호 (양재동, 삼호아트빌라)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 18 항

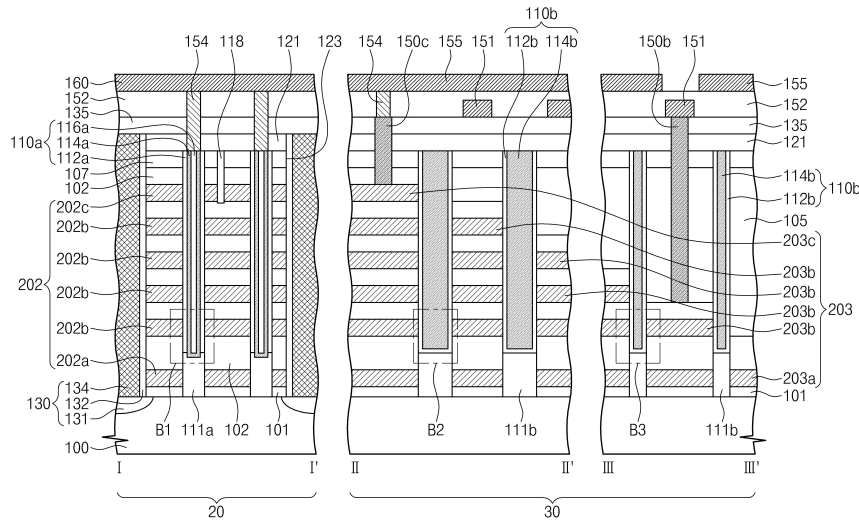
심사관 : 최정민

(54) 발명의 명칭 반도체 소자 및 그 제조 방법

(57) 요약

3차원 반도체 소자는 셀 영역 및 연결 영역을 포함하는 기판, 상기 셀 영역에 제공되고, 상기 기판 상에 적층된 게이트 전극들, 상기 게이트 전극들을 관통하며 제1 게이트 유전 패턴을 포함하는 수직 채널 구조물, 상기 셀 영역의 상기 게이트 전극들로부터 상기 연결 영역으로 연장된 패드들, 상기 패드들을 관통하며, 제2 게이트 유전 패턴을 포함하는 더미 필라, 및 상기 수직 채널 구조물과 상기 기판 사이, 및 상기 더미 필라와 기판 사이에 각각 배치된 반도체 패턴들을 포함하되, 상기 제1 게이트 유전 패턴 및 상기 제2 게이트 유전 패턴은 상기 반도체 패턴들 상에 배치되고, 상기 제2 게이트 유전 패턴은 상기 반도체 패턴의 상부면을 완전히 덮을 수 있다.

대표도



명세서

청구범위

청구항 1

셀 영역 및 연결 영역을 포함하는 기관;

상기 셀 영역에 제공되고, 상기 기관 상에 적층된 게이트 전극들;

상기 게이트 전극들을 관통하며 제1 게이트 유전 패턴을 포함하는 수직 채널 구조물;

상기 셀 영역의 상기 게이트 전극들로부터 상기 연결 영역으로 연장된 패드들;

상기 패드들을 관통하며, 제2 게이트 유전 패턴을 포함하는 더미 필라; 및

상기 수직 채널 구조물과 상기 기관 사이, 및 상기 더미 필라와 상기 기관 사이에 각각 배치된 반도체 패턴들;

상기 제1 게이트 유전 패턴 및 상기 제2 게이트 유전 패턴은 상기 반도체 패턴들 상에 배치되며, 상기 제2 게이트 유전 패턴은 상기 반도체 패턴의 상부면을 완전히 덮는 3차원 반도체 소자.

청구항 2

제1항에 있어서,

상기 수직 채널 구조물은 상기 제1 게이트 유전 패턴 상의 제1 수직 채널 패턴 및 충전 절연 패턴을 더 포함하는 3차원 반도체 소자.

청구항 3

제2항에 있어서,

상기 제1 수직 채널 패턴은 상기 반도체 패턴과 직접 접촉하여 상기 기관과 전기적으로 연결되는 3차원 반도체 소자.

청구항 4

제1항에 있어서,

상기 더미 필라는 상기 제2 게이트 유전 패턴 상의 제2 수직 채널 패턴을 더 포함하는 3차원 반도체 소자.

청구항 5

제4항에 있어서,

상기 제2 수직 채널 패턴은 상기 제2 게이트 유전 패턴의 내부를 채우는 3차원 반도체 소자.

청구항 6

제4항에 있어서,

상기 제2 수직 채널 패턴은 상기 제2 게이트 유전 패턴에 의해 상기 반도체 패턴과 분리되어 상기 기관과 전기적으로 절연되는 3차원 반도체 소자.

청구항 7

제6항에 있어서,

상기 연결 영역에서, 상기 반도체 패턴은 평평한(flat) 상부면을 갖는 3차원 반도체 소자.

청구항 8

제1항에 있어서,

상기 수직 채널 구조물의 상부면의 모양은 원의 형상을 갖고, 상기 더미 필라의 상부면의 모양은 타원의 형상을 갖는 3차원 반도체 소자.

청구항 9

셀 영역 및 연결 영역을 포함하는 기관;
 상기 셀 영역에 제공되고, 상기 기관 상에 적층된 게이트 전극들;
 상기 셀 영역에 제공되고, 상기 게이트 전극들을 관통하는 채널 홀;
 상기 채널 홀 내에 제공되고, 제1 게이트 유전 패턴을 포함하는 수직 채널 구조물;
 상기 셀 영역의 상기 게이트 전극들로부터 상기 연결 영역으로 연장된 패드들;
 상기 연결 영역에 제공되고, 상기 패드들을 관통하는 더미 홀;
 상기 더미 홀 내에 제공되고, 제2 게이트 유전 패턴을 포함하는 더미 필라;
 상기 채널 홀의 하부에 형성된 제1 반도체 패턴; 및
 상기 더미 홀의 하부에 형성된 제2 반도체 패턴을 포함하되,
 상기 제1 반도체 패턴의 상부면은 리세스된 홈을 포함하고, 상기 제2 반도체 패턴은 평평한 상부면을 갖고,
 상기 제2 게이트 유전 패턴은 상기 제2 반도체 패턴의 상기 상부면을 완전히 덮는 3차원 반도체 소자.

청구항 10

삭제

청구항 11

제9항에 있어서,
 상기 수직 채널 구조물은 제1 수직 채널 패턴 및 층진 절연막 패턴을 더 포함하는 3차원 반도체 소자.

청구항 12

제11항에 있어서,
 상기 제1 수직 채널 패턴은 상기 제1 반도체 패턴과 직접 접촉하는 3차원 반도체 소자.

청구항 13

삭제

청구항 14

제9항에 있어서,
 상기 더미 필라는 제2 수직 채널 패턴을 더 포함하는 3차원 반도체 소자.

청구항 15

제14항에 있어서,
 상기 제2 수직 채널 패턴은 상기 제2 게이트 유전 패턴에 의해 상기 제2 반도체 패턴과 전기적으로 절연되는 3차원 반도체 소자.

청구항 16

셀 영역 및 연결 영역을 포함하는 기관 상에 층간 절연막들 및 희생막들을 교대로 반복적으로 적층하고;
 상기 셀 영역에 상기 층간 절연막들 및 상기 희생막들을 관통하는 채널 홀을 형성하고;

상기 연결 영역에 상기 층간 절연막들 및 상기 희생막들을 관통하는 더미 홀을 형성하고;

상기 채널 홀 및 상기 더미 홀의 하부를 부분적으로 채우는 반도체 패턴을 형성하고;

상기 채널 홀 및 상기 더미 홀 내에 게이트 유전막을 형성하고; 및

상기 게이트 유전막을 이방성 식각하여 상기 채널 홀 내에 제1 게이트 유전 패턴을 형성하고, 동시에 상기 더미 홀 내에 제2 게이트 유전 패턴을 형성하고;

상기 제1 게이트 유전 패턴은 상기 채널 홀의 측벽에 스페이서 형상으로 형성되어 상기 채널 홀의 하부에 형성된 상기 반도체 패턴의 상부면의 일부를 노출하고,

상기 제2 게이트 유전 패턴은 상기 더미 홀의 측벽 및 상기 더미 홀의 하부에 형성된 상기 반도체 패턴의 상부면을 완전히 덮는 3차원 반도체 소자의 제조 방법.

청구항 17

제16항에 있어서,

상기 제1 게이트 유전 패턴 및 상기 노출된 반도체 패턴 상에 제1 수직 채널 패턴을 형성하는 것을 더 포함하는 3차원 반도체 소자의 제조 방법.

청구항 18

제17항에 있어서,

상기 제1 수직 채널 패턴은 상기 반도체 패턴과 직접 접촉하는 3차원 반도체 소자의 제조 방법.

청구항 19

제16항에 있어서,

상기 제2 게이트 유전 패턴의 내부를 채우는 제2 수직 채널 패턴을 형성하여 상기 더미 홀 내에 더미 필라를 형성하는 것을 더 포함하는 3차원 반도체 소자의 제조 방법.

청구항 20

제19항에 있어서,

상기 제2 수직 채널 패턴은 상기 제2 게이트 유전 패턴에 의해 상기 반도체 패턴과 분리되는 3차원 반도체 소자의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 3차원 반도체 소자 및 그 제조 방법에 관한 것 것이다.

배경 기술

[0002] 우수한 성능 및 저렴한 가격을 충족시키기 위해 반도체 소자의 집적도를 증가시키는 것이 요구되고 있다. 특히, 메모리 소자의 집적도는 제품의 가격을 결정하는 중요한 요인이다. 종래의 2차원 메모리 소자의 집적도는 단위 메모리 셀이 점유하는 면적에 의해 주로 결정되기 때문에, 미세 패턴 형성 기술의 수준에 크게 영향을 받는다. 하지만, 패턴의 미세화를 위해서는 고가의 장비들이 필요하기 때문에, 2차원 반도체 메모리 소자의 집적도는 증가하고는 있지만 여전히 제한적이다. 이러한 한계를 극복하기 위한 대안으로, 3차원적으로 배열된 메모리 셀을 구비하는 반도체 소자들이 제안되어 왔다.

발명의 내용

해결하려는 과제

- [0003] 본 발명이 해결하고자 하는 과제는 우수한 전기적 특성을 갖는 3차원 반도체 소자를 제공하는 것이다.
- [0004] 본 발명이 해결하고자 하는 과제는 우수한 전기적 특성을 갖는 3차원 반도체 소자를 제조하는 방법을 제공하는 것이다.
- [0005] 본 발명이 해결하고자 하는 다양한 과제들은 이상에서 언급한 과제들에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당 업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0006] 본 발명에 따른 3차원 반도체 소자는 셀 영역 및 연결 영역을 포함하는 기판; 상기 셀 영역에 제공되고, 상기 기판 상에 적층된 게이트 전극들; 상기 게이트 전극들을 관통하며 제1 게이트 유전 패턴을 포함하는 수직 채널 구조들; 상기 셀 영역의 상기 게이트 전극들로부터 상기 연결 영역으로 연장된 패드들; 상기 패드들을 관통하며, 제1 게이트 유전 패턴들 포함하는 더미 필라; 및 상기 수직 채널 구조물과 상기 기판 사이, 및 상기 더미 필라와 상기 기판 사이에 각각 배치된 반도체 패턴들을 포함하되, 상기 제1 게이트 유전 패턴 및 상기 제2 게이트 유전 패턴은 상기 반도체 패턴들 상에 배치되고, 상기 제2 게이트 유전 패턴은 상기 반도체 패턴의 상부면을 완전히 덮을 수 있다.
- [0007] 본 발명에 따른 3차원 반도체 소자는 셀 영역 및 연결 영역을 포함하는 기판; 상기 셀 영역에 제공되고, 상기 기판 상에 적층된 게이트 전극들; 상기 셀 영역에 제공되고, 상기 게이트 전극들을 관통하는 채널 홀; 상기 셀 영역의 상기 게이트 전극들로부터 상기 연결 영역으로 연장된 패드들; 상기 연결 영역에 제공되고, 상기 패드들을 관통하는 더미 홀; 상기 채널 홀의 하부에 형성된 제1 반도체 패턴; 상기 더미 홀의 하부에 형성된 제2 반도체 패턴; 및 상기 제1 반도체 패턴의 상부면은 리세스된 홈을 포함하고, 상기 제2 반도체 패턴은 평평한(flat) 상부면을 가질 수 있다.
- [0008] 본 발명에 따른 3차원 반도체 소자의 제조 방법은 셀 영역 및 연결 영역을 포함하는 기판 상에 층간 절연막들 및 희생막들을 교대로 반복적으로 적층하고; 상기 셀 영역에 상기 층간 절연막들 및 상기 희생막들을 관통하는 채널 홀을 형성하고; 상기 연결 영역에 상기 층간 절연막들 및 상기 희생막들을 관통하는 더미 홀을 형성하고; 상기 채널 홀 및 상기 더미 홀의 하부를 부분적으로 채우는 반도체 패턴을 형성하고; 상기 채널 홀 및 상기 더미 홀 내에 게이트 유전막을 형성하고; 및 상기 게이트 유전막을 이방성 식각하여 상기 채널 홀 내에 제1 게이트 유전 패턴을 형성하고, 동시에 상기 더미 홀 내에 제2 게이트 유전 패턴을 형성하는 것을 포함하되, 상기 제1 게이트 유전 패턴은 상기 채널 홀의 측벽에 스페이서 형상으로 형성되어 상기 채널 홀의 하부에 형성된 상기 반도체 패턴의 상부면의 일부를 노출하고, 상기 제2 게이트 유전 패턴은 상기 더미 홀의 측벽 및 상기 더미 홀의 하부에 형성된 반도체 패턴의 상부면을 완전히 덮을 수 있다.
- [0009] 기타 본 발명의 구체적인 사항들은 본문 내에서 보다 상세하게 설명될 것이다.

발명의 효과

- [0010] 본 발명의 기술적 사상의 다양한 실시 예들에 따르면, 3차원 반도체 소자는 기판 상에 적층된 복수개의 게이트 전극들로부터 연장된 패드들에 전기적으로 연결되는 콘택 플러그들이 형성될 수 있다. 더미 필라들이 콘택 플러그들 주위에 형성될 수 있다. 더미 필라들은 기판과 완전히 절연됨으로써, 콘택 플러그들과 더미 필라들 사이의 절연 파괴(dielectric breakdown) 및 제조 공정에 의한 물리적 결합 등에 의해 발생할 수 있는 누설 전류가 방지될 수 있다. 이로 인하여, 연결 영역 내에서 더미 필라들을 통한 누설 전류를 완전히 차단하여, 우수한 전기적 특성을 갖는 3차원 반도체 소자를 구현할 수 있다.

도면의 간단한 설명

- [0011] 도 1은 본 발명의 예시적 실시예들에 따른 3차원 반도체 소자의 평면도이다.
- 도 2는 도 1의 A 영역의 확대도로, 본 발명의 예시적 실시예들에 따른 3차원 반도체 소자의 평면도이다.
- 도 3은 도 2의 I-I', II-II' 및 III-III' 선들을 따라 절단한 단면도들이다.
- 도 4a 내지 도 4c는 각각 도 3의 B1 내지 B3 영역들의 확대도들이다.
- 도 5a 및 도 5b는 각각 도 3의 B2 및 B3 영역들의 확대도들이다.
- 도 6 내지 도 14, 도 15a, 도 16a 및 도 17 내지 도 24는 본 발명의 예시적 실시예들에 따른 3차원 반도체 소자

의 제조 방법을 설명하기 위한 것으로, 도 2의 I-I', II-II' 및 III-III' 선들을 따라 절단한 단면도들이다.

도 15b 내지 15d는 각각 도 15a의 C1 내지 C3 영역들의 확대도들이다.

도 16b는 내지 16d는 각각 도 16a의 D1 내지 D3 영역들의 확대도들이다.

도 25은 본 발명의 실시예들에 따른 3차원 반도체 소자들을 포함하는 전자시스템들의 일 예를 간략히 도시한 블록도이다.

도 26은 본 발명의 실시예들에 따른 3차원 반도체 소자들을 포함하는 메모리 카드들의 일 예를 간략히 도시한 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0013] 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 "포함한다(comprises)" 및/또는 "포함하는(comprising)" 은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다. 어떤 막(또는 층)이 다른 막(또는 층) 또는 기판 상에 있다고 언급되는 경우에 그것은 다른 막(또는 층) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 막(또는 층)이 개재될 수도 있다. 또한, 도면들에 있어서, 구성들의 크기 및 두께 등은 명확성을 위하여 과장된 것이다. 또한, 본 명세서의 다양한 실시예들에서 제1, 제2, 제3 등의 용어가 다양한 영역, 막들(또는 층들) 등을 기술하기 위해서 사용되었지만, 이들 영역, 막들이 이 같은 용어들에 의해서 한정되어서는 안 된다. 이들 용어 들은 단지 어느 소정 영역 또는 막(또는 층)을 다른 영역 또는 막(또는 층)과 구별시키기 위해서 사용되었을 뿐이다. 여기에 설명되고 예시되는 각 실시예는 그것의 상보적인 실시예도 포함한다. 본 명세서에서 '및/또는'이란 표현은 전후에 나열된 구성요소들 중 적어도 하나를 포함하는 의미로 사용된다.
- [0014] 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 따라서, 동일한 참조 부호 또는 유사한 참조 부호들은 해당 도면에서 언급 또는 설명되지 않았더라도, 다른 도면을 참조하여 설명될 수 있다. 또한, 참조 부호가 표시되지 않았더라도, 다른 도면들을 참조하여 설명될 수 있다.
- [0015] 도 1은 본 발명의 예시적 실시예들에 따른 3차원 반도체 소자의 평면도이다.
- [0016] 도 1을 참조하면, 3차원 반도체 소자는 메모리 셀들이 배치되는 메모리 셀 어레이(10) 및 상기 메모리 셀들을 동작시키는 기능 회로들을 포함하고 메모리 셀 어레이(10)의 주변에 배치되는 주변 회로(도시 되지 않음)를 포함할 수 있다. 상기 메모리 셀 어레이(10)는 셀 영역(20), 및 상기 셀 영역(20)에 인접하여 배치되는 적어도 하나의 연결 영역(30)을 포함할 수 있다. 3차원적으로 배열된 메모리 셀들이 상기 셀 영역(20) 내에 배치될 수 있고, 메모리 셀들과 기능 회로들을 연결시키기 위한 구조물들이 상기 연결 영역(30) 내에 배치될 수 있다. 본 발명의 예시적 실시예들에 따르면, 상기 연결 영역(30)은 상기 셀 영역(20)의 일 측 또는 양 측들에 배치될 수 있다.
- [0017] 도 2는 도 1의 A 영역의 확대도로, 본 발명의 예시적 실시예들에 따른 3차원 반도체 소자의 평면도이고, 도 3은 도 2의 I-I', II-II' 및 III-III' 선들을 따라 절단한 단면도들이다.
- [0018] 도 2 및 도 3을 참조하면, 본 발명의 예시적 실시예들에 의한 3차원 반도체 소자는 셀 영역(20) 및 연결 영역(30)을 포함할 수 있다. 상기 3차원 반도체 소자는 셀 영역(20)에서 게이트 전극들(202), 층간 절연막들(102), 수직 채널 구조물들(110a), 공통 소스 구조물들(130)을 포함할 수 있다. 3차원 반도체 소자는 상기 연결 영역(30)에서 패드들(203), 더미 필라들(110b), 콘택 플러그들(150) 및 캡핑 절연막(105)을 포함할 수 있다. 상기 3차원 반도체 소자는 상기 셀 영역(20) 및 상기 연결 영역(30)에 형성된 제1 및 제2 반도체 패턴(111a, 111b), 버퍼 절연막(101), 제1 내지 제4 상부 층간 절연막(107, 121, 135, 152), 제1 메탈 라인(151), 제2 메탈 라인(155), 배선 플러그(154) 및 비트 라인(160)을 더 포함할 수 있다.
- [0019] 상기 게이트 전극들(202) 및 상기 층간 절연막들(102)은 상기 수직 채널 구조물들(110a)의 측면을 둘러싸면서

일 방향으로 연장할 수 있다. 상기 게이트 전극들(202) 및 상기 층간 절연막들(102)은 상기 셀 영역(20)에서 상기 연결 영역(30)으로 연장할 수 있다. 상기 게이트 전극들(202)은 상기 층간 절연막들(102)에 의해 서로 절연될 수 있다. 게이트 전극들(202)은 적어도 하나의 접지 선택 게이트 전극(202a), 다수의 셀 게이트 전극들(202b) 및 두 개의 스트링 선택 게이트 전극들(202c)을 포함할 수 있다. 상기 접지 선택 게이트 전극(202a)은 최하부에 배치되고, 상기 스트링 선택 게이트 전극들(202c)은 최상부에 배치될 수 있다. 상기 두 개의 스트링 선택 게이트 전극들(202c)은 커팅 절연 패턴(118)에 의해 분리될 수 있다. 상기 셀 게이트 전극들(202b)은 접지 선택 게이트 전극(202a) 및 상기 스트링 선택 게이트 전극들(202c) 사이에 제공될 수 있다. 상기 셀 게이트 전극들(202b)의 두께는 실질적으로 동일할 수 있다. 상기 접지 선택 게이트 전극(202a) 및 상기 스트링 선택 게이트 전극들(202c)은 상기 셀 게이트 전극들(202b)의 두께와 다를 수 있다. 예를 들어, 상기 접지 선택 게이트 전극(202a) 및 상기 스트링 선택 게이트 전극들(202c)은 상기 셀 게이트 전극들(202b) 보다 두꺼울 수 있다. 일 실시예에서, 셀 게이트 전극들(202b)은 워드 라인들에 해당할 수 있다. 상기 접지 선택 게이트 전극(202a)은 접지 선택 라인에 해당할 수 있으며, 상기 스트링 선택 게이트 전극들(202c)은 스트링 선택 라인들에 해당할 수 있다. 상기 게이트 전극들(202)은 텅스텐, 구리 또는 금속 실리사이드 등의 금속 물질을 포함할 수 있다.

[0020] 상기 층간 절연막들(102)의 두께들은 서로 동일하지 않을 수 있다. 예를 들어, 최하부의 상기 층간 절연막(102)은 다른 층간 절연막들(102) 보다 두꺼울 수 있다. 상기 층간 절연막들(102)은 절연 물질(예를 들면, 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물)을 포함할 수 있다. 셀 영역(20) 내에서, 상기 게이트 전극들(202) 및 상기 층간 절연막들(102)은 서로 교대로 번갈아 적층될 수 있다.

[0021] 상기 수직 채널 구조물들(110a)의 각각은 상기 게이트 전극들(202) 및 층간 절연막들(102)을 수직으로 관통하여 제1 반도체 패턴(111a)과 접촉할 수 있다. 상기 수직 채널 구조물들(110a)의 각각은 제1 게이트 유전 패턴(112a), 제1 수직 채널 패턴(114a) 및 층간 절연 패턴(116a)을 포함할 수 있다. 상기 제1 수직 채널 패턴(114a)은 상기 제1 반도체 패턴(111a)을 통하여 기판(100)과 전기적으로 연결될 수 있다.

[0022] 도 2에 개시된 바와 같이, 상기 수직 채널 구조물들(110a)은 평면적 관점에서 2차원적으로 배열될 수 있다. 상기 수직 채널 구조물들(110a)은 지그재그(zigzag) 형태로 배열될 수 있다. 상기 수직 채널 구조물(110a)에 대한 보다 상세한 설명은 도 4a 및 4b를 참조하여 후술될 것이다.

[0023] 상기 공통 소스 구조물(130)은 상기 게이트 전극들(202) 및 상기 층간 절연막들(102)을 수직으로 관통할 수 있다. 상기 공통 소스 구조물(130)은 공통 소스 영역(131), 스페이서(132) 및 공통 소스 라인(134)을 포함할 수 있다. 상기 공통 소스 영역(131)은 상기 기판(100) 내에 형성될 수 있다. 상기 공통 소스 영역(131)은 상기 기판(100) 내에 주입된 P 또는 As 같은 불순물을 포함할 수 있다. 상기 공통 소스 라인(134)은 상기 게이트 전극들(202) 및 상기 층간 절연막들(102)을 수직으로 관통하여 상기 공통 소스 영역(131)과 접촉할 수 있다. 상기 공통 소스 라인(134)은 댐(dam) 모양을 가질 수 있다. 예를 들어, 상면도(in a top view)에서, 상기 공통 소스 라인(134)은 일 방향으로 연장하는 라인 또는 바(bar) 모양을 가질 수 있다. 상기 스페이서(132)는 상기 공통 소스 라인(134) 및 상기 게이트 전극들(202)과 상기 층간 절연막들(102) 사이에 형성될 수 있다. 상기 스페이서(132)는 상기 공통 소스 라인(134)의 측벽들 상에 배치될 수 있다. 상기 스페이서(132)는 상기 공통 소스 라인(134)을 상기 게이트 전극들(202)로부터 절연시킬 수 있다. 상기 스페이서(132)는 절연 물질(예를 들면, 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물)을 포함할 수 있다.

[0024] 상기 연결 영역(30)에서 상기 패드들(203)과 상기 층간 절연막들(102)은 교대로 번갈아 적층될 수 있다. 상기 패드들(203)은 접지 선택 패드(203a), 셀 패드들(203b) 및 스트링 선택 패드들(203c)을 포함할 수 있다. 상기 접지 선택 패드(203a), 셀 패드들(203b) 및 스트링 선택 패드들(203c)은 상기 셀 영역(20)에서의 상기 접지 선택 게이트 전극(202a), 셀 게이트 전극들(202b) 및 스트링 선택 게이트 전극들(202c)로부터 각각 연장하여 상기 연결 영역(30)에서 계단식 구조를 형성할 수 있다. 상기 셀 패드들(203b)은 접지 선택 패드(203a) 및 스트링 선택 패드들(203c) 사이에 제공될 수 있다. 상기 층간 절연막들(102) 또한 상기 연결 영역(30) 내로 연장되어 상기 패드들(203)을 덮을 수 있다. 이에 따라, 상기 패드들(203)의 수평 길이가 서로 다를 수 있다. 구체적으로, 기판(100)에서 멀어질수록 패드들(203)의 수평 길이는 짧아질 수 있다. 예를 들어, 최하부에 위치한 상기 접지 선택 패드(203a)의 수평 길이가 가장 길고, 최상부에 위치한 상기 스트링 선택 패드들(203c)의 수평 길이가 가장 짧을 수 있다.

[0025] 상기 콘택 플러그들(150)은 상기 캡핑 절연막(105) 및 상기 제1 내지 제3 상부 층간 절연막들(107, 121, 135)을 수직으로 관통하여 상기 패드들(203)을 제1 메탈 라인(151) 및 제2 메탈 라인(155)과 전기적으로 연결할 수 있다. 상기 콘택 플러그들(150)은 접지 선택 플러그(150a), 셀 플러그들(150b) 및 스트링 선택 플러그들(150c)을

포함할 수 있다. 상기 접지 선택 플러그(150a)는 상기 제1 내지 제3 층간 절연막(107, 121, 135), 상기 캡핑 절연막(105) 및 최하부의 층간 절연막(102)을 관통하여 상기 접지 선택 패드(203a)에 연결될 수 있다. 상기 셀 및 스트링 선택 플러그들(150b, 150c)은 상기 셀 패드들(203b) 및 스트링 선택 패드들(150c)에 각각 연결될 수 있다. 상기 패드들(203)은 계단식 구조를 형성하기 때문에 패드들(203)에 각각 연결되는 콘택 플러그들(150)의 수직 길이가 다를 수 있다. 예를 들어, 최하부에 위치한 접지 선택 패드(203a)에 연결되는 접지 선택 콘택 플러그(150a)의 수직 길이가 가장 길고, 최상부에 위치한 스트링 선택 패드들(203c)에 연결되는 스트링 선택 콘택 플러그들(150c)의 수직 길이가 가장 짧을 수 있다. 도 2를 참조하면, 상기 셀 및 접지 선택 플러그들(150b, 150a)은 셀 및 접지 선택 패드들(203b, 203a)의 중심을 가로지르는 가상적인 일직선 상에 배치될 수 있다. 상기 스트링 선택 플러그들(150c)은 상기 커팅 절연 패턴(118)을 사이에 두고 상기 스트링 선택 패드들(203c) 상에 각각 배치될 수 있다.

[0026] 상기 더미 필라들(110b)은 상기 패드들(202p) 및 상기 층간 절연막들(102)을 관통하여 상기 제2 반도체 패턴(111b)과 접촉할 수 있다. 상기 더미 필라들(110b)은 제2 게이트 유전 패턴(112b) 및 제2 수직 채널 패턴(114b)을 포함할 수 있다. 상기 더미 필라들(110b)의 상부면은 상기 수직 채널 구조물들(110a)의 상부면과 동일한 레벨에 배치될 수 있다. 상기 더미 필라들(110b)은 서로 인접한 상기 패드들(203)의 경계(boundary)에 배치될 수 있다. 도 2에 개시된 바와 같이, 상기 패드들(203)을 관통하는 상기 더미 필라들(110b)은, 평면적 관점에서, 상기 패드들(203)에 접속된 콘택 플러그들(150)을 둘러싸는 형태로 배열될 수 있다.

[0027] 상기 더미 필라들(110b)은 상기 수직 채널 구조물들(110a)과 다른 모양 및 구조를 가질 수 있다. 예를 들어, 상기 더미 필라들(110b)의 상부면은 타원의 형상을 가질 수 있으며, 상기 수직 채널 구조물들(110a)의 상부면은 원의 형상을 가질 수 있다. 또한 상기 수직 채널 구조물들(110a)은 상기 충전 절연 패턴(116a)을 포함하나, 상기 더미 필라들(110b)은 상기 충전 절연 패턴을 포함하지 않을 수 있다. 상기 더미 필라들(110b)에 대한 보다 상세한 설명은 도 4a 및 4b를 참조하여 후술할 것이다.

[0028] 상기 제1 반도체 패턴(111a)은 상기 셀 영역(20)에서 상기 기관(100)으로부터 돌출되어 상기 수직 채널 구조물들(110a)과 상기 기관(100) 사이에 배치될 수 있다. 상기 제1 반도체 패턴(111a)의 상부면은 최하부의 게이트 전극(202)의 상부면보다 높은 레벨에 위치할 수 있다. 상기 제1 반도체 패턴(111a)은 상기 제1 수직 채널 패턴(114a)과 직접 접촉할 수 있다. 상기 제1 수직 채널 패턴(114a)과 직접 접촉하는 상기 제1 반도체 패턴(111a)의 상부면은 리세스될 수 있다. 또한 상기 제2 반도체 패턴(111b)은 상기 연결 영역(30)에서 상기 기관(100)으로부터 돌출되어 상기 더미 필라들(110b)과 상기 기관(100) 사이에 배치될 수 있다. 상기 제2 반도체 패턴(111b)의 상부면은 최하부의 패드(203)의 상부면 보다 높은 레벨에 위치할 수 있다. 상기 제2 반도체 패턴(111b)은 상기 제2 수직 채널 패턴(114b)과 분리된다. 이에 따라, 상기 제1 수직 채널 패턴(114a)은 상기 제1 반도체 패턴(111a)에 의해 기관(100)과 전기적으로 연결될 수 있으나, 상기 제2 수직 채널 패턴(114b)은 상기 기관(100)과 전기적으로 절연될 수 있다. 상기 셀 영역(20)에 형성된 제1 반도체 패턴(111a)과 상기 연결 영역(30)에 형성된 제2 반도체 패턴(111b)의 모양 또는 크기가 다를 수 있다. 예를 들어, 상기 셀 영역(20)에 형성된 제1 반도체 패턴(111a)의 상부면의 모양은 원의 형상을 가질 수 있으며, 상기 연결 영역(30)에 형성된 제2 반도체 패턴(111b)의 상부면의 모양은 타원 형상을 가질 수 있다. 상기 타원의 단축의 직경은 상기 원의 직경의 50 ~ 90%의 크기를 가질 수 있다.

[0029] 상기 버퍼 절연막(101)은 상기 셀 영역(20)에서 최하부에 위치하는 상기 접지 선택 게이트 전극(202a)과 상기 기관(100) 사이에 개재될 수 있고, 그리고 상기 연결 영역(30)에서 최하부에 위치하는 상기 접지 선택 패드(203a)와 상기 기관(100) 사이에 개재될 수 있다. 상기 버퍼 절연막(101)은 절연 물질(예를 들면, 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물)을 포함할 수 있다.

[0030] 상기 캡핑 절연막(105)은 상기 연결 영역(30)에서 상기 층간 절연막들(102) 및 패드들(203)의 상부면 또는 측면 상에 형성될 수 있다.

[0031] 상기 제1 상부 층간 절연막(107)이 상기 셀 영역(20)에서 최상부의 층간 절연막(102) 상에 상기 수직 채널 구조물(110a) 및 상기 공통 소스 구조물(130)의 측면을 감싸고, 및 상기 연결 영역(30) 내에서 상기 캡핑 절연막(105) 상에 상기 더미 필라들(110b) 및 상기 콘택 플러그(150)의 측면들을 감싸도록 형성될 수 있다. 예를 들어, 상기 수직 채널 구조물들(110a) 및 상기 공통 소스 구조물(130)은 상기 제1 상부 층간 절연막(107)을 수직으로 관통할 수 있다.

[0032] 상기 제2 상부 층간 절연막(121)은 상기 수직 채널 구조물들(110a) 및 더미 필라들(110b)을 덮도록 상기 제1 상부 층간 절연막(107) 상에 형성될 수 있다. 상기 제2 상부 층간 절연막(121)은 상기 셀 영역(20) 내에서 상기

공통 소스 구조물(130)의 측면을 감쌀 수 있다.

- [0033] 상기 제3 상부 층간 절연막(135)은 상기 셀 영역(20) 내에서 상기 배선 플러그(154)의 측면을 감싸고, 그리고 상기 공통 소스 구조물(130)을 덮도록 상기 제2 상부 층간 절연막(121) 상에 형성될 수 있다. 상기 제3 상부 층간 절연막(135)은 상기 연결 영역(30) 내에서 상기 콘택 플러그(150)의 측면을 감쌀 수 있다.
- [0034] 상기 제4 상부 층간 절연막(152)은 상기 셀 영역(20) 및 연결 영역(30) 내에서 상기 배선 플러그(154)의 측면을 감싸고, 및 상기 제1 메탈 라인(151)을 덮도록 상기 제3 상부 층간 절연막(135) 상에 형성될 수 있다.
- [0035] 상기 캡핑 절연막(105) 및 상기 제1 내지 제4 상부 층간 절연막들(107, 121, 135, 152)은 고밀도플라즈마(HDP) 산화막, TEOS(TetraEthylOrthoSilicate), PE-TEOS(Plasma Enhanced TetraEthylOrthoSilicate), O₃-TEOS(O₃-Tetra Ethyl Ortho Silicate), USG(Undoped Silicate Glass), PSG(PhosphoSilicate Glass), BSG(Borosilicate Glass), BPSG(BoroPhosphoSilicate Glass), FSG(Fluoride Silicate Glass), SOG(Spin On Glass), TOSZ(Tonen SilaZene) 또는 이들의 조합들 중 하나 이상을 포함할 수 있다.
- [0036] 상기 비트 라인(160)은 상기 제4 상부 층간 절연막(152) 상에 형성될 수 있다. 상기 비트 라인(160)은 텅스텐(W) 같은 금속을 포함할 수 있다. 상기 비트 라인(160)은 일 방향에 교차하는(예를 들면, 직교하는) 방향으로 연장할 수 있다.
- [0037] 상기 배선 플러그(154)는 상기 비트 라인(160)과 상기 수직 채널 구조물들(111a) 사이에 형성될 수 있다. 상기 배선 플러그(154)는 상기 비트 라인(160)과 상기 수직 채널 구조물들(110a)을 전기적으로 연결할 수 있다. 상기 배선 플러그(154)는 도핑된 실리콘, 금속 실리콘사이드, 또는 금속 같은 전도체를 포함할 수 있다.
- [0038] 도 2 및 도 3을 다시 참조하면, 상기 제1 메탈 라인들(151)은 상기 접지 선택 플러그(150a) 및 상기 셀 플러그들(150b)과 정렬하도록 상기 연결 영역(30)의 상기 제3 상부 층간 절연막(135) 상에 배치될 수 있다. 상기 제1 메탈 라인들(151)은 상기 셀 패드들(203b) 및 상기 접지 선택 패드(203a)와 각각 전기적으로 연결될 수 있다. 상기 제1 메탈 라인들(151)은 일 방향에 교차하는(예를 들면, 직교하는) 방향으로 연장할 수 있다. 상기 제2 메탈 라인(155)은 제4 상부 층간 절연막(152) 상에 배치될 수 있다. 상기 제2 메탈 라인들(155)은 상기 배선 플러그들(154)을 통하여 상기 스트링 선택 패드들(203c)과 전기적으로 연결될 수 있다. 상기 제2 메탈 라인(155)은 일 방향으로 연장할 수 있다. 본 발명의 기술적 사상의 예시적 실시예들에 따르면, 상기 더미 필라들(110b)을 상기 제2 반도체 패턴(111b) 또는 상기 기판(100)과 절연시킴으로써, 상기 콘택 플러그들(150)과 더미 필라들(110b) 사이에서 절연 파괴(breakdown) 및 제조 공정에 의한 물리적 결함 등에 의해 발생할 수 있는 누설 전류를 방지할 수 있다. 이로 인하여, 연결 영역(30)에서 더미 필라들(110b)을 통한 누설 전류를 차단하여, 우수한 전기적 특성을 갖는 3차원 반도체 소자를 구현할 수 있다.
- [0039] 도 4a 내지 도 4c는 본 발명의 예시적 실시예들에 따른 도 3의 수직 채널 구조물들(110a) 및 더미 필라들(110b)의 일 예를 설명한다. 도 4a 내지 도 4c는 각각 도 3의 B1 내지 B3 부분들의 확대도들이다.
- [0040] 도 4a를 참조하면, 상기 수직 채널 구조물들(110a)의 각각은 상기 기판(100)으로부터 위로 연장하는 제1 게이트 유전 패턴(112a), 제1 수직 채널 패턴(114a) 및 층진 절연 패턴(116a)을 포함할 수 있다. 상기 제1 게이트 유전 패턴(112a)은 터널 절연막(TL), 전하 저장막(SL) 및 전하 차단막(BL)을 포함할 수 있다.
- [0041] 상기 터널 절연막(TL), 상기 전하 저장막(SL) 및 상기 전하 차단막(BL)은 상기 게이트 전극들(202) 및 상기 제1 수직 채널 패턴들(114a) 사이에 개재될 수 있다. 상기 전하 차단막(BL)은 상기 셀 게이트 전극들(202)에 인접할 수 있으며, 상기 터널 절연막(TL)은 상기 제1 수직 채널 패턴(114a)에 인접할 수 있다. 상기 전하 저장막(SL)은 상기 전하 차단막(BL) 및 상기 터널 절연막(TL) 사이에 배치될 수 있다. 상기 터널 절연막(TL)은 실리콘 산화막, 실리콘 질화막 또는 실리콘 산질화막 중에서 적어도 하나를 포함할 수 있다. 상기 전하 저장막(SL)은 트랩 사이트들을 포함하는 실리콘 질화막 또는 도전성 나노 도트들(conductive nano dots)을 포함하는 절연막을 포함할 수 있다. 상기 전하 차단막(BL)은 상기 터널 절연막(TL)에 비하여 높은 유전 상수를 갖는 고유전막을 포함할 수 있다. 상기 전하 차단막(BL), 전하저장막(SL) 및 터널 절연막(TL)은 수직으로 연장하여 상기 제1 수직 채널 패턴(114a)의 측면을 덮을 수 있다. 이에 더하여, 상기 제1 수직 채널 패턴(114a)은 마카로니 형태 또는 파이프 형태를 가질 수 있다. 상기 제1 수직 채널 패턴(114a)의 바닥면은 상기 제1 반도체 패턴(111a)의 상부면과 직접 접촉할 수 있다. 이에 따라, 상기 제1 수직 채널 패턴(114a)은 상기 제1 반도체 패턴(111a)에 의해 상기 기판(100)과 전기적으로 연결될 수 있다. 상기 수직 채널 패턴(114a)은 폴리 실리콘 같은 반도체 물질을 포함할 수 있다. 셀 영역(20)에서, 상기 제1 수직 채널 패턴(114a)과 직접 접촉하는 상기 제1 반도체 패턴(111a)의 상부면은 리세스된 홈(113)을 가질 수 있다. 층진 절연 패턴(116a)은 상기 제1 수직 채널 패턴(114a)의 내부

를 채울 수 있다. 예컨대, 상기 충전 절연 패턴(116a)은 실리콘 산화물 같은 절연 물질을 포함할 수 있다.

[0042] 도 4b 및 도 4c를 참조하면, 상기 더미 필라들(110b)은 상기 수직 채널 구조물들(110a)과 다른 구조를 가질 수 있다. 일 실시예에 따르면, 상기 더미 필라들(110b)의 각각은 상기 기관(100)으로부터 위로 연장하는 제2 게이트 유전 패턴(112b) 및 제2 수직 채널 패턴(114b)을 포함할 수 있다. 상기 제2 게이트 유전 패턴(112b)은 상기 제1 게이트 유전 패턴(112a)과 같이, 상기 전하 차단막(BL), 전하 저장막(SL) 및 터널 절연막(TL)을 포함할 수 있다. 상기 제2 게이트 유전 패턴(112b)은 U자형 단면을 가지며, 제2 수직 채널 패턴(114b)의 측벽 및 바닥면을 감쌀 수 있다. 상기 제2 수직 채널 패턴(114b)은 상기 제1 수직 채널 패턴(114a)의 구조와 다른 기둥 형상을 가지며, 상기 제2 게이트 유전 패턴(112b)의 내부를 채울 수 있다. 상기 제2 수직 채널 패턴(114b)은 상기 제2 게이트 유전 패턴(112b)에 의해 상기 제2 반도체 패턴(111b)과 분리될 수 있다. 이에 따라, 상기 제2 수직 채널 패턴(114b)은 상기 제2 반도체 패턴(111b)과 전기적으로 절연될 수 있다. 따라서, 상기 제2 수직 채널 패턴(114b)은 기관(100)과도 전기적으로 절연될 수 있다. 연결 영역(30)에서 상기 제2 반도체 패턴(111b)의 상부면은 평평할 수 있다.

[0043] 도 5a 및 도 5b는 도 3의 더미 필라들의 다른 예를 설명한다. 도 5a 및 도 5b는 각각 도 3의 B2 및 B3의 부분들의 확대도들이다.

[0044] 도 5a 및 도 5b를 참조하면, 상기 더미 필라들(110b)의 각각은 상기 제2 수직 채널 패턴(112b)이 생략되고, 제2 게이트 유전 패턴(112b) 만을 포함할 수 있다. 이에 따라, 상기 더미 필라들(110b)을 통한 누설 전류가 발생하지 않을 수 있다. 도 6 내지 도 14, 도 15a, 도 16a 및 도 17 내지 도 24는 본 발명의 예시적 실시예들에 따른 3차원 반도체 소자의 제조 방법을 설명한다. 도 2의 선들 I-I', II-II', 및 III-III' 선들을 따라 절단한 단면도들이다. 도 15b 내지 도 15d는 도 15a의 C1 내지 C3 영역들의 확대도들이다. 도 16b 내지 도 16d는 도 16a의 D1 내지 D3 영역들의 확대도들이다.

[0045] 도 6을 참조하면, 셀 영역(20) 및 연결 영역(30)을 포함하는 기관(100) 상에 버퍼 절연막(101)이 형성될 수 있다. 상기 기관(100)은 실리콘 웨이퍼, 에피택셜 성장한 실리콘 게르마늄 웨이퍼, 또는 SOI 웨이퍼를 포함할 수 있다.

[0046] 상기 버퍼 절연막(101) 상에 희생막들(103) 및 층간 절연막들(102)이 교대로 반복적으로 형성될 수 있다. 최상위에 위치한 층간 절연막(102) 상에 연마 저지막(104)이 형성될 수 있다. 상기 버퍼 절연막(101)은 상기 층간 절연막들(102)보다 얇을 수 있다. 상기 층간 절연막들(102)의 두께는 서로 동일하지 않을 수 있다. 예를 들어, 최하부에 위치한 층간 절연막(102)은 다른 층간 절연막들(102) 보다 두꺼울 수 있다. 상기 버퍼 절연막(101) 및 상기 층간 절연막들(102)은 실리콘 산화물 같은 절연 물질을 포함할 수 있다.

[0047] 상기 희생막들(103) 및 상기 연마 저지막(104)은 상기 버퍼 절연막(101) 및 상기 층간 절연막들(102)에 대하여 식각 선택비를 갖는 물질을 포함할 수 있다. 예를 들어, 상기 희생막들(103) 및 연마 저지막(104)은 실리콘 질화물 같은 절연 물질을 포함할 수 있다.

[0048] 도 7을 참조하면, 상기 연결 영역(30)의 상기 층간 절연막들(102), 상기 희생막들(103) 및 연마 저지막(104)을 패터닝하여 계단식 구조가 형성될 수 있다. 상기 계단식 구조는 상기 층간 절연막들(102), 상기 희생막들(103) 및 연마 저지막(104)을 다수 회 패터닝하여 구현될 수 있다. 이에 따라, 상기 연결 영역(30)에서, 상기 층간 절연막들(102) 및 상기 희생막들(103)의 수평 길이가 다를 수 있다. 상기 기관(100)으로부터 멀어질수록 상기 층간 절연막들(102) 및 상기 희생막들(103)의 수평 길이가 짧아질 수 있다. 예를 들어, 최하부의 층간 절연막들(102) 및 상기 희생막들(103)의 길이가 가장 길고, 최상부의 층간 절연막들(102), 상기 희생막들(103) 및 연마 저지막(104)의 길이가 가장 짧을 수 있다.

[0049] 도 8을 참조하면, 기관(100) 전면 상에 캡핑 절연막(105)이 형성될 수 있다. 상기 캡핑 절연막(105)은 상기 연마 저지막(104) 및 상기 연결 영역(30)의 계단 구조를 덮도록 충분한 두께로 증착될 수 있다. 상기 캡핑 절연막(105)은 상기 연마 저지막(104)에 대해 식각 선택비를 갖는 물질을 포함할 수 있다. 상기 캡핑 절연막(105)은 예를 들어, 고밀도 플라즈마(HDP) 산화막, TEOS(TetraEthylOrthoSilicate), PE-TEOS(Plasma Enhanced TetraEthylOrthoSilicate), O₃-TEOS(O₃-Tetra Ethyl Ortho Silicate), USG(Undoped Silicate Glass), PSG(PhosphoSilicate Glass), BSG(Borosilicate Glass), BPSG (BoroPhosphoSilicate Glass), FSG(Fluoride Silicate Glass), SOG(Spin On Glass), TOSZ(Tonen SilaZene) 또는 이들의 조합들 중 하나를 포함할 수 있다.

[0050] 도 9를 참조하면, 평탄화 공정을 수행하여, 상기 캡핑 절연막(105)을 평탄화할 수 있다. 상기 평탄화 공정은 화학적 기계적 연마(Chemical Mechanical Polishing, CMP) 공정을 포함할 수 있다. 상기 평탄화 공정은 상기 연

마 저지막(104)을 평탄화 종료점(end point)으로 이용하여 수행될 수 있다. 따라서, 상기 연마 저지막(104)의 상부면이 부분적 또는 전체적으로 노출될 수 있다.

[0051] 도 10을 참조하면, 상기 연마 저지막(104)이 제거되고, 제1 상부 층간 절연막(107)이 형성될 수 있다. 상기 연마 저지막(104)은 습식 식각 공정으로 제거될 수 있다. 상기 습식 식각 공정은 인산을 포함하는 식각액을 사용할 수 있다. 상기 연마 저지막(104)이 제거되어 최상위에 위치한 상기 층간 절연막(102)이 노출될 수 있다. 따라서, 상기 캡핑 절연막(105)은 상기 셀 영역(20)에서는 모두 제거되고, 상기 연결 영역(30) 내에만 잔존할 수 있다. 상기 제1 상부 층간 절연막(107)이 상기 층간 절연막들(102) 및 상기 캡핑 절연막(105) 상에 전면적으로 형성될 수 있다. 상기 제1 상부 층간 절연막(107)은 상기 캡핑 절연막(105)과 동일한 물질을 포함할 수 있다.

[0052] 도 11을 참조하면, 상기 셀 영역(20) 내에 채널 홀들(109)이 형성하고, 상기 연결 영역(30) 내에 더미 홀들(109d)이 형성될 수 있다. 상기 채널 홀들(109)을 형성하는 것은 상기 제1 상부 층간 절연막(107) 상에 마스크 패턴(미 도시함)을 형성하고, 상기 마스크 패턴을 식각 마스크로 사용하여 기판(100)의 상부면이 노출될 때까지 상기 제1 상부 층간 절연막(107), 상기 층간 절연막들(102), 상기 희생막들(103) 및 상기 버퍼 절연막(101)을 연속적으로 이방성 식각하는 것을 포함할 수 있다. 상기 더미 홀들(109d)을 형성하는 것은 상기 마스크 패턴(미 도시함)을 식각 마스크로 사용하여 상기 기판(100)의 상부면이 노출될 때까지 상기 제1 상부 층간 절연막(107), 상기 캡핑 절연막(105), 상기 층간 절연막들(102), 상기 희생막들(103) 및 상기 버퍼 절연막(101)을 연속적으로 이방성 식각하는 것을 포함할 수 있다. 상기 채널 홀들(109)은 상면도에서 원 모양의 홀 형태를 가질 수 있다. 상기 더미 홀들(109d)은 상면도에서 타원 또는 원 모양의 홀 형태를 가질 수 있다. 상기 더미 홀들(109d)의 단축의 직경은 상기 채널 홀들(109)의 직경보다 작을 수 있다. 예를 들어, 더미 홀들(109d)의 단축의 직경은 상기 채널 홀들(109)의 직경의 50%에서 90% 이하를 포함할 수 있다. (도 2 참조)

[0053] 도 12를 참조하면, 상기 채널 홀들(109) 및 상기 더미 홀들(109d)의 하부를 부분적으로 채우는 제1 및 제2 반도체 패터들(111a, 111b)이 형성될 수 있다. 예를 들어, 제1 및 제2 반도체 패터들(111a, 111b)은 상기 채널 홀들(109) 및 상기 더미 홀들(109d)에 의해서 노출된 기판(100)의 상부면을 시드(seed)로 사용하는 선택적 에피택시얼 성장(Selective Epitaxial Growth: SEG) 공정으로 형성될 수 있다. 제1 및 제2 반도체 패터들(111a, 111b)은 상기 채널 홀들(109) 및 상기 더미 홀들(109d)의 하부를 부분적으로 채울 수 있다. 상기 반도체 패터들(111a, 111b)은 단결정 실리콘 또는 단결정 실리콘-게르마늄을 포함할 수 있으며, 경우에 따라 도핑된 불순물 이온을 포함할 수 있다. 상기 반도체 패터들(111a, 111b)의 상부면은 최하부에 위치한 상기 희생막(103)의 상부면보다 높은 레벨에 위치할 수 있다.

[0054] 도 13을 참조하면, 상기 제1 상부 층간 절연막(107), 상기 채널 홀들(109) 및 상기 더미 홀들(109d)의 측벽 및 상기 반도체 패터들(111a, 111b) 상에 게이트 유전막(112)이 형성될 수 있다. 게이트 유전막(112)은 전하 차단막(BL), 전하 저장막(SL) 및 터널 절연막(TL)을 포함할 수 있다. 도 13에서, 상기 전하 차단막(BL), 상기 전하 저장막(SL) 및 상기 터널 절연막(TL)은 하나의 막인 게이트 유전막(112)으로 도시되었다. 상기 전하 차단막(BL), 상기 전하 저장막(SL) 및 상기 터널 절연막(TL)은 상기 채널 홀들(109) 및 상기 더미 홀들(109d)의 측벽으로부터 순차적으로 형성될 수 있다. 상기 전하 차단막(BL)은 실리콘 산화막 또는 실리콘 산질화물을 포함할 수 있다. 상기 전하 저장막(SL)은 실리콘 질화물을 포함할 수 있다. 상기 터널 절연막(TL)은 실리콘 산화물 또는 실리콘 산질화물을 포함할 수 있다.

[0055] 도 14를 참조하면, 상기 게이트 유전막(112)을 이방성 식각하여 상기 제1 상부 층간 절연막(107)의 상부면 및 상기 채널 홀들(109) 내에 배치된 상기 제1 반도체 패터(111a)의 상부면을 노출할 수 있다. 상기 식각 공정에 의하여, 상기 채널 홀들(109)의 측벽에 스페이서 형상의 제1 게이트 유전 패터(112a)이 형성될 수 있다. 상기 채널 홀들(109) 내에 노출된 상기 제1 반도체 패터(111a)의 상부면의 일부가 과도 식각에 의해 리세스될 수 있다. 동시에, 상기 더미 홀들(109d)의 측벽 및 상기 더미 홀들(109d) 내에 위치한 제2 반도체 패터(111b) 상에 U 자 형상의 단면을 갖는 제2 게이트 유전 패터(112b)이 형성될 수 있다. 상기 제2 게이트 유전 패터(112b)은 상기 더미 홀들(109d)의 측벽 및 상기 더미 홀들(109d) 내에 위치한 상기 제2 반도체 패터(111b)의 상부면을 덮을 수 있다. 따라서, 상기 더미 홀들(109d) 내에 위치한 제2 반도체 패터(111b)의 상부면은 노출되지 않는다. 이에 따라, 셀 영역(20)에서 상기 제1 반도체 패터(111a)의 상부면은 리세스된 홈을 가지고, 연결 영역(30)에서 상기 제2 반도체 패터(111b)의 상부면은 평평할 수 있다.

[0056] 상술한 바와 같이, 타원 형상을 갖는 상기 더미 홀들(109d)의 단축 직경은 상기 채널 홀들(109)의 직경의 50% ~ 90%의 크기를 갖기 때문에, 상기 더미 홀들(109d)의 내부 공간은 상기 채널 홀들(109)보다 좁을 수 있다. 이에 따라, 상기 더미 홀들(109d) 내부로의 식각 가스의 공급과 상기 더미 홀들(109d) 외부로의 식각 부산물의 배출

이 원활하게 수행되지 않을 수 있다. 이에 따라, 상기 더미 홀들(109d) 내에서의 식각 공정이 원활하게 수행될 수 없기 때문에, 상기 더미 홀들(109d) 내에 위치한 상기 제2 반도체 패턴(111b) 상에 형성된 상기 게이트 유전막(112)은 식각되지 않고 남을 수 있다. 도 15a 내지 도 15d를 참조하면, 상기 채널 홀들(109) 내에 채널 막(114) 및 충전 절연막(116)을 형성하고, 상기 더미 홀들(109d) 내에 채널 막(114)을 형성할 수 있다. 상기 셀 영역(20)에서, 상기 채널 막(114)은 상기 제1 상부 층간 절연막(107), 상기 제1 게이트 유전 패턴(112a)의 측벽 및 노출된 제1 반도체 패턴(111a) 상에 형성될 수 있다. 상기 연결 영역(30)에서, 상기 채널 막(114)은 상기 제1 상부 층간 절연막(107), 상기 제2 게이트 유전 패턴(112b)의 측벽 및 바닥면 상에 형성될 수 있다. 상기 채널 막(114)이 형성된 상기 채널 홀들(109)의 내부 공간은 비어 있을 수 있다. 반면에, 상기 더미 홀들(109d)의 내부는 채널막(114)으로 완전히 채워질 수 있다. 상기 제2 게이트 유전 패턴(112b)이 형성된 상기 더미 홀들(109d)의 단축 직경은 상기 채널 막(114)의 증착 두께의 2배 이하의 크기를 가질 수 있다. 이에 따라, 상기 채널 막(114)은 상기 더미 홀들(109d)의 내부를 완전히 채우도록 형성될 수 있다. 상기 채널 막(114)은 깊고 좁은 홀 내부에도 우수한 단차 도포성을 제공하는 원자층 증착 기술(Atomic Layer Deposition: ALD)을 사용하여 형성될 수 있다. 다음에, 상기 충전 절연막(116)이 상기 채널 막(114) 상에 형성될 수 있다. 상기 충전 절연막(116)은 상기 채널 홀들(109)의 내부를 완전히 채우도록 상기 채널 막(114) 상에 형성될 수 있다.

[0057] 상기 셀 영역(20)에서, 상기 채널 막(114)은 상기 제1 반도체 패턴(111a)의 상부면과 직접 접촉하여 기판(100)과 전기적으로 연결될 수 있다. 상기 연결 영역(30)에서, 상기 채널 막(114)은 제2 게이트 유전 패턴(112b)에 의해 상기 제2 반도체 패턴(111b)과 전기적으로 절연될 수 있다. 상기 채널 막(114)은 폴리 실리콘 같은 반도체 물질을 포함할 수 있다. 상기 충전 절연막(116)은 실리콘 산화물 같은 절연물질을 포함할 수 있다.

[0058] 도 16a 내지 16d를 참조하면, 상기 제1 상부 층간 절연막(107) 상의 상기 충전 절연막(116) 및 상기 채널 막(114)이 식각될 수 있다. 이에 따라, 상기 채널 홀들(109) 내에 충전 절연 패턴(116a) 및 제1 채널 패턴(114a)이 형성되고, 상기 더미 홀들(109d) 내에 제2 채널 패턴(114b)이 형성될 수 있다. 상기 식각 공정에 의해 제1 상부 층간 절연막(107)이 노출될 수 있다. 상기 식각 공정은 에치-백 공정 및/또는 연마 공정(Chemical Mechanical Polishing: CMP)을 포함할 수 있다.

[0059] 상기 채널 홀들(109)의 측벽 상에 수직 채널 구조물들(110a)이 형성될 수 있다. 수직 채널 구조물들(110a)의 각각은 순차적으로 적층된 제1 게이트 유전 패턴(112a), 제1 채널 패턴(114a) 및 충전 절연 패턴(116a)을 포함할 수 있다. 상기 제1 채널 패턴(114a)은 상기 제1 반도체 패턴(111a)과 직접 접촉하여 상기 기판(100)과 전기적으로 연결될 수 있다.

[0060] 상기 더미 홀들(109d)의 측벽 상에 더미 필라들(110b)이 형성될 수 있다. 더미 필라들(110b)의 각각은 순차적으로 적층된 제2 게이트 유전막 패턴(112b), 제2 채널 패턴(114b)을 포함할 수 있다. 상기 제2 채널 패턴(114b)은 상기 제2 게이트 유전 패턴(112b)에 의해 상기 제2 반도체 패턴(111b)과 분리되어, 상기 기판(100)과 전기적으로 절연될 수 있다. 상기 수직 채널 구조물들(110a) 및 상기 더미 필라들(110b)은 동시에 형성될 수 있다.

[0061] 도 17을 참조하면, 상기 제1 상부 층간 절연막(107), 최상부의 층간 절연막(102) 및 최상부의 희생막(103)이 패턴링되어 커팅 홈이 형성될 수 있다. 커팅 홈 내에 커팅 절연 패턴(118)이 형성될 수 있다. 상기 커팅 절연 패턴(118)은 상기 셀 영역(20)으로부터 상기 연결 영역(30)으로 연장할 수 있다. 커팅 절연 패턴(118)에 의해 최상부의 희생막(103)이 2개로 분리될 수 있다.(도 2 참조) 상기 커팅 절연 패턴(118)은 실리콘 산화물 같은 절연 물질을 포함할 수 있다.

[0062] 도 18을 참조하면, 제2 상부 층간 절연막(121)이 상기 제1 상부 층간 절연막(107), 수직 채널 구조물(110a) 및 더미 필라(110b) 상에 형성될 수 있다. 상기 제2 상부 층간 절연막(121)은 상기 제1 상부 층간 절연막(107)과 동일 물질을 포함할 수 있다.

[0063] 도 19를 참조하면, 인접한 수직 채널 구조물들(110a) 사이의 상기 제1 및 제2 상부 층간 절연막들(107, 121), 상기 층간 절연막들(102) 및 희생막들(103) 내에 트렌치(123)가 형성될 수 있다. 상기 트렌치(123)는 상기 층간 절연막들(102), 상기 희생막들(103), 상기 버퍼 절연막(101) 및 상기 제1 및 제2 상부 층간 절연막들(107, 121)을 수직으로 관통하여 기판(100)을 노출할 수 있다. 상기 트렌치(123)는 상기 셀 영역(20)으로부터 상기 연결 영역(30)으로 연장할 수 있다. 상기 트렌치(123)는 상기 수직 채널 구조물들(110a) 및 더미 필라들(110b)로부터 이격되어 상기 층간 절연막들(102), 상기 희생막들(103), 상기 버퍼 절연막(101) 및 상기 제1 및 제2 상부 층간 절연막들(107, 121)의 측면들을 노출시킬 수 있다. 도 2를 참조하여 수평적 모양에 있어서, 상기 트렌치(123)는 라인 형태, 바(bar) 형태, 또는 직사각형으로 형성될 수 있다. 상기 트렌치(123)는 기판(100)의 상부면을 노출시킬 수 있다. 일 실시예에 따르면, 상기 트렌치(123)를 형성하는 동안의 과도 식각(over etch)에 의해 상기 트

렌치(123)에 노출되는 기관(100)의 상부면이 리세스될 수 있다. 상기 트렌치(123)는 기관(100)으로부터의 거리에 따라 다른 폭을 가질 수 있다.

[0064] 도 20을 참조하면, 식각 공정을 수행하여, 상기 희생막들(103)이 제거되어, 갭 영역들(125)이 형성될 수 있다. 상기 식각 공정은 상기 트렌치(123)를 통해 상기 희생막들(103)을 등방적으로 식각하는 것을 포함할 수 있다. 상기 식각 공정은 상기 층간 절연막들(102), 상기 제1 및 제2 상부 층간 절연막들(107, 121) 및 상기 캡핑 절연막(105)에 대해 식각 선택성을 갖는 식각액을 사용하여 수행될 수 있다. 예를 들어, 상기 희생막들(103)이 실리콘 질화막이고, 상기 층간 절연막들(102), 상기 제1 및 제2 상부 층간 절연막들(107, 121) 및 캡핑 절연막(105)이 실리콘 산화막인 경우, 식각액은 인산을 포함할 수 있다. 상기 갭 영역들(125)은 상기 트렌치(123)로부터 상기 층간 절연막들(102) 사이로 수평적으로 연장되어, 상기 수직 채널 구조물들(110a) 및 상기 더미 필라들(110b)의 측벽 일부분을 노출할 수 있다.

[0065] 도 21을 참조하면, 상기 갭 영역들(125)을 채우는 도전막(127)이 형성될 수 있다. 상기 도전막(127)은 우수한 단차 도포성을 제공할 수 있는 증착 기술(예를 들면, 화학기상증착 또는 원자층 증착 기술)을 사용하여 형성될 수 있다. 이에 따라, 도전막(127)은 상기 갭 영역들(125)을 채우면서 상기 트렌치(123)의 내부 및 상기 제2 상부 층간 절연막(121) 상에 컨포멀하게 형성될 수 있다. 상기 도전막(127)은 도핑된 폴리 실리콘, 텅스텐, 금속 질화막 및 금속 실리사이드들 중의 적어도 하나를 포함할 수 있다. 일 실시예에 따르면, 상기 도전막(127)을 형성하는 것은 배리어 금속막(예를 들어, 금속 질화물) 및 금속막(예를 들어, 텅스텐)을 순차적으로 형성하는 것을 포함할 수 있다.

[0066] 도 22를 참조하면, 상기 트렌치(123)의 내부 및 상기 제2 상부 층간 절연막(121) 상에 형성된 도전막(127)을 제거하여 수직적으로 서로 분리된 게이트 전극들(202) 및 패드들(203)이 형성될 수 있다. 상기 게이트 전극들(202)은 상기 셀 영역(20)에 위치하고, 상기 패드들(203)은 상기 연결 영역(30)에 위치할 수 있다. 상기 패드들(203)은 상기 게이트 전극들(202)이 일 방향으로 연장된 것일 수 있다. 상기 게이트 전극들(202)은 접지 선택 게이트 전극(202a), 스트링 선택 게이트 전극들(202c), 및 상기 접지 선택 게이트 전극과 스트링 선택 게이트 전극들 사이에 적층된 셀 게이트 전극들(202b)을 포함할 수 있다. 상기 접지 선택 게이트 전극(202a)은 최하부의 게이트 전극에 해당되고, 상기 스트링 선택 게이트 전극들(202c)은 최상부의 게이트 전극들에 해당될 수 있다. 상기 스트링 선택 게이트 전극들(202c)은 상기 커팅 절연 패턴(118)에 의해 서로 분리될 수 있다. (도 2 참조)

[0067] 상기 패드들(203)은 접지 선택 패드(203a), 스트링 선택 패드들(203c), 및 상기 접지 선택 패드 및 스트링 선택 패드들 사이에서 계단식 구조로 적층된 셀 패드들(203b)을 포함할 수 있다. 상기 접지 선택 패드(202a)는 최하부의 패드에 해당되고, 상기 스트링 선택 패드들(203c)은 최상부의 패드에 해당될 수 있다. 상기 스트링 선택 패드들은 상기 커팅 절연 패턴(118)에 의해 서로 분리될 수 있다. (도 2 참조)

[0068] 상기 트렌치(123) 내부의 상기 도전막(127)이 제거됨에 따라, 상기 기관(100)의 상부면이 노출될 수 있다. 이온 주입 공정을 수행하여 상기 노출된 기관(100) 내에 공통 소스 영역(131)이 형성될 수 있다. 상기 공통 소스 영역(131)은 상기 게이트 전극들(202)을 형성한 후에 형성될 수 있다. 또는 상기 공통 소스 영역(131)은 상기 트렌치(123)의 형성 후 및 상기 희생막들(103)을 제거하기 전에 형성될 수 있다. 상기 공통 소스 영역(131)은 상기 트렌치(123)의 수평적 모양처럼, 일 방향에 교차하는 다른 방향으로 연장된 라인 형태일 수 있다. 상기 공통 소스 영역(131)은 N형 불순물을 포함할 수 있다.

[0069] 도 23을 참조하면, 상기 트렌치(123)의 측벽 상에 스페이서(132)가 형성될 수 있다. 상기 스페이서(132)는 상기 기관(100) 전면 상에 절연막을 증착하고, 이를 이방성 식각함으로써 형성될 수 있다. 상기 스페이서(132)는 실리콘 산화물, 실리콘 질화물, 또는 실리콘 산질화물을 포함할 수 있다.

[0070] 상기 스페이서(132)가 형성된 트렌치(123) 내에 공통 소스 라인(134)이 형성될 수 있다. 상기 공통 소스 라인(134)은 상기 트렌치(123)의 내부에 텅스텐 같은 도전성 물질을 채우고 에치-백 공정 또는 화학적 기계적 연마 (Chemical Mechanical Polishing, CMP) 공정을 수행하여 형성될 수 있다. 상기 공통 소스 라인(134)은 상기 공통 소스 영역(131)과 전기적으로 연결될 수 있다. 일 실시예에 따르면, 상기 공통 소스 라인(134)을 형성하는 것은 배리어 금속막(예를 들어, 금속 질화물) 및 금속막(예를 들어, 텅스텐)을 순차적으로 형성하는 것을 포함할 수 있다. 상기 공통 소스 라인(134)은 상기 트렌치(123)를 따라 다른 방향으로 연장된 라인 형태일 수 있다. 공통 소스 영역(131), 스페이서(132) 및 공통 소스 라인(134)은 공통 소스 구조물(130)을 구성할 수 있다.

[0071] 다음에, 기관(100) 전면 상에 제3 상부 층간 절연막(135)이 형성될 수 있다.

- [0072] 도 24를 참조하면, 식각 공정을 수행하여, 상기 패드들(203)을 노출하는 콘택 홀들(150h)이 형성될 수 있다. 상기 식각 공정은 상기 제3 상부 층간 절연막(135) 상에 포토레지스트 패턴(137)을 형성하고, 상기 포토레지스트 패턴(137)을 식각 마스크로 사용하여 상기 캡핑 절연막(105), 상기 제1, 제2 및 제3 상부 층간 절연막들(107, 121, 135) 및 상기 층간 절연막(102)을 이방성 식각하는 것을 포함할 수 있다. 상기 콘택 홀들(150h)은 상기 접지 선택 패드(203a), 셀 패드들(203b) 및 스트링 선택 패드들(203c) 상에 각각 형성될 수 있다. 상기 콘택 홀들(150h)은 상기 계단식 구조를 이루는 패드들(203) 상에 형성되기 때문에 상기 콘택 홀들(150h)의 수직 길이가 서로 다를 수 있다. 상기 접지 선택 패드(203a) 상에 형성되는 콘택 홀(150h)의 깊이가 가장 깊을 수 있다. 상기 스트링 선택 패드들(203c) 상에 형성되는 콘택 홀(150h)의 깊이가 가장 얇을 수 있다.
- [0073] 이후, 도 2 및 도 3을 다시 참조하면, 콘택 플러그들(150), 제4 상부 층간 절연막(152), 제1 메탈 라인(151), 배선 플러그(154), 제2 메탈 라인(155) 및 비트 라인(160)이 형성될 수 있다.
- [0074] 상기 콘택 플러그들(150)을 형성하는 것은 상기 콘택 홀들(150h) 내에 도전 물질, 예를 들어, 구리나 텅스텐 등을 채우는 것을 포함할 수 있다. 상기 콘택 플러그들(150)은 접지 선택 플러그(150a), 셀 플러그들(150b) 및 스트링 선택 플러그(150c)를 포함할 수 있다. 상기 접지 선택 플러그(150a), 셀 플러그들(150b) 및 스트링 선택 플러그(150c)는 각각 상기 접지 선택 패드(203a), 셀 패드들(203b) 및 스트링 선택 패드(203c)에 전기적으로 연결될 수 있다.
- [0075] 상기 제1 메탈 라인들(151)은 상기 콘택 플러그들(150) 상에 정렬되도록 형성될 수 있다. 상기 제1 메탈 라인들(151)은 상기 셀 플러그들(150b) 및 상기 접지 선택 플러그(150a)와 각각 연결될 수 있다.
- [0076] 상기 제4 상부 층간 절연막(152)은 상기 제3 상부 층간 절연막(135) 및 상기 제1 메탈 라인(151) 상에 형성되고, 실리콘 산화물 같은 절연 물질을 포함할 수 있다.
- [0077] 상기 배선 플러그들(154)은 상기 셀 영역(20)에서 상기 제2, 제3 및 제4 상부 층간 절연막들(121, 135, 151)을 수직으로 관통하여 상기 수직 채널 구조물들(110a)과 상기 비트 라인(160)을 전기적으로 연결할 수 있다. 상기 배선 플러그들(154)은 상기 연결 영역(30)에서 상기 제4 상부 층간 절연막(151)을 수직으로 관통하여 상기 스트링 선택 플러그(150c)와 상기 제2 메탈 라인(155)을 전기적으로 연결할 수 있다. 상기 배선 플러그(154)는 도전 물질(예를 들어, 구리 또는 텅스텐 등)을 포함할 수 있다.
- [0078] 상기 비트 라인(160) 및 상기 제2 메탈 라인(155)은 상기 제4 상부 층간 절연막(151) 상에서 수평으로 연장할 수 있다. 상기 비트 라인(160) 및 상기 제2 메탈 라인(155)은 동일 공정에서 동일한 물질을 포함하도록 형성될 수 있다.
- [0079] 상술된 3차원 반도체 소자의 제조 방법에서, 상기 더미 필라들(110b)을 상기 반도체 패턴(111) 또는 상기 기판(100)과 절연시킴으로써, 상기 콘택 플러그들(150)과 더미 필라들(110b) 사이에서 절연 파괴 (dielectric breakdown) 및 제조 공정에 의한 물리적 결함 등에 의해 발생할 수 있는 누설 전류를 방지할 수 있다. 이로 인하여, 연결 영역(30) 내에서 더미 필라 들(110b)를 통한 누설 전류를 차단하여, 우수한 전기적 특성을 갖는 3차원 반도체 소자를 구현할 수 있다.
- [0080] 도 25는 본 발명의 기술적 사상의 실시예들에 따른 3차원 반도체 소자들을 포함하는 전자시스템들의 일 예를 간략히 도시한 블록도이다. 도 25를 참조하면, 본 발명의 실시예들에 따른 전자 시스템(1100)은 컨트롤러(1110), 입출력 장치(1120, I/O), 기억 장치(1130, memory device), 인터페이스(1140) 및 버스(1150, bus)를 포함할 수 있다. 상기 컨트롤러(1110), 입출력 장치(1120), 기억 장치(1130) 및 인터페이스(1140) 중에서 적어도 2개는 상기 버스(1150)를 통하여 서로 결합 될 수 있다. 상기 버스(1150)는 데이터들이 이동되는 통로(path)에 해당한다.
- [0081] 상기 컨트롤러(1110)는 마이크로프로세서, 디지털 신호 프로세서, 마이크로컨트롤러, 및 이들과 유사한 기능을 수행할 수 있는 논리 소자들 중에서 적어도 하나를 포함할 수 있다. 상기 입출력 장치(1120)는 키패드(keypad), 키보드 및 디스플레이 장치 등을 포함할 수 있다. 상기 기억 장치(1130)는 데이터 및 명령어 등을 저장할 수 있다. 상기 기억 장치(1130)는 상술된 실시예들에 개시된 3차원 반도체 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1130)는 상변화 기억 소자, 자기 기억 소자, 디램 소자 및 에스램 소자 중에서 적어도 하나를 더 포함할 수 있다. 상기 인터페이스(1140)는 통신 네트워크로 데이터를 전송하거나 통신 네트워크로부터 데이터를 수신하는 기능을 수행할 수 있다. 상기 인터페이스(1140)는 유선 또는 무선 형태일 수 있다. 예컨대, 상기 인터페이스(1140)는 안테나 또는 유무선 트랜시버등을 포함할 수 있다. 도시하지 않았지만, 상기 전자 시스템(1100)은 상기 컨트롤러(1110)의 동작을 향상시키기 위한 동작 기억 소자로서, 고속의 디램 소자 및

고속의 에스램 소자 중에서 적어도 하나를 더 포함할 수도 있다.

- [0082] 상기 전자 시스템(1100)은 개인 휴대용 정보 단말기(PDA, personal digital assistant) 포터블 컴퓨터(portable computer), 웹 타블렛(web tablet), 무선 전화기(wireless phone), 모바일 폰(mobile phone), 디지털 뮤직 플레이어(digital music player), 메모리 카드(memory card), 또는 정보를 무선환경에서 송신 및 수신할 수 있는 모든 전자 제품에 적용될 수 있다.
- [0083] 도 26은 본 발명의 기술적 사상의 실시예들에 따른 3차원 반도체 소자들을 포함하는 메모리 카드들의 일 예를 간략히 도시한 블록도이다.
- [0084] 도 26을 참조하면, 본 발명의 일 실시예에 따른 메모리 카드(1200)는 기억 장치(1210)를 포함한다. 상기 기억 장치(1210)는 상술된 실시예들에 따른 3차원 반도체 소자들 중에서 적어도 하나를 포함할 수 있다. 또한, 상기 기억 장치(1210)는 상변화 기억소자, 자기 기억 소자, 디램 소자 및 에스램 소자 중에서 적어도 하나를 더 포함할 수 있다. 상기 메모리 카드(1200)는 호스트(Host)와 상기 기억 장치(1210) 간의 데이터 교환을 제어하는 메모리 컨트롤러(1220)를 포함할 수 있다.
- [0085] 상기 메모리 컨트롤러(1220)는 메모리 카드의 전반적인 동작을 제어하는 프로세싱 유닛(1222)을 포함할 수 있다. 또한, 상기 메모리 컨트롤러(1220)는 상기 프로세싱 유닛(1222)의 동작 메모리로서 사용되는 에스램(1221, SRAM)을 포함할 수 있다. 이에 더하여, 상기 메모리 컨트롤러(1220)는 호스트 인터페이스(1223), 메모리 인터페이스(1225)를 더 포함할 수 있다. 상기 호스트 인터페이스(1223)는 메모리 카드(1200)와 호스트(Host)간의 데이터 교환 프로토콜을 구비할 수 있다. 상기 메모리 인터페이스(1225)는 상기 메모리 컨트롤러(1220)와 상기 기억 장치(1210)를 접속시킬 수 있다. 더 나아가서, 상기 메모리 컨트롤러(1220)는 에러 정정 블록(1224, Ecc)를 더 포함할 수 있다. 상기 에러 정정 블록(1224)은 상기 기억 장치(1210)로부터 독출된 데이터의 에러를 검출 및 정정할 수 있다. 도시하지 않았지만, 상기 메모리 카드(1200)는 호스트(Host)와의 인터페이스를 위한 코드 데이터를 저장하는 롬 장치(ROM device)를 더 포함할 수도 있다. 상기 메모리 카드(1200)는 휴대용 데이터 저장 카드로 사용될 수 있다. 이와는 달리, 상기 메모리 카드(1200)는 컴퓨터 시스템의 하드 디스크를 대체할 수 있는 SSD(Solid State Disk)로도 구현될 수 있다. 이상, 첨부된 도면들을 참조하여 본 발명의 실시예들을 설명하였지만, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 따라서, 본 발명의 범위는 첨부되는 청구범위들 및 그 등가물로부터 허용 가능한 해석의 가장 넓은 범위로 결정되어야 한다.

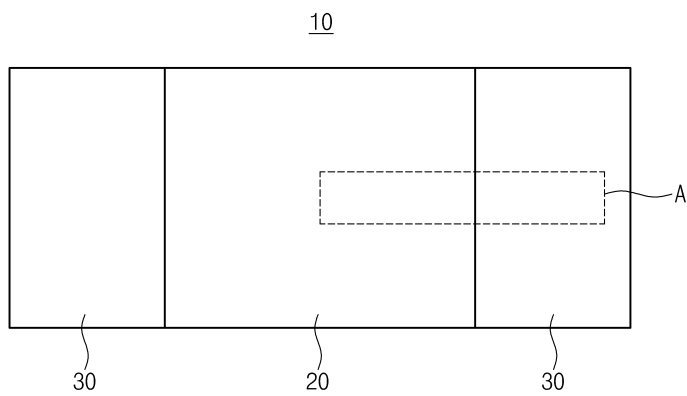
부호의 설명

- [0086] 10: 셀 어레이
- 20: 셀 영역
- 30: 연결 영역
- 100: 기관
- 101: 버퍼 절연막
- 102: 층간 절연막
- 103: 희생막
- 104: 연마 저지막
- 105: 캡핑 절연막
- 107: 제1 상부 층간 절연막
- 109: 채널 홀
- 109d: 더미 홀
- 110a: 수직 채널 구조물
- 110b: 더미 필라
- 112: 게이트 유전막
- 112a: 제1 게이트 유전막 패턴
- 112b: 제2 게이트 유전막 패턴
- 114: 채널 막
- 114a: 제1 수직 채널 패턴
- 114b: 제2 수직 채널 패턴
- 116: 충전 절연막
- 116a: 충전 절연막 패턴
- 111: 반도체 패턴
- 118: 커팅 절연 패턴
- 121: 제2 상부 층간 절연막
- 123: 트렌치
- 125: 갭 영역

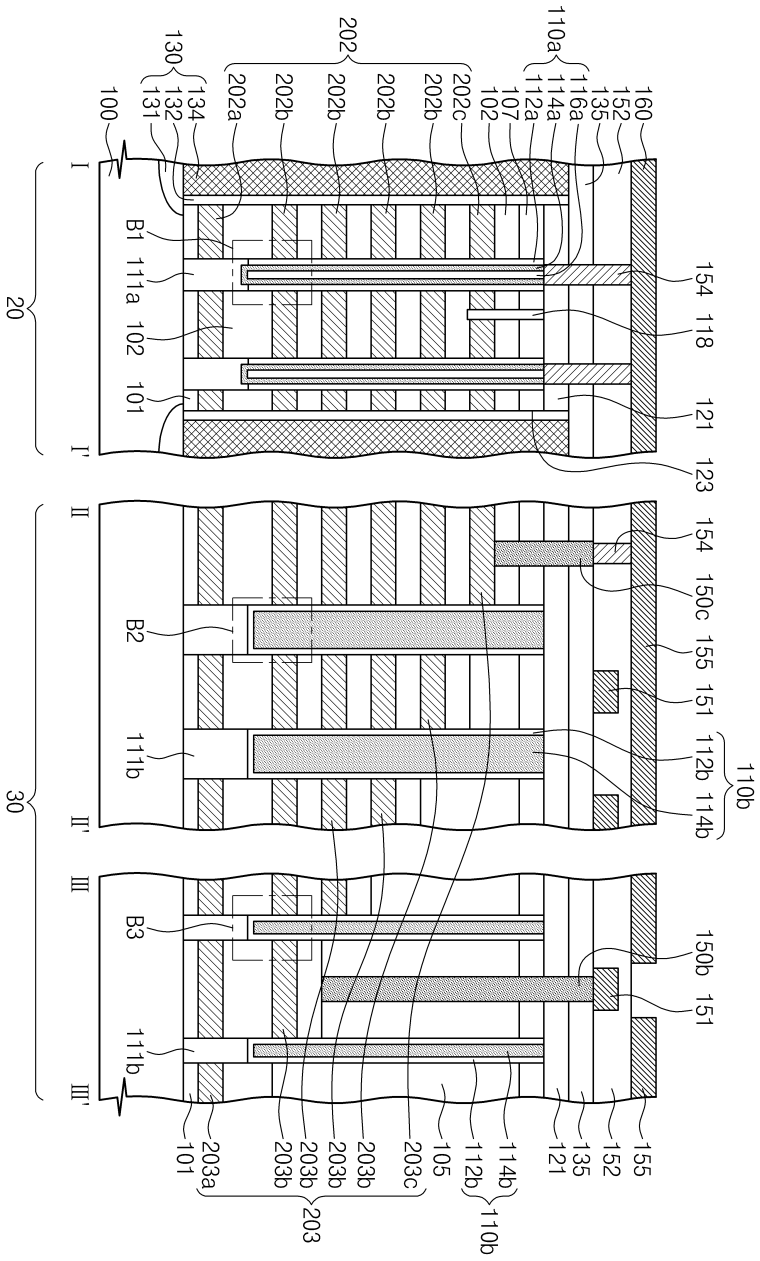
- | | |
|-------------------|-------------------|
| 127: 도전막 | 130: 공통 소스 구조물 |
| 131: 공통 소스 영역 | 132: 스페이서 |
| 134: 공통 소스 라인 | 135: 제3 상부 층간 절연막 |
| 137: 포토레지스트 패턴 | 150: 콘택 플러그 |
| 150h: 콘택 홀 | 151: 제1 메탈 라인 |
| 152: 제4 상부 층간 절연막 | 154: 배선 플러그 |
| 155: 제2 메탈 라인 | 160: 비트 라인 |

도면

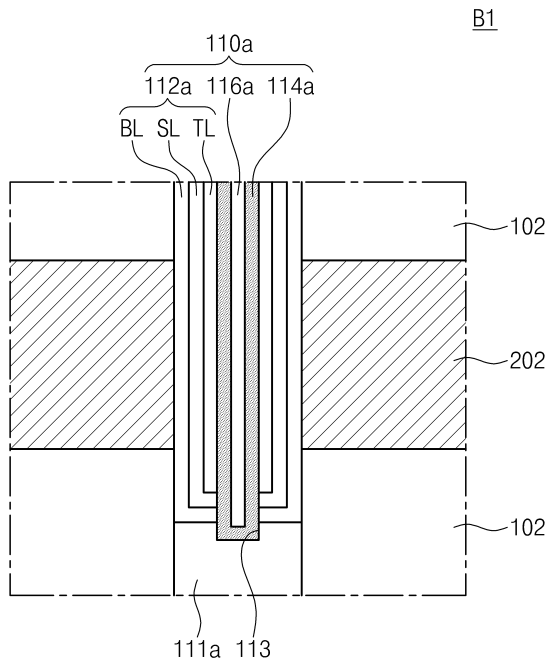
도면1



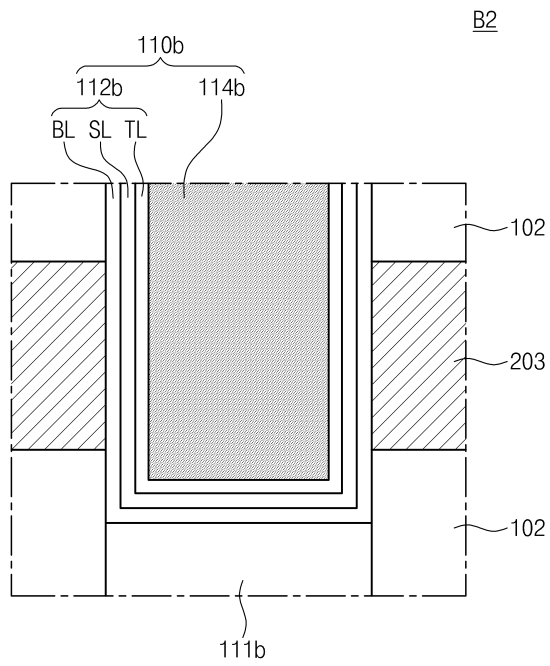
도면3



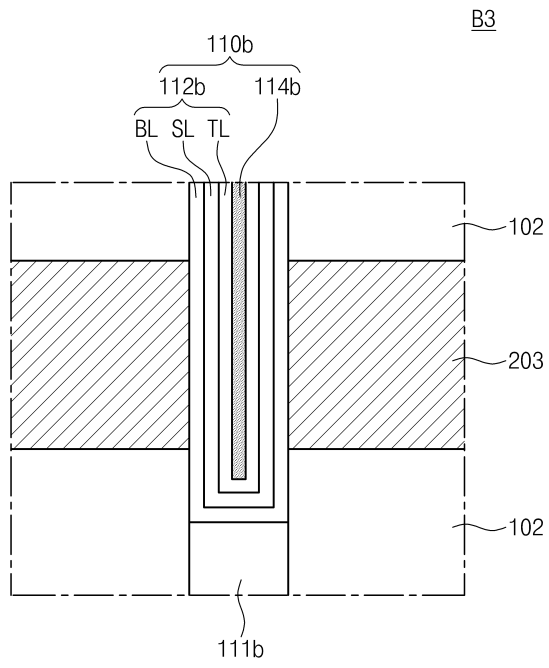
도면4a



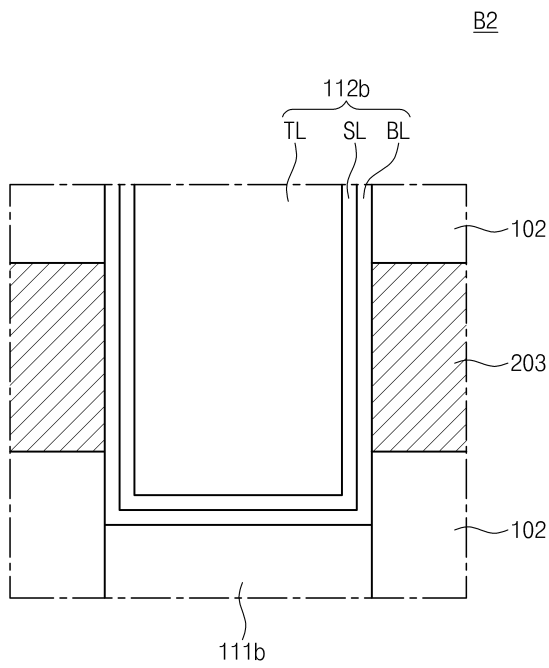
도면4b



도면4c

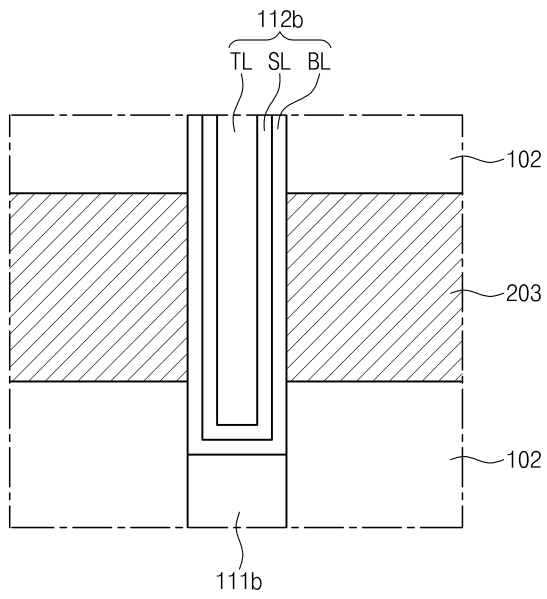


도면5a

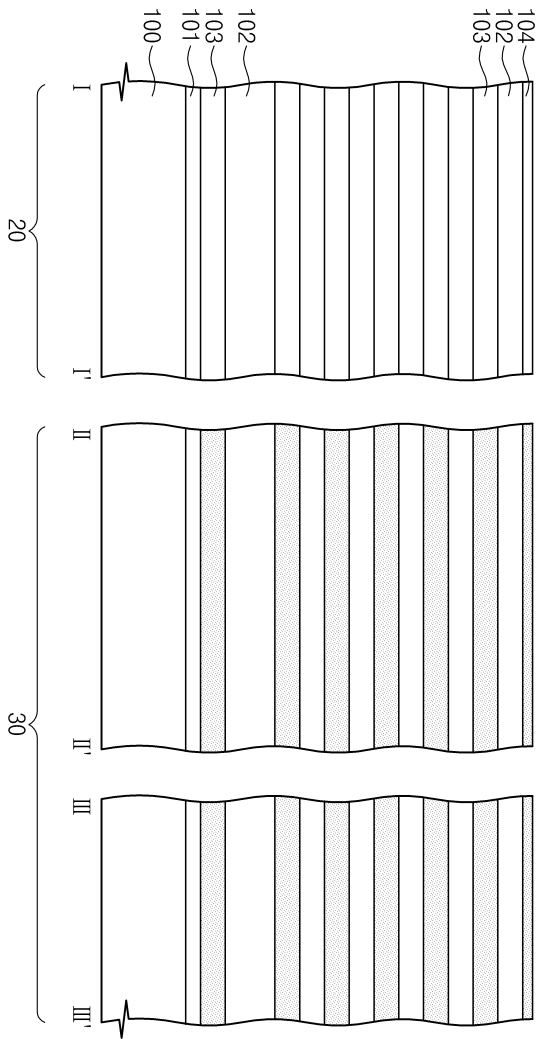


도면5b

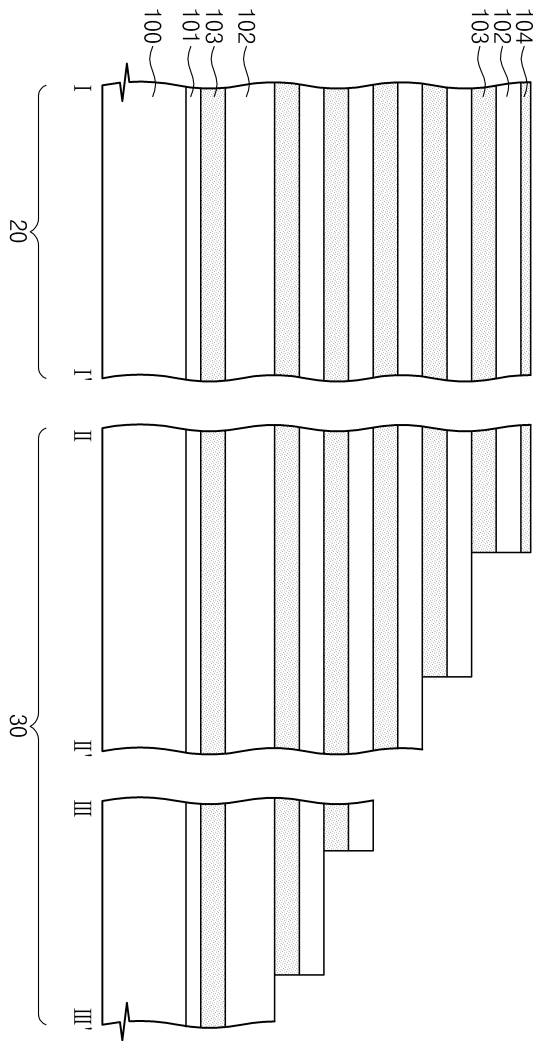
B3



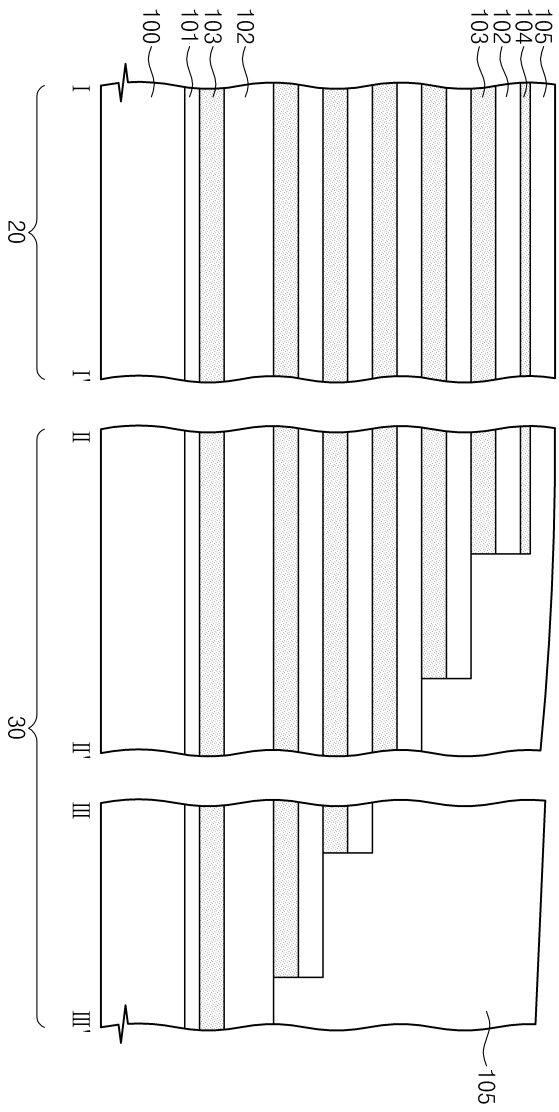
도면6



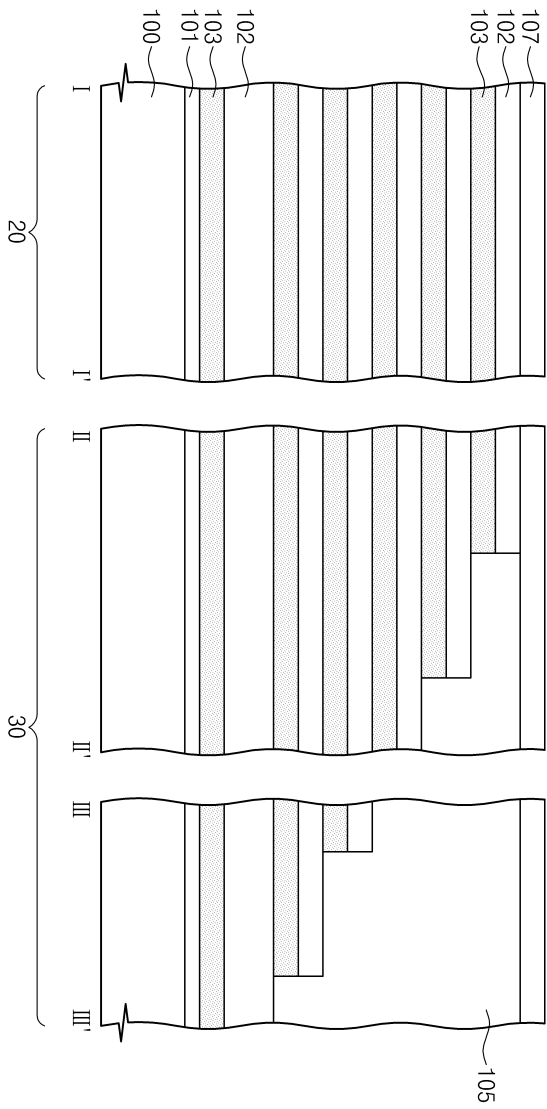
도면7



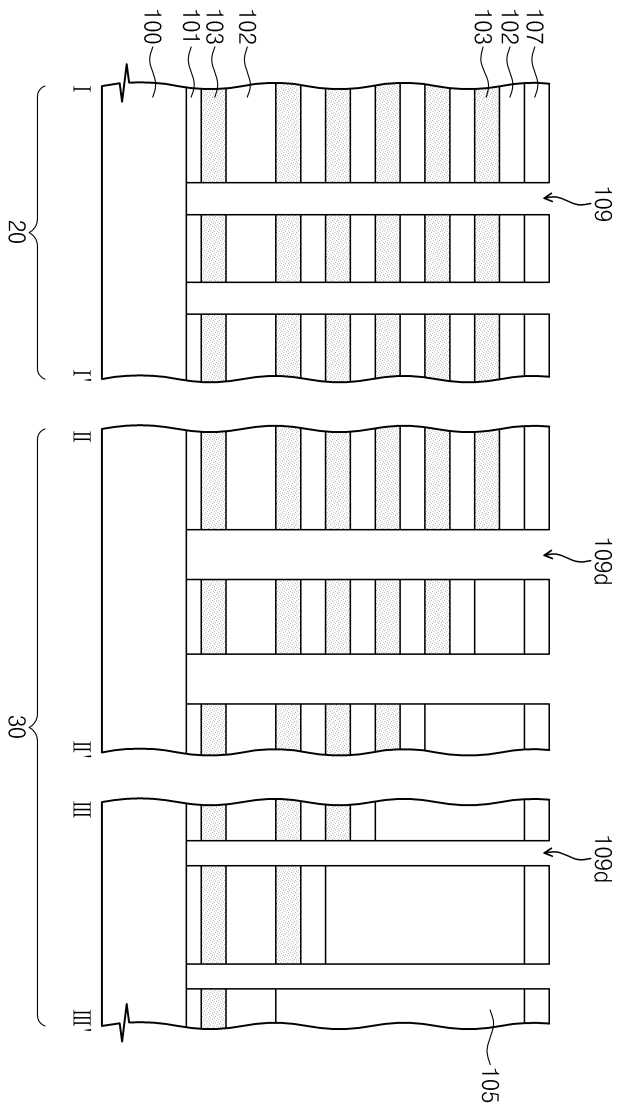
도면8



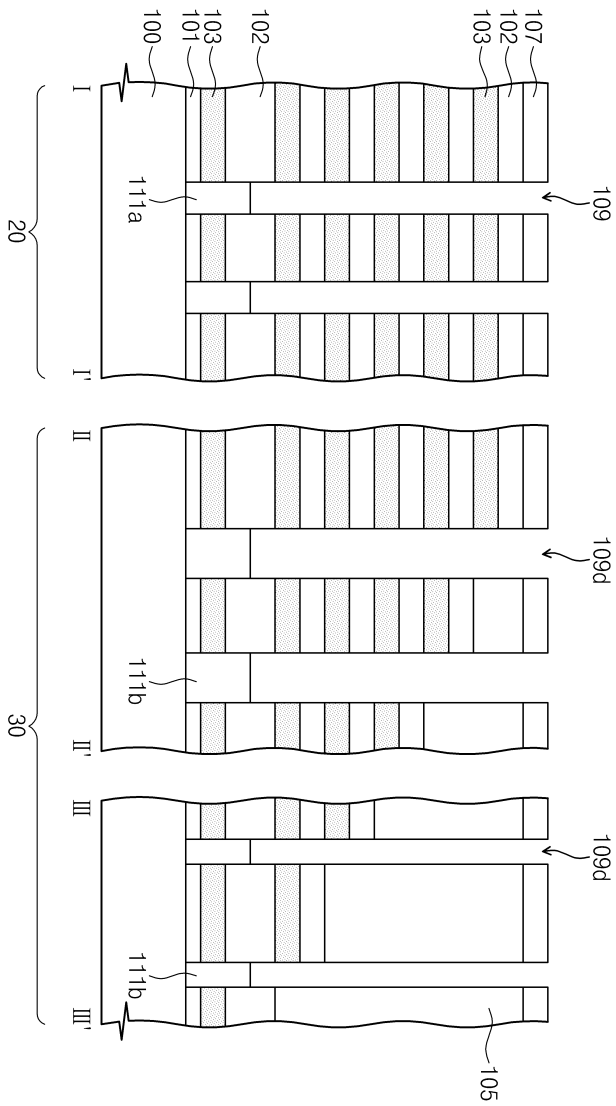
도면10



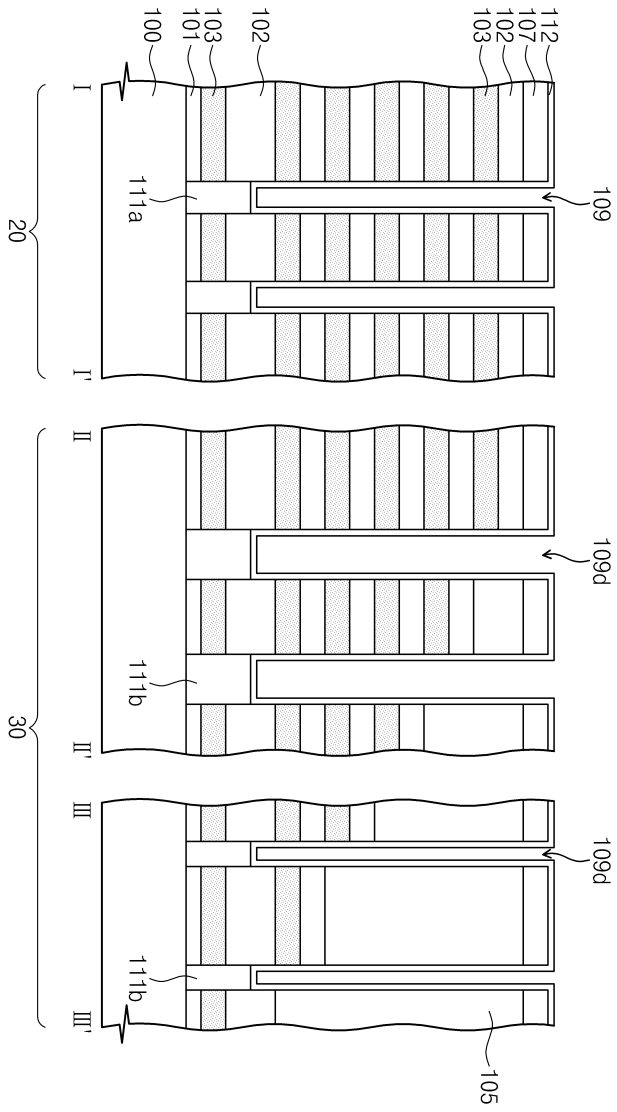
도면11



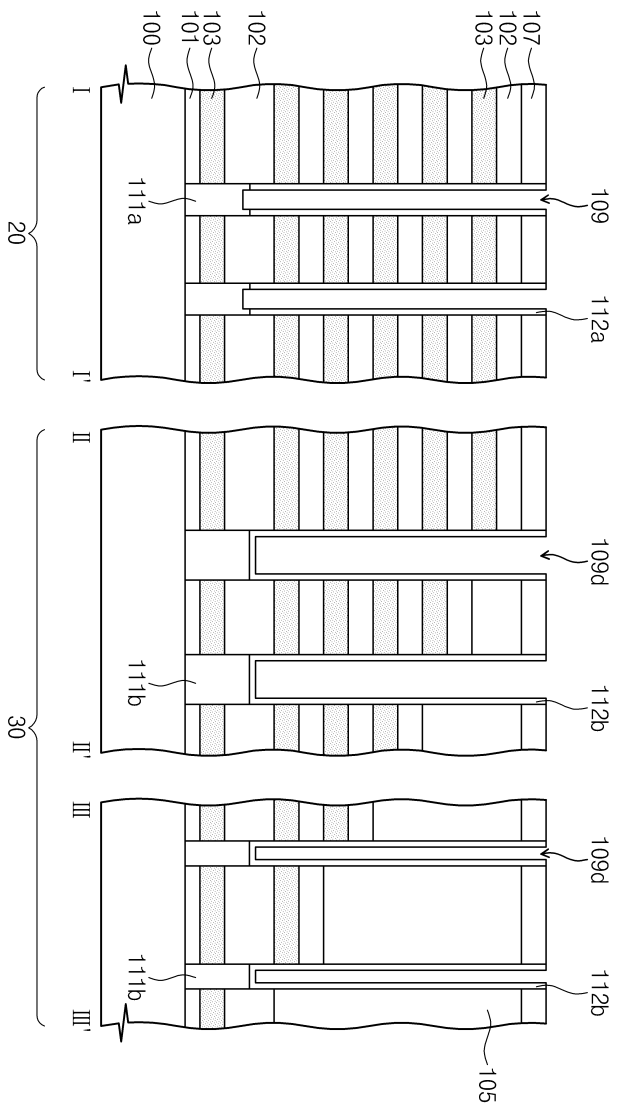
도면12



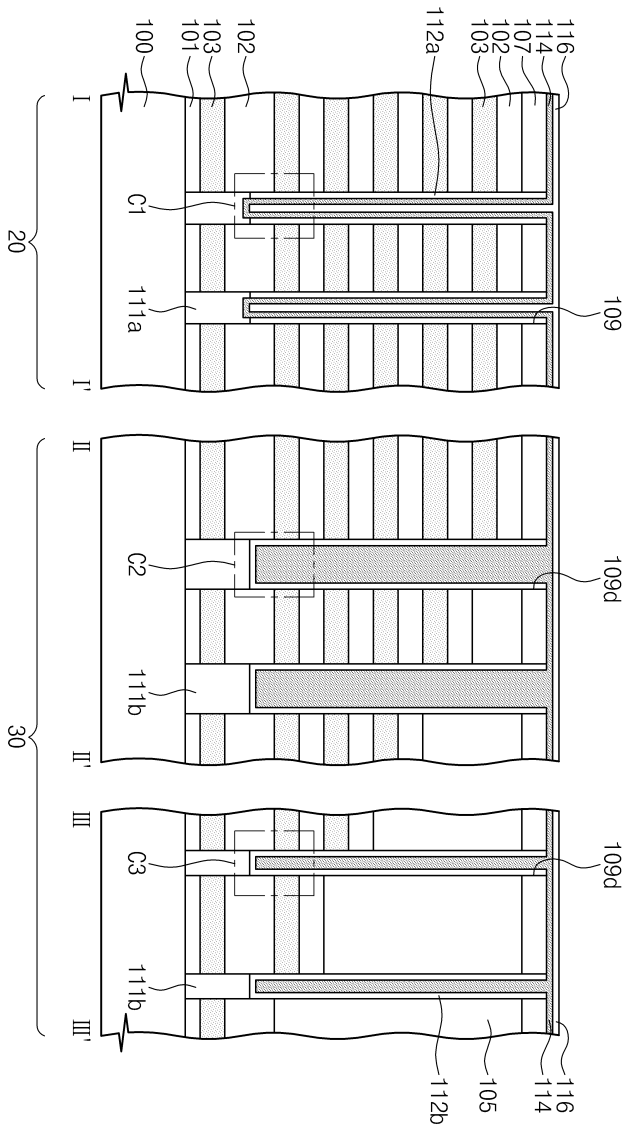
도면13



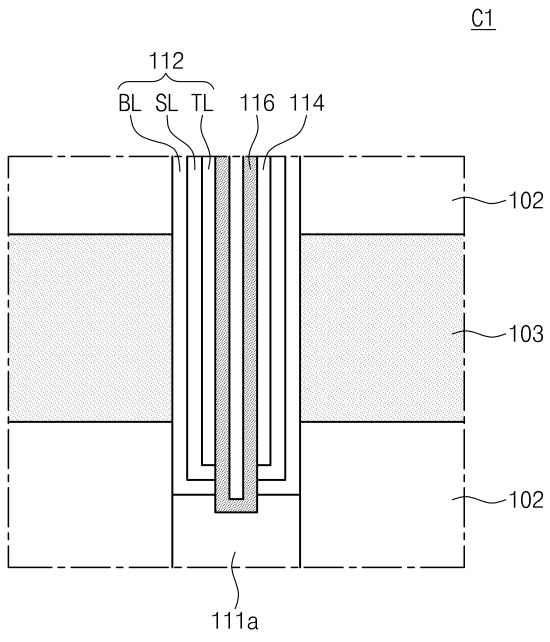
도면14



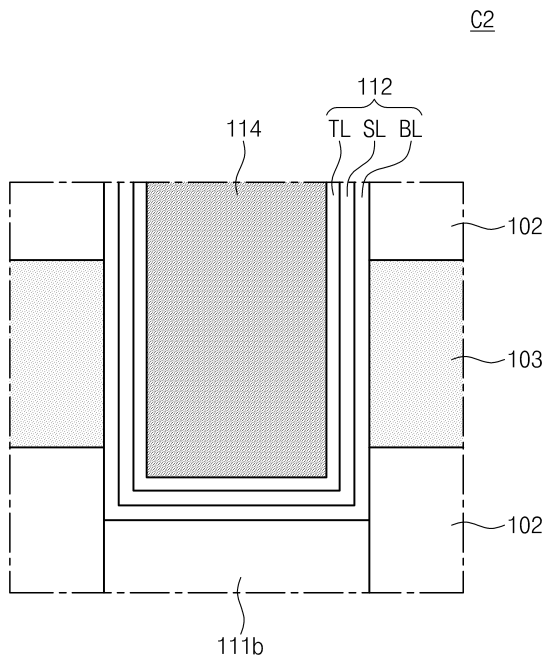
도면15a



도면15b

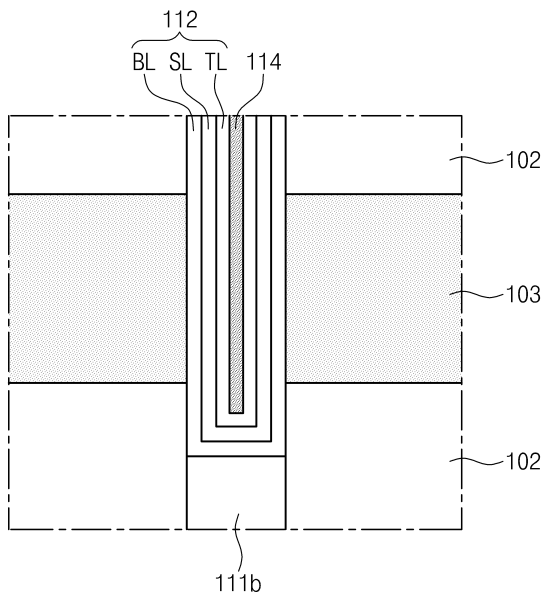


도면15c

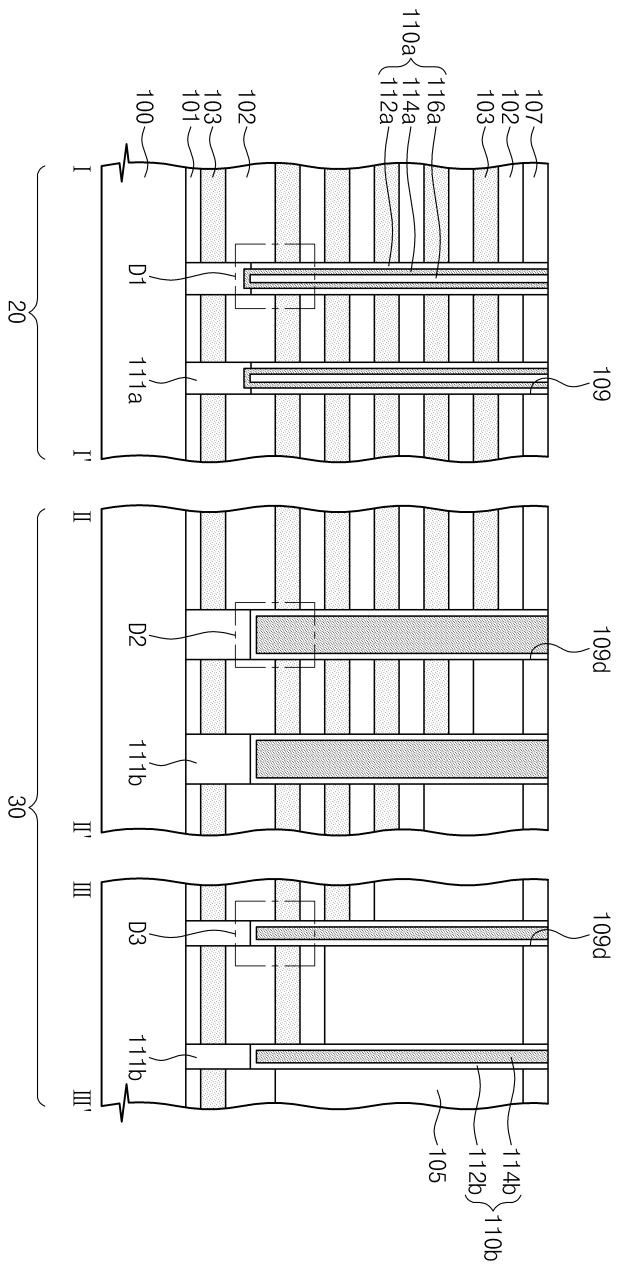


도면15d

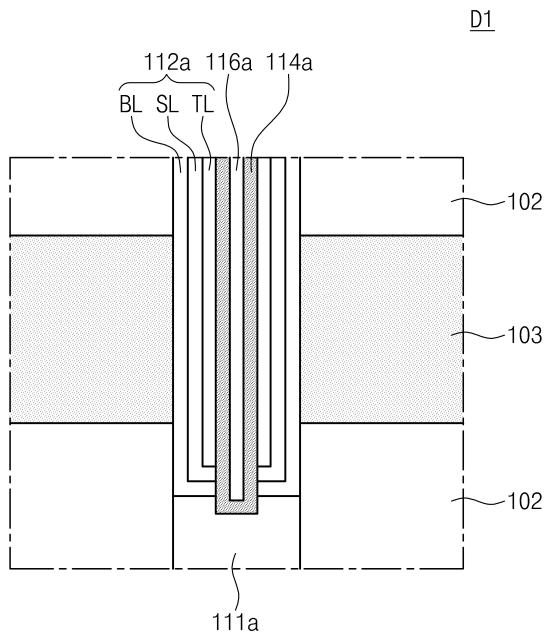
C3



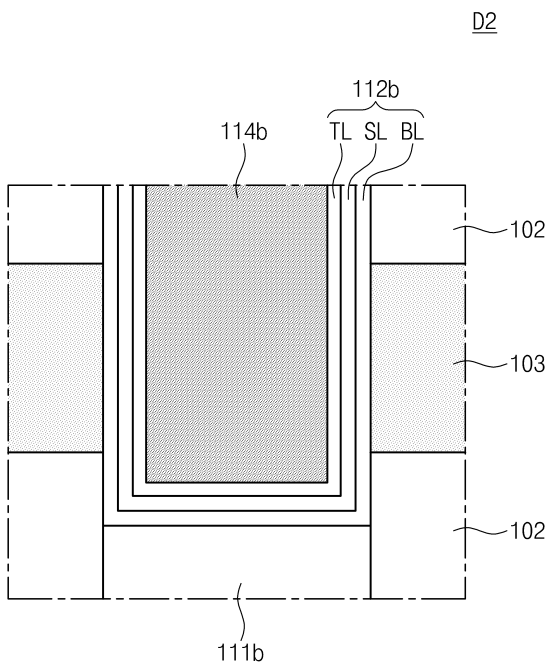
도면16a



도면16b

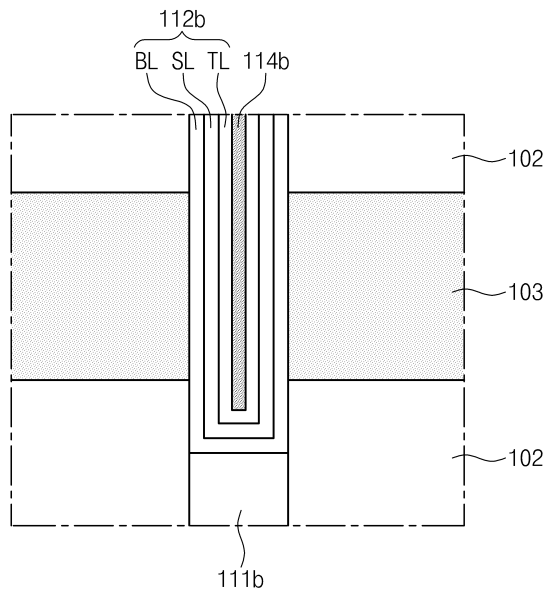


도면16c

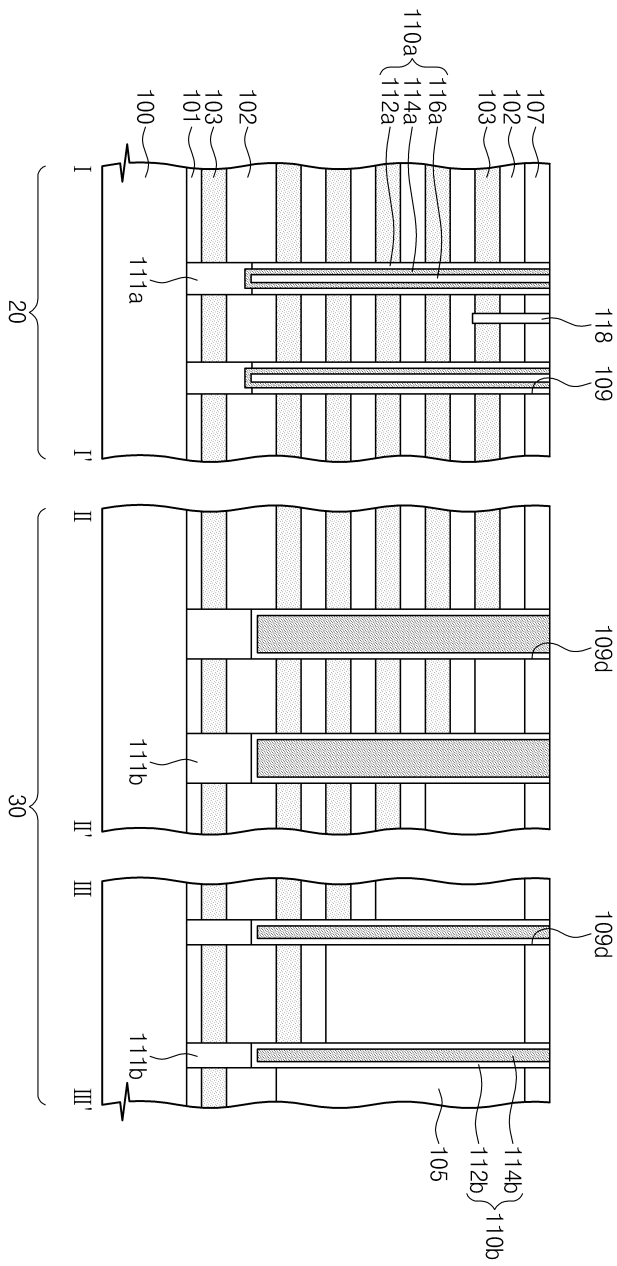


도면16d

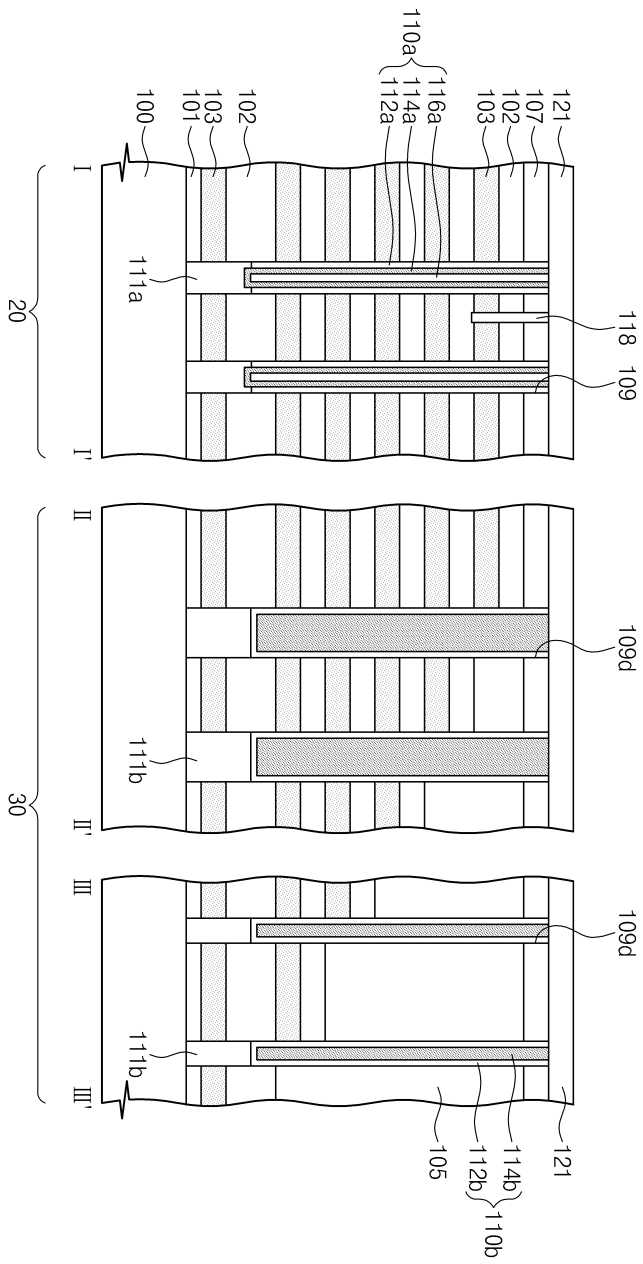
D3



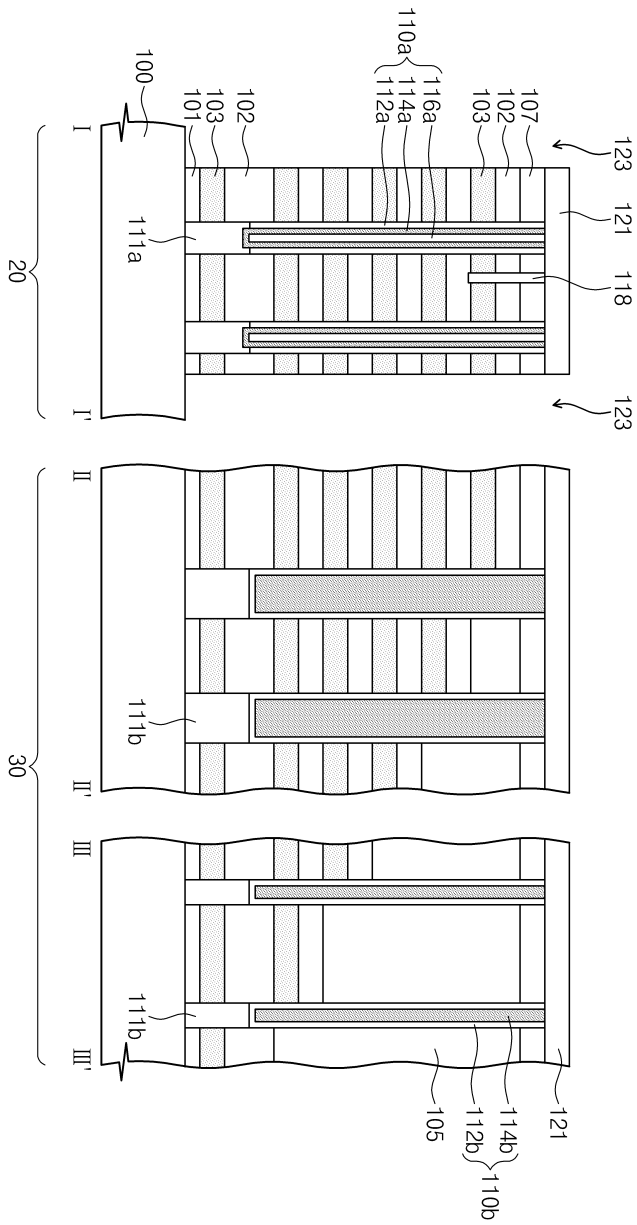
도면17



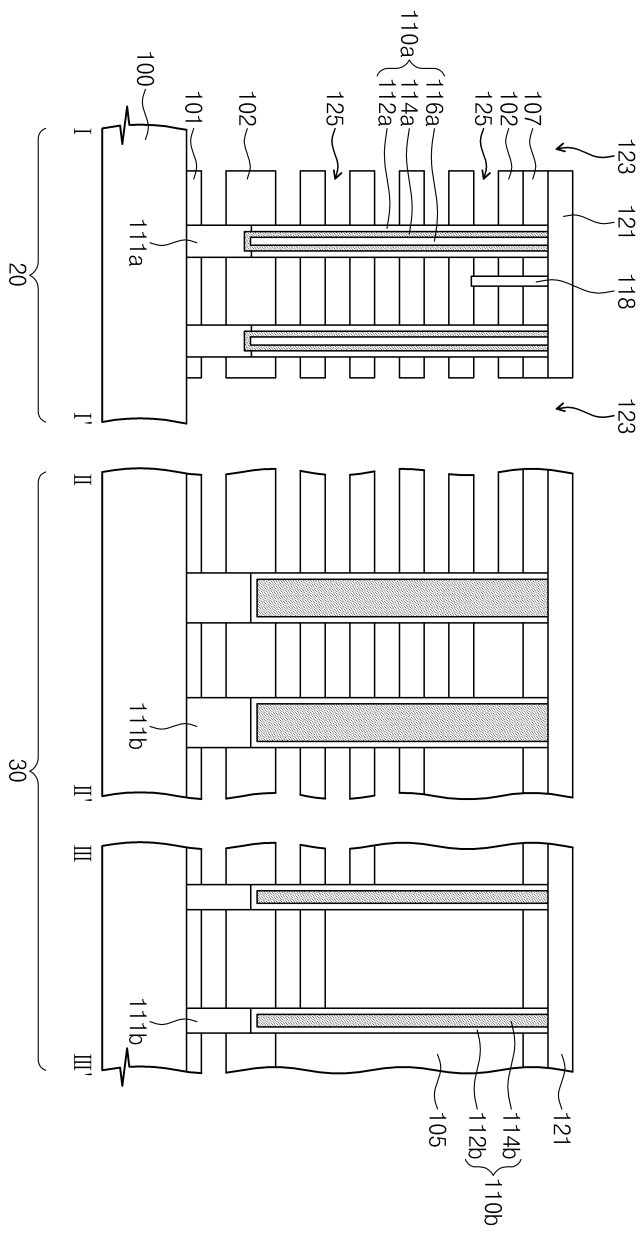
도면18



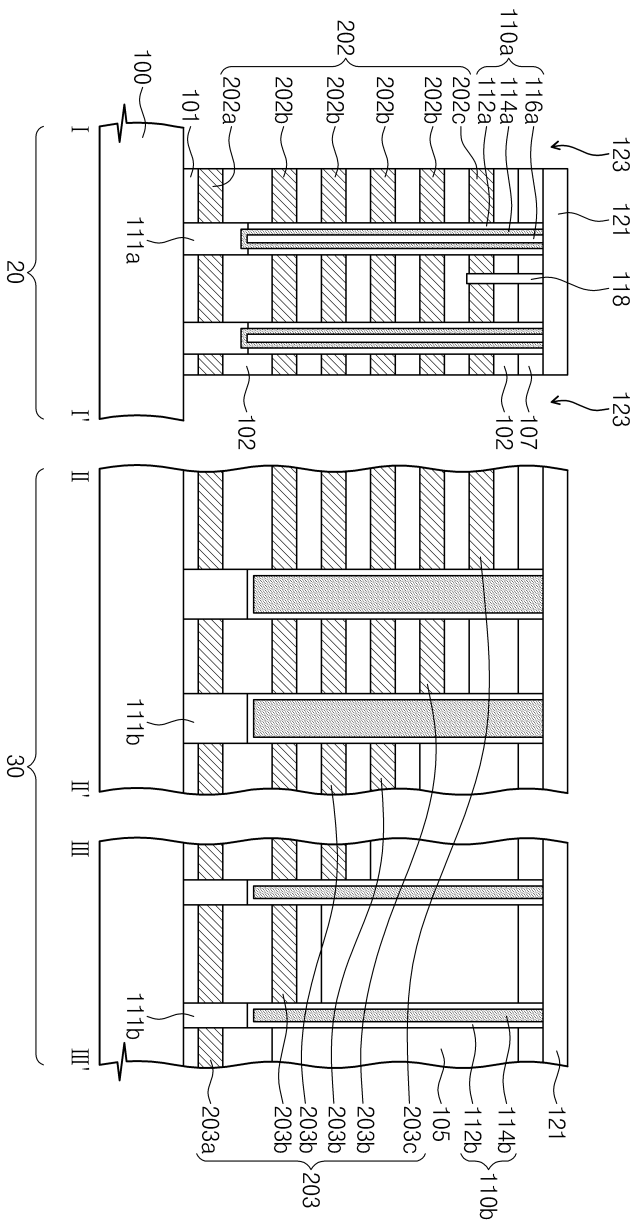
도면19



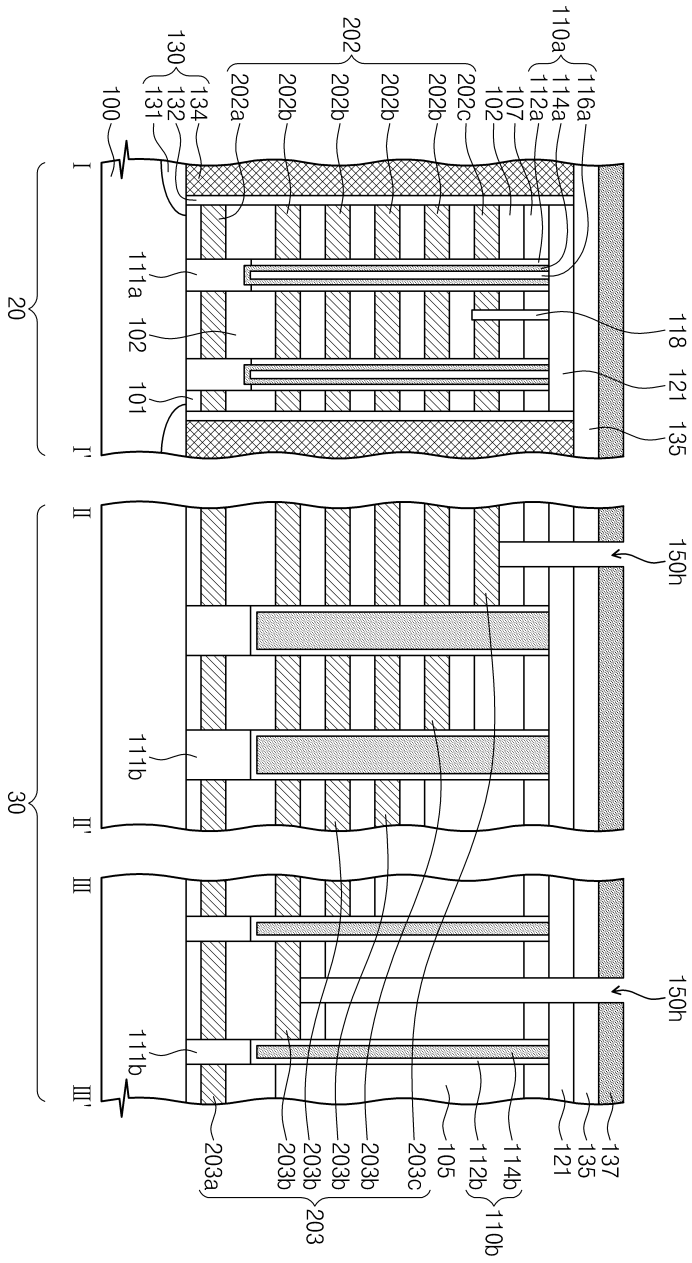
도면20



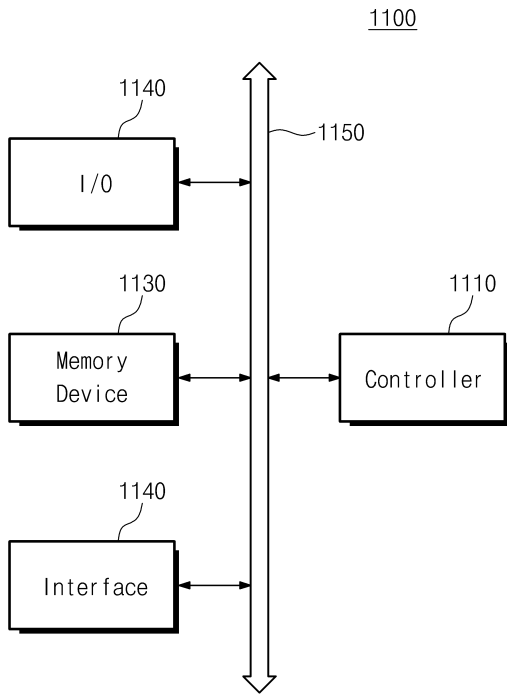
도면22



도면24



도면25



도면26

