(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
G06F 12/00

(45) 공고일자 2002년10월11일
(11) 등록번호 10-0334173
(24) 등록일자 2002년04월12일

(21) 출원번호 10-1994-0013827
(22) 출원일자 1994년06월18일

(65) 공개번호 특1995-0001492
(43) 공개일자 1995년01월03일

(30) 우선권주장 93-154796 1993년06월25일 일본(JP)

(73) 특허권자 가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자 무까이히로후미
일본국도꾜도고다이라시죠스이혼쵸3-13-22-206
마쯔바라기요시
일본국도꾜도히가시무라야마시미스미쵸2-3-11-210

(74) 대리인 백남기

심사관 : 임영희

(54) 마이크로컴퓨터

요약

마이크로 컴퓨터에 관한 것으로서, 임의의 보레이트로 마이크로 컴퓨터의 동작주파수에 관계없이 송신할 수 있고, 사용자에 의해서 지정된 마이크로 컴퓨터의 동작주파수에 따라서 마이크로 컴퓨터에 탑재된 플래시메모리의 데이타의 리라이트를 실행할 수 있게 하기 위해, 데이타를 전기적으로 라이트 및 소거하는 것이 가능하고, 프로그램을 저장하기 위한 제 1 의 블럭 및 테이타를 저장하기 위한 제 2 의 블럭을 갖는 플래시메모리, 외부에서 기준블럭신호를 수신하고, 각각 주파수가 다른 여러개의 내부클럭신호를 발생하는 분주기, 분주기에서 발생된 여러개의 내부클럭신호 중, 제 1 의 내부클럭신호에 따라서 호스트 컴퓨터에서 수신하는 직렬데이타의 처음의 레벨변화에서 다음의 레벨변화까지의 시간을 계측하기 위한 계측기와 제 1 의 내부 클럭신호를 수신하고, 상기 계측기의 계측결과값에 따라서 보레이트의 산출처리및 보레이트에 따라서 플래시메모리내의 데이타를 소거하기 위한 시간의 산출처리하는 중앙처리장치를 포함한다.

이러한 마이크로 컴퓨터를 이용하는 것에 의해, 마이크로 컴퓨터의 동작주파수에 관계없이 플래시메모리가 과소거로 되지 않는 소정의 소거시간을 설정하는 것이 가능하게 된다.

대표도

도 1

명세서

도면의 간단한 설명

제 1 도는 본 발병의 1 실시예인 마이크로 컴퓨터및 외부의 호스트와 직렬통신을 사용해서 송신하는 시스템을 도시한 블럭도.

제 2 도는 본 실시예에 있어서, 전면 플래시메모리를 채용한 경우의 플래시메모리의 에리어구성을 도시한 설명도.

제 3 도는 본 실시예에 있어서, 플래시메모리를 리라이트하는 동작모드를 사용한 처리수순을 도시한 흐름도.

제 4 도는 본 실시예에 있어서, 제 3도에 이어지는 플래시메모리를 리라이트하는 동작모드를 사용한 처리수순을 도시한 흐름도.

제 5 도는 본 실시예에 있어서, 호스트가 송신하는 데이타의 로우기간을 측정하는 측정처리와 이 측정한 로우기간에서 호스트의 보레이트를 계산하는 계산처리를 도시한 설명도.

제 6 도 (A) 는 플래시메모리셀의 단면도.

제 6 도 (B) 는 플래시메모리셀의 라이트/소거상태를 도시한 그래프.

제 7 도는 메모리셀 어레이의 구성원리도.

제 8 도는 메모리셀에 대한 소거동작 및 라이트동작을 위한 전압조건의 1 예를 도시한 도면.

제 9 도는 일괄소거 가능한 메모리블럭의 기억용량을 상위시킨 플래시메모리의 1 예의 회로블럭도.

제 10 도는 컨트롤 레지스터의 1 예의 설명도.

제 11 도는 직렬통신 인터페이스의 내부구성도.

제 12 도는 중앙처리장치에 의해 실행되는 플래시메모리의 데이타소거 흐름도.

제 13 도는 직렬모드 레지스터의 설명도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 마이크로 컴퓨터에 관한 것으로, 특히 전기적인 소거, 라이트에 의해서 정보를 리라이트할 수 있는 불휘발성의 플래시메모리를 탑재한 마이크로 컴퓨터에 적용해서 유효한 기술에 관한 것이다.

예를들면, 정보의 리라이트 가능한 불휘발성 메모리로서의 EPROM에 있어서는, 자외선에 의해 기억정보의 소거를 실행하는 것이기 때문에 그것을 실장시스템에서 떼어내지 않으면 정보 (데이타) 의 리라이트를 실행할 수가 없다.

이것에 대해서 플래시메모리, EPROM을 탑재한 마이크로 컴퓨터에서는 그들에 유지된 데이타는 전기적으로 소거, 라이트를 실행할 수가 있으므로, 그것을 시스템에 실장한 상태에서 정보의 리라이트를 실행할 수가 있다.

예를들면, 그 리라이트의 1 개의 수단인 직렬통신에 있어서는, 이 직렬통신에 있어서의 호스트측의 보레이트가 고정이고, 마이크로 컴퓨터의 동작주파수에 의해서 보레이트를 결정하는 값이 레지스터에 설정되도록 되어 있다.

그러나, 상기와 같은 종래기술에 있어서는, 마이크로 컴퓨터의 내장 직렬통신을 사용해서 외부의 호스트 컴퓨터와 통신을 실행하는 경우 사전에 호스트컴퓨터가 전송하는 보레이트를 결정하여 두고, 그 보레이트에 맞도록 내장직렬통신의 레지스터에 소정값을 설정할 필요가 있고, 또 이 레지스터의 설정은 마이크로 컴퓨터의 동작주파수에 의해 재설정할 필요가 있다.

따라서, 종래의 직렬통신에 의한 조보동기식 통신에 있어서는 외부의 호스트 컴퓨터가 전송하는 보레이트와 마이크로 컴퓨터의 동작주파수에 따라서 레지스터의 값을 그 때마다 제설정해야만 한다는 결점이 있다. 또, 사용자에 의해서 지정된 마이크로 컴퓨터의 동작주파수에 따라서 마이크로 컴퓨터에 탑재된 플래시메모리의 데이타의 리라이트 실행시간을 설정해야만 한다.

본 발명의 목적은 마이크로 컴퓨터를 시스템에 실장한 상태에서 전송원과 송신하는 직렬통신의 조보동기식 통신에 있어서의 보레이트를 자동적으로 설정하고, 임의의 보레이트로 마이크로 컴퓨터의 동작주파수에 관계없이 송신할 수가 있는 마이크로 컴퓨터를 제공하는 것에 있다.

또, 본 발병의 다른 목적은 사용자에 의해서 지정된 마이크로 컴퓨터의 동작주파수에 따라서 마이크로 컴퓨터에 탑재된 플래시메모리의 데이타 리라이트를 실행하는 마이크로 컴퓨터를 제공하는 것에 있다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.

본 원에 있어서 개시되는 발명중, 대표적인 것의 개요를 간단하게 설명하면 다음과 같다.

즉, 본 발명의 마이크로 컴퓨터는 단일의 반도체칩상에 적어도 중앙처리장치와 이 중앙처리장치가 처리해야할 정보 (데이타) 를 전기적인 소거, 라이트에 의해서 리라이트 가능한 불휘발성의 플래시메모리를 탑재한 마이크로 컴퓨터로서, 플래시메모리내의 데이타의 리라이트에 대해서 직렬통신을 사용해서 리라이트하는 동작모드를 구비하고, 이 직렬통신의 보레이트를 전송원의 보레이트에 자동적으로 맞추는 것이다.

이 경우에, 상기 동작모드에 있어서, 플래시메모리의 데이타 리라이트 및 직렬통신의 제어를 실행하는 것은 중앙처리장치이고,이 중앙처리장치를 제어하는 프로그램을 플래시메모리 또는 마스크 ROM이 보유하도록 한 것이다.

또, 상기 중앙처리장치를 제어하는 프로그램은 전송원으로 부터의 직렬데이타의 로우 또는 하이의 기간을 중앙처리장치가 측정하는 측정처리, 측정한 로우 또는 하이의 기간에서 전송원의 보레이트를 계산하는 계산처리, 계산에 의해 구한 보레이트를 직렬통신내의 레지스터에 설정하는 설정처리 및 전송원에서 프로그램과 데이타를 수신하는 수신처리를 포함하도록 한 것이다.

또, 상기 중앙처리장치를 제어하는 프로그램은 플래시메모리 또는 마스크 ROM이 보유하고 있고, 이 제어프로그램이 실행되는 것은 동작모드의 리세트로 실행되고, 제어프로그램을 보유하고 있는 에리어 이외에서 명령을 페치하면 이 에리어는 선택되지 않도록 한 것이다.

또, 상기 동작모드를 기동하면, 제어프로그램을 보유하고 있는 에리어 이외의 플래시메모리의 데이타를 확인하고, 이미 라이트된 데이타가 있으면 이 제어프로그램을 보유하고 있는 에리어 이외를 소거하도록 한 것이다.

상기한 마이크로 컴퓨터에 의하면 중앙처리장치를 제어하는 프로그램에 측정처리, 계산처리, 설정처리 및 수신처리가 포함되는 것에 의해, 플래시메모리에 대한 리라이트를 실행하는 경우에 이 제어프로그램을 플래시메모리에 대한 리라이트를 실행하는 동작모드의 리세트에 의해 실행시키고, 전송원과 송신하는 직렬통신의 보레이트로 측정, 계산 및 설정처리에 의해 자동적으로 설정하고, 전송원으로 부터의 수신처리에 있어서 측정, 계산된 임의의 보레이트로 마이크로 컴퓨터의 동작주파수에 관계없이 프로그램 및 데이타를 수신할 수가 있다.

즉, 마이크로 컴퓨터는 예를들면, 전송원의 외부의 호스트 컴퓨터와 어떤 보레이트로 통신을 실행하는 경우, 그 통신데이타의 로우 또는 하이의 기간을 측정하고, 그 로우 또는 하이의 기간에서 계산해서 구한 값을 내장직렬통신의 보레이트의 레지스터에 설정하는 것에 의해 외부의 호스트 컴퓨터와 동일한 보레이트로 통신을 실행할 수가 있다.

또, 이 제어프로그램은 플래시메모리의 일부 또는 마스크 ROM에 저장하여 두고, 플래시메모리에 대한 리라이트를 직렬통신을 사용해서 실행하는 동작모드로 단자설정하는 것에 의해 이것을 용이하게 실행시킬 수가 있다.

또, 제어프로그램의 보유에리어 이외에서 명령을 페치한 경우에는 이 제어프로그램의 보유에리어는 선택되지 않도록 하고, 또 이 에리어 이외에 이미 라이트된 데이타가 있을 때에는 이 제어프로그램을 보유하고 있는 에리어 이외를 소거하는 것에 의해 플래시메모리의 데이타를 보호하여 정보의 기밀보호를 도모할 수가 있다.

이 소거동작은 계산처리에 의해 구한 비트레이트에 의해 마이크로 컴퓨터의 동작주파수에 관계없이 플래시메모리가 과소거로 되지 않는 소정의 소거시간을 설정하는 것이 가능하게 된다.

이것에 의해 마이크로 컴퓨터를 시스템에 실장한 상태에서, 직렬통신을 사용해서 전송원과 임의의 보레이트로 마이크로 컴퓨터의 동작 주파수에 관계없이 송신을 할 수 있어 내장하는 플래시메모리의 리라이트를 용이하게 실행할 수가 있다.

제 1 도에서 본 실시예의 마이크로 컴퓨터의 구성을 설명한다. 마이크로 컴퓨터는 전원단자 VccT,VppT 및 클럭단자CLKT를 갖고, 전원단자VccT에는 마이크로 컴퓨터의 동작전압Vcc가 공급되고, 전원단자VppT에는 플래시메모리의 데이타 리라이트용 전압Vpp (|Vpp| > Vcc) 가 공급되고, 클럭단자CLKT에는 외부의 예를들면, 수정발진자로 부터의 기준클럭신호EXTAL이 공급된다. 클럭단자CLKT에 공급되어야 할 기준클럭신호의 주파수는 사용자에 의해서 임의로 결정된다.

본 실시예의 마이크로 컴퓨터는 예를들면, 단일의 반도체 칩상에 중앙처리장치가 처리해야할 정보를 전기적인 소거, 라이트에 의해서 리라이트 가능한 불휘발성 메모리를 구비한 마이크로 컴퓨터로 되고, 내부버스에 결합되는 중앙처리장치 (CPU) (1), 플래시메모리 (2), 타이머 (3), 직렬통신 인터페이스 (SCI) (4), 랜덤 액세스 메모리 (RAM) (5), 입출력장치 (I/O) (6), 디코더 (7) 및 분주기 (9) 등으로 구성되고, 예를들면 외부의 퍼스널 컴퓨터등의 호스트 컴퓨터 (HOST:전송원) (8) 에 직렬통신 인터페이스 (4) 를 통해서 접속되어 있다. 내부버스는 데이타를 전송하기 위한 내부 데이타버스, 어드레스 신호를 전송하기 위한 내부 어드레스버스 및 제어신호를 전송하기 위한 내부제어버스로 구성된다.

중앙처리장치 (1) 은 프로그램에 따라서 데이타의 송수신등을 제어하는 것이고, 특히 플래시메모리 (2) 에 대한 리라이트를 직렬통신을 사용해서 실행하는 동작모드에 있어서, 플래시메모리 (2) 의 리라이트 및 직렬통신의 제어등이 실행되도록 되어 있다.

플래시메모리 (2) 는 전기적인 소거, 라이트에 의해서 정보의 리라이트가 가능한 전면 플래시메모리를 채용한 것으로서, 특히 제 2 도와 같이 중앙처리장치 (1) 을 제어하는 제어프로그램등이 테스트에리어에 저장되고, 마이크로 컴퓨터가 시스템에 실장되어 있는 상태에서 중앙처리장치 (1) 또는 범용PROM 라이터와 같은 외부기억장치의 제어에 따라서 그 기억정보가 리라이트되도록 되어 있다.

또, 이 플래시메모리 (2) 에 저장되는 제어프로그램은 리세트단자ResT로 부터의 리세트신호RES 에 의해 리세트동작이 실행되고, 그리고 중앙처리장치 (CPU) (1) 이 제어프로그램을 보유하고 있는 에리어 이외에서 명령을 페치한 경우에는 이 에리어가 선택되지 않도록 되어있고, 또 리세트동작의 기동에 있어서 제어프로그램을 보유하고 있는 에리어 이외의 사용자에리어의 테이타가 확인되고, 이미 라이트된 데이타가 있으면 이 제어프로그램을 보유하고 있는 테스트에리

어 이외의 테이타가 소거되도록 되어 있다.

타이머 (3) 은 예를들면, 하드웨어 타이머로 되고, 직렬통신 인터페이스 (4) 의 수신단자 (RXD) 에 인풋캡쳐의 단자를 할당하여 두고, 이 인풋캡쳐기능에 의해 호스트 컴퓨터 (8) 과의 통신데이타의 로우기간이 측정되도록 되어 있다.

직렬통신 인터페이스 (4) 는 외부에 접속되는 호스트 컴퓨터 (8) 과의 인터페이스를 직렬통신을 사용해서 실행하는 것으로서, 이 직렬통신의 보레이트가 호스트 컴퓨터 (8) 의 보레이트로 자동적으로 설정되고, 호스트 컴퓨터 (8) 에서 수신한 데이타를 검증데이타로서 송신이 송신단자 (TXD) 에서 송신선SL을 통해서 실행되도록 되어 있다. 랜덤 액세스 메모리 (5) 는 예를들면, 플래시메모리 (2) 로 부터의 데이타전송을 받아서 그 정보를 일시적으로 유지할 수가 있고, 리라이트를 위한 작업영역 또는 데이타버퍼 영역으로서 이용되도록 되어 있다.

입출력장치 (6) 은 외부장치와의 데이타의 인터페이스를 담당하는 것으로서, 예를들면 범용PROM라이터등의 외부장치가 접속되어 정보의 라이트등이 실행되도록 되어 있다.

디코더 (7) 은 모드단자 (MDT0 MDT2) 에서 입력되는 동작모드신호 MD0~MD2 를 해독하고, 예를들면 모드단자 (MDT0) 을 통해서 플래시메모리 (2) 에 대한 리라이트를 실행하는 동작모드가 지시되어 있는지, 지시되어 있지 않은지를 판정하고, 이 동작보드의 경우에는 플래시메모리 (2) 의 리라이트 및 직렬통신의 제어가 중앙처리장치 (1) 에 의해 제어되도록 되어 있다.

분주기 (9) 는 클럭단자CLKT로 부터의 기준클럭신호EXTAL을 받고, 예를들면 4 종류의 주파수가 다른 내부클럭신호 Φ, Φ/4, Φ/16, Φ/64 를 출력한다.

중앙처리장치 (CPU) 는 내부클럭신호 Φ에 따라서 동작한다.

다음에, 본 작응에 대해서 제 3 도 및 제 4 도의 동작흐름에 따라서 설명한다.

우선, 마이크로 컴퓨터를 동작모드신호 MD0 MD2 에 의해 부트프로그램모드로 단자설정하고,이 단자의 설정에 의해 동작모드의 지시가 나오면, 중앙처리장치 (1) 은 리세트개시에 의해 플래시메모리 (2) 에 저장된 제어프로그램을 실행한다 (스텝 301).

또, 제어프로그램이 기동되면, 외부의 호스트 컴퓨터 (8) 에서 소정의 비트레이트로 데이타가 연속 송신되고 (스텝 302), 중앙처리장치 (1) 은 타이머 (3) 의 인풋캡쳐기능으로 호스트 컴퓨터 (8) 이 송신하는 데이타의 로우기간을 분주기 (9) 에서 출력되는 내부클럭신호 Φ에 의해 측정한다 (스텝 303 : 측정처리). 이 경우에 RXD 단자에 타이머 (3) 의 인풋 캡쳐의 단자를 할당하여 둔다.

그리고, 테이타의 로우기간의 측정값에서 직렬통신 인터페이스 (4) 내의 후술하는 비트레이트 레지스터에 설정하는 값을 계산한다 (스텝 304 : 계산처리). 이 계산처리는 중앙처리장치 (1) 에서 실행하고, 구한 값을 직렬통신 인터페이스 (4) 내의 비트레이트 레지스터에 설정한다 (스텝 304 : 설정처리).

이 측정 및 계산은 예를들면, 제 5 도에 도시한 바와 같이 9 비트분의 로우기간을 인풋캡쳐가 내부클럭신호 Φ에 따라서 측정하고, 이 기간 사이클을 시간으로 환산하는 식 (1) 이 얻어지고, 예를들면 마이크로 컴퓨터의 비트레이트의 값을 정의하는 식 (2) 와의 관계에서 계산할 수 있다.

즉, 이 로우기간 사이클을 시간으로 환산한 식 (1) 과 마이크로 컴퓨터의 비트레이트를 정의하는 식 (2) 에 의해, 호스트 컴퓨터 (8) 의 보레이트와 동일한 값으로 설정하기 위해 직렬통신 인터페이스 (4) 의 비트레이트 레지스터의 값을 로우기간 사이클에서 식 (3) 과 같이 해서 구할 수 있다.

이 계산결과에서 비트레이트 레지스터에 설정하는 값은 마이크로 컴퓨터의 동작주파수, 호스트 컴퓨터 (8) 이 전송하는 보레이트에 관계없이 호스트 컴퓨터 (8) 이 송신하는 데이타의 로우기간의 측정에서 일의적으로 구할 수가 있다.

계속해서, 호스트 컴퓨터 (8) 이 전송하는 보레이트와 동일한 보레이트로 조정이 완료되면, 마이크로 컴퓨터는 조정종료의 신호를 송신선SL을 거쳐서 호스트 컴퓨터 (8) 로 송신하고 (스텝 305), 이 조정종료의 신호를 호스트 컴퓨터 (8) 은 정상적으로 수신한 것을 나타내는 신호를 수신선RL을 거쳐서 마이크로 컴퓨터로 출력한다 (스텝 306).

또, 호스트 컴퓨터 (8) 은 다음에 전송하는 사용자의 프로그램의 바이트수를 송신하고, 그 이후는 순차로 사용자가 설정한 프로그램을 송신한다.

이때, 마이크로 컴퓨터는 호스트 컴퓨터 (8) 이 송신하는 사용자 프로그램을 수신하고 (스렙 307 : 수신처리), 또 랜덤 액세스 메모리 (5) 로 전송한다 (스텝 401). 그리고, 중앙처리장치CPU 가 전송할 남은 바이트수를 계산하고 (스텝 402), 사용자 프로그램의 전송이 종료할 때까지 반복해서 실행한다 (스텝 403).

그리고, 전송한 사용자 프로그램을 실행하기 전에 플래시메모리 (2) 에 라이트된 데이타가 존재하는지, 존재하지 않는지를 확인하고 (스텝 404), 이미 데이타가 라이트되어 있는 경우에는 (스텝 405) 모든 메모리블럭의 데이타를 소거한다 (스텝 406). 이것에 의해, 플래시메모리 (2) 의 데이타의 기밀유지를 도모할 수가 있다.

한편, 테이타가 라이트되어 있지 않은 경우에는 플래시메모리내의 테스트에리어중에 있는 프로그램중의 최종명령을 실행하는 것에 의해 랜덤 액세스 메모리 (5) 의 에리어로 분기하고, 랜덤 액세스 메모리 (5) 내로 전송된 사용자 프로그램을 실행한다 (스텝 407). 이것에의해, 플래시 메모리 (2) 의 리라이트를 실행할 수가 있다.

따라서, 본 실시예의 마이크로 컴퓨터에 의하면 호스트 컴퓨터 (8) 의 통신데이타의 로우기간을 측정하고, 이 로우기간에서 계산해서 구한 값을 직렬통신 인터페이스 (4) 의 비트레이트 레지스터에 자동적으로 설정할 수 있으므로, 호스트 컴퓨터 (8) 과 임의의 보레이트로, 또한 마이크로 컴퓨터의, 동작주파수에 관계없이 호스트 컴퓨터 (8) 과 동일한 보레이트로 통신을 실행할 수가 있어 플래시 메모리 (2) 의 리라이트를 용이하게 실행할 수가 있다.

또, 플래시메모리 (2) 에 있어서 제어프로그램을 보유하고 있는 에리어 이외에 이미 라이트된 데이타가 있을 때에는 그 에리어 이외를 소거하는 것에 의해 데이타의 기밀보호를 도모할 수가 있다.

제 11 도는 직렬통신 인터페이스SCI 의 내부구성도이다. 직렬통신 인터페이스SCI 는 버스 인터페이스BI, 내부클럭신호 Φ Φ/ 64을 받고, 1 개의 내부클럭신호를 선택하는 셀렉터SEL, 비트레이트 레지스터BRR, 비교기COM 및 카운터COUNT 를 내장하는 보레이트 제너레이터BG, 직렬모드 레지스터SMR 을 내장하는 송수신 컨트롤러CNT, 전송데이타 레지스터TDR 및 수신데이타 레지스터RDR 을 갖는다. 수신데이타 레지스터RDR 은 호스트 컴퓨티 (8) 로 부티의 직렬데이타를 일시저장하고, 송수신 컨트롤러로 부터의 제어신호CS1 에 따라서 수신한 직렬데이타를 병렬데이타로 변환하고, 버스 인터페이스BI을 거쳐서, 중앙처리장치 (CPU) (1) 로 출력한다. 전송데이타 레지스터TDR 은 버스 인터페이스BI를 거쳐서, 중앙처리장치 (CPU) (1) 에서 공급된 병렬데이타를 일시 저장하고, 송수신 컨트롤러로 부터의 제어신호CS2 에 따라서 저장한 병렬데이타를 직렬데이타로 변환하여 호스트 컴퓨터 (8) 로 출력한다. 직렬모드 레지스터SMR은 제 13 도에 도시한 바와 같이, 비트 0, 비트 1 로 세트되는 데이타에 따라서 내부클럭신호 Φ Φ/ 64 중 하나를 선택하기 위한 선택신호SS를 출력한다. 비트 0, 비트 1 의 데이타는 중앙처리장치 (CPU) (1) 에 의해서 세트된다. 보레이트 제너레이터중의 셀렉터SEL은 직렬모드 레지스터SMR로 부터의 선택신호SS에 따라서 카운터COUNT 에 내부클럭신호 Φ Φ / 64 중 어느 하나를 공급한다. 비교기COM 은 비트레이트 레지스터BRR 내의 제 5 도의 (2) 식에서 얻어진 값과 카운터COUNT 에 의해서 카운트된 값의 비교를 실행하고, 그들의 값이 일치하는 것에 의해 예를 들면, 로우레벨에서 하이레벨로 변화하는 클럭신호 Φ_{CLK} 을 송수신호 컨트롤러CNT 로 출력한다. 송수신 컨트롤러CNT 는 이 클럭신호 Φ_{CLK} 에 따라서 전송데이타 레지스터TDR, 수신데이타 레지스터RDR 의 테이타 저장출력 타이밍을 제어한다.

제 12 도는 중앙처리장치 (CPU) 에 의해서 실행되는 플래시메모리의 데이타소거 흐름도이다. 중앙처리장치 (CPU) 는 플래시메모리의 소거하는 블럭을 나타내는 소거블럭 지정레지스터에 소정값을 설정한다. 중앙처리장치 (CPU) 는 플래시메모리의 컨트롤 레지스터CR의 E비트를 설정하고, 플래시메모리를 소거모드로 한다. 다음에, 중앙처리장치 (CPU) 는 소거기간 " T" 의 기간, 소프트웨어 타이머로 소정사이클 수 기다리고, T 시간 경과후 상기 E비트를 클리어하고, 플래시메모리모드를 해제한다. 다음에, 컨트롤 레지스터CR중의 EV비트를 설정하고, 플래시메모리를 소검검증모드로 설정하고, 소거대상의 블럭을 리드한다. 모든 어드레스를 리드하여 (1) 의 상태로 소거되어 있으면, 중앙처리장치 (CPU) 는 소거검증모드를 해제 (EV비트클리어) 하고, 또 소거블럭 지정레지스터를 클리어하고 소거완료하게 된다. 소거시간 T는 제 6 도 (B) 에 도시되는 바와 같이, 메모리셀의 라이트상태 (고 스레쉬홀드 영역V_{thh}) 에서 소거상태 (저 스레쉬홀드 영역 V_{thL}) 로 변화시키기 위한 시간이다. 이 소거시간T는 메모리셀의 프로세스 기술에 의해서 변동하는 것이지만, 예를들면 고스레쉬홀드 영역V_{thh} 는 4.5V이상이고, 저스레쉬홀드 영역 V_{thL} 은 2.5V이상이고, 고 스레쉬홀드 영역 V_{thh} 에서 저 스레쉬홀드 영역 V_{thL} 로 변화할 때까지 10ms 걸린다.

다음에, 소프트웨어 타이머가 대기하는 소정사이클수를 구하는 방법에 대해서 제 5 도를 참조하면서 설명한다. 식 (4) 및 (5) 는 1 사이클의 시간을 산출하기 위한 식이다.

소거시간의 산출방법

보레이트 (B) 에서 이하화 같이 소거시간을 설정할 수가 있다.

$$(\ 1\ 사이클의\ 시간\ ) = \frac{(로우기간중의\ 시간)}{(로우기간중의\ 사이클수 \cdot X)} \quad \cdots(4)$$

$$= \frac{9}{(로우기간중의\ 사이클수 \times B\ )} \quad \cdots(5)$$

식 (6) 은 소거시간의 사이클수를 산출하기 위한 식이다. 소거시간의 사이클수가 중앙처리장치CPU 의 소프트웨어 타이머가 대기하는 소정사이클 수이다. 플래시메모리의 소정의 소거시간을 (T) 라 하면, 소거시간중의 사이클수는 다음과 같이 되고 동작주파수에 관계없이 비트레이트로 결정되는 소거시간을 설정할 수가 있다.

$$(소거시간의\ 사이클수) = \frac{T}{(1사이클의\ 시간)}$$

$$= \frac{T \times (로우기간중의\ 사이클수) \times B}{9} \quad \cdots(6)$$

제 6 도 (A) 는 플래시메모리셀의 단면도이고, 제 6 도 (B) 는 플래시메모리셀의 라이트/소거상태를 도시하는 그래프이다. 동일 도면 (A) 에 예시적으로 도시된 메모리셀은 2 층게이트 구조의 절연게이트형 전계효과 트랜지스터에 의해 구성되어 있다. 동일 도면에 있어서, (11) 은 P 형 실리콘기판, (12) 는 상기 실리콘기판 (11) 에 형성된 P 형 확산층, (13) 은 상기 실리콘기판 (11) 에 형성된 저농도의 N 형 확산층, (14) 는 상기 P 형 확산층 (12) 및 상기 N 형 확산층 (13) 의 각각에 형성된 N 형 확산층이다.

(15) 는 얇은 산화막 (16) (예를들면, 두께 10nm) 을 거쳐서 상기 P 형 실리콘기판 (11) 상에 형성된 부유게이트, (17) 은 산화막 (18) 을 거쳐서 상기 부유게이트 (15) 상에 형성된 컨트롤 게이트, (19) 는 소오스, (20) 은 드레인이다. 이 메모리셀에 기억되는 정보는 실질적으로 스레쉬홀드 전압의 변화로서 트랜지스터에 유지된다. 이하 특별히 기

술하지 않는 한, 메모리셀에 있어서 정보를 기억하는 트랜지스터 (이하, 기억 트랜지스터라 한다) 가 N 채널형의 경우에 대해서 기술한다.

메모리셀로의 정보의 라이트동작은 예를들면, 컨트롤 게이트 (17) 및 드레인 (20) 에 고압을 인가해서 애벌랜치주입에 의해 드레인 (20) 측에서 부유게이트 (15) 에 전자를 주입하는 것에 의해 실현된다. 이 라이트동작에 의해 기억 트랜지스터는 제 6 도 (B) 에 도시되는 바와 같이, 그 컨트롤 게이트 (17) 에서 본 스레쉬홀드전압이 라이트동작을 실행하지 않았던 소거상태의 기억 트랜지스터에 비해서 높게 된다.

한편, 소거동작은 예를들면 소오스에 고압을 인가해서 터널현상에 의해 부유게이트 (17) 에서 소오스 (19) 측에 전자를 빼내는 것에 의해 실현된다. 제 6 도 (B) 에 도시되는 바와 같이, 소거동작에 의해 기억 트랜지스터는 그 컨트롤 게이트 (17) 에서 본 스레쉬홀드 전압이 낮게 되다. 제 6 도 (B) 에서는 라이트 및 소거상태중 어느것인가에 있어서도 기억 트랜지스터의 스레쉬홀드는 정의 전압레벨로 된다. 즉, 워드선에서 컨트롤 게이트에 부여되는 워드선 선택레벨에 대해서 라이트상태의 스레쉬홀드 전압은 높게 되고, 소거상태의 스레쉬홀드 전압은 낮게 된다. 쌍방의 스레쉬홀드 전압과 워드선 선택레벨이 그와 같은 관계를 갖는 것에 의해서 선택 트랜지스터를 채용하는 일 없이 1개의 트랜지스터로 메모리셀을 구성할 수가 있다. 기억정보를 전기적으로 소거하는 경우에 있어서는 부유게이트에 축적된 전자를 소오스전극으로 빼내는 것에 의해 기억정보의 소거가 실행되므로, 비교적 장시간 소거동작을 계속하면 라이트동작시에 부유게이트에 주입한 전자의 양보다도 많은 전자가 빼내지게 된다. 그 때문에, 전기적 소거를 비교적 장시간 계속하는 과소거를 실행하면 기억 트랜지스터의 스레쉬홀드 전압은 예를 들면, 부의 레벨로 되어 워드선의 비선택레벨에 있어서도 선택되는 불합리가 생긴다. 그러나, 본 발명에 있어서는 중앙처리장치CPU의 계산처리에 의해 과소거되지 않도록 소거시간을 설정한다. 또, 라이트도 소거와 마찬가지로 터널전류를 이용해서 실행할 수도 있다.

리드동작에 있어서는 상기 메모리셀에 대해서 약한 라이트, 즉 부유게이트 (15) 에 대해서 바라지 않은 캐리어의 주입이 실행되지 않도록 드레인 (20) 및 컨트롤 게이트 (17) 에 인가되는 전압이 비교적 낮은 값으로 제한된다. 예를들면, 1V 정도의 저전압이 드레인 (20) 에 인가됨과 동시에 컨트롤 게이트 (17) 에 5V 정도의 저전압이 인가된다. 이들의 인가전압에 의해서 기억 트랜지스터를 흐르는 채널전류의 대소를 검출하는 것에 의해 메모리셀에 기억되어 있는 정보의 " 0" , " 1" 을 판정할 수가 있다.

제 7 도는 상기 기억 트랜지스터를 사용한 메모리셀 어레이의 구성원리를 도시한 도면이다. 동일 도면에는 대표적으로 4 개의 기억 트랜지스터 (메모리셀) Q1 Q4 가 도시된다. X, Y 방향으로 매트리스 배치된 메모리셀에 있어서 동일행에 배치된 기억 트랜지스터 Q1, Q2, (Q3, Q4) 의 컨트롤 게이트 (메모리셀의 선택게이트) 는 각각 대응하는 워드선 WL1 (WL2) 에 접속되고, 동일열에 배치된 기억 트랜지스터 Q1, Q3 (Q2, Q4) 의 드레인영역 (메모리셀의 입출력노드) 는 각각 대응하는 데이타선 DL1, DL2 에 접속되어 있다. 상기 기억 트랜지스터 Q1, Q3 (Q2, Q4) 의 소오스영역은 소오스선 SL1 (SL2) 에 결합된다.

제 8 도에는 메모리셀에 대한 소거동작 및 라이트동작을 위한 전압 조건의 1 예가 도시된다. 동일 도면에 있어서 메모리소자는 메모리셀을 의미하고, 게이트는 메모리셀의 선택게이트로서의 컨트롤 게이트를 의미한다. 동일 도면에 있어서 부전압방식의 소거는 컨트롤 게이트에, 예를들면 -10V와 같은 부전압을 인가하는 것에 의해서 소거에 필요한 고전계를 형성한다. 동일 도면에 예시되는 전압조건에서 명확한 바와 같이, 정전압방식의 소거에 있어서는 적어도 소오스가 공통접속된 메모리셀에 대해서 일괄소거를 실행할 수가 있다. 따라서, 제 7 도의 구성에 있어서, 소오스선 SL1, SL2 가 접속되어 있으면 4 개의 메모리셀 Q1 Q4 는 일괄소거 가능하게 된다. 이 경우, 동일 소오스선에 연결되는 메모리비트의 수를 변경하는 것에 의해 메모리블럭의 사이즈를 임의로 설정할 수가 있다. 소오스선 분할방식의 경우에는 최소의 일괄소거 단위로 되는 메모리 블럭은 데이타선 1 개분으로 된다. 한편, 부전압방식의 소거에 있어서는 적어도 컨트

롤 게이트가 공통접속된 메모리셀에 대해서 일괄소거법을 실행할 수가 있다.

기억용량을 상위시킨 다수 메모리블럭화

제 9 도에는 일괄소거 가능한 메모리블럭의 기억용량을 상위시킨 플래시메모리의 1 예의 회로블럭도가 도시된다.

동일 도면에 도시된 플래시메모리 (2) 는 8 비트의 데이타 입출력 단자 D0 D7을 갖고, 각 데이타 입출력단자마다 메모리어레이ARY0 ARY7을 구비한다. 메모리어레이ARY0 ARY7은 상대적으로 기억용량이 큰 메모리블럭LMB와 상대적으로 기억용량이 작은 메모리블럭SMB 로 2 분할되어 있다. 도면에는 대표적으로 메모리어레이ARY0이 상세하게 도시되어 있지만, 그 외의 메모리어레이ARY1 ARY7도 마찬가지로 구성되어 있다.

각각의 메모리어레이ARY0 ARY7에는 상기 제 6 도에서 설명한 2 층게이트구조의 절연게이트형 전계효과 트랜지스터에 의해서 구성된 메모리셀MC가 매트릭스 배치되어 있다. 마찬가지로 동일 도면에 있어서 WL0 WLn은 모든 메모리어레이 ARY0 ARY7에 공통의 워드선이다. 동일행에 배치된 메모리셀의 컨트롤게이트는 각각 대응하는 워드선에 접속된다. 각각의 메모리어레이ARY0 ARY7에 있어서, 동일열에 배치된 메모리셀MC의 드레인영역은 각각 대응하는 데이타선DL0 DL7 에 접속되어 있다. 제 2 도에 있어서, 도시한 테스트에리어 (메모리블릭SMB) 을 구성하는 메모리셀MC의 소오스영역은 소오스선SL1 에 공통접속 되고, 제 2 도에 있어서 도시한 사용자에리어 (메모리블럭LMB) 을 구성하는 메모리셀MC의 소오스영역는 소오스선SL2 에 공통접속되어 있다.

상기 소오스선SL1, SL2 에는 전압출력회로VOUT1, VOUT2 에서 소거에 이용되는 고전압V_{pp}가 공급된다. 전압출력회로VOUT1, VOUT2의 출력 동작은 소거블럭 지정레지스터B1, B2 의 값에 의해서 선택된다. 예를들면, 소거블럭 지정레지스터B1에 " 1" 이 설정되는 것에 의해서 각 메모리어레이ARY0 ARY7의 메모리블럭SMB 만이 일괄소거 가능하게 된다. 소거블럭 지정레지스터B2에 " 1" 이 설정된 경우는 각 메모리어레이ARY0 ARY7의 메모리블럭LMB 만이 일괄소거 가능하게 된다. 쌍방의 레지스터B1, B2 에 " 1" 이 설정되었을 때에는 플래시메모리 전체가 일괄소거 가능하게 된다.

상기 워드선WL0 WLn 의 선택은 로우 어드레스버퍼XABUFF 및 로우 어드레스래치XALAT 을 거쳐서 패치되는 로우 어드레스신호AX을 로우 어드레스 디코더XADEC 가 해독하는 것에 의해 실행된다. 워드 드라이버WDRV는 로우 어드레스 디코더XADEC 에서 출력되는 선택신호에 따라서 워드선을 구동한다. 데이타리드동작에 있어서, 워드 드라이버WDRV는 전압선택회로VSEL에서 공급되는 5V와 같은 전압 V_{cc} 와 0V와 같은 접지전위를 전원으로 해서 동작되고, 선택되어야 할 워드선을 전압 V_{cc} 에 의해서 선택레벨로 구동하고, 비선택으로 되어야 할 워드선을 접지전위와 같은 비선택레벨로 유지시킨다. 데이타의 라이트동작에 있어서 워드 드라이버WDRV는 전압선택회로VSEL에서 공급되는 12V와 같은 전압 V_{pp} 와 0V와 같은 접지전위를 전원으로 해서 동작되고, 선택되어야 할 워드선을 12V 와 같은 라이트용 고전압레벨로 구동한다. 데이타의 소거동작에 있어서 워드 드라이버 WDRV의 출력은 0V와 같은 저 전압레벨로 된다.

각각의 메모리어레이ARY0 ARY7에 있어서, 상기 데이타선DL0 DL7 은 칼럼 선택스위치YS0 YS7 을 거쳐서 공통데이타선CD에 공통접속된다. 칼럼 선택스위치YS0 YS7 의 스위치제어는 칼럼 어드레스버퍼YABUFF 및 칼럼 어드레스래치 YALAT 을 거쳐서 패치되는 칼럼 어드레스신호AY 을 칼럼 어드레스 디코더YADEC 가 해독하는 것에 의해서 실행된다. 칼럼 어드레스 디코더YADEC 의 출력선택신호는 모든 메모리어레이ARY0 ARY7에 공통으로 공급된다. 따라서, 칼럼 어드레스 디코더 YADEC 의 출력선택신호중 어느 하나가 선택레벨로 되는 것에 의해 각 메모리어레이 ARY0 ARY7에 있어서, 공통데이타선CD에는 1 개의 데이타선이 접속된다.

메모리셀MC에서 공통데이타선CD에 리드된 데이타는 선택스위치RS을 거쳐서 센스앰프SAMP에 부여되고 여기에서 증폭되어, 테이타출력버퍼DOBUFF에서 외부로 출력된다. 상기 선택스위치RS는 리드동작에 동기해서 선택레벨로 된다.

외부에서 공급되는 라이트데이타는 데이타 입력버퍼DIBUFF을 거쳐서 데이타 입력래치회로DILAT 에 유지된다. 데이타 입력래치회로DILAT에 유지된 데이타가 " 0" 일 때, 라이트회로WRIT는 선택스위치WS를 거쳐서 공통데이타선CD에 라이트용의 고전압을 공급한다. 이 라이트용 고전압은 칼럼 어드레스신호AY에 의해서 선택된 데이타선을 통해서 로우 어드레스신호AX로 컨트롤게이트에 고전압이 인가되는 메모리셀의 드레인에 공급되고, 이것에 의해서 상기 메모리셀이 라이트된다. 상기 선택스위치WS는 라이트동작에 동기해서 선택레벨로 된다. 라이트소거의 각종 타이밍이나 전압의 선택제어는 라이트소거 제어회로WECONYT 가 생성한다.

제 10 도에는 컨트롤 레지스터CR의 1 예가 도시된다. 컨트롤 레지스터CR은 8 비트의 프로그램/소거 제어레지스터PEREG 에 의해서 구성된다. 프로그램/소거 제어레지스터PEREG 에 있어서, V_{pp} 는 리라이트용 고전압 인가에 따라서 " 1" 로 되는 고전압 인가플래그이다. E 비트는 소거동작을 지시하는 비트로 되고, EV비트는 소거에 있어서의 검증동작의 지시비트로 된다. P 비트는 라이트동작 (프로그램동작) 의 지시비트로 되고, PV비트는 라이트에 있어서의 검증동작의 지시비트로 된다.

이상 본 발명자에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지 변경 가능한 것은 물론이다.

플래시메모리의 소거는 호스트 컴퓨터 (8) 의 통신데이타의 로우기간을 측정하고, 이 로우기간에서 계산해서 구한 비트레이트에서 과소거로 되지 않는 소정의 소거시간의 사이클수를 구할 수가 있다. 이것에 의해, 마이크로 컴퓨터의 동작주파수에 관계없이 플래시메모리의 소정의 소거시간을 설정할 수가 있다.

예를들면, 본 실시예의 마이크로 컴퓨터에 대해서는 타이머 (3) 의 인풋캡쳐 기능에 의해서 호스트 컴퓨터 (8) 로 부터의 통신데이타의 로우기간을 측정하는 경우에 대해서 설명하였지만, 본 발명은 상기 실시예에 한정되는 것은 아니고, 반대로 데이타의 하이기간을 측정하는 것에 의해서도 마찬가지로 호스트 컴퓨터와 동일한 보레이트에서 통신을 실행하기 위한 비트레이트를 계산할 수가 있다.

또, 이 로우기간을 하드웨어에 의한 타이머 (3) 을 사용해서 측정하는 경우에 대해서 설명하였지만, 예를들면 소프트웨어에 의한 타이머기능을 사용해도 마찬가지로 측정할 수가 있다.

또, 본 실시예에 있어서는 전면 플래시메모리를 채용한 플래시메모리 (2) 에 제어프로그램을 저장하는 경우에 대해서 설명하였지만, 예를들면 제 1 도에 점선으로 나타낸 바와 같이 마스크 리드온리메모리 (마스크ROM) (10) 을 구비하고, 이 마스크 리드온리메모리 (10) 에는 리라이트를 필요로 하지 않는 프로그램이나 데이타를 저장하는 경우등에 대해서도 적용 가능하다.

특히, 본 발명은 단일의 반도체 칩상에 적어도 중앙처리장치와 이 중앙처리장치가 처리해야할 정보를 전기적인 소거, 라이트에 의해서 리라이트 가능한 불휘발성의 플래시메모리를 구비한 마이크로 컴퓨터에 대해서 널리 적용 가능하다.

본원에 있어서 개시되는 발명중, 대표적인 것에 의해서 얻어지는 효과를 간단하게 설명하면 다음과 같다.

(1) . 중앙처리장치를 제어하는 프로그램은 전송원으로 부터의 직렬데이타의 로우 또는 하이의 기간을 측정하는 측정처리, 측정한 로우 또는 하이의 기간에서 전송원의 보레이트를 계산하는 계산처리, 계산에 의해 구한 보레이트를 직렬통신에 설정하는 설정처리 및 전송원에서 프로그램과 데이타를 수신하는 수신처리를 포함하는 것에 의해, 이 제어프로그램을 플래시메모리에 대한 리라이트를 실행하는 동작모드의 리세트에 의해 실행시키고, 전송원과 송신하는 직렬통신의 보레이트로 자동적으로 설정할 수가 있으므로, 전송원의 보레이트와 동일한 보레이트로, 또한 마이크로 컴퓨터의 동작주파수에 관계없이 프로그램 및 데이타의 수신이 가능하게 된다.

(2) . 제어프로그램을 보유하고 있는 에리어 이외에서 명령를 패치한 경우에, 이 제어프로그램의 보유에리어는 선택되지 않도록 하고, 또 제어프로그램을 보유하고 있는 에리어 이외의 플래시메모리의 테이타를 확인하여 이미 라이트된 데이타가 있는 때에는 이 제어프로그램을 보유하고 있는 에리어 이외를 소거하는 것에 의해 플래시 메모리의 데이타를 보호할 수가 있으므로, 정보의 기밀보호가 가능하게 된다.

또, 이 소거동작은 마이크로 컴퓨터의 동작주파수에 관계없이 플래시메모리의 소정의 소거시간을 설정할 수가 있다.

(3) . 상기 (1) 에 의해 마이크로 컴퓨터를 시스템에 실장한 상태에서 직렬통신을 사용해서 송신이 가능하므로, 내장하는 플래시메모리의 리라이트가 용이하게 실행될 수 있다.

(4) . 상기 (1) 에 의해 소량다품종 생산으로의 대응, 시스템마다의 최적화 및 출하후의 버젼업 메인터넌스의 대응이 가능하게 된다.

(57) 청구의 범위

청구항 1.

호스트컴퓨터 및

1개의 칩상에 형성되고, 상기 호스트컴퓨터에 결합되는 직렬통신유닛과 프로그램을 저장하는 리드 온리 메모리를 갖는 마이크로 컴퓨터로 이루어지고,

상기 마이크로 컴퓨터는

사용자에 의해서 설정되는 주파수를 갖는 클럭신호를 공급하는 클럭신호회로,

상기 직렬통신유닛을 거쳐서 상기 호스트컴퓨터에서 상기 마이크로 컴퓨터로 전송된 참조데이타의 특정기간에 있어서 상기 클럭신호의 사이클수를 카운트하는 측정유닛,

상기 클럭신호회로에서 상기 클럭신호를 받고, 상기 클럭신호에 따라서 동작하는 중앙처리장치 및

데이타를 저장하는 플래시메모리를 갖고,

상기 데이타는 소거시간 동안에 실행되는 소거동작에 의해서 소거되고,

상기 소거시간은 상기 중앙처리장치에 의해서 연산된 상기 클럭신호의 사이클수를 포함하고,

상기 중앙처리장치는 상기 참조데이타의 특정기간과 상기 측정유닛에 의해서 카운트된 사이클수에서 상기 클럭신호의 1사이클의 시간을 연산하고,

상기 플래시메모리내에 저장된 데이터의 소거시간으로서 할당될 상기 클럭신호의 사이클수를 연산하는 것을 특징으로 하는 마이크로 컴퓨터 시스템.

청구항 2.

제1항에 있어서,

상기 참조데이타는 하이레벨 상태와 로우레벨 상태를 갖고, 상기 호스트컴퓨터에서 직렬데이타로서 공급되고,

상기 참조데이타의 상기 특정기간은 하이레벨 상태와 로우레벨 상태중의 한쪽의 상태로 되고,

상기 측정유닛은 하이레벨 상태와 로우레벨 상태중의 한쪽의 상태로 되어 있는 상기 특정기간에 대응하는 상기 클럭신호의 사이클수를 측정하는 마이크로 컴퓨터 시스템.

청구항 3.

제2항에 있어서,

상기 마이크로 컴퓨터는 컨트롤 레지스터를 더 갖고,

상기 컨트롤 레지스터는 상기 소거동작의 실행을 지시하기 위해 세트되는 소거 지정비트를 갖고,

상기 소거지정비트는 상기 중앙처리장치에 의해서 세트 및 클리어되고,

상기 플래시메모리는 상기 소거지정비트가 세트되고 있는 동안에 소거되는 마이크로 컴퓨터 시스템.

청구항 4.

제3항에 있어서,

상기 소거지정비트는 상기 소거동작의 요구인 응답해서 상기 중앙처리장치에 의해서 세트되고,

상기 소거시간에 대응하는 상기 클럭신호의 사이클수가 발생된 후, 상기 소거지정비트는 클리어되는 마이크로 컴퓨터 시스템.

청구항 5.

제4항에 있어서,

상기 플래시메모리는 데이타를 저장하기 위해 여러개의 블럭을 갖고,

상기 마이크로 컴퓨터 시스템은 블럭지정 레지스터를 더 갖고,

상기 블럭지정 레지스터는 상기 여러개의 블럭에 대응하여 블럭 수거 지정비트를 갖고,

소거될 블럭에 대응하는 블럭 소거 지정비트는 상기 중앙처리장치에 의해서 세트되는 마이크로 컴퓨터 시스템.

청구항 6.

제5항에 있어서,

세트된 소거 지정비트에 대응하는 블럭에 저장되어 있는 데이타는 소거되는 마이크로 컴퓨터 시스템.

청구항 7.

제6항에 있어서,

상기 플래시메모리는 리드 온리 메모리이고,

상기 플래시메모리는 데이타를 저장하는 제1 블럭과 프로그램을 저장하는 제2 블럭을 갖는 마이크로 컴퓨터 시스템.

청구항 8.

제2항에 있어서,

로우레벨과 하이레벨중의 한쪽의 상태를 갖는 상기 특정기간은 고정된 시간인 마이크로 컴퓨터 시스템.

청구항 9.

호스트컴퓨터 및

1개의 칩상에 형성되고, 상기 호스트컴퓨터에 결합되는 직렬통신유닛, 프로그램을 저장하는 리드 온리 메모리 및 플래시메모리를 갖는 마이크로 컴퓨터로 이루어지는 마이크로 컴퓨터 시스템으로서, 상기 플래시메모리에 저장된 데이타를 소거하기 위한 방법에 있어서,

[a] 클럭신호의 주파수는 사용자에 의해서 설정되고, 상기 호스트컴퓨터에서 상기 직렬통신유닛으로 전송된 참조데이타의 특정기간에 있어서의 상기 클럭신호의 사이클수를 상기 마이크로 컴퓨터의 측정장치에 의해서 측정하는 스텝,

[b] 상기 측정유닛에 의해서 얻어진 사이클수와 상기 참조데이타의 특정기간에서 상기 클릭신호의 1사이클의 시간을 연산하는 스텝 및

[c] 상기 플래시메모리내에 저장된 데이타의 소거시간으로서 할당될 상기 클럭신호의 사이클수를 연산하는 스텝을 갖는 것을 특징으로 하는 소거시간 연산방법.

청구항 10.

제9항에 있어서,

상기 참조데이타의 특정기간은 고정된 시간인 소거시간 연산방법.

청구항 11.

호스트컴퓨터에 결합되는 직렬통신유닛,

사용자에 의해서 설정되는 주파수를 갖는 클럭신호를 공급하는 클럭신호회로,

상기 직렬통신유닛을 거쳐서 상기 호스트컴퓨터에서 마이크로 컴퓨터로 전송된 참조데이타의 특정기간에 있어서 상기 클럭신호의 사이클수를 카운트하는 측정유닛,

상기 클럭호회로에서 상기 클럭신호를 받고, 상기 클럭신호에 따라서 동작하는 중앙처리장치 및

데이타를 저장하는 플래시메모리를 갖고,

상기 데이타는 소거시간 동안에 실행되는 소거동작에 의해서 소거되고,

상기 소거시간은 상기 중앙처리장치에 의해서 연산된 상기 클럭신호의 사이클수를 포함하고,

상기 중앙처리장치는 상기 참조데이타의 특정기간과 상기 측정유닛에 의해서 카운트된 사이클수에서 상기 클럭신호의 1사이클의 시간을 연산하고,

상기 플래시메모리내에 저장된 데이타의 소거시간으로서 할당될 상기 클럭신호의 사이클수를 연산하는 것을 특징으로 하는 1개의 칩상에 형성된 마이크로 컴퓨터.

청구항 12.

제11항에 있어서,

상기 참조데이타는 하이레벨 상태와 로우레벨 상태를 갖고, 상기 호스트컴퓨터에서 직렬데이타로서 공급되고,

상기 참조데이타의 상기 특정기간은 하이레벨 상태와 로우레일 상태중의 한쪽의 상태로 되고,

상기 측정유닛은 하이레벨 상태와 로우레벨 상태중의 한쪽의 상태로 되어 있는 상기 특정기간에 대응하는 상기 클럭신호의 사이클수를 측정하는 마이크로 컴퓨터.

청구항 13.

제12항에 있어서,

상기 마이크로 컴퓨터는 컨트롤 레지스터를 더 갖고,

상기 컨트롤 레지스터는 상기 소거동작의 실행을 지시하기 위해 세트되는 소거 지정비트를 갖고,

상기 소거지정비트는 상기 중앙처리장치에 의해서 세트 및 클리어되고,

상기 플래시메모리는 상기 소거지정비트가 세트되고 있는 동안에 소거되는 마이크로 컴퓨터.

청구항 14.

제13항에 있어서,

상기 소거지정비트는 상기 소거동작의 요구에 응답하여 상기 중앙처리장치에 의해서 세트되고,

상기 소거시간에 대응하는 상기 클럭신호의 사이클수가 발생된 후, 상기 소거지정비트는 클리어되는 마이크로 컴퓨터.

청구항 15.

제14항에 있어서,

상기 플래시메모리는 데이타를 저장하기 위해 여러개의 블럭을 갖고

상기 마이크로 컴퓨터는 블럭지정 레지스터를 더 갖고,

상기 블럭지정 레지스터는 상기 여러개의 블럭에 대응하여 블럭소거 지정비트를 갖고, 소거될 블럭에 대응하는 블럭소거 지정비트는 상기 중앙처리장치에 의해서 세트되는 마이크로 컴퓨터.

청구항 16.

제15항에 있어서,

세트된 소거지정 비트에 대응하는 블럭에 저장되어 있는 데이타는 소거되는 마이크로 컴퓨터.

청구항 17.

제16항에 있어서,

상기 플래시메모리는 리드 온리 메모리이고,

상기 플래시메모리는 데이타를 저장하는 제1 블럭과 프로그램을 저장하는 제2 블럭을 갖는 마이크로 컴퓨터.

청구항 18.

제12항에 있어서,

로우레벨과 하이레벨중의 한쪽의 상태를 갖는 상기 특정기간은 고정된 시간인 마이크로 컴퓨터.

청구항 19.

중앙처리장치,

타이머,

메모리,

호스트컴퓨터와 상기 메모리에 결합되고, 상기 호스트컴퓨터에서 상기 메모리에 라이트될 데이타를 직렬로 받는 직렬 인터페이스회로 및

외부 라이트장치와 상기 메모리에 결합되고, 상기 라이트장치에서 상기 메모리에 라이트될 데이타를 병렬로 받는 입출력회로를 갖고,

상기 타이머는 상기 호스트컴퓨터에서 직렬로 받은 데이타의 소정기간을 측정하고,

상기 중앙처리장치는 상기 타이머에 의해서 측정된 시간에서 보레이트를 계산하는 것을 특징으로 하는 1개의 칩상에 형성된 마이크로 컴퓨터.

청구항 20.

제19항에 있어서,

상기 라이트장치는 범용 라이터인 마이크로 컴퓨터.

청구항 21.

제20항에 있어서,

상기 메모리에는 상기 중앙처리장치에 의해서 연산된 상기 보레이트에 따라서 상기 호스트컴퓨터로부터의 데이타가 라이트되는 마이크로 컴퓨터.

청구항 22.

제21항에 있어서,

상기 직렬 인터페이스회로는 수신단자와 송신단자를 갖는 마이크로 컴퓨터.

청구항 23.

제22항에 있어서,

상기 타이머는 상기 직렬 인터페이스회로의 상기 수신단자에 결합되는 인풋캡쳐 레지스터를 갖는 마이크로 컴퓨터.

청구항 24.

제23항에 있어서,

부트 프로그램 모드가 세트될 때, 상기 중앙처리장치는 상기 메모리내의 제어프로그램을 실행하는 마이크로 컴퓨터.

청구항 25.

제24항에 있어서,

모드설정단자를 더 갖고,

상기 부트 프로그램 모드는 상기 모드설정단자로 공급된 신호에 의해서 설정되는 마이크로 컴퓨터.

청구항 26.

제25항에 있어서,

상기 직렬 인터페이스회로는 비트레이트 레지스터를 갖고,

상기 중앙처리장치에 의해서 연산된 보레이트의 값은 상기 비트레이트 레지스터에 저장되는 마이크로 컴퓨터.

청구항 27.

제26항에 있어서,

클럭단자와 분주기를 더 갖고,

상기 분주기는 상기 클럭단자에서 공급된 클럭신호에서 내부클럭신호를 형성하는 마이크로 컴퓨터.

청구항 28.

제27항에 있어서,

상기 타이머는 상기 타이머의 인풋캡쳐기능에 의해서 상기 내부클럭신호에 따라서 상기 호스트컴퓨터에서 받은 데이타의 소정기간을 측정하는 마이크로 컴퓨터.

청구항 29.

제28항에 있어서,

보레이트조정 후, 조정종료를 나타내는 신호를 상기 호스트컴퓨터로 송신하는 마이크로 컴퓨터.

청구항 30.

제29항에 있어서,

상기 메모리는 여러개의 메모리셀을 갖는 플래시메모리이고,

상기 여러개의 메모리셀의 각각은 부유게이트와 컨트롤 게이트를 갖는 마이크로 컴퓨터.

청구항 31.

중앙처리장치,

타이머,

메모리,

호스트컴퓨터와 상기 메모리에 결합되고,상기 호스트컴퓨터에서 상기 메모리에 라이트될 데이타를 직렬로 받고, 상기 호스트컴퓨터로부터의 상기 데이타를 상기 메모리로 공급하는 직렬 인터페이스회로 및

상기 메모리에 결합되고, 데이타를 병렬로 받고, 병렬로 받은 상기 데이타를 상기 메모리로 공급하는 입출력회로를 갖고,

상기 타이머는 상기 호스트컴퓨터에서 직렬로 받은 데이타의 소정기간을 측정하고,

상기 중앙처리장치는 상기 타이머에 의해서 측정된 시간에서 보레이트를 계산하는 것을 특징으로 하는 1개의 칩상에 형성된 마이크로 컴퓨터.

청구항 32.

제31항에 있어서,

상기 메모리에는 범용라이터로부터의 데이타가 라이트되는 마이크로 컴퓨터.

청구항 33.

제32항에 있어서,

싱기 메모리에는 상기 중앙처리장치에 의해서 연산된 상기 보레이트에 따라서 상기 호스트컴퓨터로부터의 데이타가 라이트되는 마이크로 컴퓨터.

청구항 34.

제33항에 있어서,

상기 직렬 인터페이스회로는 수신단자와 송신단자를 갖는 마이크로 컴퓨터.

청구항 35.

제34항에 있어서,

상기 타이머는 상기 직렬 인터페이스회로의 상기 수신단자에 결합되는 인풋캡쳐 레지스터를 갖는 마이크로 컴퓨터.

청구항 36.

제35항에 있어서,

부트 프로그램 모드가 세트될 때, 상기 중앙처리장치는 상기 메모리내의 제어프로그램을 실행하는 마이크로 컴퓨터.

청구항 37.

제36항에 있어서,

모드설정단자를 더 갖고,

상기 부트 프로그램 모드는 상기 모드설정단자로 공급된 신호에 의해서 설정되는 마이크로 컴퓨터.

청구항 38.

제37항에 있어서,

상기 직렬 인터페이스회로는 비트레이트 레지스터를 갖고,

상기 중앙처리장치에 의해서 연산된 보레이트의 값은 상기 비트레이트 레지스터에 저장되는 마이크로 컴퓨터.

청구항 39.

제38항에 있어서,

클럭단자와 분주기를 더 갖고,

상기 분주기는 상기 클럭단자에서 공급된 클럭신호로 내부클럭신호를 형성하는 마이크로 컴퓨터.

청구항 40.

제39항에 있어서,

상기 타이머는 상기 타이머의 인풋캡쳐기능에 의해서 상기 내부클럭신호에 따라서 상기 호스트컴퓨터에서 받은 데이타의 소정기간을 측정하는 마이크로 컴퓨터.

청구항 41.

제40항에 있어서,

보레이트 조정후, 조정종료를 나타내는 신호를 상기 호스트컴퓨터로 송신하는 마이크로 컴퓨터.

청구항 42.

제41항에 있어서,

상기 메모리는 여러개의 메모리셀을 갖는 플래시메모리이고,

상기 여러개의 메모리셀의 각각은 부유게이트와 컨트롤 게이트를 갖는 마이크로 컴퓨터.

청구항 43.

제31항에 있어서,

상기 메모리에는 상기 중앙처리장치에 의해서 연산된 상기 보레이트에 따라서 상기 호스트컴퓨터로부터의 데이타가 라이트되는 마이크로 컴퓨터.

청구항 44.

제43항에 있어서,

상기 직렬 인터페이스회로는 수신단자와 송신단자를 갖는 마이크로 컴퓨터.

청구항 45.

제44항에 있어서,

상기 타이머는 상기 직렬 인터페이스회로의 상기 수신단자에 결합되는 인풋캡쳐 레지스터를 갖는 마이크로 컴퓨터.

청구항 46.

제45항에 있어서,

부트 프로그램 모드가 세트될 때, 상기 중앙처리장치는 상기 메모리내의 제어프로그램을 실행하는 마이크로 컴퓨터.

청구항 47.

제46항에 있어서,

모드설정단자를 더 갖고,

상기 부트 프로그램 모드는 상기 모드설정단자로 공급된 신호에 의해서 설정되는 마이크로 컴퓨터.

청구항 48.

제47항에 있어서,

상기 직렬 인터페이스회로는 비트레이트 레지스터를 갖고,

상기 중앙처리장치에 의해서 연산된 보레이트의 값은 상기 비트레이트 레지스터에 저장되는 마이크로 컴퓨터.

청구항 49.

제48항에 있어서,

클럭단자와 분주기를 더 갖고,

상기 분주기는 상기 클럭단자에서 공급된 클럭신호로 내부클럭신호를 형성하는 마이크로 컴퓨터.

청구항 50.

제49항에 있어서,

상기 타이머는 상기 타이머의 인풋캡쳐기능에 의해서 상기 내부클럭신호에 따라서 상기 호스트컴퓨터에서 받은 데이타의 소정기간을 측정하는 마이크로 컴퓨터.

청구항 51.

제50항에 있어서,

보레이트 조정후, 조정종료를 나타내는 신호를 상기 호스트컴퓨터로 송신하는 마이크로 컴퓨터.

청구항 52.

제51항에 있어서,

상기 메모리는 여러개의 메모리셀을 갖는 플래시메모리이고,

상기 여러개의 메모리셀의 각각은 부유게이트와 컨트롤 게이트를 갖는 마이크로 컴퓨터.

청구항 53.

중앙처리장치,

불휘발성 반도체 메모리,

모드설정신호가 공급되는 단자 및

상기 불휘발성 메모리에 라이트될 데이타가 공급되는 데이타 입력회로를 갖고,

상기 불휘발성 반도체 메도리는 제어프로그램을 저장하는 제1 블럭과 데이타를 저장하는 제2 블럭을 갖고,

상기 단자로 소정 모드를 나타내는 모드설정신호가 공급되었을 때 상기 중앙처리장치가 상기 제2 블럭내에 미리 라이트된 데이타를 발견하면, 상기 미리 라이트된 데이타는 상기 중앙처리장치에 의해서 소거되고 상기 데이타 입력회로로 공급된 데이타를 상기 제2 블럭에 라이트하며,

상기 중앙처리장치는 상기 제2 블럭내에 미리 라이트된 데이타를 발견하지 못했을 때, 상기 데이타 입력회로로 공급된 데이타를 상기 제2 블럭에 라이트하는 마이크로 컴퓨터.

청구항 54.

제53항에 있어서,

랜덤 액세스 메모리를 더 갖고,

상기 중앙처리장치는 상기 제어프로그램을 실행하는 것에 의해서 프로그램이 상기 마이크로 컴퓨터의 외부에서 상기 랜덤액세스메모리로 전송되는 마이크로 컴퓨터.

청구항 55.

제54항에 있어서,

상기 데이타 입력회로는 호스트컴퓨터가 결합되는 직렬인터페이스회로이고,

상기 랜덤 액세스 메모리로 전송된 상기 프로그램은 상기 호스트컴퓨터에서 직렬로 공급되는 마이크로 컴퓨터.

청구항 56.

제55항에 있어서,

상기 데이타 입력회로는 범용 라이터가 결합되는 입출력회로인 마이크로 컴퓨터.

청구항 57.

제56항에 있어서,

상기 마이크로 컴퓨터는 상기 중앙처리장치가 상기 모드설정신호에 의해서 상기 제1 블럭내에 저장된 상기 제어프로그램을 실행하는 상기 소정모드로 설정되는 마이크로 컴퓨터.

청구항 58.

제57항에 있어서,

리세트신호를 받는 리세트단자를 더 갖고,

상기 마이크로 컴퓨터가 상기 소정모드로 설정되고 또한 상기 리세트단자로 상기 리세트신호가 공급될 때, 상기 중앙처리장치는 상기 제1 블럭에 저장된 상기 제어프로그램의 실행을 개시하는 마이크로 컴퓨터.

청구항 59.

제58항에 있어서,

제어 레지스터와 소거블럭 지정레지스터를 더 갖고,

상기 제어레지스터는 상기 불휘발성 반도체 메모리의 동작을 지정하고,

상기 소거블럭 지정레지스터는 상기 제1 블럭과 상기 제2 블럭을 지정하고,

소거동작을 나타내는 데이타가 상기 제어레지스터내의 소거비트로 설정되고 또한 소정 상태 데이타가 상기 소거블럭 지정레지스터내의 상기 제2 블럭을 지정하는 비트로 설정되는 경우에는 상기 제2 블럭에 저장되어 있는 데이타가 소거되는 마이크로 컴퓨터.

청구항 60.

제59항에 있어서,

상기 불휘발성 반도체 메모리는 여러개의 메모리셀을 갖고,

상기 여러개의 메모리셀의 각각은 부유게이트와 컨트롤게이트를 갖는 마이크로 컴퓨터.

청구항 61.

중앙처리장치,

입출력회로,

호스트 컴퓨터에 결합되는 인터페이스회로,

불휘발성 반도체 메모리 및

모드설정신호가 공급되는 단자를 갖고,

상기 불휘발성 반도체 메모리는 제1 프로그램을 저장하는 제1 블럭과 데이타를 저장하는 제2 블럭을 갖고,

상기 단자로 부트모드를 나타내는 모드설정신호가 공급된 후에 제2 프로그램이 상기 호스트컴퓨터에서 전송되고, 상기 중앙처리장치가 상기 제1 블럭내의 상기 제1 프로그램을 실행하고,

상기 제2 프로그램의 실행전에 상기 제2 블랙내에 라이트데이타가 존재하는지 존재하지 않는지를 검증하고,

상기 제2 블럭내에 라이트데이타가 존재하면, 상기 라이트데이타는 소거되고 그후 상기 제2 프로그램을 실행해서 상기 제2 블럭에 데이타가 라이트되고,

상기 제2 블럭내에 라이트데이타가 존재하지 않으면, 상기 제2 프로그램을 실행해서 상기 제2 블럭에 데이타가 라이트되는 마이크로 컴퓨터.

청구항 62.

제61항에 있어서,

랜덤 액세스 메모리를 더 갖고,

상기 제2 프로그램은 상기 랜덤 액세스 메모리로 직렬로 전송되는 마이크로 컴퓨터.

청구항 63.

제62항에 있어서,

상기 입출력회로는 범용라이터가 결합되는 마이크로 컴퓨터.

청구항 64.

제63항에 있어서,

리세트신호를 받는 리세트단자를 더 갖고,

상기 부트모드에 있어서 상기 중앙처리장치는 상기 제1 블럭에 저장된 상기 프로그램의 실행을 개시하는 마이크로 컴퓨터.

청구항 65.

제64항에 있어서,

제어레지스터와 소거블럭 지정레지스터를 더 갖고,

상기 제어레지스터는 상기 불휘발성 반도체 메모리의 동작을 지정하고,

상기 소거블럭 지정레지스터는 상기 제1 블럭과 상기 제2 블럭을 지정하고,

소거동작을 나타내는 데이타가 상기 제어레지스터내의 소거비트로 설정되고 또한 소정 상태데이타가 상기 소거블럭 지정레지스터내의 상기 제2 블럭을 지정하는 비트로 설정되는 경우에는 상기 제2 블럭에 저장되어 있는 데이타가 소거되는 마이크로 컴퓨터.

청구항 66.

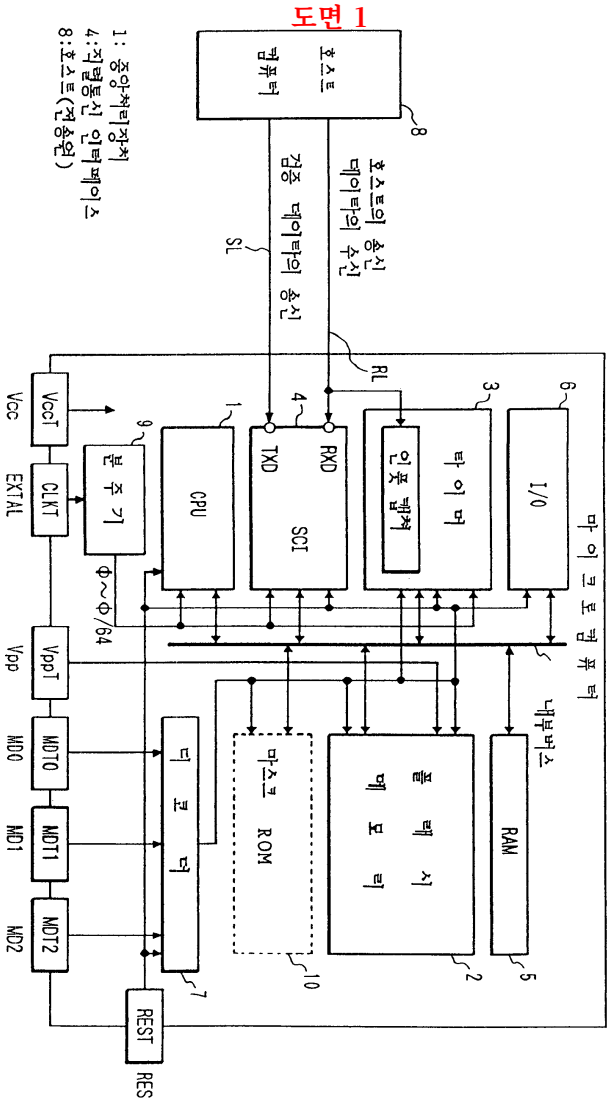
제65항에 있어서,

상기 불휘발성 반도체 메모리는 여러개의 메모리셀을 갖고,

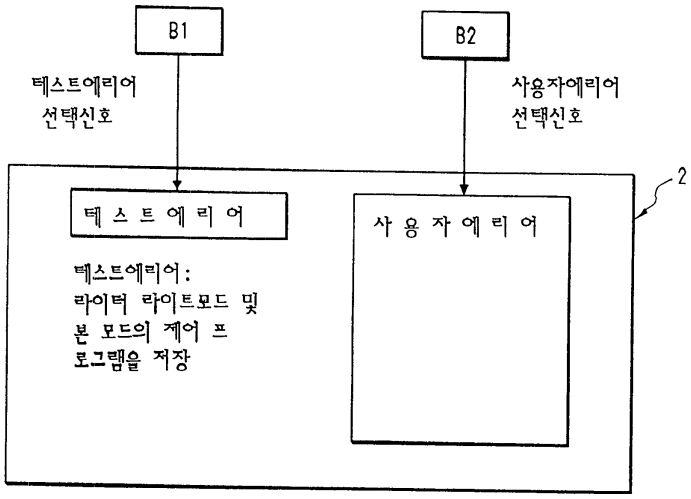
상기 여러개의 메모리셀의 각각은 부유게이트와 컨트롤게이트를 갖는 마이크로 컴퓨터.

도면

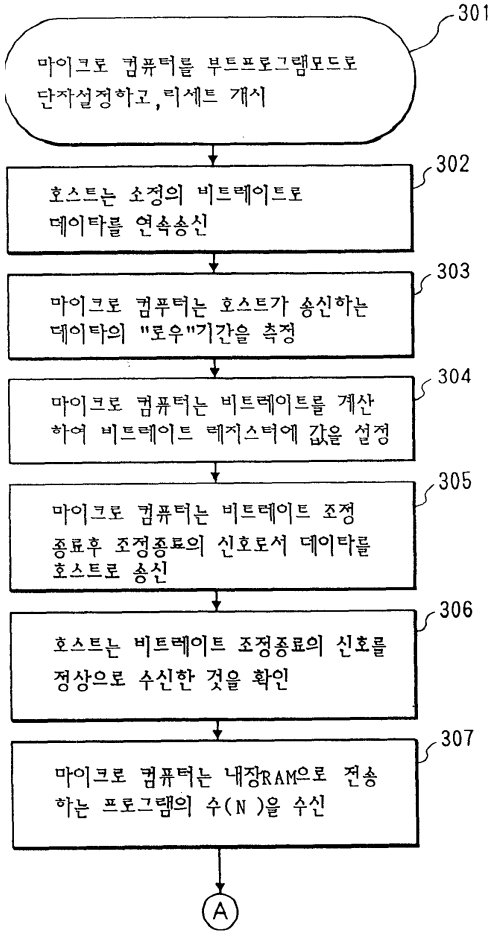
도면 1


1: 중앙처리장치
4:직렬통신 인터페이스
8:호스트(컴퓨터)
호스트 컴퓨터
8
검증 데이타의 송신
SL
호스트의 송신 데이타의 수신
RL
Vcc
EXTAL
Vpp
MD0
MD1
MD2
VccT
CLKT
VppT
MDT0
MDT1
MDT2
REST
RES
분주기
Φ~Φ/64
9
CPU
1
RXD
TXD
SCI
4
바이머
인풋 캡쳐
3
I/O
6
마이크로컴퓨터
내부버스
디코더
7
마스크 ROM
10
플래시 메모리
2
RAM
5

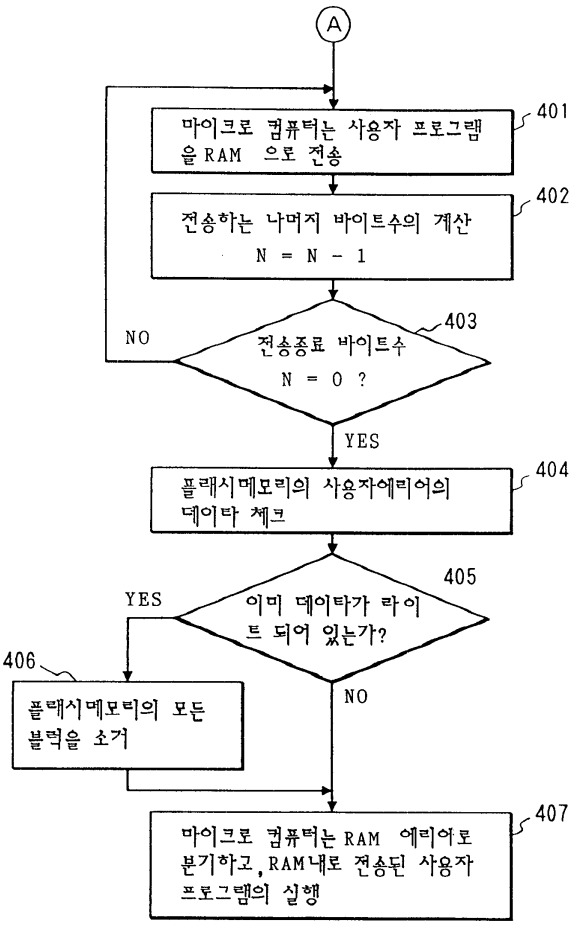
도면 2


B1
B2
테스트에리어
선택신호
사용자에리어
선택신호
2
테 스 트 에 리 어
사 용 자 에 리 어
테스트에리어:
라이터 라이트모드 및
본 모드의 제어 프
로그램을 저장

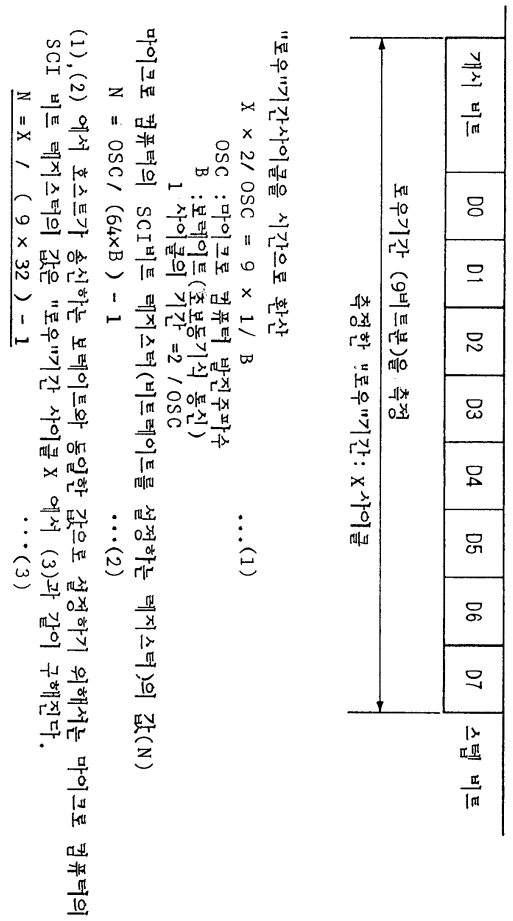
도면 3


301
마이크로 컴퓨터를 부트프로그램모드로 단자설정하고,리세트 개시
302
호스트는 소정의 비트레이트로 데이타를 연속송신
303
마이크로 컴푸터는 호스트가 송신하는 데이타의 "로우"기간을 측정
304
마이크로 컴퓨터는 비트레이트를 계산하여 비트레이트 레지스터에 값을 설정
305
마이크로 컴퓨터는 비트레이트 조정 종료후 조정종료의 신호로서 데이타를 호스트로 송신
306
호스트는 비트레이트 조정종료의 신호를 정상으로 수신한 것을 확인
307
마이크로 컴퓨터는 내장RAM으로 전송하는 프로그램의 수(N)을 수신
A

도면 4


A
마이크로 컴퓨터는 사용자 프로그램을 RAM 으로 전송
401
전송하는 나머지 바이트수의 계산
N = N - 1
402
NO
전송종료 바이트수
N = 0 ?
403
YES
플래시메모리의 사용자에리어의 데이타 체크
404
YES
이미 데이타가 라이트 되어 있는가?
405
406
플래시메모리의 모든 블럭을 소거
NO
마이크로 컴퓨터는 RAM 에리어로 분기하고, RAM내로 전송된 사용자 프로그램의 실행
407

도면 5



"로우"기간사이클을 시간으로 환산

$$X \times 2 / OSC = 9 \times 1 / B \quad \cdots(1)$$

OSC : 마이크로 컴퓨터 발진주파수

B : 보레이트(초보동기식 통신)

1 사이클의 기간 = 2 / OSC

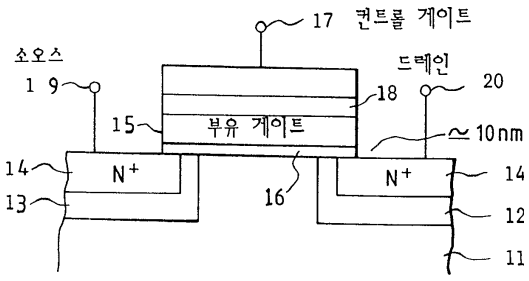
마이크로 컴퓨터의 SCI비트 레지스터(비트레이트를 설정하는 레지스터)의 값(N)

$$N = OSC / (64 \times B) - 1 \quad \cdots(2)$$

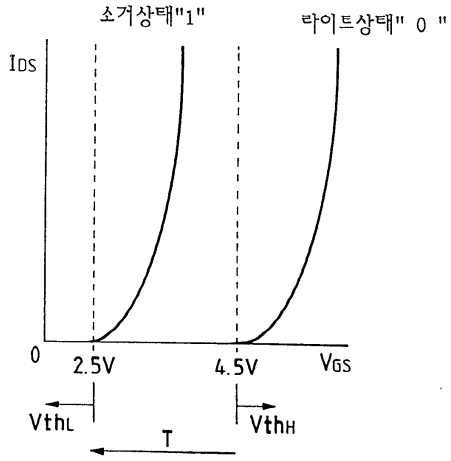
(1),(2) 에서 호스트가 송신하는 보레이트와 동일한 값으로 설정하기 위해서는 마이크로 컴퓨터의 SCI 비트 레지스터의 값은 "로우"기간 사이클 X 에서 (3)과 같이 구해진다.

$$N = X / (9 \times 32) - 1 \quad \cdots(3)$$

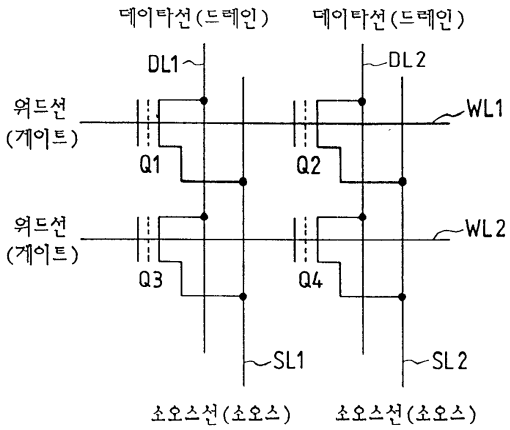
도면 6a



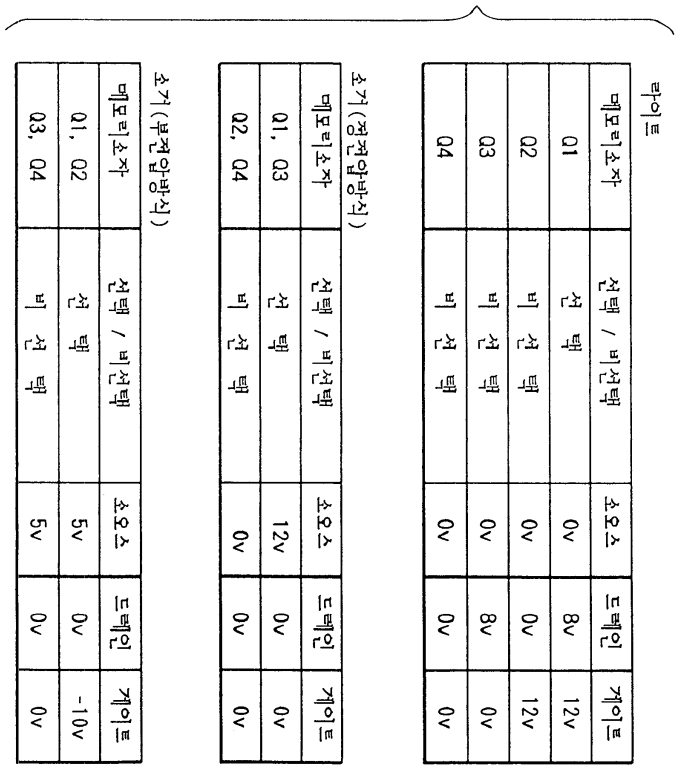
도면 6b


소거상태"1"
라이트상태" 0 "
IDS
0
2.5V
4.5V
VGS
VthL
VthH
T

도면 7


데이타선(드레인)
데이타선(드레인)
DL1
DL2
워드선
(게이트)
WL1
Q1
Q2
워드선
(게이트)
WL2
Q3
Q4
SL1
SL2
소오스선(소오스)
소오스선(소오스)

도면 8



라이트

메모리소자	선택 / 비선택	소오스	드레인	게이트
Q1	선 택	0v	8v	12v
Q2	비 선 택	0v	0v	12v
Q3	비 선 택	0v	8v	0v
Q4	비 선 택	0v	0v	0v

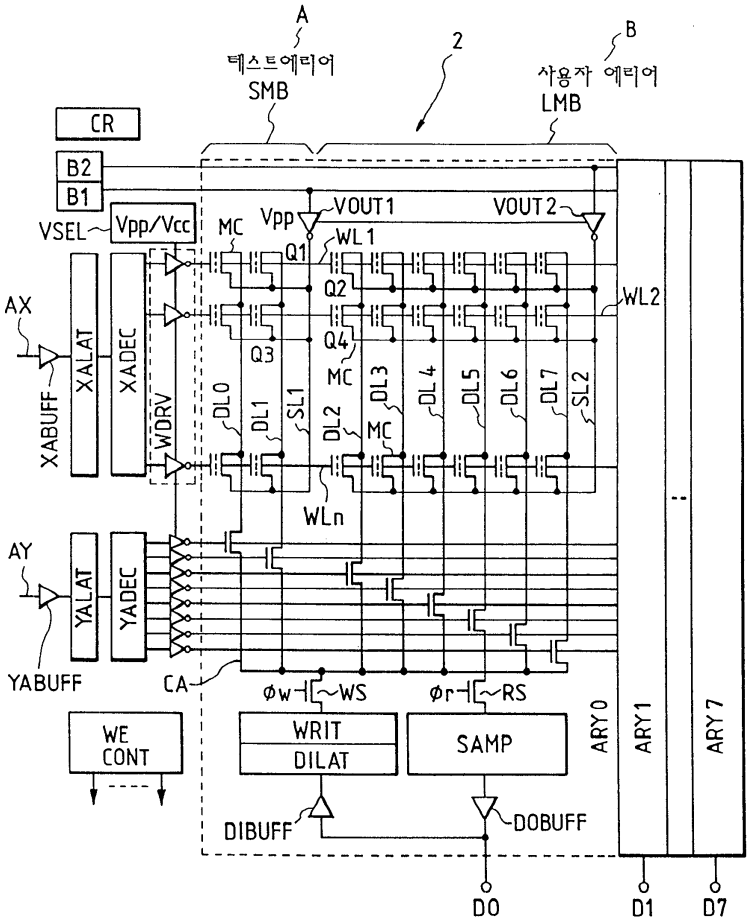
소거(정전압방식)

메모리소자	선택 / 비선택	소오스	드레인	게이트
Q1, Q3	선 택	12v	0v	0v
Q2, Q4	비 선 택	0v	0v	0v

소거(부전압방식)

메모리소자	선택 / 비선택	소오스	드레인	게이트
Q1, Q2	선 택	5v	0v	-10v
Q3, Q4	비 선 택	5v	0v	0v

도면 9



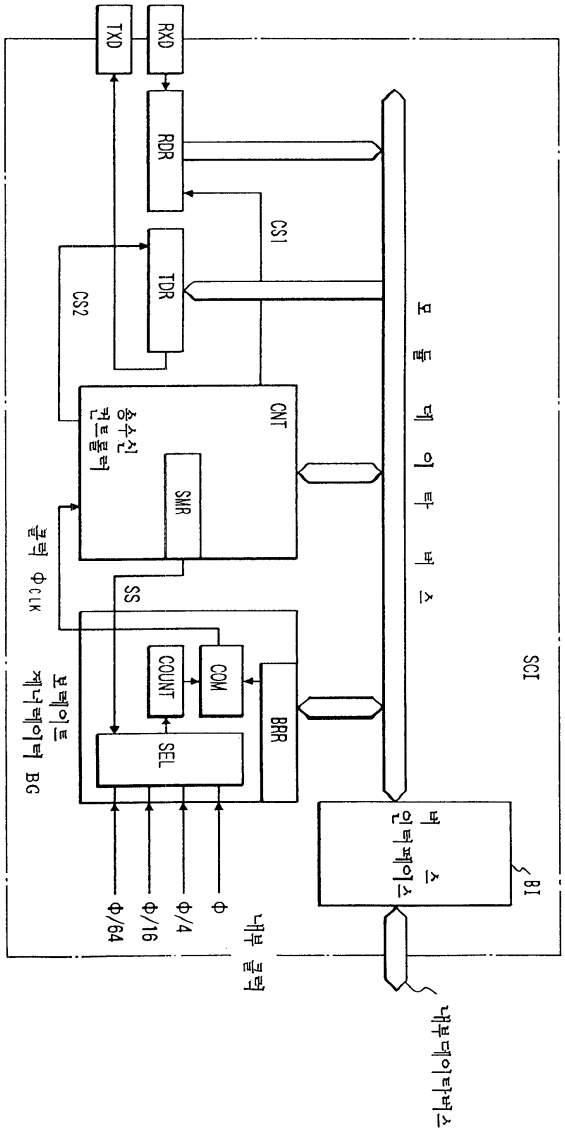
도면 10

컨트롤 레지스터 CR

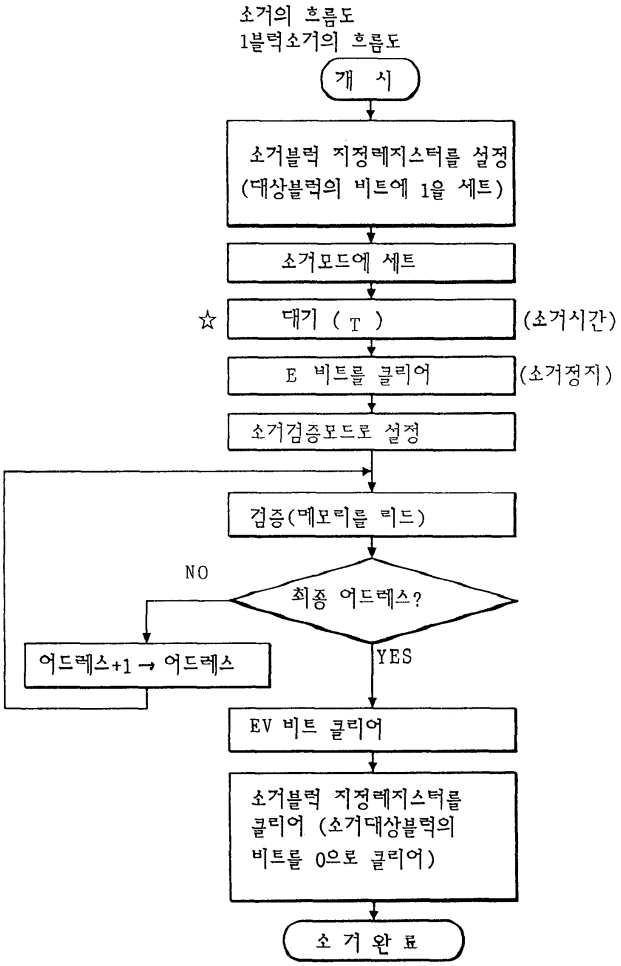
프로그램 / 소거 제어레지스터

VPP				EV	PV	E	P

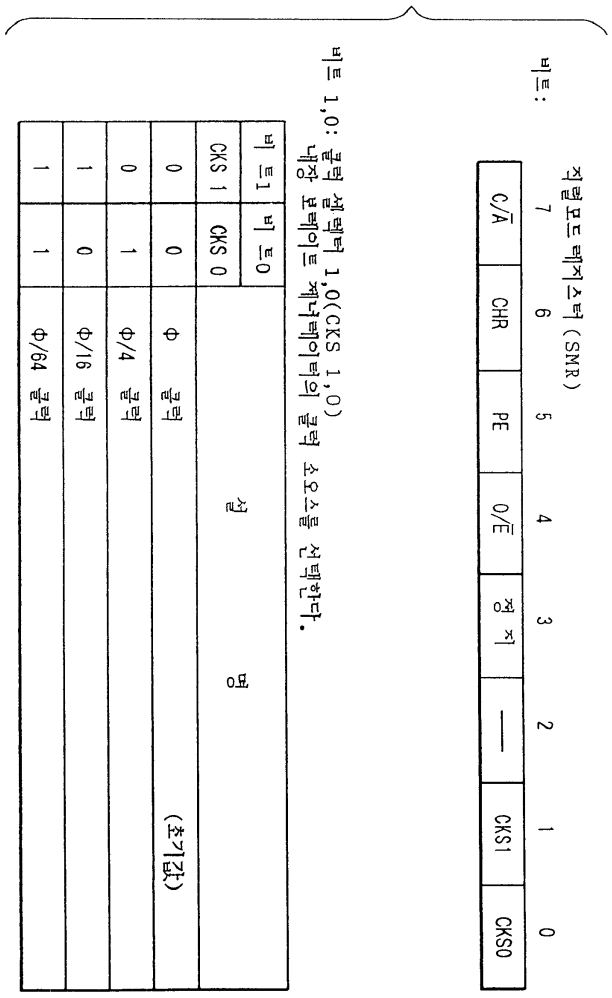
도면 11


TXD
RXD
RDR
TDR
CS1
CS2
CNT
송수신 컨트롤러
SMR
SS
클럭 ΦCLK
보레이트 제너레이터 BG
COUNT
COM
BRR
SEL
Φ/64
Φ/16
Φ/4
Φ
내부 클럭
모 듈 데 이 타 버 스
SCI
버 스 인터페이스
BI
내부데이터버스

도면 12


소거의 흐름도
1블럭소거의 흐름도
개 시
소거블럭 지정레지스터를 설정
(대상블럭의 비트에 1을 세트)
소거모드에 세트
☆
대기 (T)
(소거시간)
E 비트를 클리어
(소거정지)
소거검증모드로 설정
검증(메모리를 리드)
NO
최종 어드레스?
어드레스+1 → 어드레스
YES
EV 비트 클리어
소거블럭 지정레지스터를
클리어 (소거대상블럭의
비트를 0으로 클리어)
소 거 완 료

도면 13


직렬모드 레지스터 (SMR)
비트:
7 6 5 4 3 2 1 0
C/Ā CHR PE O/Ē 정 지 — CKS1 CKS0
비트 1,0: 클럭 셀렉터 1,0(CKS 1,0)
내장 보레이트 제너레이터의 클럭 소오스를 선택한다.
비트 1 비트 0 설 명
CKS 1 CKS 0
0 0 Φ 클럭 (초기값)
0 1 Φ/4 클럭
1 0 Φ/16 클럭
1 1 Φ/64 클럭