

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第5648523号
(P5648523)

(45) 発行日 平成27年1月7日 (2015.1.7)

(24) 登録日 平成26年11月21日 (2014.11.21)

(51) Int.Cl.	F I
HO 1 L 21/314 (2006.01)	HO 1 L 21/314 M
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H
HO 1 L 29/778 (2006.01)	HO 1 L 29/78 3 O 1 B
HO 1 L 29/812 (2006.01)	HO 1 L 29/78 3 O 1 G
HO 1 L 21/336 (2006.01)	HO 1 L 21/314 A
請求項の数 8 (全 25 頁) 最終頁に続く	

(21) 出願番号	特願2011-31109 (P2011-31109)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成23年2月16日 (2011.2.16)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2012-169545 (P2012-169545A)	(74) 代理人	100070150 弁理士 伊東 忠彦
(43) 公開日	平成24年9月6日 (2012.9.6)	(74) 代理人	100146776 弁理士 山口 昭則
審査請求日	平成25年11月6日 (2013.11.6)	(72) 発明者	中村 哲一 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		(72) 発明者	尾崎 史朗 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		最終頁に続く	

(54) 【発明の名称】 半導体装置、電源装置、増幅器及び半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板の上方に形成された半導体層と、
前記半導体層上に形成された絶縁膜と、
前記絶縁膜上に形成された電極と、
を有し、
前記絶縁膜は、前記電極の側における膜応力よりも、前記半導体層の側における膜応力が低いものであり、
前記絶縁膜は、第1の絶縁膜上に第2の絶縁膜が積層されているものであって、
前記第1の絶縁膜は、前記第2の絶縁膜よりも膜応力が低いものであり、
前記絶縁膜は、炭素を主成分とするアモルファス膜により形成されているものであって

10

、
前記第1の絶縁膜に含まれる窒素、酸素、水素及びフッ素のうち、いずれか1の濃度が、
前記第2の絶縁膜に含まれる濃度よりも高いことを特徴とする半導体装置。

【請求項 2】

基板の上方に形成された半導体層と、
前記半導体層の上方に形成された電極と、
前記半導体層の上方に形成された保護膜と、
を有し、
前記保護膜は、前記半導体層に近い側における膜応力が、前記半導体層から離れた側に

20

おける膜応力よりも、低いものであり、

前記保護膜は、第 1 の保護膜上に第 2 の保護膜が積層されたものであって、

前記第 1 の保護膜は、前記第 2 の保護膜よりも膜応力が低いものであり、

前記保護膜は、炭素を主成分とするアモルファス膜により形成されているものであって

、

前記第 1 の保護膜に含まれる窒素、酸素、水素及びフッ素のうち、いずれか 1 の濃度が、前記第 2 の保護膜に含まれる濃度よりも高いことを特徴とする半導体装置。

【請求項 3】

前記電極はゲート電極であり、

前記半導体層は、第 1 の半導体層と、前記第 1 の半導体層の上方に形成された第 2 の半導体層とを含むものであって、

前記第 1 の半導体層または前記第 2 の半導体層に接して形成されたソース電極及びドレイン電極を有することを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記電極はゲート電極であり、

前記半導体層は、第 1 の半導体層と、前記第 1 の半導体層の上方に形成された第 2 の半導体層とを含むものであって、

前記第 1 の半導体層または前記第 2 の半導体層に接して形成されたソース電極及びドレイン電極を有し、

前記第 2 の半導体層には開口部が形成されており、

前記ゲート電極は前記開口部内に形成されていることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 5】

請求項 1 から 4 のいずれかに記載の半導体装置を有することを特徴とする電源装置。

【請求項 6】

請求項 1 から 4 のいずれかに記載の半導体装置を有することを特徴とする増幅器。

【請求項 7】

基板の上方に半導体層を形成する工程と、

前記半導体層上に炭素を主成分とするアモルファス膜を含む絶縁膜を形成する工程と、

前記絶縁膜上に電極を形成する工程と、

を有し、

前記炭素を主成分とするアモルファス膜を含む絶縁膜を形成する工程は、窒素が添加された炭素を主成分とするアモルファス膜となる第 1 の絶縁膜を成膜する工程と、

前記第 1 の絶縁膜上に、前記第 1 の絶縁膜よりも窒素の濃度が低い炭素を主成分とするアモルファス膜となる第 2 の絶縁膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 8】

基板の上方に半導体層を形成する工程と、

前記半導体層の上方に電極を形成する工程と、

前記半導体層の上方に炭素を主成分とするアモルファス膜を含む保護膜を形成する工程と、

を有し、

前記保護膜を形成する工程は、窒素が添加された炭素を主成分とするアモルファス膜となる第 1 の保護膜を成膜する工程と、

前記第 1 の絶縁膜上に、前記第 1 の保護膜よりも窒素の濃度が低い炭素を主成分とするアモルファス膜となる第 2 の保護膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

10

20

30

40

50

本発明は、半導体装置、電源装置、増幅器及び半導体装置の製造方法に関する。

【背景技術】

【0002】

窒化物半導体であるGa₂N、AlN、InNまたは、これらの混晶からなる材料等は、広いバンドギャップを有しており、高出力電子デバイスまたは短波長発光デバイス等に用いられている。このうち、高出力電子デバイスとしては、電界効果型トランジスタ(FET: Field effect transistor)、特に、高電子移動度トランジスタ(HEMT: High Electron Mobility Transistor)に関する技術が開発されている。このような窒化物半導体を用いたHEMTは、高出力・高効率増幅器、大電力スイッチングデバイス等に用いられる。

10

【0003】

ところで、このような用途に用いられるHEMTは、高いドレイン耐圧やゲート耐圧が求められるため、ゲート絶縁膜となる絶縁膜を形成したMIS(Metal Insulator Semiconductor)構造が用いられている場合が多い。このようにMIS構造とすることにより、より電力用途に適した半導体デバイスとすることができる。

【0004】

また、このような電界効果型トランジスタ等の半導体装置においては、通常、ゲート電極またはドレイン電極等を形成した後、パッシベーション等のため、表面の全体に絶縁体からなる保護膜が形成される。

20

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2002-359256号公報

【特許文献2】特開2008-218479号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

また、トランジスタを用いた電力用の高効率なスイッチング素子を実現するためには、オン抵抗の低減、ノーマリーオフ動作の実現、スイッチング素子の高耐圧化が求められている。しかしながら、このような要求とともに、歩留りが高く、信頼性が高いものであることも併せて求められている。

30

【0007】

即ち、ゲート電極と半導体層との間にゲート絶縁膜となる絶縁膜が形成されている半導体装置及び保護膜となる絶縁膜が形成されている半導体装置において、高い信頼性で、高い歩留りで製造可能な半導体装置及び半導体装置の製造方法が求められている。また、更には、このような半導体装置を用いた電源装置及び増幅器が求められている。

【課題を解決するための手段】

【0008】

本実施の形態の一観点によれば、基板の上方に形成された半導体層と、前記半導体層上に形成された絶縁膜と、前記絶縁膜上に形成された電極と、を有し、前記絶縁膜は、前記電極の側における膜応力よりも、前記半導体層の側における膜応力が低いものであり、前記絶縁膜は、第1の絶縁膜上に第2の絶縁膜が積層されているものであって、前記第1の絶縁膜は、前記第2の絶縁膜よりも膜応力が低いものであり、前記絶縁膜は、炭素を主成分とするアモルファス膜により形成されているものであって、前記第1の絶縁膜に含まれる窒素、酸素、水素及びフッ素のうち、いずれか1の濃度が、前記第2の絶縁膜に含まれる濃度よりも高いことを特徴とする。

40

【0009】

また、本実施の形態の他の一観点によれば、基板の上方に形成された半導体層と、前記半導体層の上方に形成された電極と、前記半導体層の上方に形成された保護膜と、を有し、前記保護膜は、前記半導体層に近い側における膜応力が、前記半導体層から離れた側に

50

おける膜応力よりも、低いものであり、前記保護膜は、第1の保護膜上に第2の保護膜が積層されたものであって、前記第1の保護膜は、前記第2の保護膜よりも膜応力が低いものであり、前記保護膜は、炭素を主成分とするアモルファス膜により形成されているものであって、前記第1の保護膜に含まれる窒素、酸素、水素及びフッ素のうち、いずれか1の濃度が、前記第2の保護膜に含まれる濃度よりも高いことを特徴とする。

【0010】

また、本実施の形態の他の一観点によれば、基板の上方に半導体層を形成する工程と、前記半導体層上に炭素を主成分とするアモルファス膜を含む絶縁膜を形成する工程と、前記絶縁膜上に電極を形成する工程と、を有し、前記炭素を主成分とするアモルファス膜を含む絶縁膜を形成する工程は、窒素が添加された炭素を主成分とするアモルファス膜となる第1の絶縁膜を成膜する工程と、前記第1の絶縁膜上に、前記第1の絶縁膜よりも窒素の濃度が低い炭素を主成分とするアモルファス膜となる第2の絶縁膜を形成する工程と、を有することを特徴とする。

10

【0011】

また、本実施の形態の他の一観点によれば、基板の上方に半導体層を形成する工程と、前記半導体層の上方に電極を形成する工程と、前記半導体層の上方に炭素を主成分とするアモルファス膜を含む保護膜を形成する工程と、を有し、前記保護膜を形成する工程は、窒素が添加された炭素を主成分とするアモルファス膜となる第1の保護膜を成膜する工程と、前記第1の絶縁膜上に、前記第1の保護膜よりも窒素の濃度が低い炭素を主成分とするアモルファス膜となる第2の保護膜を形成する工程と、を有することを特徴とする。

20

【発明の効果】

【0012】

開示の半導体装置及び半導体装置の製造方法によれば、ゲート電極と半導体層との間にゲート絶縁膜となる絶縁膜が形成されている半導体装置及び保護膜となる絶縁膜が形成されている半導体装置を高い信頼性で、高い歩留りで製造することができる。よって、所望の特性を有する信頼性の高い半導体装置、電源装置及び増幅器を低コストで得ることができる。

【図面の簡単な説明】

【0013】

【図1】半導体素子の構造図

30

【図2】半導体素子における測定の説明図

【図3】印加電圧と容量との相関図

【図4】絶縁膜の説明図

【図5】アモルファスカーボン膜における膜中窒素濃度と応力との相関図

【図6】第1の実施の形態における半導体装置の構造図

【図7】sp³の比率と膜密度及びプラズモンピークとの相関図

【図8】第1の実施の形態における半導体装置の製造工程図(1)

【図9】第1の実施の形態における半導体装置の製造工程図(2)

【図10】FCA成膜装置の構造図

【図11】第2の実施の形態における半導体装置の構造図

40

【図12】第3の実施の形態における半導体装置の構造図

【図13】第4の実施の形態における半導体装置の構造図

【図14】第4の実施の形態における半導体装置の製造工程図(1)

【図15】第4の実施の形態における半導体装置の製造工程図(2)

【図16】第5の実施の形態におけるディスクリットパッケージされた半導体デバイスの説明図

【図17】第5の実施の形態における電源装置の回路図

【図18】第5の実施の形態における高出力増幅器の構造図

【発明を実施するための形態】

【0014】

50

発明を実施するための形態について、以下に説明する。尚、同じ部材等については、同一の符号を付して説明を省略する。

【0015】

〔第1の実施の形態〕

最初に、半導体装置に形成されるゲート絶縁膜について説明する。具体的には、半導体装置であるHEMTと同様の構造を有する半導体素子を作製し検討を行なった。作製した半導体素子は、図1に示すように、シリコンからなる基板1上に、バッファ層2、電子走行層3、スペーサ層4、電子供給層5、キャップ層6を積層形成し、更に、キャップ層6上に絶縁膜7を形成したものである。電子走行層3、スペーサ層4、電子供給層5、キャップ層6は、有機金属気相成長(MOVPE: Metal-Organic Vapor Phase Epitaxy)法により形成されている。バッファ層2は電子走行層3等をエピタキシャル成長させるために基板1上に形成されているものであり、基板1上にバッファ層2を形成することにより、バッファ層2上に電子走行層3等をエピタキシャル成長させることができる。

10

【0016】

電子走行層3は厚さが約 $3\mu\text{m}$ の i-GaN により形成されており、スペーサ層4は厚さが約 5nm の i-AlGaN により形成されている。電子供給層5は厚さが約 5nm の n-AlGaN により形成されており、不純物元素としてシリコン(Si)が $5 \times 10^{18} \text{cm}^{-3}$ の濃度でドーピングされている。キャップ層6は厚さが 10nm の n-GaN により形成されており、不純物元素としてシリコン(Si)が $5 \times 10^{18} \text{cm}^{-3}$ の濃度でドーピングされている。尚、このような構造のものでは、通常、電子走行層3において電子供給層5に近い側に2次元電子ガス(2DEG: 2 dimensional electron gas)3aが形成される。また、絶縁膜7は、ゲート絶縁膜に相当するものであり、酸化アルミニウムからなる膜をALD(Atomic Layer Dposition)法により約 20nm 成膜することにより形成されている。

20

【0017】

このように形成された絶縁膜7上に、図2に示すように水銀からなるアノード電極8及びカソード電極9を設置し、アノード電極8とカソード電極9との間の容量測定を行なった。尚、アノード電極8は、直径約 $500\mu\text{m}$ の円形状のものであり、カソード電極9は、内径が約 $1500\mu\text{m}$ 、外径が約 $2500\mu\text{m}$ のドーナツ状の形状のものであり、中心がアノード電極8の中心と一致するように設置されている。このカソード電極9は接地されており、接地電位となっている。図2(a)は、この状態を示す上面図であり、図2(b)は、図2(a)における一点鎖線2A-2Bにおいて切断した断面図である。

30

【0018】

図3は、アノード電極8に印加する電圧を変化させた場合において、アノード電極8とカソード電極9との間で検出される容量の値を示すものである。具体的には、カソード電極8を接地した状態において、アノード電極8に、 100kHz 、 25mV の交流成分を重畳した印加電圧を印加し、印加電圧が印加された状態における容量を測定したものである。

【0019】

図3に示されるように、アノード電極8に印加される電圧を -30V より 10V まで徐々に上昇させた場合では、最初に検出される容量が0であったのが、 -7V 近傍において急激に増加する。この後、更に印加する電圧を上昇させても、容量はあまり変化することなく略一定のままであるが、 0V 近傍において再び急激に増加する。この後、印加される電圧の上昇に伴い容量は増加するものの次第に一定の値に収束する。逆に、アノード電極8に印加される電圧を 10V より -30V まで徐々に降下させた場合では、最初は印加される電圧の降下に伴い容量が急激に低下し、 7V 近辺で略一定の容量となり、 0V まで電圧を降下させても、検出される容量にあまり変化は見られない。この後、更に印加される電圧を降下させることにより、 0V を過ぎたあたりで急激に容量が低下し、 -1.5V 近傍では検出される容量は0となり、その後、印加される電圧を降下させても容量は0のままで変化はない。このように、図1に示す半導体素子において、絶縁膜7を酸化アル

40

50

ミニウムにより形成した場合には、電圧を上昇させた場合と、電圧を降下させた場合とで、印加される電圧と容量との関係を示す曲線が異なりシフトする。

【 0 0 2 0 】

上記においては、低い電位より印加される電圧を上昇させた場合、空乏層厚が減少し、電子走行層 3 に 2 D E G 3 a が発生した時点で容量が発生し、検出される容量の値が急上昇する。一方、高い電位より印加される電圧を降下させた場合、空乏層厚が増加し、2 D E G 3 a の減少に伴い、検出される容量の値は減少する。印加された電圧を上昇させた場合と、降下させた場合とで印加電圧と容量との関係を示す曲線がシフトするのは、絶縁膜 7 内にトラップ準位が形成されて、電子等がトラップされることにより、2 D E G 3 a の分布に影響を与えることによるものと考えられる。即ち、絶縁膜 7 内にトラップ準位が形成されている場合には、電子等がトラップされると検出される容量が変化する。従って、印加される電圧を上昇させた場合と、降下させた場合とでは、同じ電圧を印加しても異なる値の容量が検出されるものと考えられる。

10

【 0 0 2 1 】

このように、印加される電圧と容量との関係が、過去の印加電圧の履歴に依存して変化すると、安定したスイッチング動作を得ることができず、半導体装置の信頼性が低下してしまう。このように印加電圧を上昇させた場合と降下させた場合とにおける印加電圧と容量との関係を示す曲線のシフト量を本実施の形態ではしきい値電圧変動幅と呼ぶ。尚、上述した半導体素子において絶縁膜 7 を酸化アルミニウムにより形成した場合には、しきい値電圧変動幅は、約 5 . 4 V であった。

20

【 0 0 2 2 】

ところで、絶縁膜 7 は、酸化アルミニウム膜が化合物のアモルファス膜であるため、このようなトラップ準位が形成されやすいものと推察される。よって、絶縁膜 7 を酸化物及び窒化物等の化合物からなるアモルファス膜等により形成した場合には、同様のトラップ準位が形成されるものと推察される。

【 0 0 2 3 】

次に、絶縁膜を酸化物及び窒化物以外の材料により形成した場合について説明する。具体的には、絶縁膜 7 に代えて、図 4 (b) に示されるアモルファスカーボン膜からなる絶縁膜 7 a を形成したものを作製し同様の測定を行なった。尚、図 4 (a) に示される絶縁膜 7 は、前述した膜厚が約 2 0 n m の酸化アルミニウムにより形成されたものである。図 4 (b) に示される絶縁膜 7 a は、後述するアーク蒸着法である F C A (Filtered Cathodic Arc) により、アモルファスカーボン膜を約 2 0 n m 成膜することにより形成したものである。このようにして形成されるアモルファスカーボン膜は、炭素を主成分とするアモルファス膜である。

30

【 0 0 2 4 】

絶縁膜 7 a が形成された半導体素子について、上述した印加電圧と容量との関係を調べたところ、しきい値電圧変動幅は略 0 であった。従って、ゲート絶縁膜がアモルファスカーボン膜により形成されている半導体装置は、安定的にスイッチング動作を行なうことができ、高い信頼性が得られるものと考えられる。

【 0 0 2 5 】

40

ところで、図 4 (b) に示されるアモルファスカーボン膜は、F C A 法により成膜された何も添加されていないアモルファスカーボン膜であり、高密度であるが、極めて強い応力を有している。このため、キャップ層 6 上に、アモルファスカーボン膜を所定の膜厚以上、例えば、2 0 n m 以上成膜すると、成膜されたアモルファスカーボン膜はキャップ層 6 より剥離してしまい、製造される半導体装置の歩留りが低下してしまう。

【 0 0 2 6 】

このため、絶縁膜 7 に代えて、図 4 (c) に示すように、第 1 のアモルファスカーボン膜 7 b 1 と第 2 のアモルファスカーボン膜 7 b 2 からなる絶縁膜 7 b を形成する。第 1 のアモルファスカーボン膜 7 b 1 は窒素を添加したアモルファスカーボン膜を約 5 n m 成膜したものであり、第 2 のアモルファスカーボン膜 7 b 2 は何も添加されていないアモル

50

アスカーボン膜を約 15 nm 成膜したものである。このような構造の絶縁膜 7 b は、キャップ層 6 上に合計の膜厚が約 20 nm となるように形成しても、キャップ層 6 より剥がれることはなかった。尚、アモルファスカーボン膜は、図 4 (b) に示す場合と同様にアーク蒸着法である F C A により形成した。

【 0 0 2 7 】

このように絶縁膜 7 b がキャップ層 6 より剥離しないのは、第 1 のアモルファスカーボン膜 7 b 1 には窒素が添加されているため、応力が低下しており、膜の剥離が生じにくくなったことによるものと考えられる。即ち、キャップ層 6 に接して形成される第 1 のアモルファスカーボン膜 7 b 1 には窒素が添加されており、何も添加されていないアモルファスカーボン膜と比べて応力が低いため、キャップ層 6 より剥離しないものと考えられる。

10

【 0 0 2 8 】

図 5 は、アモルファスカーボン膜に添加されている窒素の濃度とアモルファスカーボン膜における応力との関係を示すものである。図 5 に示されるように、アモルファスカーボン膜に添加されている窒素の濃度を高くすることにより応力は低下する。この応力の低下は、アモルファスカーボン膜に窒素を添加することにより膜密度が低下することによるものと考えられる。

【 0 0 2 9 】

上記説明では、2 層からなる絶縁膜 7 b を形成した場合について説明したが、絶縁膜の全体を第 1 のアモルファスカーボン膜 7 b 1、即ち、窒素が添加されたアモルファスカーボン膜により形成した場合であっても、同様に絶縁膜の剥離は生じにくいものと考えられる。この場合も、キャップ層 6 等に接している窒素が添加されたアモルファスカーボン膜からなる絶縁膜における応力は低いため、キャップ層 6 等より剥離しにくくなるものと考えられる。しかしながら、窒素が添加されたアモルファスカーボン膜からなる絶縁膜は密度が低いため、絶縁膜全体の膜密度が低くなることに起因して他の弊害が生じる場合がある。よって、よりよい特性を得るためには、図 4 (c) に示すように、第 1 のアモルファスカーボン膜 7 b 1 と第 2 のアモルファスカーボン膜 7 b 2 の 2 層のアモルファスカーボン膜からなる絶縁膜 7 b を形成することが好ましい。

20

【 0 0 3 0 】

尚、図 4 (c) に示すような第 1 のアモルファスカーボン膜 7 b 1 と第 2 のアモルファスカーボン膜 7 b 2 からなる絶縁膜 7 b では、キャップ層 6 等の半導体層に接する側に膜応力の低い膜、即ち、窒素が添加されたアモルファスカーボン膜が形成される。

30

【 0 0 3 1 】

また、上記説明では、窒素を添加したアモルファスカーボン膜について説明したが、アモルファスカーボン膜に添加される元素としては、窒素以外にも酸素、水素、フッ素等が挙げられる。このうち、酸素を添加したアモルファスカーボン膜では、接している窒化物半導体と酸素が反応し酸素が窒素と置換することにより半導体装置の特性が低下する場合がある。また、フッ素を添加したアモルファスカーボン膜では、通常、フッ素を含む材料からなる膜の上に形成される膜は剥離しやすく、歩留りが低下する場合がある。また、水素を添加したアモルファスカーボン膜では、半導体層に影響を及ぼし特性等を変化させ所望の特性を得ることができない場合がある。一方、窒素が添加されたアモルファスカーボン膜では、半導体層は窒化物半導体により形成されているため、同じ窒素を含む窒素を添加したアモルファスカーボン膜とは相性がよく、密着性が強くなるものと考えられる。よって、アモルファスカーボン膜に添加される元素としては窒素が好ましい。

40

【 0 0 3 2 】

また、上述した図 4 (c) に示される 2 種類のアモルファスカーボン膜を積層した絶縁膜 7 b を有する半導体素子を作製し、印加電圧と容量との関係について測定を行なったところ、図 4 (b) に示される絶縁膜 7 a と同様に、しきい値電圧変動幅は略 0 であった。よって、この半導体素子と同様の構造を有する半導体装置は、安定的にスイッチング動作を行なうことができ、高い信頼性が得られるものと考えられる。

【 0 0 3 3 】

50

(半導体装置の構造)

次に、第1の実施の形態における半導体装置について説明する。本実施の形態における半導体装置の構造を図6に示す。本実施の形態における半導体装置はHEMTであり、半導体等からなる基板10上にバッファ層20が形成されており、バッファ層20上に、半導体層となる電子走行層21、電子供給層22、キャップ層23がエピタキシャル成長により積層して形成されている。また、キャップ層23上には絶縁膜30が形成されており、絶縁膜30上にはゲート電極41が形成されており、ソース電極42及びドレイン電極43は電子走行層21と接続されて形成されている。更に、露出している絶縁膜30の上には、絶縁体からなる保護膜50が形成されている。

【0034】

10

基板10はSi基板、SiC基板、サファイア(Al_2O_3)基板等が用いられる。本実施の形態では、基板10としてSi基板を用いているため、バッファ層20を形成しているが、他の材料からなる基板10を用いた場合には、バッファ層20を形成する必要がない場合がある。第1の半導体層となる電子走行層21はi-GaNにより形成されており、第2の半導体層となる電子供給層22はn-AlGaNにより形成されており、第3の半導体層となるキャップ層23はn-GaNにより形成されている。これにより、電子走行層21において電子供給層22に近い側に2次元電子ガス(2DEG)21aが形成される。また、電子走行層21と電子供給層22との間には、不図示のスペーサ層を形成してもよい。

【0035】

20

ゲート電極41、ソース電極42及びドレイン電極43は金属材料により形成されている。ゲート絶縁膜となる絶縁膜30は、アモルファスカーボン膜により形成されており、厚さは約20nmである。保護膜50は、プラズマALDにより酸化アルミニウム(Al_2O_3)膜を成膜することにより形成されている。

【0036】

絶縁層30は、第1のアモルファスカーボン膜31と第2のアモルファスカーボン膜32とが積層されたものであり、炭素を主成分とするアモルファス膜であり、DLC(Diamond Like Carbon)とも呼ばれる。

【0037】

第1のアモルファスカーボン膜31は、第1の絶縁膜であり、窒素が添加されたアモルファスカーボン膜であり、添加されている窒素の割合は20atm%以上である。第2のアモルファスカーボン膜32は、第2の絶縁膜であり、何も添加されていないアモルファスカーボン膜である。

30

【0038】

第1のアモルファスカーボン膜31は、窒素が添加されたアモルファスカーボン膜であるため、第2のアモルファスカーボン膜32よりも膜応力が低く、キャップ層23との密着性は高い。

【0039】

第2のアモルファスカーボン膜32は、高密度な絶縁膜であり、高い絶縁性を有しており、また、表面平滑性も高い膜である。アモルファスカーボン膜において、高い絶縁性、高密度性等を得るためには、膜中の水素含有量が極力抑制されており、ダイヤモンドライクであることが好ましい。具体的には、膜密度が高く、炭素間結合においてsp²よりもsp³が多い状態であることが好ましい。また、炭素間結合においてsp²よりもsp³が多い状態のアモルファスカーボン膜は、高密度なダイヤモンドに近い状態の膜となるため、特に、トラップ準位等は形成されにくく、しきい値電圧変動幅を略0にすることができると考えられる。即ち、絶縁膜30をアモルファスカーボン膜により形成することにより、より安定的にスイッチング動作を行なうことができ、信頼性の高い半導体装置を得ることができる。

40

【0040】

より詳しく説明すると、カーボンにおける炭素間結合には、結合様式としてsp²とs

50

p 3 があり、グラファイト（黒鉛）は s p 2 の結合により形成され、ダイヤモンドは s p 3 の結合により形成されている。従って、アモルファスカーボン膜が、よりダイヤモンドライクであるためには、s p 2 の結合よりも s p 3 の結合が多い方が好ましく、即ち、炭素間結合が、s p 2 s p 3 であることが好ましい。

【0041】

ところで、図 7 に示すように、アモルファスカーボン膜の膜中における炭素間結合の s p 3 の比率と膜密度とは相関関係があり、炭素間結合の s p 3 の比率が高くなるに従い膜密度も高くなる。また、アモルファスカーボン膜の膜中の炭素間結合における s p 3 の比率とプラズモンピークとは相関関係があり、炭素間結合の s p 3 の比率が高くなるに従いプラズモンピークも高くなる。ここで、膜中における炭素間結合の s p 3 の比率が 50 % 以上、即ち、s p 2 の結合よりも s p 3 の結合が多い水素を殆ど含まないアモルファスカーボン膜は、膜密度が 2.6 g/cm^3 以上であり、プラズモンピークが 28 eV 以上である。尚、膜密度は、シリコン基板上にアモルファスカーボン膜を成膜し、ラザフォード後方散乱法により得られた結果と、TEM (Transmission Electron Microscope) による断面測長により得られた膜厚に基づき算出している。

【0042】

尚、本実施の形態においては、第 1 のアモルファスカーボン膜 31 は窒素が添加されているため、第 2 のアモルファスカーボン膜 32 に比べて膜密度は低い。このため、通常は、第 1 のアモルファスカーボン膜 31 における s p 3 の比率は、第 2 のアモルファスカーボン膜 32 における s p 3 の比率よりも低い値となる。

【0043】

膜密度が 2.6 g/cm^3 以上、プラズモンピークが 28 eV 以上となるアモルファスカーボン膜は、後述するアーク蒸着法である FCA 法により形成することが可能である。具体的には、FCA 法により成膜されたアモルファスカーボン膜の膜密度は、 3.2 g/cm^3 である。また、ダイヤモンドの密度が 3.56 g/cm^3 である。従って、第 2 のアモルファスカーボン膜 32 は、 2.6 g/cm^3 以上、 3.56 g/cm^3 以下であることが好ましい。また、FCA 法により成膜されたアモルファスカーボン膜は、CVD により成膜されたアモルファスカーボン膜と比較して水素含有量が極めて低く、FCA 法により成膜されたアモルファスカーボン膜に含まれる水素含有量は 1 at% 以下である。尚、CVD (Chemical Vapor Deposition) により成膜される水素を含むアモルファスカーボン膜では、膜密度が最も高いものでも約 2.6 g/cm^3 未満である。

【0044】

また、絶縁膜 30 として成膜されるアモルファスカーボン膜の膜厚は、2 nm 以上、200 nm 以下であり、特に、10 nm 以上であることが好ましい。アモルファスカーボン膜により全面を覆うためには、少なくとも数原子層以上の膜厚が必要となるため、2 nm 未満の膜厚では全面を覆うことができない。また、ゲート絶縁膜としての機能を安定的に得るためには、10 nm 以上形成されていることが好ましい。

【0045】

また、絶縁膜 30 は、第 1 のアモルファスカーボン膜 31 と第 2 のアモルファスカーボン膜 32 との界面が、窒素濃度が連続的に変化するいわゆる組成傾斜を有するものであってもよく、更には、絶縁膜 30 全体が、窒素濃度が徐々に減少するように組成傾斜を有するものであってもよい。

【0046】

また、本実施の形態における保護膜 50 は、絶縁膜であり、アモルファスカーボン膜、酸化アルミニウム膜、窒化シリコン膜等の酸化物膜または窒化物膜、またはこれらの膜を積層した膜により形成されている。

【0047】

（半導体装置の製造方法）

次に、図 8 及び図 9 に基づき本実施の形態における半導体装置の製造方法について説明する。

10

20

30

40

50

【 0 0 4 8 】

最初に、図 8 (a) に示すように、基板 1 0 上にバッファ層 2 0 を形成し、バッファ層 2 0 上に、電子走行層 2 1、電子供給層 2 2、キャップ層 2 3 等の半導体層を MOVPE (Metal-Organic Vapor Phase Epitaxy) 等によりエピタキシャル成長させて形成する。基板 1 0 は、Si、SiC、サファイア (Al_2O_3) 等からなる基板を用いることができ、基板 1 0 上には電子走行層 2 1 等をエピタキシャル成長させるためバッファ層 2 0 が形成されている。バッファ層 2 0 は、例えば、厚さ約 $0.1 \mu m$ のノンドープの i - AlN により形成されている。電子走行層 2 1 は、厚さ約 $3 \mu m$ のノンドープの i - GaN により形成されている。電子供給層 2 2 は、厚さ約 $30 nm$ の $n - Al_{0.25}Ga_{0.75}N$ により形成されており、不純物元素として Si が $5 \times 10^{18} cm^{-3}$ の濃度でドーピングされている。キャップ層 2 3 は、厚さ約 $10 nm$ の $n - GaN$ により形成されており、不純物元素として Si が $5 \times 10^{18} cm^{-3}$ の濃度でドーピングされている。尚、半導体層は、MOVPE の他、MBE (Molecular Beam Epitaxy) により半導体層を結晶成長させることにより形成してもよい。

10

【 0 0 4 9 】

次に、図 8 (b) に示すように、ソース電極 4 2 及びドレイン電極 4 3 を形成する。具体的には、キャップ層 2 3 上にフォトリソを塗布し、露光装置による露光、現像を行なうことにより、ソース電極 4 2 及びドレイン電極 4 3 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、塩素ガスを用いた RIE (Reactive Ion Etching) 等によるドライエッチングを行なうことにより、レジストパターンが形成されていない領域におけるキャップ層 2 3 及び電子供給層 2 2 を除去し、電子走行層 2 1 の表面を露出させる。この際行なわれるドライエッチングは、チャンバー内にエッチングガスとして塩素ガスを約 $30 sccm$ を導入し、チャンバー内の圧力を約 $2 Pa$ に設定し、RF パワーを $20 W$ 印加することにより行なう。この後、真空蒸着等により Ta / Al の積層膜等からなる金属膜を成膜した後、有機溶剤等に浸漬させることによりレジストパターン上に形成されている金属膜をレジストパターンとともにリフトオフにより除去する。これによりレジストパターンの形成されていない領域にソース電極 4 2 及びドレイン電極 4 3 を形成することができる。また、リフトオフを行なった後に、例えば、 550 の温度で熱処理を行なうことによりオーミックコンタクトさせることができる。尚、上記においては、ドライエッチングを行なうためのレジストパターンとリフトオフを行なうためのレジストパターンとを兼用させた場合について説明したが、各々別個に形成してもよい。

20

30

【 0 0 5 0 】

次に、図 8 (c) に示すように、キャップ層 2 3 上に、ゲート絶縁膜となる絶縁膜 3 0 を形成する。絶縁膜 3 0 は、第 1 のアモルファスカーボン膜 3 1 と第 2 のアモルファスカーボン膜 3 2 からなる膜であり、ともに FCA 法により形成される。第 1 のアモルファスカーボン膜 3 1 は、窒素が添加されたアモルファスカーボン膜であり、窒素を $25 sccm$ 導入し、グラファイトターゲットを原料として、アーク電流 $70 A$ 、アーク電圧 $26 V$ の条件により、膜厚が約 $5 nm$ となるように成膜されたものである。第 2 のアモルファスカーボン膜 3 2 は、窒素等が添加されていないアモルファスカーボン膜であり、グラファイトターゲットを原料として、アーク電流 $70 A$ 、アーク電圧 $26 V$ の条件により、膜厚が約 $15 nm$ となるように成膜されたものである。上記においては、第 1 のアモルファスカーボン膜 3 1 は、FCA 法により成膜される場合について説明したが、第 1 のアモルファスカーボン膜 3 1 は、例えば、スパッタリングや CVD 等により成膜したアモルファスカーボン膜であってもよい。

40

【 0 0 5 1 】

次に、図 9 (a) に示されるように、ゲート電極 4 1 を形成する。具体的には、絶縁膜 3 0 上に、フォトリソを塗布し、露光装置による露光、現像を行なうことにより、ゲート電極 4 1 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、全面に金属膜 (Ni : 膜厚約 $10 nm$ / Au : 膜厚約 $300 nm$) を真空蒸着により成膜した後、有機溶剤等に浸漬させることによりレジストパターン上に形成されてい

50

る金属膜をレジストパターンとともにリフトオフにより除去する。これにより絶縁膜 30 上の所定の領域に Ni / Au からなるゲート電極 41 を形成する。

【0052】

次に、図 9 (b) に示されるように、絶縁膜 30 上に、保護膜 50 を形成する。保護膜 50 としては、例えば、ALD 法により成膜した酸化アルミニウム膜、FCA 法により成膜したアモルファスカーボン膜、プラズマ CVD 法により成膜した窒化シリコン膜等が挙げられ、また、これらの膜を積層したものであってもよい。

【0053】

以上により、本実施の形態における半導体装置であるトランジスタを作製することができる。上記説明では、半導体層が GaN 及び AlGaIn により形成されている半導体装置について説明したが、本実施の形態は半導体層として InAlN、InGaAlN 等の窒化物半導体を用いた半導体装置においても同様に適用することができる。

【0054】

(アモルファスカーボン膜の成膜)

次に、アモルファスカーボン膜を成膜するための FCA 法について説明する。図 10 に、FCA 法に用いられる FCA 成膜装置の構造を示す。この FCA 成膜装置は、プラズマ発生部 110、プラズマ分離部 120、パーティクルトラップ部 130、プラズマ移送部 140、成膜チャンバー 150 を有している。プラズマ発生部 110、プラズマ分離部 120 及びパーティクルトラップ部 130 は、いずれも筒状に形成されており、この順で連結されている。プラズマ移送部 140 も筒状に形成されており、一方の端部はプラズマ分離部 120 に略垂直に接続されており、他方の端部は、成膜チャンバー 150 に接続されている。成膜チャンバー 150 の内部には、成膜対象となる基板等 151 を設置するためのステージ 152 が設けられている。

【0055】

プラズマ発生部 110 の筐体下端部には絶縁板 111 が設けられており、この絶縁板 111 の上には、ターゲット (カソード) 112 となるグラファイトが設置されている。また、プラズマ発生部 110 の筐体下端部の外周には、カソードコイル 114 が設けられており、筐体の内壁面にはアノード 113 が設けられている。アモルファスカーボン膜を成膜する際には、不図示の電源より、ターゲット 112 とアノード 113 との間に、所定の電圧を印加し、アーク放電を発生させ、ターゲット 112 の上方にプラズマを発生させる。この際、カソードコイル 114 には、別の不図示の電源より所定の電流が供給され、アーク放電を安定化させるための磁場を発生させる。このアーク放電により、グラファイトのターゲット 112 を形成しているカーボンが蒸発し、プラズマ中に成膜材料のイオンとして供給される。

【0056】

プラズマ発生部 110 とプラズマ分離部 120 との境界部分には絶縁リング 121 が設けられており、この絶縁リング 121 によりプラズマ発生部 110 の筐体とプラズマ分離部 120 の筐体とが電氣的に分離されている。プラズマ分離部 120 の筐体の外周には、プラズマ発生部 110 において発生したプラズマを筐体の中心部に収束させつつ所定の方向に移動させるための磁場を発生させるガイドコイル 122a、122b が設けられている。また、プラズマ分離部 120 とプラズマ移送部 140 との接続部近傍には、プラズマの進行方向を略垂直に曲げる磁場を発生させる斜め磁場発生コイル 123 が設けられている。

【0057】

パーティクルトラップ部 130 には、プラズマ発生部 110 において発生したパーティクルがプラズマ分離部 120 における磁場の影響を殆ど受けることなく直進して進入する。パーティクルトラップ部 130 の上端部には、パーティクルを横方向に反射する反射板 131 と、反射板 131 により反射されたパーティクルを捕捉するパーティクル捕捉部 132 が設けられている。パーティクル捕捉部 132 には、複数のフィン 133 が筐体内部に対し斜めに配置されている。パーティクル捕捉部 132 に進入したパーティクルは、こ

10

20

30

40

50

これらのフィン 1 3 3 により何度も反射され、運動エネルギーを失い、最終的には、フィン 1 3 3 またはパーティクル捕捉部 1 3 2 の筐体壁面等に付着し捕捉される。

【 0 0 5 8 】

プラズマ移送部 1 4 0 には、プラズマ分離部 1 2 0 においてパーティクルと分離されたプラズマが進入する。プラズマ移送部 1 4 0 は、負電圧印加部 1 4 2 と連絡部 1 4 6 とに区画されている。負電圧印加部 1 4 2 とプラズマ分離部 1 2 0 との間及び負電圧印加部 1 4 2 と連絡部 1 4 6 との間には絶縁リング 1 4 1 が設けられている。これにより、プラズマ分離部 1 2 0 と負電圧印加部 1 4 2 とは電氣的に分離されており、連絡部 1 4 6 と負電圧印加部 1 4 2 とは電氣的に分離されている。

【 0 0 5 9 】

負電圧印加部 1 4 2 は、更に、プラズマ分離部 1 2 0 側の入口部 1 4 3 と、連絡部 1 4 6 側の出口部 1 4 5 と、入口部 1 4 3 と出口部 1 4 5 の間の中間部 1 4 4 とに区画されている。入口部 1 4 3 の外周にはプラズマを収束しつつ成膜チャンバー 1 5 0 側に移動させるための磁場を発生させる 1 4 3 a が設けられている。また、入口部 1 4 3 の内側には、入口部 1 4 3 に進入したパーティクルを捕捉する複数のフィン 1 4 3 b が筐体内面に対し斜めに設置されている。

【 0 0 6 0 】

中間部 1 4 4 の入口部 1 4 3 側及び出口部 1 4 5 側には、プラズマの流路を寄生する開口部を有するアパーチャ 1 4 4 a 及び 1 4 4 b が設けられている。また、中間部 1 4 4 の外周には、プラズマの進行方向を曲げるための磁場を発生させるガイドコイル 1 4 4 c が設けられている。

【 0 0 6 1 】

連絡部 1 4 6 は、負電圧印加部 1 4 2 側から成膜チャンバー 1 5 0 に向かって、徐々に径が広くなるように形成されている。この連絡部 1 4 6 の内側にも、複数のフィン 1 4 6 a が設置されており、連絡部 1 4 6 と成膜チャンバー 1 5 0 との境界部分の外周には、プラズマを収束しつつ成膜チャンバー 1 5 0 側に移動させるためのガイドコイル 1 4 6 b が設けられている。

【 0 0 6 2 】

この F C A 成膜装置では、プラズマ発生部 1 1 0 において、アーク放電させることにより、炭素イオンが含まれるプラズマを発生させ、斜め磁場発生コイル 1 2 3 等により、パーティクルとなる成分を除去しつつ、プラズマを基板 1 5 1 等まで到達させることができる。これにより、基板 1 5 1 等上にアモルファスカーボン膜を成膜することができる。

【 0 0 6 3 】

〔 第 2 の実施の形態 〕

次に、第 2 の実施の形態について説明する。本実施の形態は、第 1 の実施の形態における半導体装置の保護膜を第 1 のアモルファスカーボン膜と第 2 のアモルファスカーボン膜を含む膜により形成したものである。

【 0 0 6 4 】

図 1 1 に基づき本実施の形態における半導体装置について説明する。本実施の形態における半導体装置は、絶縁膜 3 0 上に保護膜 2 5 0 が形成されているものであり、保護膜 2 5 0 は、第 1 のアモルファスカーボン膜 2 5 1 と第 2 のアモルファスカーボン膜 2 5 2 を含む膜であり、ともに F C A 法により形成される。

【 0 0 6 5 】

第 1 のアモルファスカーボン膜 2 5 1 は、第 1 の保護膜となるものであり、窒素が添加されたアモルファスカーボン膜である。第 2 のアモルファスカーボン膜 2 5 2 は、第 2 の保護膜となるものであり、窒素等が添加されていないアモルファスカーボン膜である。第 2 のアモルファスカーボン膜 2 5 2 は第 1 のアモルファスカーボン膜 2 5 1 の上に形成される。

【 0 0 6 6 】

第 1 のアモルファスカーボン膜 2 5 1 は、窒素を 2 5 s c c m 導入し、グラファイトタ

10

20

30

40

50

ーゲットを原料として、アーク電流 70 A、アーク電圧 26 V の条件により、膜厚が約 5 nm となるように成膜されたものである。第 2 のアモルファスカーボン膜 252 は、グラファイトターゲットを原料として、アーク電流 70 A、アーク電圧 26 V の条件により、所定の膜厚が成膜されたものである。

【0067】

上記においては、第 1 のアモルファスカーボン膜 251 は、FCA 法により成膜される場合について説明したが、第 1 のアモルファスカーボン膜 251 は、例えば、スパッタリングや CVD 等により成膜したアモルファスカーボン膜であってもよい。また、第 1 のアモルファスカーボン膜 251 と第 2 のアモルファスカーボン膜 252 とを積層したものに、更に、ALD 法により成膜した酸化アルミニウム膜、プラズマ CVD 法により成膜した窒化シリコン膜等を形成したものであってもよい。

10

【0068】

尚、上記以外の内容については、第 1 の実施の形態と同様である。また、本実施の形態は、ゲート絶縁膜となる絶縁膜をアモルファスカーボン膜以外の膜により形成した場合、例えば、酸化アルミニウム等の酸化物または窒化物等により形成した場合においても適用することが可能である。

【0069】

〔第 3 の実施の形態〕

次に、第 3 の実施の形態について説明する。本実施の形態は、ゲート絶縁膜となる絶縁膜を窒素が添加されたアモルファスカーボン膜により形成した半導体装置である。

20

【0070】

図 12 に基づき、本実施の形態における半導体装置について説明する。本実施の形態における半導体装置は、ゲート絶縁膜となる絶縁膜が、窒素が添加されたアモルファスカーボン膜からなる絶縁膜 230 により形成されているものである。

【0071】

この絶縁膜 230 は、第 1 の実施の形態における第 1 のアモルファスカーボン膜 31 と同様のものであり、FCA 法により、窒素を 25 sccm 導入し、グラファイトターゲットを原料として、アーク電流 70 A、アーク電圧 26 V の条件により成膜されたものである。尚、絶縁膜 230 の膜厚は、約 20 nm となるように成膜されている。

【0072】

30

窒素が添加されたアモルファスカーボン膜は膜応力が低いため、膜密度は低下するものの、膜の剥離は生じにくい。よって、膜密度の低下があまり問題とならない場合には、ゲート絶縁膜の全部を窒素が添加されたアモルファスカーボン膜により形成してもよい。

【0073】

尚、絶縁膜 230 は、絶縁膜 230 の膜厚方向において窒素濃度が減少する組成傾斜を有する膜であってもよい。このような膜は導入する窒素の量を徐々に減少することにより形成することができる。

【0074】

また、本実施の形態では、窒素が添加されたアモルファスカーボン膜により形成されるゲート絶縁膜となる絶縁膜 230 について説明したが、保護膜 50 となる絶縁膜の全部を窒素が添加されたアモルファスカーボン膜により形成してもよい。絶縁膜 230 または保護膜 50 としては、酸素、水素、フッ素等を添加したアモルファスカーボン膜を用いてもよいが、前述した理由により、絶縁膜 230 等としては、窒素を添加したアモルファスカーボン膜が好ましい。

40

【0075】

また、絶縁膜 230 等となるアモルファスカーボン膜を FCA 法により成膜される場合について説明したが、例えば、スパッタリングや CVD 等により成膜した同様のアモルファスカーボン膜であってもよい。

【0076】

尚、上記以外の内容については、第 1 の実施の形態と同様であり、本実施の形態は、第

50

2の実施の形態の半導体装置においても用いることが可能である。

【0077】

〔第4の実施の形態〕

次に、第4の実施の形態について説明する。

【0078】

（半導体装置の構造）

図13に基づき本実施の形態における半導体装置について説明する。本実施の形態における半導体装置は、HEMTであり、半導体等からなる基板310上にバッファ層320が形成されており、バッファ層320上に、電子走行層321、電子供給層322、キャップ層323がエピタキシャル成長により積層して形成されている。また、ソース電極342及びドレイン電極343は電子走行層321と接続されて形成されており、ゲート電極341は、キャップ層323及び電子供給層322の一部を除去することにより形成された開口部内に絶縁膜330を介して形成されている。尚、絶縁膜330はキャップ層323上にも形成されており、絶縁膜330の上には、絶縁体からなる保護膜350が形成されている。

10

【0079】

基板310はSi基板、SiC基板、サファイア(Al_2O_3)基板等が用いられる。本実施の形態では、基板310としてSi基板を用いているため、バッファ層320を形成しているが、他の材料からなる基板310を用いた場合には、バッファ層320を形成する必要がない場合がある。第1の半導体層となる電子走行層321はi-GaNにより形成されており、第2の半導体層となる電子供給層322はn-AlGaNにより形成されており、第3の半導体層となるキャップ層323はn-GaNにより形成されている。これにより、電子走行層321において電子供給層322に近い側に2次元電子ガス(2DEG)321aが形成される。また、電子走行層321と電子供給層322との間には、不図示のスペーサ層を形成してもよい。ゲート電極341、ソース電極342及びドレイン電極343は金属材料により形成されている。

20

【0080】

ゲート絶縁膜となる絶縁膜330は、第1のアモルファスカーボン膜331と第2のアモルファスカーボン膜332とが積層されたものであり、炭素を主成分とするアモルファス膜であり、DLCとも呼ばれる。第1のアモルファスカーボン膜331は、窒素が添加されたアモルファスカーボン膜であり、添加されている窒素の割合は20atm%以上である。第2のアモルファスカーボン膜332は、何も添加されていないアモルファスカーボン膜である。第1のアモルファスカーボン膜331は、窒素が添加されたアモルファスカーボン膜であるため、第2のアモルファスカーボン膜332よりも膜応力が低く、キャップ層323との密着性も高い。本実施の形態では、第1のアモルファスカーボン膜331は厚さが約5nm形成されており、第2のアモルファスカーボン膜332は厚さが約15nm形成されている。保護膜350は、プラズマALDにより酸化アルミニウム(Al_2O_3)膜を成膜することにより形成されている。

30

【0081】

（半導体装置の製造方法）

次に、図14及び図15に基づき本実施の形態における半導体装置の製造方法について説明する。

【0082】

最初に、図14(a)に示すように、基板310上にバッファ層320を形成し、バッファ層320上に、電子走行層321、電子供給層322、キャップ層323等の半導体層をMOVPE等によりエピタキシャル成長させることにより形成する。基板310は、Si、SiC、サファイア(Al_2O_3)等からなる基板を用いることができ、基板310上には電子走行層321等をエピタキシャル成長させるためバッファ層320が形成されている。バッファ層320は、例えば、厚さ約0.1 μm のノンドープのi-AlNにより形成されている。電子走行層321は、厚さ約3 μm のノンドープのi-GaNによ

40

50

り形成されている。電子供給層 322 は、厚さ約 30 nm の $n\text{-Al}_{0.25}\text{Ga}_{0.75}\text{N}$ により形成されており、不純物元素として Si が $5 \times 10^{18} \text{ cm}^{-3}$ の濃度でドーピングされている。キャップ層 323 は、厚さ約 10 nm の $n\text{-Ga}\text{N}$ により形成されており、不純物元素として Si が $5 \times 10^{18} \text{ cm}^{-3}$ の濃度でドーピングされている。

【0083】

次に、図 14 (b) に示されるように、ソース電極 342 及びドレイン電極 343 を形成する。具体的には、キャップ層 323 上にフォトリジストを塗布し、露光装置による露光、現像を行なうことにより、ソース電極 342 及びドレイン電極 343 が形成される領域に開口部を有する不図示のレジストパターンを形成する。この後、塩素ガスを用いた RIE 等によるドライエッチングを行なうことによりレジストパターンが形成されていない領域におけるキャップ層 323 及び電子供給層 322 を除去し、電子走行層 321 の表面を露出させる。この後、真空蒸着等により Ta / Al の積層膜等からなる金属膜を成膜した後、有機溶剤等に浸漬させることにより、レジストパターン上に形成されている金属膜をレジストパターンとともにリフトオフにより除去する。これにより、レジストパターンの形成されていない領域にソース電極 342 及びドレイン電極 343 を形成することができる。また、リフトオフを行なった後に、例えば、550 の温度で熱処理を行なうことによりオーミックコンタクトさせることができる。

【0084】

次に、図 14 (c) に示されるように、開口部 361 を形成する。具体的には、キャップ層 323 上にフォトリジストを塗布し、露光装置による露光、現像を行なうことにより、開口部 361 の形成される領域に開口を有する不図示のレジストパターンを形成する。この後、レジストパターンをマスクとして、塩素を含むガスを導入して RIE 等によるドライエッチングを行なう。これにより、レジストパターンの形成されていない領域におけるキャップ層 323 及び電子供給層 322 の一部を除去し、開口部 361 を形成する。この後、レジストパターンを除去する。

【0085】

次に、図 15 (a) に示されるように、開口部 361 の内部、キャップ層 323 上に、絶縁膜 330 を形成する。絶縁膜 330 は、第 1 のアモルファスカーボン膜 331 と第 2 のアモルファスカーボン膜 332 からなる膜であり、ともに FCA 法により形成される。第 1 のアモルファスカーボン膜 331 は、窒素が添加されたアモルファスカーボン膜であり、窒素を 25 sccm 導入し、グラファイトターゲットを原料として、アーク電流 70 A、アーク電圧 26 V の条件により、膜厚が約 5 nm となるように成膜されたものである。第 2 のアモルファスカーボン膜 332 は、窒素等が添加されていないアモルファスカーボン膜であり、グラファイトターゲットを原料として、アーク電流 70 A、アーク電圧 26 V の条件により、膜厚が約 15 nm となるように成膜されたものである。上記においては、第 1 のアモルファスカーボン膜 331 は、FCA 法により成膜される場合について説明したが、第 1 のアモルファスカーボン膜 313 は、例えば、スパッタリングや CVD 等により成膜したアモルファスカーボン膜であってもよい。

【0086】

次に、図 15 (b) に示されるように、ゲート電極 341 を形成する。具体的には、絶縁膜 330 上に、不図示の下層レジスト (例えば、商品名 PMGI : 米国マイクロケム社製) 及び不図示の上層レジスト (例えば、商品名 PFI32-A8 : 住友化学社製) をそれぞれスピンコート法等により塗布することにより形成する。この後、露光装置による露光、現像を行なうことにより、上部レジストに開口部 361 が形成されている部分を含む領域に約 0.8 μm 径程度の開口を形成する。次に、上層レジストをマスクとして、下層レジストをアルカリ現像液でウェットエッチングする。この後、全面に金属膜 (Ni : 膜厚約 10 nm / Au : 膜厚約 300 nm) を真空蒸着により成膜した後、加温した有機溶剤を用いてリフトオフを行なうことにより下層レジスト及び上層レジストともに、上層レジスト上に成膜された金属膜を除去する。これにより、絶縁膜 330 を介した開口部 361 内に Ni / Au からなるゲート電極 341 を形成することができる。

【 0 0 8 7 】

次に、図 1 5 (c) に示されるように、絶縁膜 3 3 0 上に、保護膜 3 5 0 を形成する。保護膜 3 5 0 としては、例えば、A L D 法により成膜した酸化アルミニウム膜、F C A 法により成膜したアモルファスカーボン膜、プラズマ C V D 法により成膜した窒化シリコン膜等が挙げられ、また、これらの膜を積層したものであってもよい。

【 0 0 8 8 】

以上により、本実施の形態における半導体装置であるトランジスタを作製することができる。

【 0 0 8 9 】

尚、上記以外の内容については、第 1 の実施の形態と同様である。また、本実施の形態において、第 2 の実施の形態における保護膜、第 3 の実施の形態におけるゲート絶縁膜となる絶縁膜についても、同様に用いることができる。

【 0 0 9 0 】

〔 第 5 の実施の形態 〕

次に、第 5 の実施の形態について説明する。本実施の形態は、半導体デバイス、電源装置及び高周波増幅器である。

【 0 0 9 1 】

本実施の形態における半導体デバイスは、第 1 から第 4 の実施の形態における半導体装置をディスクリートパッケージしたものであり、このようにディスクリートパッケージされた半導体デバイスについて、図 1 6 に基づき説明する。尚、図 1 6 は、ディスクリートパッケージされた半導体装置の内部を模式的に示すものであり、電極の配置等については、第 1 から第 4 の実施の形態に示されているものとは、異なっている。

【 0 0 9 2 】

最初に、第 1 から第 4 の実施の形態において製造された半導体装置をダイシング等により切断することにより、G a N 系の半導体材料の H E M T の半導体チップ 4 1 0 を形成する。この半導体チップ 4 1 0 をリードフレーム 4 2 0 上に、ハンダ等のダイアタッチ剤 4 3 0 により固定する。

【 0 0 9 3 】

次に、ゲート電極 4 4 1 をゲートリード 4 2 1 にボンディングワイヤ 4 3 1 により接続し、ソース電極 4 4 2 をソースリード 4 2 2 にボンディングワイヤ 4 3 2 により接続し、ドレイン電極 4 4 3 をドレインリード 4 2 3 にボンディングワイヤ 4 3 3 により接続する。尚、ボンディングワイヤ 4 3 1、4 3 2、4 3 3 は A l 等の金属材料により形成されている。尚、本実施の形態におけるゲート電極 4 4 1 はゲート電極パッドであり、第 1 から第 4 の実施の形態におけるゲート電極 4 1 または 3 4 1 と接続されている。同様に、ソース電極 4 4 2 はソース電極パッドでありソース電極 4 2 または 3 4 2 と接続されており、ドレイン電極 4 4 3 はドレイン電極パッドでありドレイン電極 4 3 または 3 4 3 と接続されている。

【 0 0 9 4 】

次に、トランスファーマールド法によりモールド樹脂 4 4 0 による樹脂封止を行なう。このようにして、G a N 系の半導体材料を用いた H E M T のディスクリートパッケージされている半導体デバイスを作製することができる。

【 0 0 9 5 】

また、本実施の形態における電源装置及び高周波増幅器は、第 1 から第 4 の実施の形態における半導体装置のいずれかを用いた電源装置及び高周波増幅器である。

【 0 0 9 6 】

図 1 7 に基づき、本実施の形態における電源装置について説明する。本実施の形態における電源装置 4 6 0 は、高圧の一次側回路 4 6 1、低圧の二次側回路 4 6 2 及び一次側回路 4 6 1 と二次側回路 4 6 2 との間に配設されるトランス 4 6 3 を備えている。一次側回路 4 6 1 は、交流電源 4 6 4、いわゆるブリッジ整流回路 4 6 5、複数のスイッチング素子 (図 1 7 に示す例では 4 つ) 4 6 6 及び一つのスイッチング素子 4 6 7 等を備えている

10

20

30

40

50

。二次側回路 462 は、複数のスイッチング素子（図 17 に示す例では 3 つ）468 を備えている。図 17 に示す例では、第 1 から第 4 の実施の形態における半導体装置を一次側回路 461 のスイッチング素子 466 及び 467 として用いている。尚、一次側回路 461 のスイッチング素子 466 及び 467 は、ノーマリーオフの半導体装置であることが好ましい。また、二次側回路 462 において用いられているスイッチング素子 468 はシリコンにより形成される通常の M I S F E T (metal insulator semiconductor field effect transistor) を用いている。

【0097】

また、図 18 に基づき、本実施の形態における高周波増幅器について説明する。本実施の形態における高周波増幅器 470 は、例えば、携帯電話の基地局用パワーアンプに適用してもよい。この高周波増幅器 470 は、ディジタル・プレディストーション回路 471、ミキサー 472、パワーアンプ 473 及び方向性結合器 474 を備えている。ディジタル・プレディストーション回路 471 は、入力信号の非線形歪みを補償する。ミキサー 472 は、非線形歪みが補償された入力信号と交流信号とをミキシングする。パワーアンプ 473 は、交流信号とミキシングされた入力信号を増幅する。図 18 に示す例では、パワーアンプ 473 は、第 1 から第 4 の実施の形態における半導体装置を有している。方向性結合器 474 は、入力信号や出力信号のモニタリング等を行なう。図 18 に示す回路では、例えば、スイッチの切り替えにより、ミキサー 472 により出力信号を交流信号とミキシングしてディジタル・プレディストーション回路 471 に送出することが可能である。

【0098】

以上、実施の形態について詳述したが、特定の実施形態に限定されるものではなく、特許請求の範囲に記載された範囲内において、種々の変形及び変更が可能である。

【0099】

上記の説明に関し、更に以下の付記を開示する。

(付記 1)

基板の上方に形成された半導体層と、
前記半導体層上に形成された絶縁膜と、
前記絶縁膜上に形成された電極と、
を有し、

前記絶縁膜は、前記電極の側における膜応力よりも、前記半導体層の側における膜応力が低いことを特徴とする半導体装置。

(付記 2)

前記絶縁層は、第 1 の絶縁膜上に第 2 の絶縁膜が積層されているものであって、

前記第 1 の絶縁膜は、前記第 2 の絶縁膜よりも膜応力が低いことを特徴とする付記 1 に記載の半導体装置。

(付記 3)

前記絶縁膜は、炭素を主成分とするアモルファス膜により形成されているものであることを特徴とする付記 1 または 2 に記載の半導体装置。

(付記 4)

前記絶縁膜は、炭素を主成分とするアモルファス膜により形成されているものであって

、
前記絶縁膜に含まれる窒素、酸素、水素及びフッ素のうち、いずれか 1 の濃度が、前記ゲート電極の側よりも、前記半導体層の側が高いことを特徴とする付記 1 に記載の半導体装置。

(付記 5)

前記絶縁膜は、炭素を主成分とするアモルファス膜により形成されているものであって

、
前記第 1 の絶縁膜に含まれる窒素、酸素、水素及びフッ素のうち、いずれか 1 の濃度が、前記第 2 の絶縁膜に含まれる濃度よりも高いことを特徴とする付記 2 に記載の半導体装置。

10

20

30

40

50

(付記 6)

前記第 2 の絶縁膜における膜密度は、 2.6 g/cm^3 以上、 3.56 g/cm^3 以下であることを特徴とする付記 5 に記載の半導体装置。

(付記 7)

基板の上方に形成された半導体層と、
前記半導体層の上方に形成された電極と、
前記半導体層の上方に形成された保護膜と、
を有し、

前記保護膜は、前記半導体層に近い側における膜応力が、前記半導体層から離れた側における膜応力よりも、低いことを特徴とする半導体装置。

10

(付記 8)

前記保護膜は、第 1 の保護膜上に第 2 の保護膜が積層されたものであって、

前記第 1 の保護膜は、前記第 2 の保護膜よりも膜応力が低いことを特徴とする付記 7 に記載の半導体装置。

(付記 9)

前記保護膜は、炭素を主成分とするアモルファス膜により形成されているものであることを特徴とする付記 7 または 8 に記載の半導体装置。

(付記 10)

前記保護膜は、炭素を主成分とするアモルファス膜により形成されているものであって、

20

前記保護膜に含まれる窒素、酸素、水素及びフッ素のうち、いずれか 1 の濃度が、前記半導体層に近い側よりも、前記半導体層から離れた側が高いことを特徴とする付記 7 に記載の半導体装置。

(付記 11)

前記保護膜は、炭素を主成分とするアモルファス膜により形成されているものであって、

前記第 1 の保護膜に含まれる窒素、酸素、水素及びフッ素のうち、いずれか 1 の濃度が、前記第 2 の保護膜に含まれる濃度よりも高いことを特徴とする付記 8 に記載の半導体装置。

(付記 12)

30

前記第 2 の保護膜における膜密度は、 2.6 g/cm^3 以上、 3.56 g/cm^3 以下であることを特徴とする付記 10 または 11 に記載の半導体装置。

(付記 13)

前記電極はゲート電極であり、

前記半導体層は、第 1 の半導体層と、前記第 1 の半導体層の上方に形成された第 2 の半導体層とを含むものであって、

前記第 1 の半導体層または第 2 の半導体層に接して形成されたソース電極及びドレイン電極を有することを特徴とする付記 1 から 12 のいずれかに記載の半導体装置。

(付記 14)

40

前記電極はゲート電極であり、

前記半導体層は、第 1 の半導体層と、前記第 1 の半導体層の上方に形成された第 2 の半導体層とを含むものであって、

前記第 1 の半導体層または第 2 の半導体層に接して形成されたソース電極及びドレイン電極を有し、

前記第 2 の半導体層には開口部が形成されており、

前記ゲート電極は前記開口部内に形成されていることを特徴とする付記 1 から 12 のいずれかに記載の半導体装置。

(付記 15)

前記第 1 の半導体層は、GaN を含むものであって、前記第 2 の半導体層は、AlGaN を含むものであることを特徴とする付記 13 または 14 に記載の半導体装置。

50

(付記 16)

付記 1 から 15 のいずれかに記載の半導体装置を有することを特徴とする電源装置。

(付記 17)

付記 1 から 15 のいずれかに記載の半導体装置を有することを特徴とする増幅器。

(付記 18)

基板の上方に半導体層を形成する工程と、

前記半導体層上に炭素を主成分とするアモルファス膜を含む絶縁膜を形成する工程と、

前記絶縁膜上に電極を形成する工程と、

を有し、

前記炭素を主成分とするアモルファス膜を含む絶縁膜を形成する工程は、窒素が添加された炭素を主成分とするアモルファス膜となる第 1 の絶縁膜を成膜する工程と、 10

前記第 1 の絶縁膜上に、前記第 1 の絶縁膜よりも窒素の濃度が低い炭素を主成分とするアモルファス膜となる第 2 の絶縁膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

(付記 19)

基板の上方に半導体層を形成する工程と、

前記半導体層の上方に電極を形成する工程と、

前記半導体層の上方に炭素を主成分とするアモルファス膜を含む保護膜を形成する工程と、

を有し、 20

前記保護膜を形成する工程は、窒素が添加された炭素を主成分とするアモルファス膜となる第 1 の保護膜を成膜する工程と、

前記第 1 の保護膜上に、前記第 1 の保護膜よりも窒素の濃度が低い炭素を主成分とするアモルファス膜となる第 2 の保護膜を形成する工程と、

を有することを特徴とする半導体装置の製造方法。

(付記 20)

前記炭素を主成分とするアモルファス膜は、アーク蒸着法により形成されるものであることを特徴とする付記 18 または 19 に記載の半導体装置の製造方法。

【符号の説明】

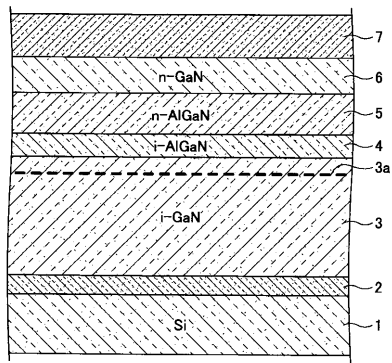
【0100】 30

- 10 基板
- 20 バッファ層
- 21 電子走行層 (第 1 の半導体層)
- 21a 2DEG
- 22 電子供給層 (第 2 の半導体層)
- 23 キャップ層
- 30 絶縁膜
- 31 第 1 のアモルファスカーボン膜
- 32 第 2 のアモルファスカーボン膜
- 41 ゲート電極
- 42 ソース電極
- 43 ドレイン電極
- 50 保護膜

40

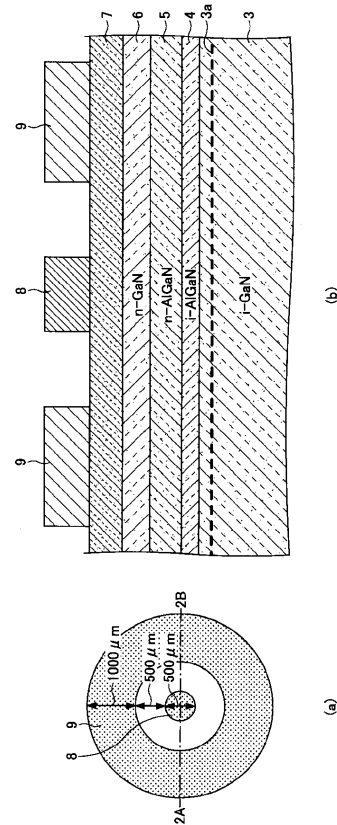
【図 1】

半導体素子の構造図



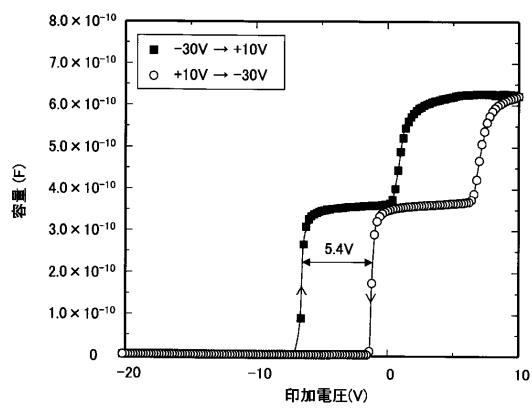
【図 2】

半導体素子における測定の説明図



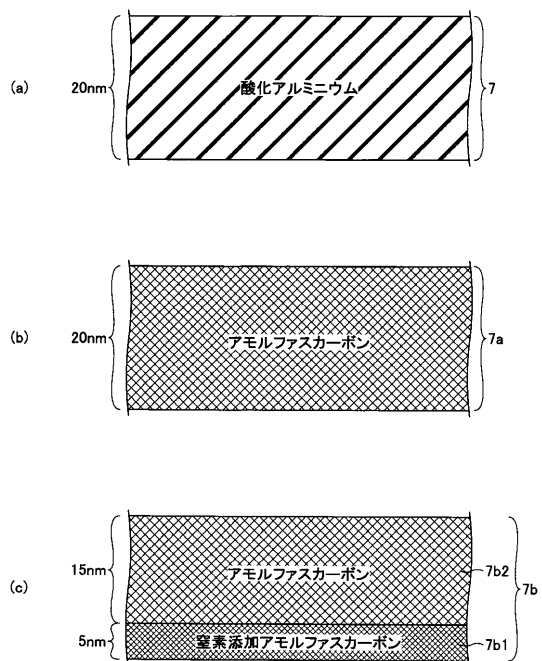
【図 3】

印加電圧と容量との相關図



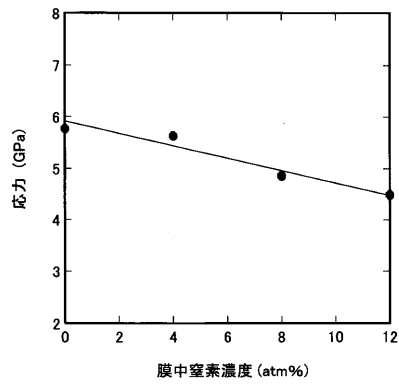
【図 4】

絶縁膜の説明図



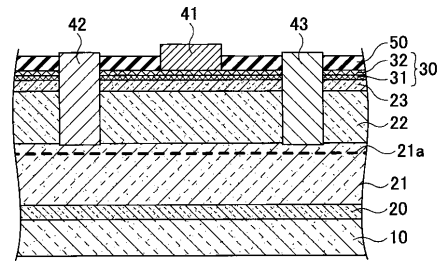
【図 5】

アモルファスカーボン膜における膜中窒素濃度と応力との相関図

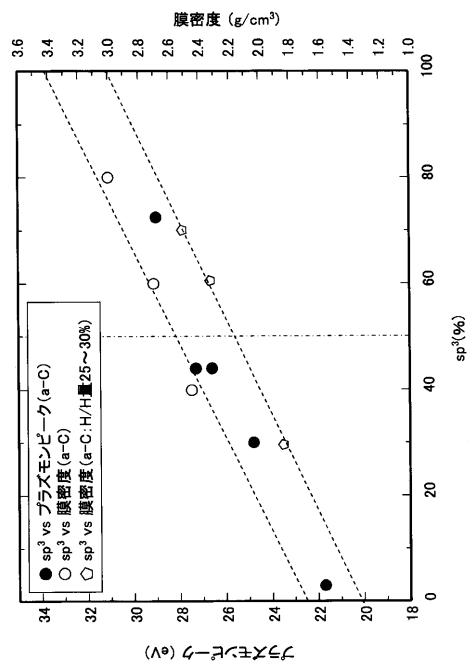


【図 6】

第1の実施の形態における半導体装置の構造図

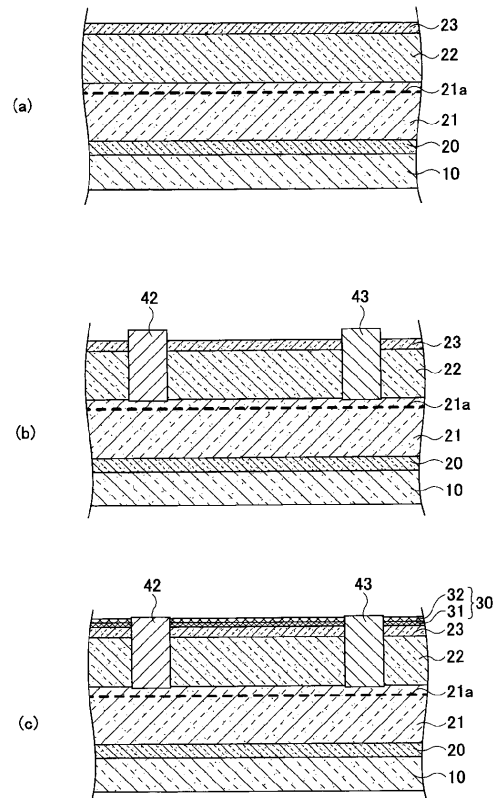


【図 7】

sp³の比率と膜密度及びプラズモンピークとの相関図

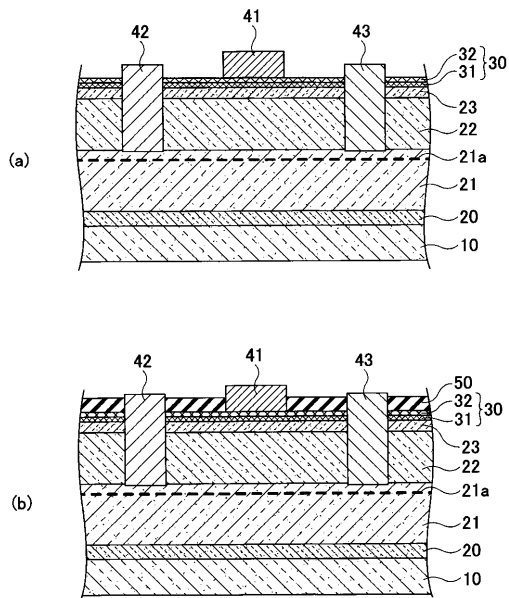
【図 8】

第1の実施の形態における半導体装置の製造工程図(1)



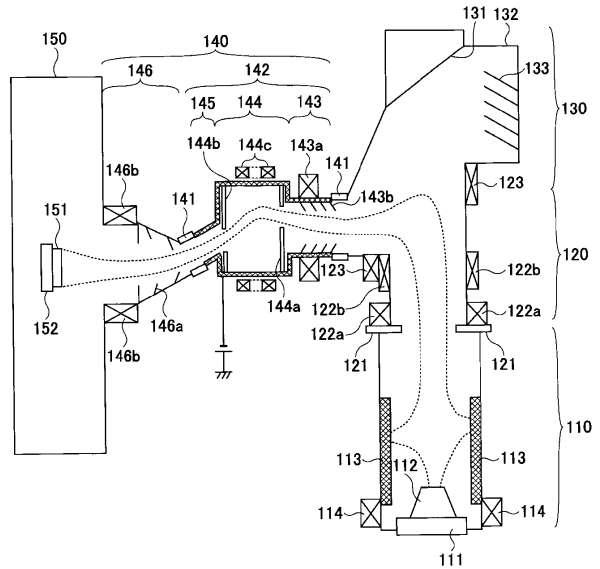
【図 9】

第1の実施の形態における半導体装置の製造工程図(2)



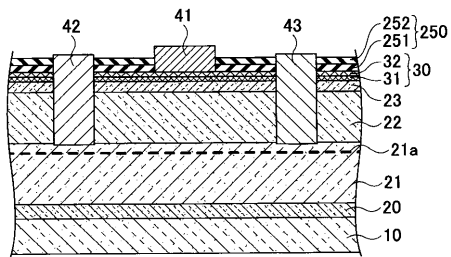
【図 10】

FCA成膜装置の構造図



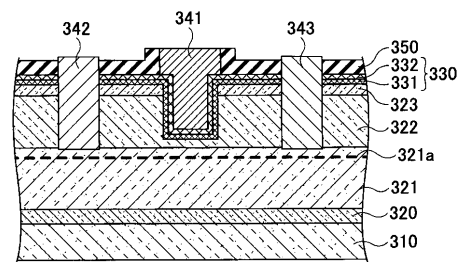
【図 11】

第2の実施の形態における半導体装置の構造図



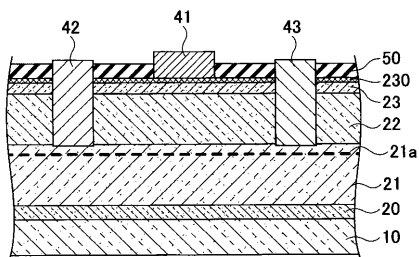
【図 13】

第4の実施の形態における半導体装置の構造図



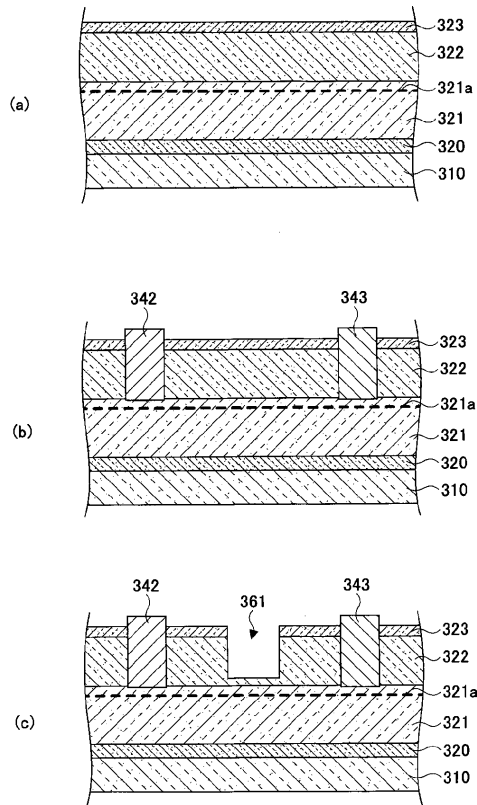
【図 12】

第3の実施の形態における半導体装置の構造図



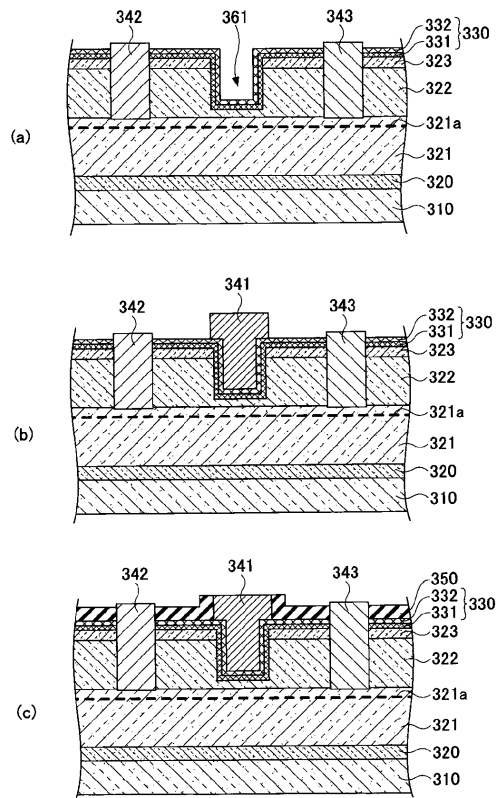
【図 14】

第4の実施の形態における半導体装置の製造工程図(1)

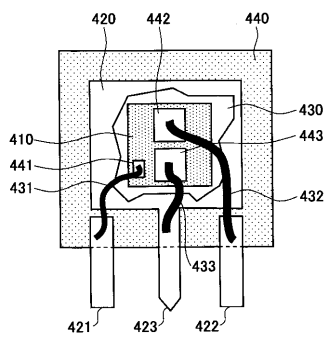


【図 15】

第4の実施の形態における半導体装置の製造工程図(2)

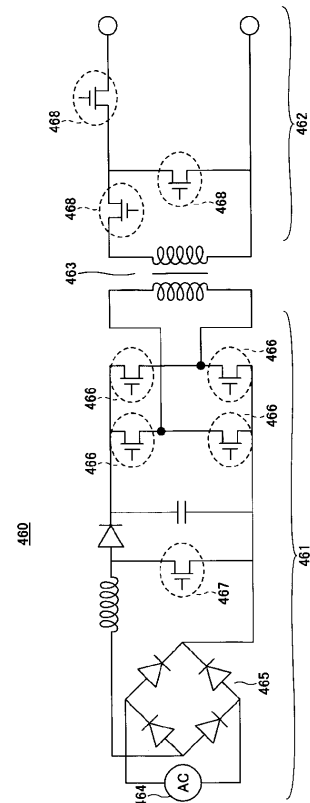


【図 16】

第5の実施の形態における
ディスクリートパッケージされた半導体デバイスの説明図

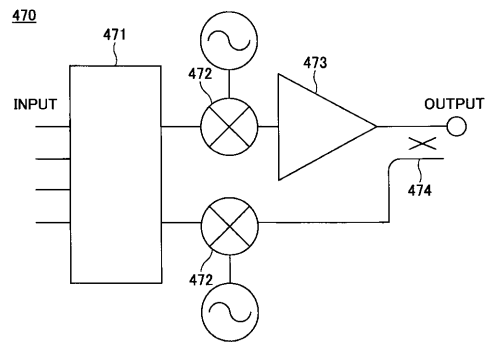
【図 17】

第5の実施の形態における電源装置の回路図



【図 18】

第5の実施の形態における高出力増幅器の構造図



フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	29/78	(2006.01)	H 0 1 L	21/318 M
H 0 1 L	21/318	(2006.01)	H 0 1 L	21/318 B
			H 0 1 L	29/80 Q

(72)発明者 武田 正行
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

(72)発明者 渡部 慶二
 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

審査官 正山 旭

(56)参考文献 特開2003-045996(JP,A)
 特開2002-217410(JP,A)
 特開平05-335345(JP,A)
 特開平01-187933(JP,A)
 特開平04-006835(JP,A)
 特開2010-258441(JP,A)
 特開2010-232610(JP,A)
 特開平10-032213(JP,A)
 特開2008-300678(JP,A)
 特開2002-151701(JP,A)
 特開2002-353458(JP,A)
 特開平11-100294(JP,A)
 特開2010-021582(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L	2 1 / 3 1 4
H 0 1 L	2 1 / 3 1 8
H 0 1 L	2 1 / 3 3 6
H 0 1 L	2 1 / 3 3 8
H 0 1 L	2 9 / 7 7 8
H 0 1 L	2 9 / 7 8
H 0 1 L	2 9 / 8 1 2