



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I534955 B

(45)公告日：中華民國 105 (2016) 年 05 月 21 日

(21)申請案號：100121636

(22)申請日：中華民國 100 (2011) 年 06 月 21 日

(51)Int. Cl. : H01L21/8239(2006.01)

H01L27/105 (2006.01)

H01L27/115 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2010/06/23 日本

2010-142196

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：加藤清 KATO, KIYOSHI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200919477A

US 4920391

US 2008/0291350A1

審查人員：修宇鋒

申請專利範圍項數：11 項 圖式數：13 共 91 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

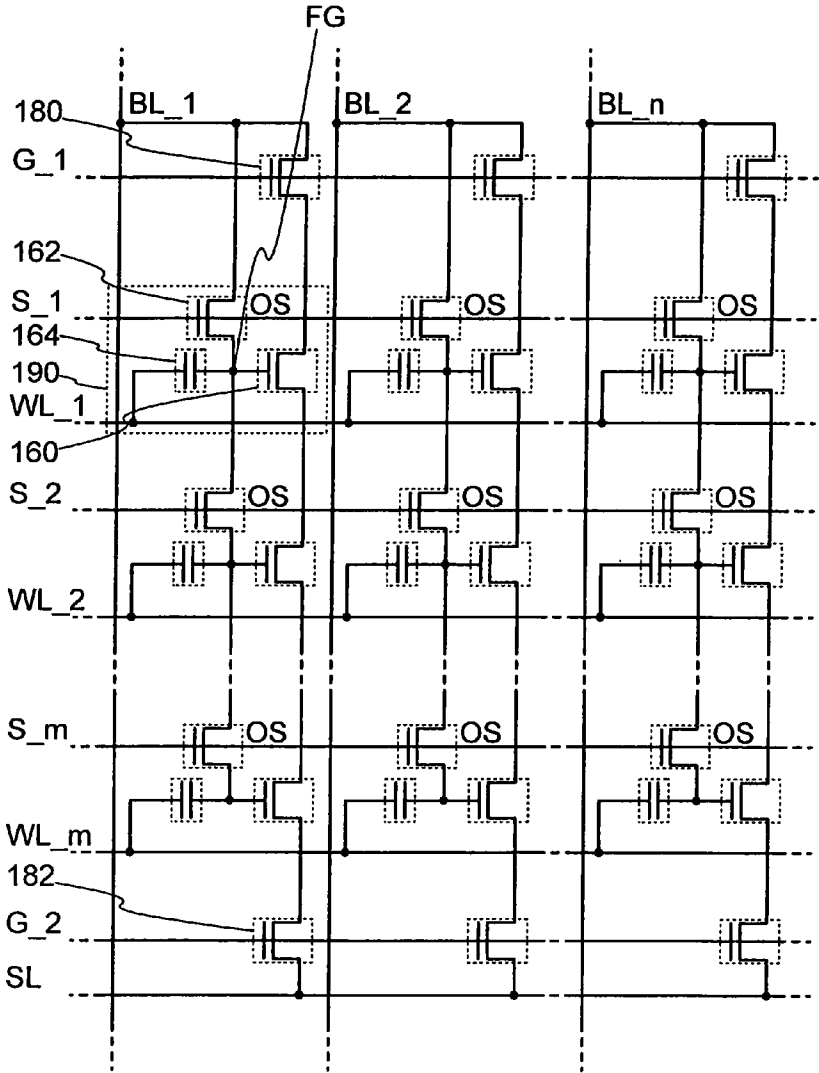
(57)摘要

本發明的一個方式的半導體裝置包括源線、位元線、以及在所述源線和所述位元線之間串聯的第一至第 m (m 為自然數) 儲存單元。第一至第 m 儲存單元各自包括：包括第一閘端子、第一源端子及第一汲端子的第一電晶體；包括第二閘端子、第二源端子及第二汲端子的第二電晶體；以及電容元件。在對第二閘端子施加使第二電晶體成為截止狀態的電位的資訊的保持期間，第 k 儲存單元的節點施加有高於第 k 儲存單元的第二閘端子的電位的電位。

A semiconductor device includes a source line, a bit line, and first to m -th (m is a natural number) memory cells connected in series between the source line and the bit line. Each of the first to m -th memory cells includes a first transistor having a first gate terminal, a first source terminal, and a first drain terminal, a second transistor having a second gate terminal, a second source terminal, and a second drain terminal, and a capacitor. The node of the k -th memory cell is supplied with a potential higher than that of the second gate terminal of the k -th memory cell in a data holding period in which the second gate terminal is supplied with a potential at which the second transistor is turned off.

指定代表圖：

圖2



符號簡單說明：

- 160 . . . 電晶體
- 162 . . . 電晶體
- 164 . . . 電容元件
- 180 . . . 選擇電晶體
- 182 . . . 選擇電晶體
- 190 . . . 儲存單元
- FG . . . 節點

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100121636

H01L 21/8239 (2006.01)

※申請日：100 年 06 月 21 日

※IPC 分類：H01L 27/105 (2006.01)

一、發明名稱：(中文／英文)

H01L 27/115 (2006.01)

半導體裝置

H01L 29/78 (2006.01)

Semiconductor device

二、中文發明摘要：

本發明的一個方式的半導體裝置包括源線、位元線、以及在所述源線和所述位元線之間串聯的第一至第 m (m 為自然數) 儲存單元。第一至第 m 儲存單元各自包括：包括第一閘端子、第一源端子及第一汲端子的第一電晶體；包括第二閘端子、第二源端子及第二汲端子的第二電晶體；以及電容元件。在對第二閘端子施加使第二電晶體成為截止狀態的電位的資訊的保持期間，第 k 儲存單元的節點施加有高於第 k 儲存單元的第二閘端子的電位的電位。

三、英文發明摘要：

A semiconductor device includes a source line, a bit line, and first to m -th (m is a natural number) memory cells connected in series between the source line and the bit line. Each of the first to m -th memory cells includes a first transistor having a first gate terminal, a first source terminal, and a first drain terminal, a second transistor having a second gate terminal, a second source terminal, and a second drain terminal, and a capacitor. The node of the k -th memory cell is supplied with a potential higher than that of the second gate terminal of the k -th memory cell in a data holding period in which the second gate terminal is supplied with a potential at which the second transistor is turned off.

四、指定代表圖：

(一) 本案指定代表圖為：第(2)圖。

(二) 本代表圖之元件符號簡單說明：

160：電晶體

162：電晶體

164：電容元件

180：選擇電晶體

182：選擇電晶體

190：儲存單元

FG：節點

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

所公開的發明的一個方式關於一種利用半導體元件的半導體裝置及其製造方法。

【先前技術】

利用半導體元件的儲存裝置大致分為揮發性儲存裝置和非揮發性儲存裝置，揮發性儲存裝置是如果沒有電力供應，儲存內容就消失的儲存裝置，而非揮發性儲存裝置是即使沒有電力供應也保持儲存內容的儲存裝置。

作為揮發性儲存裝置的典型例子，有 DRAM（Dynamic Random Access Memory：動態隨機存取記憶體）。DRAM藉由選擇構成記憶元件的電晶體並將電荷積蓄在電容器內來儲存資訊。

根據上述原理，因為當從 DRAM 讀出資訊時電容器的電荷消失，所以每次讀出資訊時都需要再次進行寫入工作。此外，由於即使在構成記憶元件的電晶體中因截止狀態下的源極與汲極之間的洩漏電流（截止電流）等而未選擇電晶體，電荷也流出或流入，所以資料保持期間較短。因此，需要按規定的週期再次進行寫入工作（刷新工作），而難以充分降低耗電量。此外，因為如果沒有電力供應，儲存內容就消失，所以需要利用磁性材料或光學材料的其他儲存裝置以長期保持儲存內容。

作為揮發性儲存裝置的另一例子，有 SRAM（Static

Random Access Memory：靜態隨機存取記憶體）。SRAM 使用正反器等電路保持儲存內容，而不需要進行刷新工作。在這一點上 SRAM 優越於 DRAM。但是，由於使用正反器等電路，所以存在儲存電容器的單價高的問題。此外，在如果沒有電力供應，儲存內容就消失這一點上，SRAM 和 DRAM 相同。

作為非揮發性儲存裝置的典型例子，有快閃記憶體。快閃記憶體在電晶體的閘極電極和通道形成區之間包括浮動閘極，並使該浮動閘極保持電荷來進行儲存，因此，快閃儲存器具有其資料保持期間極長（幾乎永久）並且不需要進行揮發性儲存裝置要進行的刷新工作的優點（例如，參照專利文獻 1）。

但是，由於當進行寫入時發生的穿隧電流導致構成記憶元件的閘極絕緣層的劣化，從而發生記憶元件因進行規定次數的寫入而不能發揮其功能的問題。為了緩和上述問題的影響，例如，採用使各記憶元件的寫入次數均等的方法，但是，為了採用該方法，需要複雜的週邊電路。另外，即使採用這種方法，也不能解決使用壽命的根本問題。就是說，快閃記憶體不適合於資訊的重寫頻度高的用途。

此外，為了使浮動閘極保持電荷或從浮動閘極去除該電荷，需要高電壓和用於該目的的電路。再者，還存在當保持電荷或去除電荷時需要較長時間而難以實現寫入和擦除的高速化的問題。

[專利文獻 1] 日本專利申請公開 昭 57-105889 號公報

鑒於上述問題，所公開的發明的一個方式的目的之一在於提供一種當沒有電力供應時也能夠保持儲存內容且對寫入次數也沒有限制的新的結構的半導體裝置。

所公開的發明的一個方式為一種使用截止電流足夠小的電晶體保持資訊的半導體裝置，其中，在該半導體裝置的資訊的保持期間，該電晶體的源端子（或汲端子）施加有高於閘端子的電位的電位。更明確而言，例如採用如下結構。

【發明內容】

所公開的發明的一個方式為一種半導體裝置，該半導體裝置包括源線、位元線、以及在源線和位元線之間串聯的第一至第 m （ m 為自然數）儲存單元。所述第一至第 m 儲存單元各自包括第一電晶體、第二電晶體及儲存單元，所述第一電晶體包括第一閘端子、第一源端子及第一汲端子，所述第二電晶體包括第二閘端子、第二源端子及第二汲端子。第 k （ k 為1以上且 m 以下的自然數）儲存單元的第二源端子連接到與第 k 儲存單元鄰近的儲存單元的第二汲端子，或者第 k 儲存單元的第二汲端子連接到與第 k 儲存單元鄰近的儲存單元的第二源端子。第 k 儲存單元的第一閘端子、第 k 儲存單元的第二源端子（或汲端子）與第 k 儲存單元的電容元件的端子中的一方電連接而形成第 k 儲存單元的節點。在對第二閘端子施加使第二電晶體成為截止狀態的電位的資訊的保持期間，第 k 儲存單元的節點施加有高

於第 k 儲存單元的第二閘端子的電位的電位。

在此，第一電晶體和第二電晶體有時包括以彼此不同的半導體材料為主要成分的半導體區。此外，第二電晶體有時包括以金屬氧化物為主要成分的半導體區。另外，在下文中，有時將“以金屬氧化物為主要成分的半導體”寫為“氧化物半導體”。

此外，在上述資訊的保持期間，有時與第 k 儲存單元鄰近的儲存單元的節點施加有高於與第 k 儲存單元鄰近的儲存單元的第二閘端子的電位的電位。此外，在資訊的保持期間，有時第 k 儲存單元的第二閘端子施加有接地電位。此外，在資訊的保持期間，有時第 k 儲存單元的節點施加有正電位。此外，在資訊的保持期間，有時第 k 儲存單元的第二閘端子及第 k 儲存單元的節點施加有使流在第 k 儲存單元的第二電晶體的電流成為 1zA 以下的電位。

此外，在上述結構中，有時將第一儲存單元或第 m 儲存單元用作空單元 (dummy cell)。此外，有時第一儲存單元或第 m 儲存單元所包括的電容元件的電容值大於第二至第 $(m-1)$ 儲存單元中的任一個所包括的電容元件的電容值。此外，有時第一儲存單元或第 m 儲存單元所包括的第二電晶體的通道長度大於第二至第 $(m-1)$ 儲存單元中的任一個所包括的第二電晶體的通道長度。

此外，在上述結構中，有時第 k (k 為 1 以上且 m 以下的自然數) 儲存單元的第一源端子連接到與第 k 儲存單元鄰近的儲存單元的第一汲端子，或者，第 k 儲存單元的第一

汲端子連接到與第k儲存單元鄰近的儲存單元的第一源端子。

另外，在上文中，有時使用以金屬氧化物為主要成分的材料構成電晶體，但是所公開的發明不侷限於此。也可以採用可以得到與金屬氧化物同等的截止電流特性的材料，如碳化矽等的寬禁止帶材料（更明確而言，例如為能隙 E_g 大於3eV的半導體材料）等。

此外，上文中的“鄰近”是指彼此串連的儲存單元之間的關係。就是說，對於沒有串聯關係的儲存單元之間的關係而言，即使它們位於彼此最接近的地方，也不使用“鄰近”這一詞。

此外，在本說明書等中，“主要成分”是指含量（原子%）最大的成分。根據該觀念，例如，可以說“矽晶片”的主要成分元素為矽，並且“碳化矽基板”的主要成分為碳化矽。

此外，“空單元”是指其目的不在於資訊的保持的儲存單元或與此類似的構成要素。“空單元”的功能例如為使鄰近的儲存單元的資訊保持期間延長等。

此外，在本說明書等中，“上”或“下”不侷限於構成要素的位置關係為“直接在……上”或“直接在……下”。例如，“閘極絕緣層上的閘極電極”包括在閘極絕緣層和閘極電極之間包括其他構成要素的結構。

此外，在本說明書等中，“電極”或“佈線”不在功能上限定這些構成要素。例如，有時將“電極”用作“佈

線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”被形成爲一體的情況等。另外，也有其結構中沒有明確的“電極”的元件（例如，雖然用作電晶體而沒有可以說是“電極”的構成要素的情況等）。爲了包括這種結構，從電路方面的觀點來看，有時使用“端子”而不使用“電極”。另外，在很多情況下，“端子”爲與“電極”及“佈線”相同的物體，因此，可以互相更換地使用這些詞。

此外，在採用極性不同的電晶體的情況或電路工作中的電流方向發生變化的情況等下，電晶體中的“源極”和“汲極”的功能有時互相調換。因此，在本說明書中，可以互相調換地使用“源極”和“汲極”。

此外，在本說明書等中，“電連接”包括構成要素藉由“具有某種電作用的物體”連接的情況。在此，“具有某種電作用的物體”只要可以在連接物件之間進行電信號的授受，就沒有特別的限制。例如，“具有某種電作用的物體”不僅包括電極及佈線，而且還包括電晶體等的切換元件、電阻元件、電感器、電容器以及其他具有各種功能的元件等。

在根據所公開的半導體裝置中，在資訊的保持期間，電晶體的源端子（或汲端子）施加有高於閘端子的電位的電位。由此，能夠極爲長期保持資訊。尤其是，在使用包括以金屬氧化物爲主要成分的半導體區的電晶體的情況下，可以實現能夠用作實際使用的非揮發性儲存裝置的程度

的長期資訊保持。

【實施方式】

下面，將參照圖式對所公開的發明的實施方式的一個例子進行說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種形式。因此，本發明不應該被解釋為僅限定在下面所示的本實施方式所記載的內容中。

注意，為了便於理解，在圖式等中所示的各結構的位置、大小及範圍等有時不表示實際上的位置、大小及範圍等。因此，所公開的發明不一定侷限於圖式等所公開的位置、大小及範圍等。

另外，本說明書等中使用的“第一”、“第二”、“第三”等序數詞是為避免構成要素的混同而附上的，而不是為了在數目方面上限定而附上的。

實施方式 1

在本實施方式中，參照圖 1A-1、1A-2、1B 以及圖 2 至圖 5 說明根據所公開的發明的一個方式的半導體裝置的電路結構及其工作。另外，在電路圖中，為了表示使用氧化物半導體（Oxide Semiconductor: OS）的電晶體，有時還附上“OS”的符號。

<基本電路>

首先，參照圖 1A-1、1A-2及 1B說明基本上的電路結構及其工作。在圖 1A-1所示的半導體裝置中，第一佈線（1st Line）與電晶體 160的源端子（或汲端子）電連接，第二佈線（2nd Line）與電晶體 160的汲端子（或源端子）電連接。此外，第三佈線（3rd Line）與電晶體 162的汲端子（或源端子）電連接，第四佈線（4th Line）與電晶體 162的閘端子電連接。並且，電晶體 160的閘端子以及電晶體 162的源端子（或汲端子）與電容元件 164的端子中的一方電連接，第五佈線（5th Line）與電容元件 164的端子中的另一方電連接。

在此，作為電晶體 162，例如採用使用氧化物半導體的電晶體。使用氧化物半導體的電晶體具有截止電流極小的特徵。因此，藉由使電晶體 162成為截止狀態，能夠極為長期保持電晶體 160的閘端子的電位。並且，藉由設置電容元件 164，容易保持施加到電晶體 160的閘端子的電荷，而且容易讀出所保持的資訊。

另外，對電晶體 160沒有特別的限定。從提高讀出資訊的速度的觀點來看，例如，作為電晶體 160採用如使用單晶矽的電晶體等開關速度較快的電晶體較佳。

此外，如圖 1B所示，也可以採用不設置電容元件 164的結構。

在圖 1A-1所示的半導體裝置中，藉由有效地利用能夠保持電晶體 160的閘端子的電位的特徵，可以如下那樣進

行資訊的寫入、保持以及讀出。

先說明資訊的寫入及保持。首先，將第四佈線的電位設定為使電晶體 162 成為導通狀態的電位，使電晶體 162 成為導通狀態。由此，第三佈線的電位被施加到電晶體 160 的閘端子及電容元件 164。換言之，規定的電荷被施加到電晶體 160 的閘端子（寫入）。在此，施加兩個不同的電位的電荷（下面，將施加低電位的電荷稱為電荷 Q_L ，將施加高電位的電荷稱為電荷 Q_H ）中的任一個電荷被施加到電晶體 160 的閘極電極。另外，也可以採用施加三個或三個以上不同的電位的電荷來提高儲存容量。然後，藉由將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位，使電晶體 162 成為截止狀態，來保持施加到電晶體 160 的閘端子的電荷（保持）。

因為電晶體 162 的截止電流極小，所以電晶體 160 的閘端子的電荷被長期保持。在本說明書等中，有時將如下期間稱為“資訊的保持期間”，在該期間中如上述那樣對第四佈線（即，電晶體 162 的閘端子）施加使電晶體 162 成為截止狀態的電位以保持資訊。

另外，即使在將第四佈線的電位設定為使電晶體 162 成為截止狀態的電位的情況下，當因該電位而施加到電晶體 162 的閘極-源極（或汲極）之間的電壓為與電晶體 162 的閾值電壓相同程度的電位時，微小電流也有時在電晶體 162 的源極-汲極之間流過。從電晶體的工作原理來看，該現象是一個難以回避的現象。因此，在資訊的保持期間，

實現使電晶體 162 的截止電流足夠小的電位關係較佳。例如，在電晶體 162 為 n 通道型電晶體的情況下，電晶體 160 的閘端子（即，電晶體 162 的源端子）施加比與電晶體 162 的閘端子的電位足夠高的電位。或者，例如，對電晶體 160 的閘端子施加正電位，並且電晶體 162 的閘端子施加有接地電位。另外，作為上述“足夠高的電位”，例如可以採用使流在電晶體 162 中的電流成為 1zA 以下的電位等。

接下來，說明資訊的讀出。當在對第一佈線施加規定的電位（恒電位）的狀態下，對第五佈線施加適當的電位（讀出電位）時，第二佈線根據保持在電晶體 160 的閘端子的電荷量具有不同的電位。這是因為如下緣故：一般來說，在電晶體 160 為 n 通道型電晶體時，對電晶體 160 的閘端子施加 Q_H 時的外觀上的閾值 V_{th_H} 低於對電晶體 160 的閘端子施加 Q_L 時的外觀上的閾值 V_{th_L} 。在此，外觀上的閾值是指為了使電晶體 160 成為“導通狀態”所需要的第五佈線的電位。因此，藉由將第五佈線的電位設定為 V_{th_H} 和 V_{th_L} 之中間的電位 V_0 ，可以辨別施加到電晶體 160 的閘端子的電荷。例如，在寫入中，在對電晶體 160 的閘端子施加 Q_H 的情況下，若第五佈線的電位成為 $V_0 (>V_{th_H})$ ，電晶體 160 則成為“導通狀態”。在對電晶體 160 的閘端子施加 Q_L 的情況下，即使第五佈線的電位成為 $V_0 (<V_{th_L})$ ，電晶體 160 還保持“截止狀態”。因此，藉由測量第二佈線的電位，可以讀出所保持的資訊。

另外，當將儲存單元設置為陣列狀而使用時，需要可

以唯讀出所希望的儲存單元的資訊。像這樣，爲了讀出規定的儲存單元的資訊並且不讀出除該儲存單元之外的儲存單元的資訊：當電晶體 160 在各儲存單元之間並聯時，只要對讀出物件以外的儲存單元的第五佈線施加無論閘極電極的狀態如何都使電晶體 160 成爲“截止狀態”的電位，即對第五佈線施加小於 V_{th_H} 的電位，即可；而當電晶體 160 在各儲存單元之間串聯時，只要對讀出物件以外的儲存單元的第五佈線施加無論閘極電極的狀態如何都使電晶體 160 成爲“導通狀態”的電位，即對第五佈線施加大於 V_{th_L} 的電位，即可。

接下來，說明資訊的重寫。資訊的重寫與上述資訊的寫入及保持同樣地進行。就是說，將第四佈線的電位設定爲使電晶體 162 成爲導通狀態的電位，使電晶體 162 成爲導通狀態。由此，第三佈線的電位（有關新的資訊的電位）被施加到電晶體 160 的閘端子及電容元件 164。然後，藉由將第四佈線的電位設定爲使電晶體 162 成爲截止狀態的電位，使電晶體 162 成爲截止狀態，而電晶體 160 的閘端子施加有有關新的資訊的電荷。

如此，根據所公開的發明的半導體裝置可以藉由再度進行資訊的寫入而直接對資訊進行重寫。因此，不需要快閃記憶體等要進行的利用高電壓從浮動閘極抽出電荷的工作，而可以抑制起因於擦除工作的工作速度的降低。就是說，可以實現半導體裝置的高速工作。

另外，電晶體 162 的源端子（或汲端子）藉由與電晶

體 160 的閘端子電連接而起到與用作非揮發性記憶元件的浮動閘極型電晶體的浮動閘極同等的作用。在下文中，有時將電晶體 162 的源端子（或汲端子）與電晶體 160 的閘端子電連接的部分稱為節點 FG。當電晶體 162 截止時，可以認為該節點 FG 被埋設在絕緣體中，且在節點 FG 中保持電荷。因為使用氧化物半導體的電晶體 162 的截止電流為使用矽半導體形成的電晶體的截止電流的十萬分之一以下，所以可以不考慮到因電晶體 162 的洩漏而導致的儲存在節點 FG 中的電荷的消失。就是說，藉由採用使用氧化物半導體的電晶體 162，可以製造出即使沒有電力供應也能夠保持資訊的非揮發性儲存裝置。

例如，在室溫（ 25°C ）下的電晶體 162 的截止電流為 10zA （ 1zA （仄普托安培）為 $1 \times 10^{-21}\text{A}$ ）以下且電容元件 164 的電容值為 10fF 左右的情況下，能夠至少保持 10^4 秒鐘以上的資料。另外，不用說，該保持時間根據電晶體特性或電容值等而變動。

此外，所公開的發明的半導體裝置沒有現有的浮動閘極型電晶體被指出的閘極絕緣膜（隧道絕緣膜）的劣化的問題。也就是說，可以解決以往被視為問題的當將電子注入到浮動閘極時發生的閘極絕緣膜的劣化問題。這意味著在原理上沒有寫入次數的限制。此外，也不需要現在有的浮動閘極型電晶體中當進行寫入或擦除時需要的高電壓。

圖 1A-1 所示的半導體裝置可以被認為是如圖 1A-2 所示的半導體裝置，其中，構成該半導體裝置的電晶體等要素

包括電阻器及電容器。也就是說，可以認為在圖1A-2中，電晶體160和電容元件164分別包括電阻器及電容器。R1及C1分別是電容元件164的電阻值及電容值，其中電阻值R1相當於構成電容元件164的絕緣層的電阻值。此外，R2及C2分別是電晶體160的電阻值及電容值，其中電阻值R2相當於電晶體160處於導通狀態時的閘極絕緣層的電阻值，電容值C2相當於所謂的閘極電容（形成在閘極電極與源極電極或汲極電極之間的電容以及形成在閘極電極與通道形成區之間的電容）的電容值。

當以電晶體162處於截止狀態時的源極電極和汲極電極之間的電阻值（也稱為有效電阻）為 R_{OS} 時，在電晶體162的閘極洩漏電流足夠小的條件下，若R1及R2滿足 $R1 \geq R_{OS}$ （R1為 R_{OS} 以上）且 $R2 \geq R_{OS}$ （R2為 R_{OS} 以上）的關係，則電荷的保持期間（還可以稱為資訊的保持期間）主要取決於電晶體162的截止電流。

反之，若不滿足該條件，則即使電晶體162的截止電流足夠小，也難以充分確保保持期間。這是因為電晶體162的截止電流以外的洩漏電流（例如，發生在電晶體160的源端子和閘端子之間的洩漏電流等）較大的緣故。因此，可以說，本實施方式所公開的半導體裝置較佳是滿足 $R1 \geq R_{OS}$ （R1為 R_{OS} 以上）且 $R2 \geq R_{OS}$ （R2為 R_{OS} 以上）的關係的半導體裝置。

另一方面，C1和C2滿足 $C1 \geq C2$ （C1為C2以上）的關係較佳。這是因為如下緣故：藉由增大C1，當利用第五佈

線控制節點FG的電位時，可以對節點FG高效地施加第五佈線的電位，從而可以將施加到第五佈線的電位之間（例如，讀出電位和非讀出電位）的電位差抑制為較小。

像這樣，藉由滿足上述關係，可以製造出更好的半導體裝置。另外，R1及R2由電晶體160的閘極絕緣層或電容元件164的絕緣層控制。C1及C2也相同。因此，較佳的是，適當地設定閘極絕緣層的材料或厚度等，以滿足上述關係。

在本實施方式所示的半導體裝置中，節點FG雖然起到與快閃記憶體等的浮動閘極型電晶體的浮動閘極同等的作用，但是，本實施方式中的節點FG具有與快閃記憶體等的浮動閘極根本不同的特徵。

因為在快閃記憶體中施加到控制閘極的電位高，所以為了防止該電位影響到接近的單元的浮動閘極，需要在各單元之間保持一定程度的間隔。這是阻礙半導體裝置的高集成化的主要原因之一。並且，該主要原因起因於藉由施加高電場發生穿隧電流的快閃記憶體的 Fundamental 原理。

另一方面，根據本實施方式的半導體裝置根據使用氧化物半導體的電晶體的開關而工作，並且不使用如上所述的利用穿隧電流的電荷注入的原理。換言之，不需要快閃記憶體所需要的用來注入電荷的高電場。由此，不需要考慮到控制閘極帶給接近的單元的高電場的影響，因此容易實現高集成化。

此外，還在不需要高電場及大型週邊電路（升壓電路

等)這一點上，根據本實施方式的半導體裝置優越於快閃記憶體。例如，在寫入二進位(一位元)資訊的情況下，在一個儲存單元中，施加到根據本實施方式的儲存單元的電壓(同時施加到儲存單元的各端子的電位中的最大電位與最小電位之間的差異)的最大值可以為5V以下，3V以下較佳。

再者，在使構成電容元件164的絕緣層的相對介電常數 ϵ_{r1} 與構成電晶體160的絕緣層的相對介電常數 ϵ_{r2} 不同時，容易在構成電容元件164的絕緣層的面積 $S1$ 和電晶體160中的構成閘極電容的絕緣層的面積 $S2$ 滿足 $2 \cdot S2 \geq S1$ ($2 \cdot S2$ 為 $S1$ 以上)，滿足 $S2 \geq S1$ ($S2$ 為 $S1$ 以上)的同時實現 $C1 \geq C2$ ($C1$ 為 $C2$ 以上)較佳。換言之，容易在減小構成電容元件164的絕緣層的面積的同時實現 $C1 \geq C2$ 。明確而言，例如，藉由作為構成電容元件164的絕緣層採用含有如氧化鉛等high-k材料的膜、或者含有如氧化鉛等high-k材料的膜和含有氧化物半導體的膜的疊層結構，可以將 ϵ_{r1} 設定為10以上，設定為15以上較佳，並且藉由作為構成閘極電容的絕緣層採用氧化矽，可以滿足 $3 \leq \epsilon_{r2} \leq 4$ (ϵ_{r2} 為3以上且4以下)。

藉由組合使用這種結構，可以實現根據所公開的發明的半導體裝置的進一步的高集成化。

另外，為了增大半導體裝置的儲存容量，除了採用高集成化以外，還可以採用多值化。例如，藉由採用對一個儲存單元寫入三進制以上資訊的結構，與寫入二進位(一

位元) 資訊時相比可以增大儲存容量。例如，藉由不僅將上述的施加低電位的電荷 Q_L 及施加高電位的電荷 Q_H 施加到電晶體 160 的閘端子而且還將施加其他電位的電荷 Q 施加到電晶體 160 的閘端子，可以實現多值化。

<應用例子>

接下來，參照圖 2 至 5 說明應用圖 1A-1、1A-2、1B 所示的電路的更具體的電路結構及其工作。

圖 2 為具有縱 m 個 (行) $\times$ 橫 n 個 (列) 儲存單元 190 的半導體裝置的電路圖的一個例子。圖 2 中的儲存單元 190 的結構與圖 1A-1 的儲存單元的結構一樣。就是說，圖 1A-1 中的第一佈線及第三佈線相當於圖 2 中的位元線 BL，圖 1A-1 中的第二佈線相當於圖 2 中的源線 SL，圖 1A-1 中的第四佈線相當於圖 2 中的信號線 S，並且圖 1A-1 中的第五佈線相當於圖 2 中的字線 WL。但是，在圖 2 中，多個電晶體 162 在列方向上串聯，並且多個電晶體 160 在列方向上串聯，以構成多個儲存單元 190 串聯的結構。此外，只有第一行上的儲存單元 190 不藉由其他儲存單元 190 與位元線 BL 連接，並且只有第 m 行上的儲存單元 190 不藉由其他儲存單元 190 與源線 SL 連接。就是說，其他行上的儲存單元 190 藉由相同列上的其他儲存單元 190 與位元線 BL 及源線 SL 電連接。

圖 2 所示的半導體裝置包括 m 個 (m 為 2 以上的整數) 字線 WL； m 個信號線 S； n 個 (n 為 2 以上的整數) 位元線 BL；以縱 m 個 (行) $\times$ 橫 n 個 (列) 的矩陣狀配置有儲存單

元 190 的儲存單元陣列；源線 SL；選擇線 G₁ 及選擇線 G₂；沿著選擇線 G₁ 配置在位元線 BL 和第一行上的儲存單元 190 之間且其閘端子與選擇線 G₁ 電連接的 n 個選擇電晶體 180；以及沿著選擇線 G₂ 配置在第 m 行上的儲存單元 190 和源線 SL 之間且其閘端子與選擇線 G₂ 電連接的 n 個選擇電晶體 182。

就是說，位元線 BL 與第一行上的儲存單元 190 的電晶體 162 的汲端子（或源端子）電連接且藉由選擇電晶體 180 與第一行上的儲存單元 190 的電晶體 160 的源端子（或汲端子）電連接。此外，源線 SL 藉由選擇電晶體 182 與第 m 行上的儲存單元 190 的電晶體 160 的汲端子（或源端子）電連接。此外，第 k 行（k 為 1 以上且 m 以下的自然數）上的信號線 S 與第 k 行上的儲存單元 190 的電晶體 162 的閘端子電連接，並且第 k 行上的字線 WL 與第 k 行上的儲存單元 190 的電容元件 164 的端子中的一方電連接。

此外，第 1 行（1 為 2 以上且 m 以下的自然數）上的儲存單元 190 的電晶體 160 的源端子（或汲端子）與第（1-1）行上的儲存單元 190 的電晶體 160 的汲端子（或源端子）電連接。

此外，第 1 行上的儲存單元 190 的電晶體 162 的汲端子（或源端子）與第（1-1）行上的儲存單元 190 的電晶體 160 的閘端子、電晶體 162 的源端子（或汲端子）及電容元件 164 的端子中的另一方電連接。

就是說，在第 k 行上的儲存單元 190 的電晶體 162 中，

源端子連接到鄰近的儲存單元 190 的電晶體 162 的汲端子，且汲端子連接到鄰近的儲存單元 190 的電晶體 162 的源端子。

此外，第 k 行上的儲存單元 190 的電晶體 160 的閘端子、電晶體 162 的源端子（或汲端子）和電容元件 164 的端子中的另一方電連接，而構成第 k 行上的儲存單元的節點 FG。就是說，圖 2 所示的半導體裝置的第 $(1-1)$ 行上的儲存單元 190 的節點 FG 不但具有圖 1A-1 所示的結構，而且還具有與第 1 行上的儲存單元 190 的電晶體 162 的汲端子電連接的結構。在此，在第 1 行上的儲存單元及第 $(1-1)$ 行上的儲存單元中，使用氧化物半導體的電晶體 162 的截止電流都極小，因此，在圖 2 所示的半導體裝置中，藉由與圖 1A-1 所示的半導體裝置同樣地使電晶體 162 成為截止狀態，能夠極為長期保持節點 FG 的電位。

此外，由於在像這樣使儲存單元 190 的電晶體 162 串聯的情況下，可以在鄰近的儲存單元中共同使用電晶體 162 的源極電極或汲極電極，所以與使儲存單元 190 的電晶體 162 並聯的情況相比，容易減小儲存單元 190 所占的面積。例如，當將最小加工尺寸設為 F 時，可以將儲存單元 190 所占的面積設定為 $4F^2$ 至 $12F^2$ 。這樣可以實現半導體裝置的高集成化並且增大每單位面積的儲存容量。

另外，也可以不一定必須設置選擇線 G_1 、選擇線 G_2 、選擇電晶體 180 以及選擇電晶體 182，而可以省略選擇線 G_1 及選擇電晶體 180 或選擇線 G_2 及選擇電晶體 182

。例如，可以採用如圖3所示的僅具有相當於上述選擇線G₂的選擇線G及選擇電晶體182的結構。

資料的寫入、保持及讀出基本上與圖1A-1、1A-2、1B一樣。但是，資料的寫入以逐行的方式並且從遠離位元線BL的儲存單元按順序進行。這是因為，某個儲存單元190的節點FG藉由電晶體162連接到鄰近的儲存單元190的節點FG，而難以對每個儲存單元190進行寫入工作的緣故。

以下說明具體寫入工作。注意，作為一個例子，在此說明對節點FG施加電位V₂（高於電位GND（0V）的電位）或電位V₄（高於電位GND（0V）且低於電位V₂的電位）的情況，但是施加到節點FG的電位的關係不侷限於此。此外，當將電位V₂施加到節點FG時保持的資料為資料“1”，並且當將電位V₄施加到節點FG時保持的資料為資料“0”。

首先，藉由將選擇線G₁的電位設定為GND（0V），將選擇線G₂的電位設定為V₁（例如，VDD），並且將連接到寫入物件的儲存單元190的信號線S的電位設定為V₃（高於V₂的電位），來選擇儲存單元190。另外，當在寫入物件的儲存單元190與位元線BL之間有其他儲存單元190時，將連接到該其他儲存單元190的信號線S的電位設定為V₃，而得到可以將位元線BL的電位施加到寫入物件的儲存單元190的狀態。

當對儲存單元190寫入資料“0”時，對位元線BL施加電位V₄，而當對儲存單元190寫入資料“1”時，對位元線

BL施加電位 V_2 。在此，由於將信號線 S 的電位設定為 V_3 ，所以可以對節點 FG 施加 V_2 或 V_4 。

藉由將連接到保持物件的儲存單元 190 的信號線 S 的電位設定為 GND，進行資料的保持。若將信號線 S 的電位固定為 GND，則節點 FG 的電位被固定為進行寫入時的電位。就是說，當將為寫入資料“1”的 V_2 施加到節點 FG 時，節點 FG 的電位成為 V_2 ，而當將為寫入資料“0”的 V_4 施加到節點 FG 時，節點 FG 的電位成為 V_4 。

此外，由於對信號線 S 施加 GND，所以在資料“1”或資料“0”被寫入時，電晶體 162 都成為截止狀態。由於電晶體 162 的截止電流極為小，所以電晶體 160 的閘端子的電荷被長期保持。此外，在此，在保持資料“1”或資料“0”的情況下，使用作為高於 GND（0V）的電位的 V_2 或 V_4 ，對信號線 S 施加 GND。因此，在電晶體 162 中，源端子施加有高於閘端子的電位的電位，而可以進一步降低截止電流。例如，在當保持資料“0”時作為節點 FG 的電位採用 GND 的情況等下，有時不能忽視電晶體 162 的截止電流，但是，藉由採用上述電位關係，可以消除在此情況下發生的保持期間縮短的問題。另外，在此情況下，作為電位 V_4 採用藉由對電晶體 162 的閘端子施加 GND 來使流在電晶體 162 中的電流成為 1zA 以下的電位較佳。

此外，即使在電源不被供應到記憶體的情況下，也對信號線 S 施加 GND 電位並且對節點 FG 施加作為高於 GND（0V）的電位的 V_2 或 V_4 ，因此，可以使電晶體 162 成為足夠

的截止狀態，而可以降低截止電流。

另外，在根據該保持的工作結束後，對鄰近的儲存單元 190（離位元線 BL 更近的儲存單元 190）進行資訊的寫入。以下說明其詳細內容。

藉由將連接到讀出物件的儲存單元 190 的字線 WL 的電位設定為 GND，將連接到讀出物件以外的儲存單元 190 的字線 WL 的電位設定為 V5（例如，VDD），並且將選擇線 G_1 及選擇線 G_2 的電位設定為 V1，來進行資料的讀出。

若將連接到讀出物件的儲存單元 190 的字線 WL 的電位設定為 GND，當對讀出物件的儲存單元 190 的節點 FG 施加為寫入資料“1”的 V2 時，電晶體 160 成為導通狀態。另一方面，當對節點 FG 施加為寫入資料“0”的 V4 時，電晶體 160 成為截止狀態。注意，電位 V4 為使電晶體 160 成為截止狀態的電位。

另外，在電位 V4 不是使電晶體 160 成為截止狀態的電位時，也可以對字線 WL 施加負電位。其結果，可以將節點 FG 的電位降低到低於 V4 的電位，而可以使電晶體 160 成為截止狀態。此外，若需要，也可以將連接到與該節點 FG 連接的電晶體 162 的信號線 S 的電位設定為負電位。

此外，若將連接到讀出物件以外的儲存單元 190 的字線 WL 的電位設定為 V5，則當對讀出物件以外的儲存單元 190 寫入資料“1”或資料“0”時，電晶體 160 都成為導通狀態。

另外，在根據圖 2 所示的結構中，從離位元線 BL 最遠

的行上的儲存單元 190 按順序寫入資料較佳。這是因為，由於使構成各儲存單元 190 的電晶體 162 串聯，所以難以只對任意行上的資料進行重寫的緣故。此外，藉由對離位元線 BL 最遠的行上的儲存單元 190 寫入資料“0”，也對位元線 BL 與離位元線 BL 最遠的行上的儲存單元 190 之間的儲存單元寫入資料“0”，而可以對由這些儲存單元整體構成的一組同時進行擦除。

圖 4 示出根據圖 2 所示的半導體裝置的更詳細工作的時序圖的例子。時序圖中的 S、BL 等名稱表示被施加時序圖中所示的電位的佈線，並且若有多個具有相同功能的佈線，則在佈線名稱後面附上 _1、_2 等來區別。

圖 4 所示的時序圖示出如下情況的各佈線的電位的關係：在對第 k 行第一列上的儲存單元寫入資料“1”的同時對第 k 行的其他列（第二列至第 n 列）上的儲存單元寫入資料“0”（對第 k 行寫入資料）的情況；以及讀出寫入到第 k 行上的資料（從第 k 行讀出資料）的情況。在讀出中，假設在第 k 行第一列上的儲存單元中儲存資料“1”，並且第 k 行的其他列（第二列至第 n 列）上的儲存單元中儲存資料“0”。

當對第 k 行進行寫入時，對 S_1 至 S_k 施加電位 V3 使第一行至第 k 行上的電晶體 162 成為導通狀態，並且將 S_ (k+1) 至 S_m 設定為 GND 使第 (k+1) 行至第 m 行上的電晶體 162 成為截止狀態。此外，對 BL_1 施加電位 V2，並且對 BL_2 至 BL_n 施加電位 V4。

另外，將 G_1 設定為 GND 使選擇電晶體 180 成為截止狀態，並且對 G_2 施加電位 $V1$ 使選擇電晶體 182 成為導通狀態。此外，也可以對 $WL_{(k+1)}$ 至 WL_m 施加電位 $V5$ 。

其結果是，對第 k 行第一列上的儲存單元的節點 FG 施加電位 $V2$ ，即寫入資料“1”，且對第 k 行第二列至第 n 列上的節點 FG 施加電位 $V4$ ，即寫入資料“0”。

像這樣，在本實施方式所示的半導體裝置中，當對第 k 行（ k 為 1 以上且 m 以下的自然數）上的儲存單元 190 進行寫入時，需要使第一行至第 k 行上的電晶體 162 成為導通狀態，因此，從第 m 行開始按順序進行對儲存單元陣列的寫入較佳。

在對第 k 行進行讀出時，將 S_1 至 S_m 設定為 GND 使所有電晶體 162 成為截止狀態，並且對選擇線 G_1 及選擇線 G_2 施加電位 $V1$ 使選擇電晶體 180 及選擇電晶體 182 成為導通狀態。此外，將連接到讀出物件的第 k 行上的儲存單元 190 的 WL_k 設定為 GND，並且對連接到非讀出物件的儲存單元 190 的 WL_1 至 $WL_{(k-1)}$ 及 $WL_{(k+1)}$ 至 WL_m 施加電位 $V5$ 。

此外，在省略選擇線 G_1 及選擇電晶體 180 而採用如圖 3 所示的僅設置有相當於上述選擇線 G_2 的選擇線 G 及選擇電晶體 182 的結構的情況下，也基本上可以與上述工作同樣地進行資料的寫入、保持、讀出以及對多個行進行的一同擦除。

但是，對於選擇線 G 而言，其工作與根據圖 2 所示的半

導體裝置稍微不同。在此，使用圖5說明當進行各工作時的選擇線G的電位，圖5為根據圖3所示的半導體裝置的詳細工作的時序圖。圖5所示的時序圖與圖4所示的時序圖同樣示出如下情況的各佈線的電位的關係：在對第k行第一列上的儲存單元寫入資料“1”的同時對第k行的其他列（第二列至第n列）上的儲存單元寫入資料“0”（對第k行寫入資料）的情況；以及讀出寫入到第k行上的資料（從第k行讀出資料）的情況。因此，圖5所示的時序圖與圖4所示的時序圖的不同之處僅在於選擇線G的電位，而在下面對該不同之處進行說明。

當對第k行進行寫入時，將選擇線G的電位設定為GND使選擇電晶體182成為截止狀態。當對第k行進行讀出時，對選擇線G施加電位V1使選擇電晶體182成為導通狀態。在根據圖3的半導體裝置的各工作中，藉由如上那樣對選擇線G施加電位，可以進行與上述圖4所示的時序圖的工作一樣的工作。

注意，在上述結構中，雖然藉由設法改變電位的關係使資料保持時間延長，但是，有可能在彼此串連的多個儲存單元190中的位於最邊緣的儲存單元190中不能使資料保持時間延長。例如，在圖2所示的半導體裝置中，由於第一行上的儲存單元190的電晶體162直接與位元線BL連接，所以有時根據位元線的電位，微小電流在電晶體162中流過。因此，與其他行上的儲存單元相比，有可能在第一行上的儲存單元190中不能使資料保持時間延長。

爲了解決該問題，例如，可以採用位於最邊緣的儲存單元 190 的電容元件 164 的電容值大於其他儲存單元 190 的電容元件 164 的電容值的結構。藉由增大電容值，即使相對於相同的洩漏電流，也可以將電位的變動抑制爲較小。其結果是，可以使位於最邊緣的儲存單元 190 的資料保持時間延長，而可以使儲存單元整體的保持時間（所有的儲存單元能保持資料的時間）延長。

此外，例如，也可以採用位於最邊緣的儲存單元 190 的電晶體 162 的通道長度大於其他儲存單元 190 的電晶體 162 的通道長度的結構。藉由增加通道長度，可以防止因短通道效應而導致的閾值的降低，並且可以降低洩漏電流。此外，期待由於通道電阻增大而洩漏電流降低。其結果是，可以使位於最邊緣的儲存單元 190 的資料保持時間，而可以使儲存單元整體的保持時間（所有的儲存單元能保持資料的時間）延長。

此外，例如，也可以採用將彼此串連的多個儲存單元 190 中的位於最邊緣的儲存單元 190 用作空單元，而不將該儲存單元用於資料保持的結構。藉由採用這種結構，可以使儲存單元整體的保持時間（所有的儲存單元能保持資料的時間）延長。

上述中的任一個辦法只要對彼此串連的儲存單元中的位於最邊緣的儲存單元（上述結構中的第一行上的儲存單元）進行即可，從而可以幾乎不增加每一位面積地進行上述辦法。例如，與在所有的儲存單元中形成較大的電容元

件的情況或在所有的儲存單元中採用較長的通道長度的情況相比，所增加的面積極為小。

在本實施方式所示的半導體裝置中採用使用氧化物半導體的電晶體。由於使用氧化物半導體的電晶體的截止電流極小，所以藉由採用該電晶體，能夠極為長期保持儲存內容。也就是說，因為不需要刷新工作或者可以使進行刷新工作的頻度極低，所以可以充分降低耗電量。此外，該電晶體當沒有電力供應（但是，較佳固定電位）時也能夠長期保持儲存內容。

此外，本實施方式所示的半導體裝置當寫入資訊時不需要高電壓，而沒有元件劣化的問題。例如，該半導體裝置不需要像現有的非揮發性記憶體那樣對浮動閘極注入電子及從浮動閘極抽出電子，因此，根本不發生閘極絕緣層的劣化等的問題。換言之，在根據所公開的發明的半導體裝置中，對現有的非揮發性記憶體的問題的能夠重寫的次數沒有限制，而顯著提高可靠性。再者，由於根據電晶體處於導通狀態或截止狀態進行資訊的寫入，所以可以容易實現高速工作。

此外，由於使用氧化物半導體以外的材料的電晶體能夠進行足夠高速的工作，所以藉由將該電晶體與使用氧化物半導體的電晶體組合使用，可以充分確保半導體裝置的工作（例如，資訊的讀出工作）的高速性。此外，藉由採用使用氧化物半導體以外的材料的電晶體，可以正好製造出被要求高速工作的各種電路（邏輯電路、驅動電路等）

像這樣，藉由將使用氧化物半導體以外的材料的電晶體（更廣義地說，能夠進行充分高速工作的電晶體）與使用氧化物半導體的電晶體（更廣義地說，截止電流足夠小的電晶體）設置為一體，可以製造出具有從來沒有的特徵的半導體裝置。

此外，在本實施方式所示的半導體裝置中，藉由使構成半導體裝置的各儲存單元的使用氧化物半導體的電晶體串聯，可以在鄰近的儲存單元中使用氧化物半導體的電晶體的源端子或汲端子彼此連接。就是說，在各儲存單元中，不需要設置開口部而另行使使用氧化物半導體的電晶體的源極電極及汲極電極中的一方與佈線連接。因此，可以減小儲存單元所占的面積，而可以實現半導體裝置的高集成化且可以增大每個單位面積的儲存容量。

此外，藉由使在上述半導體裝置中被施加的電位具有規定的關係，使使用氧化物半導體的電晶體成為足夠的截止狀態，可以使資料保持時間延長。

本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合來實施。

實施方式 2

在本實施方式中，參照圖 6A 至 12D 說明根據所公開的發明的一個方式的半導體裝置的結構及其製造方法。

<半導體裝置的剖面結構及平面結構>

圖 6A 和 6B 為圖 2 的電路圖所示的半導體裝置的儲存單元 190 及選擇電晶體 180 的結構的一個例子。圖 6A 示出半導體裝置的剖面，並且圖 6B 示出半導體裝置的平面。在此，圖 6A 相當於沿圖 6B 的 A1-A2 的剖面。此外，在圖 6B 中，與 A1-A2 平行的方向為圖 2 的電路圖中的列方向，並且與 A1-A2 垂直的方向為圖 2 的電路圖中的行方向。圖 6A 及 6B 所示的半導體裝置在其下部包括使用第一半導體材料的電晶體 160 及選擇電晶體 180，並且在其上部包括使用第二半導體材料的電晶體 162 及電容元件 164。另外，在圖 6A 和 6B 中示出第一行上的電晶體 160 及電晶體 162，但是，如圖 2 的電路圖所示那樣，在第一行至第 m 行上的電晶體 160 及電晶體 162 中，源極電極（源極區）和汲極電極（汲極區）串聯。

在此，第一半導體材料和第二半導體材料較佳是不同的材料。例如，可以使用氧化物半導體以外的半導體材料（矽等）作為第一半導體材料，並且使用氧化物半導體作為第二半導體材料。使用單晶矽等氧化物半導體以外的材料的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體因為其特性而能夠長期保持電荷。

另外，雖然說明上述電晶體都是 n 通道型電晶體的情況，但是當然也可以使用 p 通道型電晶體。此外，由於所公開的發明的技術特徵在於將如氧化物半導體那樣可以充分降低截止電流的半導體材料用於電晶體 162 以保持資訊

，因此不需要將半導體裝置的具體結構如用於半導體裝置的材料或半導體裝置的結構等限定於在此所示的結構。

圖6A和6B所示的電晶體160包括設置在含有半導體材料（例如，矽等）的基板100中的通道形成區116a、夾著通道形成區116a地設置的雜質區120a及雜質區120b、與雜質區120a及雜質區120b接觸的金屬化合物區124a及金屬化合物區124b、設置在通道形成區116a上的閘極絕緣層108a以及設置在閘極絕緣層108a上的閘極電極110a。另外，雖然有時在圖式中沒有源極電極或汲極電極，但是為了方便起見，有時將這種結構也稱作電晶體。此外，在此情況下，為了說明電晶體的連接關係，有時將源極區和汲極區分別稱作源極電極和汲極電極。就是說，在本說明書中，源極電極的記載中有可能包括源極區，並且汲極電極的記載中有可能包括汲極區。

另外，在本說明書中，有時將雜質區120a、雜質區120b及後述的雜質區120c總寫為雜質區120。此外，在本說明書中，有時將金屬化合物區124a、金屬化合物區124b及後述的金屬化合物區124c總寫為金屬化合物區124。

在此，第一行至第m行上的電晶體160共同使用用作源極區或汲極區的雜質區120及金屬化合物區124而串聯。就是說，用作第1-1行（1為2以上且m以下的自然數）上的電晶體160的源極區的雜質區120及金屬化合物區124起到第1行上的電晶體160的汲極區的作用。像這樣，藉由使儲存單元190中的電晶體160串聯，可以在各儲存單元190之間

共同使用電晶體160的源極區及汲極區。就是說，不需要在各儲存單元190中設置開口部而另行使電晶體160的源極區及汲極區中的一方與佈線158連接。因此，由於不需要在電晶體160中設置用來與佈線158連接的開口部，所以可以容易使電晶體160的平面佈局與後述的電晶體162的平面佈局重疊，從而可以實現儲存單元190所占的面積的減小。

此外，由於第一行上的電晶體160藉由選擇電晶體180與位元線電連接，所以用作第一行上的電晶體160的汲極區的雜質區120b及金屬化合物區124b起到選擇電晶體180的源極區的作用。在此，選擇電晶體180可以具有與上述電晶體160相同的結構。就是說，選擇電晶體180包括設置在含有半導體材料（例如，矽等）的基板100中的通道形成區116b、夾著通道形成區116b地設置的雜質區120b及雜質區120c、與雜質區120b及雜質區120c接觸的金屬化合物區124b及金屬化合物區124c、設置在通道形成區116b上的閘極絕緣層108b、以及設置在閘極絕緣層108b上的閘極電極110b。另外，選擇電晶體180的閘極電極110b用作圖2所示的電路圖中的選擇線G₁。

另外，在本說明書中，有時將通道形成區116a和通道形成區116b總寫為通道形成區116。此外，在本說明書中，有時將閘極絕緣層108a和閘極絕緣層108b總寫為閘極絕緣層108。此外，在本說明書中，有時將閘極電極110a和閘極電極110b總寫為閘極電極110。

此外，在基板 100 上圍繞電晶體 160 及選擇電晶體 180 地設置有元件分離絕緣層 106，並且在電晶體 160 及選擇電晶體 180 上以使閘極電極 110 的頂面露出的方式設置有絕緣層 128。另外，爲了實現高集成化，採用如圖 6A 和 6B 所示那樣在電晶體 160 中沒有側壁絕緣層的結構較佳。另一方面，在重視電晶體 160 的特性時，也可以在閘極電極 110 側面設置側壁絕緣層，並且設置包括雜質濃度不同的區域的雜質區 120。

在此，絕緣層 128 具有平坦性好的表面較佳，例如，絕緣層 128 的表面的均方根（RMS）粗糙度爲 1nm 以下較佳。

圖 6A 和 6B 所示的電晶體 162 包括埋設在形成於絕緣層 128 上的絕緣層 140 中的源極電極 142a 及汲極電極 142b；與絕緣層 140、源極電極 142a 及汲極電極 142b 的一部分接觸的氧化物半導體層 144；覆蓋氧化物半導體層 144 的閘極絕緣層 146；以及在閘極絕緣層 146 上與氧化物半導體層 144 重疊地設置的閘極電極 148。另外，閘極電極 148 用作圖 2 所示的電路圖中的信號線 S。

在此，氧化物半導體層 144 藉由充分去除氫等雜質或者供應足夠的氧而高純度化較佳。明確而言，例如，將氧化物半導體層 144 的氫濃度設定爲 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下，設定爲 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下較佳，設定爲 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下更佳。另外，上述氧化物半導體層 144 中的氫濃度是利用二次離子質譜測定技術（SIMS：Secondary Ion Mass

Spectroscopy) 測量的。在如上那樣充分降低氫濃度而高純度化且由氧缺陷造成的能隙中的缺陷能階藉由供應足夠的氧被降低了的氧化物半導體層 144 中，起因於氫等施主的載子密度為低於 $1 \times 10^{12}/\text{cm}^3$ ，低於 $1 \times 10^{11}/\text{cm}^3$ 較佳，低於 $1.45 \times 10^{10}/\text{cm}^3$ 更佳。此外，例如，在室溫（ 25°C ）下的截止電流（在此，每單位通道寬度（ $1\mu\text{m}$ ）的值）成為 100zA （ 1zA （仄普托安培）為 $1 \times 10^{-21}\text{A}$ ）以下，成為 10zA 以下較佳。像這樣，藉由採用 i 型化（本質化）或實質上 i 型化（無限趨近於 i 型）的氧化物半導體，可以製造出截止電流特性極為優越的電晶體 162。

此外，將絕緣層 140 的表面中與氧化物半導體層 144 接觸的區域的均方根（RMS）粗糙度設定為 1nm 以下較佳。像這樣，藉由在均方根（RMS）粗糙度為 1nm 以下的極為平坦的區域中設置電晶體 162 的通道形成區，即使在將電晶體 162 微型化的情況下也防止短通道效應等不良現象的發生，而可以提供具有良好特性的電晶體 162。

此外，第一行至第 m 行上的電晶體 162 共同使用源極電極 142a 及汲極電極 142b 而串聯。就是說，第 $1-1$ 行（ 1 為 2 以上且 m 以下的自然數）上的電晶體 162 的源極電極 142a 和第 1 行上的電晶體 162 的汲極電極 142b 由同一導電層形成。

像這樣，藉由使儲存單元 190 的電晶體 162 串聯，可以在各儲存單元 190 之間使電晶體 162 的源極電極 142a 和汲極電極 142b 彼此連接。由此，在儲存單元 190 的平面佈局中只包括電晶體 162 的源極電極 142a 及汲極電極 142b 中的一

方。就是說，可以將儲存單元190的平面佈局的列方向上的長度縮短成閘極電極148的最起碼佈線寬度和最起碼佈線間隔的總和長度左右。

相比之下，在使儲存單元190的電晶體162並聯且在各儲存單元190中分別設置電晶體162的源極電極142a及汲極電極142b的情況下，需要在各儲存單元190中設置開口部而另行使電晶體162的源極電極142a及汲極電極142b中的一方與佈線158等佈線連接。因此，在儲存單元190的平面佈局中包括電晶體162的源極電極142a及汲極電極142b兩者以及用來與佈線連接的開口部。

因此，藉由採用如圖6A和6B所示那樣的儲存單元190的平面佈局的結構，可以減小儲存單元190所占的面積。例如，當將最小加工尺寸設為F時，可以將儲存單元190所占的面積設定為 $4F^2$ 至 $12F^2$ 。這樣可以實現半導體裝置的高集成化並且增大每單位面積的儲存容量。

圖6A和6B中的電容元件164包括源極電極142a、氧化物半導體層144、閘極絕緣層146、閘極絕緣層146上的絕緣層150以及電極152。就是說，源極電極142a用作電容元件164的一方電極，並且電極152用作電容元件164的另一方電極。另外，也可以採用電容元件164不包括閘極絕緣層146的結構。藉由採用這種結構，電容元件164的電介質層由氧化物半導體層144及絕緣層150構成，從而電介質層的厚度減薄，而可以增大電容元件164的電容量。

在此，由於第1-1行（1為2以上且m以下的自然數）上

的電容元件164的一方電極為第1-1行上的電晶體162的源極電極142a，所以可以容易使電容元件164的平面佈局與電晶體162的平面佈局重疊，從而可以減小儲存單元190所占的面積。此外，藉由在絕緣層150上形成電極152，可以以最起碼的佈線間隔形成鄰近的儲存單元190的閘極電極148，而且可以在鄰近的儲存單元190的閘極電極148之間形成電極152。據此，可以減小儲存單元190所占的面積。另外，電極152用作圖2所示的電路圖中的字線WL。

在電晶體162上設置有絕緣層150，並且在絕緣層150及電容元件164的電極152上設置有絕緣層154。而且，在形成於閘極絕緣層146、絕緣層150及絕緣層154等中的開口中設置有電極156a，並且在絕緣層154上形成有與電極156a連接的佈線158。此外，佈線158與用作選擇電晶體180的汲極區的金屬化合物區124c藉由設置在形成於閘極絕緣層146、絕緣層150及絕緣層154等中的開口中的電極156b；埋設在絕緣層140中的電極142c；以及埋設在絕緣層128中的電極126彼此電連接。在此，佈線158用作圖2所示的電路圖中的位元線BL。

藉由採用上述結構，可以減小包括電晶體160、電晶體162及電容元件164的儲存單元190的平面佈局的尺寸。在儲存單元190的平面佈局中，可以將其行方向上的長度縮短成用作位元線BL的佈線158的最起碼的佈線寬度及最起碼的佈線間隔左右的長度，並且可以將其列方向上的長度縮短成閘極電極148的最起碼的佈線寬度和最起碼的佈

線間隔總和的長度左右。藉由採用這種平面佈局，可以實現圖2所示的電路的高集成化。例如，當將最小加工尺寸設為F時，可以將儲存單元所占的面積設定為 $4F^2$ 至 $12F^2$ 。因此，可以增大半導體裝置的每單位面積的儲存容量。

另外，根據所公開的發明的半導體裝置的結構不侷限於圖6A和6B所示的結構。所公開的發明的一個方式的技術關鍵在於形成使用氧化物半導體和氧化物半導體以外的材料的疊層結構。因此，可以適當地改變電極的連接關係等的詳細結構。

例如，圖7示出位元線BL與第一行上的儲存單元190彼此連接的部分的結構的一個例子，其中，如圖3所示，省略選擇線G₁及選擇電晶體180而只設置相當於上述選擇線G₂的選擇線G及選擇電晶體182。圖7A示出半導體裝置的剖面，並且圖7B示出半導體裝置的平面。在此，圖7A相當於沿圖7B的B1-B2的剖面。

圖7A和7B所示的半導體裝置與圖6A和6B所示的半導體裝置的不同之處之一在於，設置有選擇電晶體180還是沒有選擇電晶體180。因此，圖7A和7B所示的半導體裝置的詳細內容可以參照圖6A和6B所示的半導體裝置。另外，對圖7A和7B所示的半導體裝置與圖6A和6B所示的半導體裝置的共同部分使用同一符號。

但是，與圖6A和6B所示的半導體裝置不同，在圖7A和7B所示的半導體裝置中，佈線158與電晶體160藉由設置在形成於閘極絕緣層146、絕緣層150及絕緣層154中的開

口中的電極 156a；埋設在絕緣層 140 中的汲極電極 142b；以及埋設在絕緣層 128 中的電極 126 彼此電連接。

此外，雖然圖 6A 和 6B 所示的半導體裝置採用在絕緣層 140 及埋設在絕緣層 140 中的源極電極 142a、汲極電極 142b 上設置氧化物半導體層 144 的結構，但是也可以採用如圖 8A 所示那樣不設置絕緣層 140 及埋設在絕緣層 140 中的源極電極 142a、汲極電極 142b，而在閘極電極 110a 及絕緣層 128 上直接設置氧化物半導體層 144 的結構。在此，圖 8A 示出半導體裝置的剖面圖。圖 8A 所示的半導體裝置和圖 6A 和 6B 所示的半導體裝置的主要不同之處在於，設置有上述絕緣層 140、源極電極 142a 及汲極電極 142b 還是沒有它們。另外，對圖 8A 所示的半導體裝置與圖 6A 和 6B 所示的半導體裝置的共同部分使用同一符號。

在此，在圖 8A 所示的半導體裝置中，閘極電極 110a 也可以用作電晶體 162 的源極電極或汲極電極。就是說，第 $l-1$ 行（ l 為 2 以上且 m 以下的自然數）上的電晶體 160 的閘極電極 110a、第 $l-1$ 行上的電晶體 162 的源極電極以及第 l 行上的電晶體 162 的汲極電極由同一導電層形成。爲了容易接觸，在圖 6A 和 6B 所示的半導體裝置中，閘極電極 110a 的列方向上的長度小於源極電極 142a 的列方向上的長度。因此，不設置源極電極 142a 的圖 8A 所示的半導體裝置可以進一步實現儲存單元 190 所占的面積的減小。

此外，在圖 8A 所示的半導體裝置中，在電極 156a 和氧化物半導體層 144 之間設置電極 159a，使佈線 158 和氧化物

半導體層 144 電連接較佳。藉由採用該結構，可以容易確保佈線 158 與氧化物半導體層 144 的接觸。此外，與此同樣，也可以在電極 156b 和電極 126 之間設置電極 159b，使佈線 158 和選擇電晶體 180 的金屬化合物區 124c 電連接。另外，電極 159a 及電極 159b 可以與電極 152 一起形成。

此外，也可以採用如圖 8B 所示的結構，其中在 SOI 基板上形成電晶體 160 及選擇電晶體 180。在此，圖 8B 示出半導體裝置的剖面圖。圖 8B 所示的半導體裝置與圖 6A 和 6B 所示的半導體裝置的不同之處之一是，在圖 8B 所示的半導體裝置中，電晶體 160 以及選擇電晶體 180 的通道形成區 116 及雜質區 120 由設置在 SOI 基板中的半導體層構成。另外，對圖 8B 所示的半導體裝置與圖 6A 和 6B 所示的半導體裝置的共同部分使用同一符號。

圖 8B 所示的 SOI 基板包括基底基板 170、形成在基底基板 170 上的含氮層 172、形成在含氮層 172 上的氧化膜 174 以及形成在氧化膜 174 上的半導體層。該半導體層構成電晶體 160 以及選擇電晶體 180 的通道形成區 116 及雜質區 120。

在此，作為基底基板 170 可以使用由絕緣體構成的基板。明確而言，可舉出：用於電子工業的各種玻璃基板諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等；石英基板；陶瓷基板；藍寶石基板。此外，也可以使用以氮化矽和氧化鋁為主要成分的熱膨脹係數接近於矽的陶瓷基板。

此外，作為含氮層 172 可以使用包括如氮化矽膜（

SiN_x) 或氮氧化矽膜 (SiN_xO_y) ($x>y$) 等含氮的絕緣膜的層。此外，作為氧化膜 174，可以採用氧化矽膜、氧氮化矽膜等的單層或者層疊這些膜而成的疊層。

此外，作為構成通道形成區 116 及雜質區 120 的半導體層，採用使用單晶矽基板、單晶鍺基板及單晶矽鍺基板等由第 14 族元素構成的單晶半導體基板形成的厚度為 10nm 以上且 500nm 以下，較佳為 50nm 以上且 200nm 以下的半導體層，即可。

此外，雖然圖 6A 和 6B 所示的半導體裝置採用將源極電極 142a 及汲極電極 142b 埋設在絕緣層 140 中的結構，但是，也可以採用如圖 8B 所示那樣不將源極電極 142a 及汲極電極 142b 埋設在絕緣層中而將它們形成在閘極電極 110 及絕緣層 128 上的結構。在此，源極電極 142a 及汲極電極 142b 的端部具有錐形形狀較佳。這是因為，藉由將源極電極 142a 及汲極電極 142b 的端部形成為錐形形狀，可以提高氧化物半導體層 144 的覆蓋性而防止斷開的緣故。在此，例如將錐形角設定為 30° 以上且 60° 以下。另外，錐形角是指當從垂直於剖面（與基板的表面正交的面）的方向觀察到具有錐形形狀的層（例如，源極電極 142a）時，該層的側面和底面所形成的傾斜角。

<半導體裝置的製造方法>

下面，對上述半導體裝置的製造方法的一個例子進行說明。在下文中，首先參照圖 9A 至 9D 及圖 10A 至 10D 說明

下部的電晶體160及選擇電晶體180的製造方法，然後，參照圖11A至11D及圖12A至12D說明上部的電晶體162及電容元件164的製造方法。

<下部的電晶體的製造方法>

首先，準備含有半導體材料的基板100（參照圖9A）。作為含有半導體材料的基板100，可以採用矽或碳化矽等的單晶半導體基板、多晶半導體基板、矽鍺等的化合物半導體基板、SOI基板等。這裏示出作為含有半導體材料的基板100使用單晶矽基板時的一個例子。另外，一般來說，“SOI基板”是指在絕緣表面上設置有矽半導體層的基板，而在本說明書等中，“SOI基板”這一詞的概念還包括在絕緣表面上設置有含有矽以外的材料的半導體層的基板。也就是說，“SOI基板”所包括的半導體層不侷限於矽半導體層。此外，SOI基板還包括在玻璃基板等絕緣基板上隔著絕緣層設置有半導體層的基板。

作為含有半導體材料的基板100，特別使用矽等的單晶半導體基板較佳，因為這樣可以使半導體裝置的讀出工作的速度增快。

另外，為了控制電晶體的閾值電壓，也可以對後面成為電晶體160的通道形成區116a及選擇電晶體180的通道形成區116b的區域添加雜質元素。在此，添加賦予導電性的雜質元素以使電晶體160及選擇電晶體180的閾值電壓成為正值。當半導體材料為矽時，作為該賦予導電性的雜質，

例如有硼、鋁、鎵等。另外，在添加雜質元素後進行加熱處理，來實現雜質元素的活化、當添加雜質元素時產生的缺陷的改善等較佳。

在基板100上形成保護層102，該保護層102成為用來形成元件分離絕緣層的掩模（參照圖9A）。作為保護層102，例如可以採用作為其材料使用氧化矽、氮化矽、氧氮化矽等的絕緣層。

接下來，將上述保護層102用作掩模進行蝕刻，來去除基板100的一部分，即基板100的不被保護層102覆蓋的區域（露出的區域）。據此，形成與其他半導體區分離的半導體區104（參照圖9B）。作為該蝕刻採用乾蝕刻較佳，但是也可以採用濕蝕刻。可以根據被蝕刻材料適當地選擇蝕刻氣體或蝕刻液。

接下來，藉由覆蓋基板100地形成絕緣層，並且選擇性地去除與半導體區104重疊的區域的絕緣層，來形成元件分離絕緣層106（參照圖9C）。該絕緣層使用氧化矽、氮化矽、氧氮化矽等而形成。作為絕緣層的去除方法有CMP（化學機械拋光）處理等的拋光處理或蝕刻處理等，並且可以使用其中任一種方法。另外，在形成半導體區104之後或在形成元件分離絕緣層106之後去除上述保護層102。

接下來，在半導體區104的表面上形成絕緣層，並且在該絕緣層上形成含有導電材料的層。

絕緣層在後面成為閘極絕緣層，該絕緣層例如可以藉

由對半導體區 104 的表面進行熱處理（熱氧化處理或熱氮化處理等）形成。也可以採用高密度電漿處理代替熱處理。例如可以使用氦（He）、氬（Ar）、氙（Kr）、氙（Xe）等稀有氣體、氧、氧化氮、氮、氮、氬等的混合氣體進行高密度電漿處理。當然，也可以利用 CVD 法或濺射法等形成絕緣層。該絕緣層採用含有氧化矽、氧氮化矽、氮化矽、氧化鈣、氧化鋁、氧化鋇、氧化釷、矽酸鈣（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈣（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鈣（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等的單層結構或疊層結構較佳。此外，例如可以將絕緣層的厚度設定為 1nm 以上且 100nm 以下，設定為 10nm 以上且 50nm 以下較佳。

含有導電材料的層可以使用鋁、銅、鈦、鋇、鎢等的金屬材料而形成。此外，也可以使用多晶矽等的半導體材料形成含有導電材料的層。對其形成方法也沒有特別的限制，可以採用蒸鍍法、CVD 法、濺射法、旋塗法等各種成膜方法。另外，在本實施方式中示出使用金屬材料形成含有導電材料的層時的一個例子。

然後，選擇性地蝕刻絕緣層及含有導電材料的層，形成閘極絕緣層 108（閘極絕緣層 108a、閘極絕緣層 108b）及閘極電極 110（閘極電極 110a、閘極電極 110b）（參照圖 9C）。

接下來，對半導體區 104 添加磷（P）或砷（As）等形成通道形成區 116（通道形成區 116a、通道形成區 116b）

及雜質區 120（雜質區 120a、雜質區 120b、雜質區 120c）（參照圖 9D）。另外，雖然這裏爲了形成 n 型電晶體添加磷或砷，但在形成 p 型電晶體時添加硼（B）或鋁（Al）等雜質元素即可。在此，可以適當地設定所添加的雜質的濃度，並且當將半導體元件高度微型化時，提高其濃度較佳。

另外，也可以在閘極電極 110 的周圍形成側壁絕緣層，形成以不同濃度添加有雜質元素的雜質區。

接下來，覆蓋閘極電極 110 及雜質區 120 等地形成金屬層 122（參照圖 10A）。該金屬層 122 可以利用真空蒸鍍法、濺射法或旋塗法等各種成膜方法形成。金屬層 122 使用與構成半導體區 104 的半導體材料起反應而成爲低電阻金屬化合物的金屬材料形成較佳。作爲這種金屬材料，例如有鈦、鋁、鎢、鎳、鈷、鉑等。

接下來，進行熱處理，使上述金屬層 122 與半導體材料起反應。據此，形成與雜質區 120（雜質區 120a、雜質區 120b、雜質區 120c）接觸的金屬化合物區 124（金屬化合物區 124a、金屬化合物區 124b、金屬化合物區 124c）（參照圖 10A）。另外，當使用多晶矽等作爲閘極電極 110 時，還在閘極電極 110 的與金屬層 122 接觸的部分中形成金屬化合物區。

作爲上述熱處理，例如可以採用利用閃光燈的照射的熱處理。當然，也可以採用其他熱處理方法，但是，爲了提高形成金屬化合物時的化學反應的控制性，採用可以在

極短時間內完成熱處理的方法較佳。另外，上述金屬化合物區是因金屬材料與半導體材料起反應而形成的區域，從而該金屬化合物區的導電性充分得到提高。藉由形成該金屬化合物區，可以充分降低電阻，並且可以提高元件特性。另外，在形成金屬化合物區 124 之後，去除金屬層 122。

接下來，在選擇電晶體 180 的金屬化合物區 124c 上與它接觸地形成電極 126（參照圖 10B）。電極 126 藉由在使用如濺射法的 PVD 法、電漿 CVD 法等 CVD 法形成導電層之後對該導電層進行構圖來形成。此外，作為導電層的材料，可以使用選自鋁、鉻、銅、鈮、鈦、鉬和鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋅、銻、釷、釷中的一種或多種材料。詳細內容與後述的源極電極 142a、汲極電極 142b 等相同。

藉由上述步驟形成使用含有半導體材料的基板 100 的電晶體 160 及選擇電晶體 180（參照圖 10B）。這種電晶體 160 具有能夠進行高速工作的特徵。因此，藉由作為讀出用電晶體使用該電晶體，可以高速進行資訊的讀出。

接下來，覆蓋藉由上述步驟形成的所有構成要素地形成絕緣層 128（參照圖 10C）。絕緣層 128 可以使用含有如氧化矽、氧氮化矽、氮化矽、氧化鋁等的無機絕緣材料的材料形成。尤其是，將低介電常數（low-k）材料用於絕緣層 128 較佳，因為這樣可以充分降低由於各種電極或佈線重疊而產生的電容。另外，作為絕緣層 128 也可以採用使用上述材料的多孔絕緣層。因為多孔絕緣層的介電常數

比高密度的絕緣層的介電常數低，所以若採用多孔絕緣層，則可以進一步降低起因於電極或佈線的電容。此外，絕緣層 128 也可以使用聚醯亞胺、丙烯等有機絕緣材料形成。另外，雖然這裏採用單層結構的絕緣層 128，但是所公開的發明的一個方式不侷限於此。也可以採用兩層以上的疊層結構的絕緣層 128。

然後，作為在形成電晶體 162 及電容元件 164 之前的處理，對絕緣層 128 進行 CMP 處理，使閘極電極 110a、閘極電極 110b 及電極 126 的頂面露出（參照圖 10D）。作為使閘極電極 110 的頂面露出的處理，除了 CMP 處理以外還可以採用蝕刻處理等，但是為了提高電晶體 162 的特性，使絕緣層 128 的表面盡可能地平坦較佳。例如，將絕緣層 128 的表面的均方根（RMS）粗糙度設定為 1nm 以下較佳。

另外，也可以在上述各步驟前後還包括形成電極、佈線、半導體層、絕緣層等的步驟。例如，也可以採用由絕緣層及導電層的疊層結構構成的多層佈線結構作為佈線的結構，來製造出高度集成化的半導體裝置。

<上部的電晶體的製造方法>

下面，在閘極電極 110、電極 126 及絕緣層 128 等上形成導電層，並且選擇性地蝕刻該導電層，形成源極電極 142a、汲極電極 142b 及電極 142c（參照圖 11A）。

導電層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成。此外，作為導電層的材料，可以

使用選自鋁、鉻、銅、鉭、鈦、鉬、鎢中的元素或以上述元素為成分的合金等。還可以使用選自錳、鎂、鋯、鈹、釹、釷中的一種或多種材料。

導電層既可以採用單層結構又可以採用兩層以上的疊層結構。例如，可以舉出：鈦膜或氮化鈦膜的單層結構；含有矽的鋁膜的單層結構；在鋁膜上層疊鈦膜的雙層結構；在氮化鈦膜上層疊鈦膜的雙層結構；層疊鈦膜、鋁膜及鈦膜的三層結構等。另外，當作為導電層採用鈦膜或氮化鈦膜的單層結構時，有容易將該導電層加工成具有錐形形狀的源極電極 142a、汲極電極 142b 及電極 142c 的優點。

此外，導電層也可以使用導電金屬氧化物形成。作為導電金屬氧化物，可以採用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為 ITO）、氧化銦氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）或者這些金屬氧化物材料中含有矽或氧化矽而成的金屬氧化物。

另外，雖然可以採用乾蝕刻或濕蝕刻進行導電層的蝕刻，但是為了微型化，採用控制性良好的乾蝕刻較佳。此外，也可以使所形成的源極電極 142a 及汲極電極 142b 具有錐形形狀地進行導電層的蝕刻。例如可以將錐形角設定為 30° 以上且 60° 以下。

上部的電晶體 162 的通道長度（ L ）取決於源極電極 142a 的上端部與汲極電極 142b 的上端部之間的間隔。另外，在形成通道長度（ L ）短於 25nm 的電晶體的情況下，利

用波長短即幾 nm 至幾十 nm 的超紫外線（Extreme Ultraviolet）進行形成掩模時的曝光較佳。利用超紫外線的曝光的解析度高且景深大。因此，可以將後面形成的電晶體的通道長度（L）設定為短於 $2\mu\text{m}$ ，設定為 10nm 以上且 350nm （ $0.35\mu\text{m}$ ）以下較佳，而可以提高電路的工作速度。

另外，也可以在絕緣層 128 上設置用作基底的絕緣層。該絕緣層可以利用 PVD 法或 CVD 法等形式。

接下來，在覆蓋源極電極 142a、汲極電極 142b 及電極 142c 地形成絕緣層 140 之後，使源極電極 142a、汲極電極 142b 及電極 142c 露出地進行 CMP（化學機械拋光）處理，以使絕緣層 140 平坦（參照圖 11A）。

可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鋁、氧化鎵等的無機絕緣材料的材料形成絕緣層 140。因為在後面氧化物半導體層 144 與絕緣層 140 接觸，所以作為絕緣層 140 例如採用使用氧化矽等的材料較佳。另外，當在絕緣層 140 中包含鎵或鋁等包含在氧化物半導體層 144 中的可能性高的第 13 族元素時，可以提高絕緣層 140 和氧化物半導體層 144 的介面特性，並且抑制氫的積累等而使電特性穩定化。再者，當將氧化鋁用於絕緣層 140 時，還有可以抑制水從外部侵入的效果。

另外，從抑制起因於氧化物半導體層 144 的氧缺陷的缺陷的產生的觀點來看，作為絕緣層 140 使用其含氧量比化學計量組成稍微多的氧化物材料較佳。像這樣，藉由將

含有較多氧的材料用於與氧化物半導體層 144 接觸的層，可以對氧化物半導體層 144 供應氧，抑制氧缺陷的發生，並且防止電晶體的常開啓化。據此，由於可以減少爲了使電晶體成爲足夠的截止狀態所需要的閘端子與源端子（或汲端子）之間的電位差，所以可以抑制爲了使電位變動所需要的耗電量。或者，使半導體裝置適當地工作變得容易。就是說，在採用該結構的情況下，根據發明的一個方式的效果更顯著。

雖然對絕緣層 140 的形成方法沒有特別的限制，但是考慮到與氧化物半導體層 144 接觸的情況，採用充分減少氫的方法較佳。作爲這種方法，例如有濺射法。當然，也可以採用以電漿 CVD 法爲典型的其他成膜方法。此外，也可以設法改變絕緣層 140 的形成方法或對絕緣層 140 進行的處理等，而使絕緣層 140 包含較多的氧。例如，藉由對成膜氣圍中添加氧，可以得到包含較多氧的絕緣層 140。或者，也可以對絕緣層 140 進行氧氣圍下的熱處理或氧電漿處理等。在任一情況下，藉由充分減少絕緣層 140 中的氫並且使絕緣層 140 包含足夠的氧，可以製造出具有優越特性的半導體裝置。

此外，以使源極電極 142a、汲極電極 142b 及電極 142c 的表面中的至少一部分露出的條件進行 CMP（化學機械拋光）處理。此外，以絕緣層 140 的表面的均方根（RMS）粗糙度成爲 1nm 以下（較佳爲 0.5nm 以下）的條件進行該 CMP 處理較佳。藉由使用這種條件進行 CMP 處理，可以提

高後面其上形成氧化物半導體層 144 的表面的平坦性，而可以提高電晶體 162 的特性。

另外，CMP 處理既可以只進行一次，又可以進行多次。當分多次進行 CMP 處理時，在進行高拋光率的初期拋光之後，進行低拋光率的精拋光較佳。像這樣，藉由組合拋光率不同的拋光，可以進一步提高絕緣層 140 的表面的平坦性。

接下來，在與源極電極 142a 的頂面、汲極電極 142b 的頂面及絕緣層 140 的頂面中的一部分接觸地形成氧化物半導體層之後，選擇性地蝕刻該氧化物半導體層來形成氧化物半導體層 144（參照圖 11B）。

氧化物半導體層 144 至少含有選自 In、Ga、Sn、Zn、Al、Mg、Hf 及 鑷系元素中的一種以上的元素。例如，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類氧化物半導體；三元金屬氧化物的 In-Ga-Zn-O 類氧化物半導體、In-Sn-Zn-O 類氧化物半導體、In-Al-Zn-O 類氧化物半導體、Sn-Ga-Zn-O 類氧化物半導體、Al-Ga-Zn-O 類氧化物半導體、Sn-Al-Zn-O 類氧化物半導體、In-Hf-Zn-O 類氧化物半導體、In-La-Zn-O 類氧化物半導體、In-Ce-Zn-O 類氧化物半導體、In-Pr-Zn-O 類氧化物半導體、In-Nd-Zn-O 類氧化物半導體、In-Pm-Zn-O 類氧化物半導體、In-Sm-Zn-O 類氧化物半導體、In-Eu-Zn-O 類氧化物半導體、In-Gd-Zn-O 類氧化物半導體、In-Tb-Zn-O 類氧化物半導體、In-Dy-Zn-O 類氧化物半導體、In-Ho-Zn-O 類氧化物半導體、In-Er-Zn-O 類

氧化物半導體、In-Tm-Zn-O類氧化物半導體、In-Yb-Zn-O類氧化物半導體、In-Lu-Zn-O類氧化物半導體；二元金屬氧化物的In-Zn-O類氧化物半導體、Sn-Zn-O類氧化物半導體、Al-Zn-O類氧化物半導體、Zn-Mg-O類氧化物半導體、Sn-Mg-O類氧化物半導體、In-Mg-O類氧化物半導體、In-Ga-O類氧化物半導體；或者單元金屬氧化物的In-O類氧化物半導體、Sn-O類氧化物半導體、Zn-O類氧化物半導體等來形成氧化物半導體層144。此外，也可以在上述氧化物半導體中含有In、Ga、Sn、Zn以外的元素，例如SiO₂。

例如，In-Ga-Zn-O類氧化物半導體是指具有銦（In）、鎵（Ga）、鋅（Zn）的氧化物半導體，對其組成比沒有限制。

尤其是，In-Ga-Zn-O類的氧化物半導體材料的無電場時的電阻足夠高而可以充分降低截止電流，並且其場效應遷移率也較高，因此，In-Ga-Zn-O類的氧化物半導體材料適合用作用於半導體裝置的半導體材料。

作為In-Ga-Zn-O類的氧化物半導體材料的典型例子，有寫為InGaO₃(ZnO)_m（m>0）的氧化物半導體材料。此外，還有使用M代替Ga而寫為InMO₃(ZnO)_m（m>0）的氧化物半導體材料。在此，M表示選自鎵（Ga）、鋁（Al）、鐵（Fe）、鎳（Ni）、錳（Mn）、鈷（Co）等中的一種金屬元素或多種金屬元素。例如，作為M，可以採用Ga、Ga及Al、Ga及Fe、Ga及Ni、Ga及Mn、Ga及Co等。另外，上述組成是根據晶體結構導出的，只是一個例子而已。

此外，當作爲氧化物半導體使用 In-Zn-O 類材料時，將所使用的靶材的組成比設定爲使原子數比爲 In:Zn=50:1 至 1:2（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 1:4），In:Zn=20:1 至 1:1（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 1:2）較佳，In:Zn=15:1 至 1.5:1（換算爲莫耳數比則爲 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 3:4）更佳。例如，當用來形成 In-Zn-O 類氧化物半導體的靶材的原子數比爲 In:Zn:O=X:Y:Z 時，滿足 $Z>1.5X+Y$ 的關係。

作爲當藉由濺射法形成氧化物半導體層 144 時使用的靶材，使用由 In:Ga:Zn=1:x:y（x 爲 0 以上，y 爲 0.5 以上且 5 以下）的組成比表示的靶材較佳。例如，可以使用其組成比爲 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [莫耳數比] 的靶材等。此外，還可以使用其組成比爲 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$ [莫耳數比]（x=1，y=0.5）的靶材、其組成比爲 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$ [莫耳數比]（x=1，y=2）的靶材或其組成比爲 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:0:2$ [莫耳數比]（x=0，y=1）的靶材。

在本實施方式中，利用使用 In-Ga-Zn-O 類金屬氧化物靶材的濺射法形成非晶結構的氧化物半導體層 144。此外，其厚度爲 1nm 以上且 50nm 以下，2nm 以上且 20nm 以下較佳，3nm 以上且 15nm 以下更佳。

金屬氧化物靶材中的金屬氧化物的相對密度爲 80% 以上，95% 以上較佳，99.9% 以上更佳。藉由使用相對密度高的金屬氧化物靶材，可以形成結構緻密的氧化物半導體層。

作為形成氧化物半導體層 144 時的氣圍，採用稀有氣體（典型為氬）氣圍、氧氣圍、或稀有氣體（典型為氬）和氧的混合氣圍較佳。明確地說，例如，採用氬、水、羥基或氫化物等雜質被去除直到 1ppm 以下（較佳為 10ppb 以下）的高純度氣體氣圍較佳。

當形成氧化物半導體層 144 時，例如在保持為減壓狀態的處理室內固定被處理物，並且加熱被處理物以使被處理物的溫度達到 100℃ 以上且低於 550℃，達到 200℃ 以上且 400℃ 以下較佳。或者，也可以將形成氧化物半導體層 144 時的被處理物的溫度設定為室溫（25℃ ± 10℃，15℃ 以上且 35℃ 以下）。然後，一邊從處理室內去除水分一邊將氬及水等被去除了的濺射氣體引入該處理室內，並且使用上述靶材，形成氧化物半導體層 144。藉由一邊加熱被處理物一邊形成氧化物半導體層 144，可以降低包含在氧化物半導體層 144 中的雜質。此外，可以減輕因濺射而造成的損傷。為了去除處理室內的水分，使用吸附式真空泵較佳。例如，可以使用低溫泵、離子泵、鈦昇華泵等。此外，也可以使用具備冷阱的渦輪泵。由於藉由使用低溫泵等排氣，可以從處理室去除氬及水等，所以可以降低氧化物半導體層中的雜質濃度。

作為氧化物半導體層 144 的形成條件，例如可以採用如下條件：被處理物與靶材之間的距離為 170mm；壓力為 0.4Pa；直流（DC）功率為 0.5kW；氣圍為氧（氧 100%）氣圍、氬（氬 100%）氣圍或氧和氬的混合氣圍。另外，當

利用脈衝直流（DC）電源時，可以減少塵屑（成膜時發生的粉狀物質等）並且膜厚分佈也變得均勻，所以脈衝直流（DC）電源是較佳的。將氧化物半導體層 144 的厚度設定為 1 nm 以上且 50 nm 以下，設定為 2 nm 以上且 20 nm 以下較佳，設定為 3 nm 以上且 15 nm 以下更佳。藉由採用根據所公開的發明的結構，即使在使用這樣的厚度的氧化物半導體層 144 的情況下，也可以抑制因微型化而導致的短通道效應。但是，由於氧化物半導體層的適當的厚度根據所採用的氧化物半導體材料及半導體裝置的用途等不同，所以也可以根據所使用的材料及用途等來設定其厚度。

另外，因為藉由如上那樣形成絕緣層 140，可以充分地使形成相當於氧化物半導體層 144 的通道形成區的部分的表面平坦化，所以也可以適當地形成厚度小的氧化物半導體層。此外，如圖 11B 所示，將相當於氧化物半導體層 144 的通道形成區的部分的剖面形狀形成為平坦的形狀較佳。藉由將相當於氧化物半導體層 144 的通道形成區的部分的剖面形狀形成為平坦的形狀，與氧化物半導體層 144 的剖面形狀不平坦的情況相比，可以減少洩漏電流。

另外，也可以在藉由濺射法形成氧化物半導體層 144 之前進行引入氬氣體產生電漿的反濺射，來去除附著在形成氧化物半導體層的表面（例如，絕緣層 140 的表面）上的附著物。在通常的濺射中使離子碰撞到濺射靶材，而這裏的反濺射與其相反，反濺射是指藉由使離子碰撞到基板的處理表面來進行表面改性的方法。作為使離子碰撞

到處理表面的方法，有藉由在氬氣圍下對處理表面一側施加高頻電壓，而在被處理物附近產生電漿的方法等。另外，也可以採用氮、氬、氧等氣圍代替氬氣圍。

在形成氧化物半導體層 144 之後，對氧化物半導體層 144 進行熱處理（第一熱處理）較佳。藉由該第一熱處理，可以去除氧化物半導體層 144 中的過剩的氫、水及羥基等，改善氧化物半導體層 144 的結構，從而可以降低能隙中的缺陷能階。將第一熱處理的溫度例如設定為 300℃ 以上且低於 550℃，設定為 400℃ 以上且 500℃ 以下較佳。

作為熱處理，例如，可以將被處理物放在使用電阻發熱體等的電爐中，並在氮氣圍下以 450℃ 進行 1 小時的加熱。在此期間，不使氧化物半導體層接觸大氣，以防止水及氫混入氧化物半導體層中。

熱處理裝置不侷限於電爐，還可以使用藉由利用來自被加熱的氣體等介質的熱傳導或熱輻射來加熱被處理物的裝置。例如，可以使用如 LRTA（Lamp Rapid Thermal Anneal，燈快速熱退火）裝置、GRTA（Gas Rapid Thermal Anneal，氣體快速熱退火）裝置等 RTA（Rapid Thermal Anneal，快速熱退火）裝置。LRTA 裝置是一種利用由鹵素燈、金鹵燈、氙弧燈、碳弧燈、高壓鈉燈、或者高壓汞燈等的燈發射的光（電磁波）的輻射來加熱被處理物的裝置。GRTA 裝置是一種利用高溫氣體進行熱處理的裝置。作為氣體，使用即使進行熱處理也不與被處理物起反應的惰性氣體，如氬等的稀有氣體或氮等。

例如，作為第一熱處理可以進行 GRTA 處理，其中將被處理物放在被加熱的惰性氣體氣圍中，在加熱幾分鐘後，將被處理物從該惰性氣體氣圍中取出。藉由採用 GRTA 處理，可以在短時間內進行高溫熱處理。此外，即使是處理溫度高於被處理物的耐熱溫度的條件，也可以採用 GRTA 處理。另外，也可以在處理時將惰性氣體換為含有氧的氣體。這是因為如下緣故：藉由在含有氧的氣圍下進行第一熱處理，可以降低因氧缺損而產生的能隙中的缺陷能階。

另外，作為惰性氣體氣圍，採用以氮或稀有氣體（氮、氦、氬等）為主要成分且不包含水、氫等的氣圍較佳。例如，將引入熱處理裝置中的氮或如氮、氦、氬等的稀有氣體的純度設定為 6N（99.9999%）以上，設定為 7N（99.99999%）以上更佳（即，將雜質濃度設定為 1ppm 以下，設定為 0.1ppm 以下較佳）。

總之，藉由進行第一熱處理降低雜質來形成 i 型（本質半導體）或無限趨近於 i 型的氧化物半導體層，可以得到具有極為優良的特性的電晶體。

另外，因為上述熱處理（第一熱處理）具有去除氫及水等的作用，所以也可以將該熱處理稱為脫水化處理或脫氫化處理等。該脫水化處理或脫氫化處理也可以在形成氧化物半導體層 144 之後、在形成後面形成的閘極絕緣層 146 之後或在形成閘極電極之後等時機進行。此外，這種脫水化處理或脫氫化處理不限於一次，也可以進行多次。

對氧化物半導體層 144 的蝕刻可以在上述熱處理之前或在上述熱處理之後進行。此外，從元件的微型化的觀點來看，採用乾蝕刻較佳，但是也可以採用濕蝕刻。蝕刻氣體及蝕刻液可以根據被蝕刻材料適當地選擇。另外，當元件中的洩漏等不成為問題時，也可以不將氧化物半導體層加工為島狀。

接下來，覆蓋氧化物半導體層 144 地形成閘極絕緣層 146（參照圖 11C）。

閘極絕緣層 146 可以利用 CVD 法或濺射法等形成。此外，閘極絕緣層 146 含有氧化矽、氮化矽、氧氮化矽、氧化鋁、氧化鎵、氧化鉬、氧化鉛、氧化鉕、矽酸鉛（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鉛（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鉛（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等較佳。

另外，當在閘極絕緣層 146 中包含鎵或鋁等包含在氧化物半導體層 144 中的可能性高的第 13 族元素時，可以提高閘極絕緣層 146 和氧化物半導體層 144 的介面特性，並且抑制氫的積累等而使電特性穩定化。再者，當將氧化鋁用於閘極絕緣層 146 時，還有可以抑制水從外部侵入的效果。

另外，從抑制起因於氧化物半導體層 144 的氧缺陷的缺陷的產生的觀點來看，作為閘極絕緣層 146 使用其含氧量比化學計量組成稍微多的氧化物材料較佳。像這樣，藉由將含有較多氧的材料用於與氧化物半導體層 144 接觸的

層，可以對氧化物半導體層 144 供應氧，抑制氧缺陷的發生，並且防止電晶體的常開啓化。據此，由於可以減少爲了使電晶體成爲足夠的截止狀態所需要的閘端子與源端子（或汲端子）之間的電位差，所以可以抑制爲了使電位變動所需要的耗電量。或者，使半導體裝置適當地工作變得容易。就是說，在採用該結構的情況下，根據發明的一個方式的效果更顯著。

另外，採用充分減少氫的方法形成閘極絕緣層 146 較佳。此外，也可以設法改變閘極絕緣層 146 的形成方法或對閘極絕緣層 146 進行的處理等，使閘極絕緣層 146 包含較多的氧。例如，藉由對成膜氣圍中添加氧，可以得到包含較多氧的閘極絕緣層 146。或者，也可以對閘極絕緣層 146 進行氧氣圍下的熱處理或氧電漿處理等。在任一情況下，藉由充分減少閘極絕緣層 146 中的氫並且使閘極絕緣層 146 包含足夠的氧，可以製造出具有優越特性的半導體裝置。

閘極絕緣層 146 既可以採用單層結構又可以採用疊層結構。此外，雖然對閘極絕緣層 146 的厚度沒有特別的限制，但是當將半導體裝置微型化時，將閘極絕緣層 146 形成爲較薄，以確保電晶體的工作較佳。例如，當使用氧化矽時，可以將閘極絕緣層 146 形成爲 1nm 以上且 100nm 以下，形成爲 10nm 以上且 50nm 以下較佳。

當如上那樣將閘極絕緣層形成爲較薄時，可能發生因隧道效應等而引起的閘極洩漏的問題。爲了解決閘極洩漏

的問題，將氧化鈺、氧化鋇、氧化釷、矽酸鈺（ HfSi_xO_y （ $x>0$ 、 $y>0$ ））、添加有氮的矽酸鈺（ $\text{HfSi}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））、添加有氮的鋁酸鈺（ $\text{HfAl}_x\text{O}_y\text{N}_z$ （ $x>0$ 、 $y>0$ 、 $z>0$ ））等高介電常數（high-k）材料用於閘極絕緣層 146 較佳。藉由將 high-k 材料用於閘極絕緣層 146，不但可以確保電特性，而且還可以將閘極絕緣層 146 形成為較厚以抑制閘極洩漏。例如，氧化鈺的介電常數為 15 左右，該數值比氧化矽的介電常數的 3 至 4 極為大。藉由採用這種材料，容易得到換算為氧化矽時低於 15nm，較佳為 2nm 以上且 10nm 以下的閘極絕緣層。另外，還可以採用含有 high-k 材料的膜與含有氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁及氧化鎵等中的任一種的膜的疊層結構。

在形成閘極絕緣層 146 之後，在惰性氣體氣圍下或在氧氣圍下進行第二熱處理較佳。熱處理的溫度為 200℃ 以上且 450℃ 以下，250℃ 以上且 350℃ 以下較佳。例如，在氮氣圍下以 250℃ 進行 1 小時的熱處理即可。藉由進行第二熱處理，可以降低電晶體的電特性的不均勻性。此外，當閘極絕緣層 146 含有氧時，其向氧化物半導體層 144 供應氧而填補該氧化物半導體層 144 的氧缺陷，從而可以形成 i 型（本質半導體）或無限趨近於 i 型的氧化物半導體層。

另外，在本實施方式中，雖然在形成閘極絕緣層 146 後進行第二熱處理，但是進行第二熱處理的時機不侷限於此。例如，也可以在形成閘極電極後進行第二熱處理。此外，既可以在第一熱處理結束後接著進行第二熱處理，又

可以在第一熱處理中兼併第二熱處理或在第二熱處理中兼併第一熱處理。

如上那樣，藉由採用第一熱處理和第二熱處理中的至少一方，可以使氧化物半導體層 144 儘量不包含其主要成分以外的雜質地高純度化。

接下來，在閘極絕緣層 146 上形成閘極電極 148（參照圖 11D）。

閘極電極 148 可以藉由當在閘極絕緣層 146 上形成導電層後選擇性地蝕刻該導電層來形成。成為閘極電極 148 的導電層可以利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成。詳細內容與形成源極電極 142a 或汲極電極 142b 等的情況相同，可以參照有關內容。

藉由上述步驟，完成使用高純度化的氧化物半導體層 144 的電晶體 162（參照圖 11D）。這種電晶體 162 具有截止電流被充分降低的特徵。因此，藉由將該電晶體用作用來寫入的電晶體，可以長期保持電荷。

接下來，在閘極絕緣層 146 及閘極電極 148 上形成絕緣層 150（參照圖 12A）。絕緣層 150 可以利用 PVD 法或 CVD 法等形成。此外，絕緣層 150 還可以使用含有氧化矽、氮化矽、氮化矽、氧化鉛、氧化鋁等無機絕緣材料的材料以單層或疊層形成。

另外，將低介電常數的材料或低介電常數的結構（多孔結構等）用於絕緣層 150 較佳。藉由降低絕緣層 150 的介電常數，可以降低發生在佈線或電極等之間的電容而實現

工作的高速化。

另外，當採用電容元件 164 不包括閘極絕緣層 146 的結構時，在形成絕緣層 150 之前去除源極電極 142a 上的形成電容元件 164 的區域的閘極絕緣層 146 即可。

接下來，在絕緣層 150 上與源極電極 142a 重疊地形成電極 152（參照圖 12B）。由於可以採用與閘極電極 148 相同的方法及材料形成電極 152，所以詳細內容可以參照關於上述閘極電極 148 的記載。藉由上述步驟完成電容元件 164。

接下來，在絕緣層 150 及電極 152 上形成絕緣層 154（參照圖 12C）。與絕緣層 150 同樣地可以採用 PVD 法或 CVD 法形成絕緣層 154。此外，還可以使用含有氧化矽、氧氮化矽、氮化矽、氧化鉛、氧化鋁等無機絕緣材料的材料以單層或疊層形成絕緣層 154。

另外，將低介電常數的材料或低介電常數的結構（多孔結構等）用於絕緣層 154 較佳。藉由降低絕緣層 154 的介電常數，可以降低發生在佈線或電極等之間的電容而實現工作的高速化。

另外，將上述絕緣層 154 的表面形成為平坦較佳。這是因為如下緣故：藉由將絕緣層 154 的表面形成為平坦，在將半導體裝置微型化的情況等下，也可以在絕緣層 154 上適當地形成電極或佈線等。另外，絕緣層 154 的平坦化可以利用 CMP（化學機械拋光）等方法進行。

接下來，當在閘極絕緣層 146、絕緣層 150 以及絕緣層

154 中形成到達汲極電極 142b 的開口及到達電極 142c 的開口後，在開口中形成電極 156a 及電極 156b，並且在絕緣層 154 上形成與電極 156a 及電極 156b 接觸的佈線 158（參照圖 12D）。該開口藉由使用掩模等的選擇性蝕刻形成。

電極 156a 及電極 156b 例如可以在利用 PVD 法或 CVD 法等包括開口的區域中形成導電層之後，利用蝕刻處理或 CMP 等方法去除上述導電層的一部分來形成。

更明確而言，例如可以採用如下方法：在包括開口的區域中藉由 PVD 法形成薄的鈦膜，並且藉由 CVD 法形成薄的氮化鈦膜，然後填充開口地形成鎢膜。在此，藉由 PVD 法形成的鈦膜具有還原被形成面的氧化膜（自然氧化膜等）而降低與下部電極等（這裏，汲極電極 142b）之間的接觸電阻的功能。此外，後面形成的氮化鈦膜具有抑制導電材料的擴散的阻擋功能。此外，也可以在形成使用鈦或氮化鈦等的障壁膜之後，藉由鍍敷法形成銅膜。

佈線 158 藉由在利用如濺射法等 PVD 法或如電漿 CVD 法等 CVD 法形成導電層之後對該導電層進行構圖來形成。此外，作為導電層的材料，可以使用選自鋁、鉻、銅、鉭、鈦、鉬及鎢中的元素或以上述元素為成分的合金等。作為導電層的材料，還可以使用選自錳、鎂、鉛、銻、釷、釷中的一種或多種材料。詳細條件與源極電極 142a 等相同。

另外，在上述步驟結束後，還可以形成各種佈線或電極等。佈線或電極可以採用所謂鑲嵌法、雙鑲嵌法等方法

形成。

藉由上述步驟可以製造出具有圖6A和6B所示的結構的半導體裝置。

在本實施方式所示的電晶體162中，由於氧化物半導體層144高純度化，所以其氫濃度為 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下， $5 \times 10^{18} \text{ atoms/cm}^3$ 以下較佳， $5 \times 10^{17} \text{ atoms/cm}^3$ 以下更佳。此外，氧化物半導體層144的載子密度比一般矽晶片的載子密度（ $1 \times 10^{14} / \text{cm}^3$ 左右）小得多（例如，小於 $1 \times 10^{12} / \text{cm}^3$ ，小於 $1.45 \times 10^{10} / \text{cm}^3$ ）更佳。並且，電晶體162的截止電流也足夠小。例如，室溫（ 25°C ）下的電晶體162的截止電流（在此，每單位通道寬度（ $1 \mu\text{m}$ ）的值）為 100 zA （ 1 zA （仄普托安培）為 $1 \times 10^{-21} \text{ A}$ ）以下， 10 zA 以下較佳。

藉由使用這樣高純度化且本質化的氧化物半導體層144，容易充分降低電晶體162的截止電流。並且，藉由使用這種電晶體162，可以製造出能夠極為長期保持儲存內容的半導體裝置。

此外，在本實施方式所示的半導體裝置中，藉由使構成半導體裝置的各儲存單元的使用氧化物半導體的電晶體串聯，可以在鄰近的儲存單元中使用氧化物半導體的電晶體的源極電極或汲極電極彼此連接。就是說，不需要在各儲存單元中藉由設置開口部而另行使使用氧化物半導體的電晶體的源極電極及汲極電極中的一方與佈線連接。因此，可以減小儲存單元所占的面積，而可以實現半導體裝

置的高集成化並且可以增加每單位面積的儲存容量。

本實施方式所示的結構及方法等可以與其他實施方式所示的結構及方法等適當地組合來實施。

實施方式 3

在本實施方式中，使用圖 13A 至 13F 說明將上述實施方式所說明的半導體裝置應用於電子裝置的情況。在本實施方式中，對將上述半導體裝置應用於電腦、行動電話機（也稱為手機、行動電話裝置）、可攜式資訊終端（也包括可攜式遊戲機、聲音再現裝置等）、數位相機、數碼攝像機、電子紙、電視裝置（也稱為電視或電視接收機）等電子裝置的情況進行說明。

圖 13A 示出筆記本型個人電腦，該筆記本個人電腦包括外殼 701、外殼 702、顯示部 703、鍵盤 704 等。在外殼 701 及外殼 702 中設置有儲存電路，並且在該儲存電路中設置有上述實施方式所示的半導體裝置。因此，可以製造出其寫入及讀出資訊的速度較快，能夠長期保持儲存內容，而且耗電量被充分降低了的筆記本型個人電腦。

圖 13B 示出可攜式資訊終端（PDA），其主體 711 包括顯示部 713、外部介面 715 及操作按鈕 714 等。此外，它還包括用來操作可攜式資訊終端的觸摸筆 712 等。在主體 711 中設置有儲存電路，並且在該儲存電路中設置有上述實施方式所示的半導體裝置。因此，可以製造出其寫入和讀出資訊的速度較快，能夠長期保持儲存內容，而且耗電量被

充分降低了的可攜式資訊終端。

圖 13C 示出安裝有電子紙的電子書閱讀器 720，該電子書閱讀器包括兩個外殼，即外殼 721 和外殼 723。外殼 721 設置有顯示部 725，並且外殼 723 設置有顯示部 727。外殼 721 和外殼 723 由軸部 737 彼此連接，並且可以以該軸部 737 為軸進行開閉動作。此外，外殼 721 包括電源 731、操作鍵 733 及揚聲器 735 等。在外殼 721 和外殼 723 中的至少一個中設置有儲存電路，並且在該儲存電路中設置有上述實施方式所示的半導體裝置。因此，可以製造出其寫入和讀出資訊的速度較快，能夠長期保持儲存內容，而且耗電量被充分降低了的電子書閱讀器。

圖 13D 示出行動電話機，該行動電話機包括兩個外殼，即外殼 740 和外殼 741。再者，外殼 740 和外殼 741 滑動而可以從如圖 13D 所示那樣的展開狀態變成重疊狀態，因此可以實現適於攜帶的小型化。此外，外殼 741 包括顯示面板 742、揚聲器 743、麥克風 744、操作鍵 745、指向裝置 746、照相用透鏡 747 以及外部連接端子 748 等。此外，外殼 740 包括對行動電話機進行充電的太陽能電池單元 749 和外部記憶體插槽 750 等。此外，天線被內置在外殼 741 中。在外殼 740 和外殼 741 中的至少一個中設置有儲存電路，並且在該儲存電路中設置有上述實施方式所示的半導體裝置。因此，可以製造出其寫入和讀出資訊的速度較快，能夠長期保持儲存內容，而且耗電量被充分降低了的行動電話機。

圖 13E 示出數位相機，該數位相機包括主體 761、顯示部 767、取景器部分 763、操作開關 764、顯示部 765 以及電池 766 等。在主體 761 中設置有儲存電路，並且在儲存電路中設置有上述實施方式所示的半導體裝置。因此，可以製造出其寫入和讀出資訊的速度較快，能夠長期保持儲存內容，而且耗電量被充分降低了的數位相機。

圖 13F 示出電視裝置 770，該電視裝置包括外殼 771、顯示部 773 以及支架 775 等。可以使用外殼 771 所具有的開關、遙控操作機 780 來進行電視裝置 770 的操作。外殼 771 及遙控操作機 780 中設置有儲存電路，並且在該儲存電路中設置有上述實施方式所示的半導體裝置。因此，可以製造出其寫入和讀出資訊的速度較快，能夠長期保持儲存內容，而且耗電量被充分降低了的電視裝置。

如上所述，根據本實施方式的電子裝置安裝有根據上述實施方式的半導體裝置。因此，可以製造出耗電量被降低了的電子裝置。

【圖式簡單說明】

在圖式中：

圖 1A-1、1A-2、1B 為半導體裝置的電路圖；

圖 2 為半導體裝置的電路圖；

圖 3 為半導體裝置的電路圖；

圖 4 為時序圖；

圖 5 為時序圖；

圖 6A 為半導體裝置的剖面圖，圖 6B 為半導體裝置的平面圖；

圖 7A 為半導體裝置的剖面圖，圖 7B 為半導體裝置的平面圖；

圖 8A 和 8B 為半導體裝置的剖面圖；

圖 9A 至 9D 為有關半導體裝置的製造製程的剖面圖；

圖 10A 至 10D 為有關半導體裝置的製造製程的剖面圖；

圖 11A 至 11D 為有關半導體裝置的製造製程的剖面圖；

圖 12A 至 12D 為有關半導體裝置的製造製程的剖面圖；

圖 13A 至 13F 為用來說明使用半導體裝置的電子裝置的圖。

【主要元件符號說明】

100：基板

102：保護層

104：半導體區

106：元件分離絕緣層

108：閘極絕緣層

108a：閘極絕緣層

108b：閘極絕緣層

110：閘極電極

110a：閘極電極
 110b：閘極電極
 116：通道形成區
 116a：通道形成區
 116b：通道形成區
 120：雜質區
 120a：雜質區
 120b：雜質區
 120c：雜質區
 122：金屬層
 124：金屬化合物區
 124a：金屬化合物區
 124b：金屬化合物區
 124c：金屬化合物區
 126：電極
 128：絕緣層
 140：絕緣層
 142a：源極電極
 142b：汲極電極
 142c：電極
 144：氧化物半導體層
 146：閘極絕緣層
 148：閘極電極
 150：絕緣層

152：電極

154：絕緣層

156a：電極

156b：電極

158：佈線

159a：電極

159b：電極

160：電晶體

162：電晶體

164：電容元件

170：基底基板

172：含氮層

174：氧化膜

180：選擇電晶體

182：選擇電晶體

190：儲存單元

701：外殼

702：外殼

703：顯示部

704：鍵盤

711：主體

712：觸摸筆

713：顯示部

714：操作按鈕

715：外部介面
720：電子書閱讀器
721：外殼
723：外殼
725：顯示部
727：顯示部
731：電源
733：操作鍵
735：揚聲器
737：軸部
740：外殼
741：外殼
742：顯示面板
743：揚聲器
744：麥克風
745：操作鍵
746：指向裝置
747：照相用透鏡
748：外部連接端子
749：太陽能電池單元
750：外部記憶體插槽
761：主體
763：取景器部
764：操作開關

765：顯示部

766：電池

767：顯示部

770：電視裝置

771：外殼

773：顯示部

775：支架

780：遙控操作機

服4)

空白頁

七、申請專利範圍：

1. 一種半導體裝置，包括：

源線；

位元線；以及

在該源線和該位元線之間串聯電連接的第一至第 m 儲存單元，

其中，該第一至第 m 儲存單元分別包括：

包括第一閘端子、第一源端子及第一汲端子的第一電晶體；

包括第二閘端子、第二源端子及第二汲端子的第二電晶體；以及

電容元件，

其中，第 k (k 為 1 以上且 m 以下的自然數) 儲存單元的第二源端子電連接到與該第 k 儲存單元鄰近的儲存單元的第二汲端子，或者，該第 k 儲存單元的第二汲端子電連接到與該第 k 儲存單元鄰近的該儲存單元的第二源端子，

其中，該第 k 儲存單元的第一閘端子、該第 k 儲存單元的該第二源端子與該第 k 儲存單元的電容元件的端子中的一方彼此電連接而形成該第 k 儲存單元的節點，以及

其中，在對該第二閘端子施加使該第二電晶體成為截止狀態的電位的資訊的保持期間，該第 k 儲存單元的該節點施加有高於該第 k 儲存單元的該第二閘端子的電位的電位。

2. 根據申請專利範圍第 1 項之半導體裝置，其中在該

資訊的保持期間，與該第 k 儲存單元鄰近的該儲存單元的該節點施加有高於與該第 k 儲存單元鄰近的該儲存單元的該第二閘端子的電位的電位。

3.根據申請專利範圍第 1 項之半導體裝置，其中在該資訊的保持期間，該第 k 儲存單元的該第二閘端子施加有接地電位。

4.根據申請專利範圍第 1 項之半導體裝置，其中在該資訊的保持期間，該第 k 儲存單元的該節點施加有正電位。

5.根據申請專利範圍第 1 項之半導體裝置，其中在該資訊的保持期間，該第 k 儲存單元的該第二閘端子及該第 k 儲存單元的該節點施加有使流在該第 k 儲存單元的該第二電晶體中的電流量成為 1zA 以下的電位。

6.根據申請專利範圍第 1 項之半導體裝置，其中將該第一儲存單元或該第 m 儲存單元用作空單元。

7.一種半導體裝置，包括：

源線；

位元線；以及

在該源線和該位元線之間串聯電連接的第一至第 m 儲存單元，

其中，該第一至第 m 儲存單元分別包括：

包括第一閘端子、第一源端子及第一汲端子的第一電晶體；

包括第二閘端子、第二源端子及第二汲端子的第二電晶體；以及

電容元件，

其中，第 k (k 為 1 以上且 m 以下的自然數) 儲存單元的第二源端子電連接到與該第 k 儲存單元鄰近的儲存單元的第二汲端子，或者，該第 k 儲存單元的第二汲端子電連接到與該第 k 儲存單元鄰近的該儲存單元的第二源端子，

其中，該第 k 儲存單元的第一閘端子、該第 k 儲存單元的該第二源端子與該第 k 儲存單元的電容元件的端子中的一方彼此電連接，以及

其中，包括在該第一儲存單元或該第 m 儲存單元中的該電容元件的電容比包括在第二至第 $(m-1)$ 儲存單元中的任一個中的該電容元件的電容大。

8. 一種半導體裝置，包括：

源線；

位元線；以及

在該源線和該位元線之間串聯電連接的第一至第 m 儲存單元，

其中，該第一至第 m 儲存單元分別包括：

包括第一閘端子、第一源端子及第一汲端子的第一電晶體；

包括第二閘端子、第二源端子及第二汲端子的第二電晶體；以及

電容元件，

其中，第 k (k 為 1 以上且 m 以下的自然數) 儲存單元的第二源端子電連接到與該第 k 儲存單元鄰近的儲存單元

的第二汲端子，或者，該第 k 儲存單元的第二汲端子電連接到與該第 k 儲存單元鄰近的該儲存單元的第二源端子，

其中，該第 k 儲存單元的第一閘端子、該第 k 儲存單元的該第二源端子與該第 k 儲存單元的電容元件的端子中的一方彼此電連接，以及

其中，包括在該第一儲存單元或該第 m 儲存單元中的該第二電晶體的通道長度比包括在第二至第 $(m-1)$ 儲存單元中任一個中的該第二電晶體的通道長度大。

9. 根據申請專利範圍第 1、7 和 8 項中任一項之半導體裝置，其中該第一電晶體和該第二電晶體包括以彼此不同的半導體材料為主要成分的二半導體區。

10. 根據申請專利範圍第 1、7 和 8 項中任一項之半導體裝置，其中該第二電晶體包括以金屬氧化物為主要成分的二半導體區。

11. 根據申請專利範圍第 1、7 和 8 項中任一項之半導體裝置，其中該第 k (k 為 1 以上且 m 以下的自然數) 儲存單元的第一源端子電連接到與該第 k 儲存單元鄰近的該儲存單元的第一汲端子，或者，該第 k 儲存單元的第一汲端子電連接到與該第 k 儲存單元鄰近的該儲存單元的第一源端子。

圖 1A-1

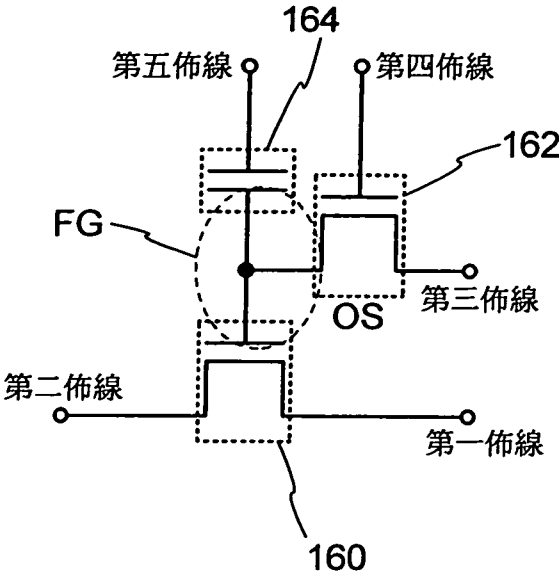


圖 1B

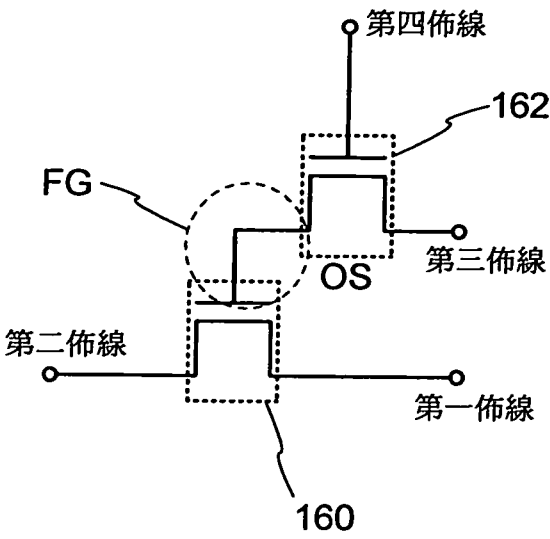


圖 1A-2

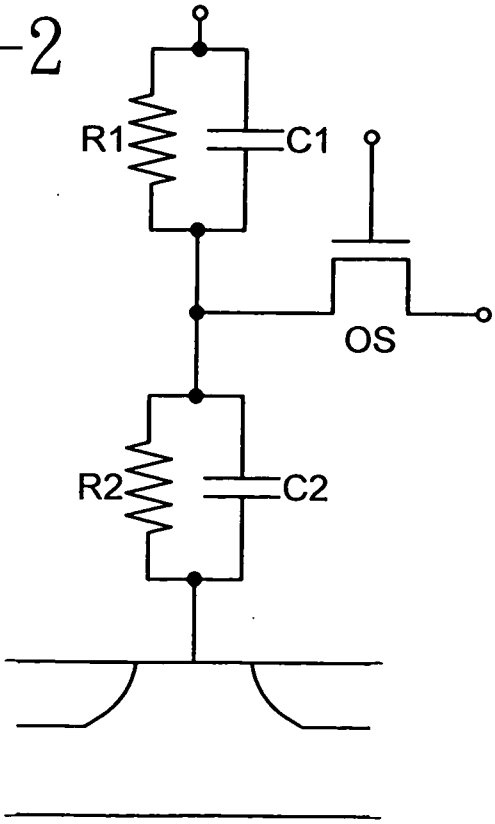


圖2

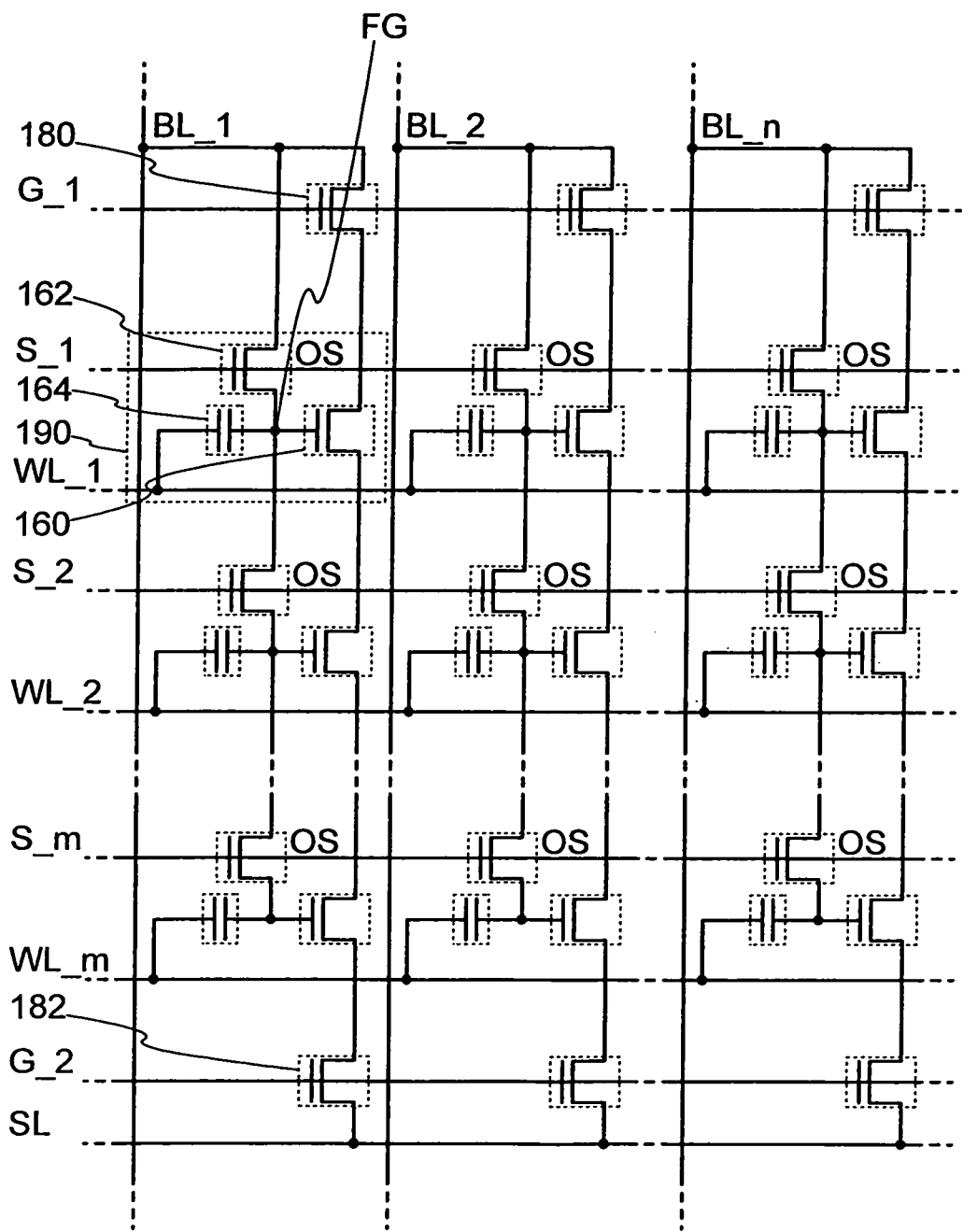


圖3

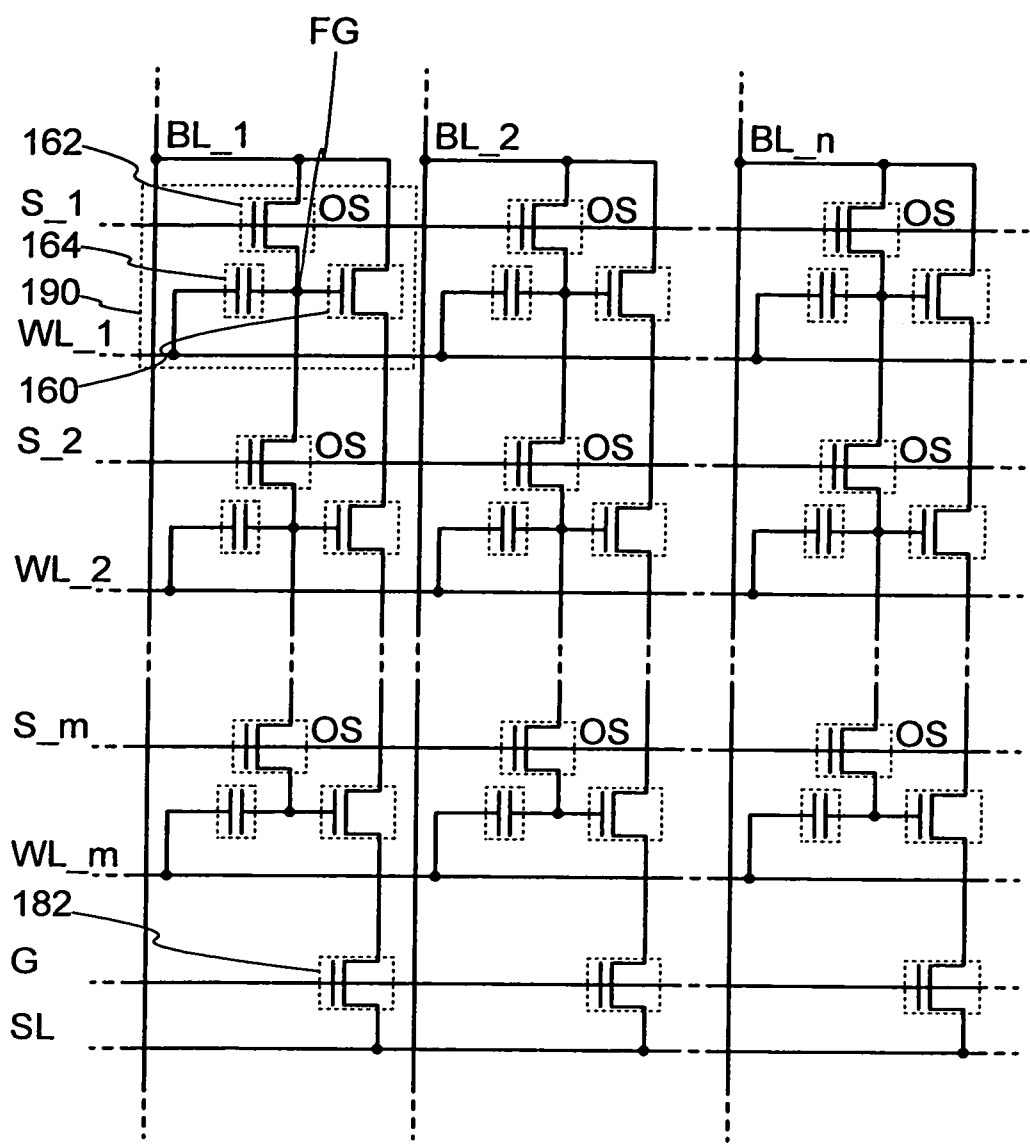


圖 4

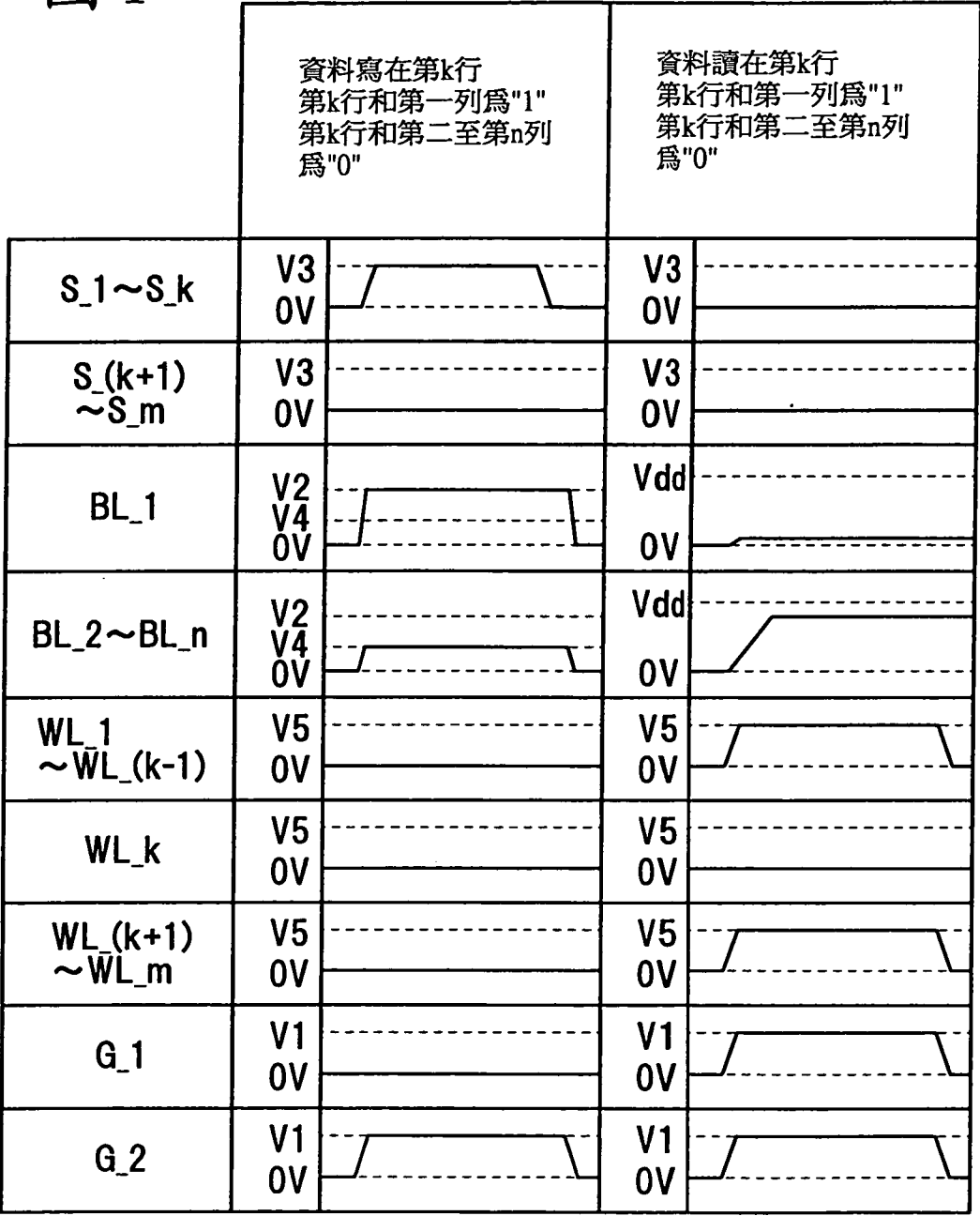


圖5

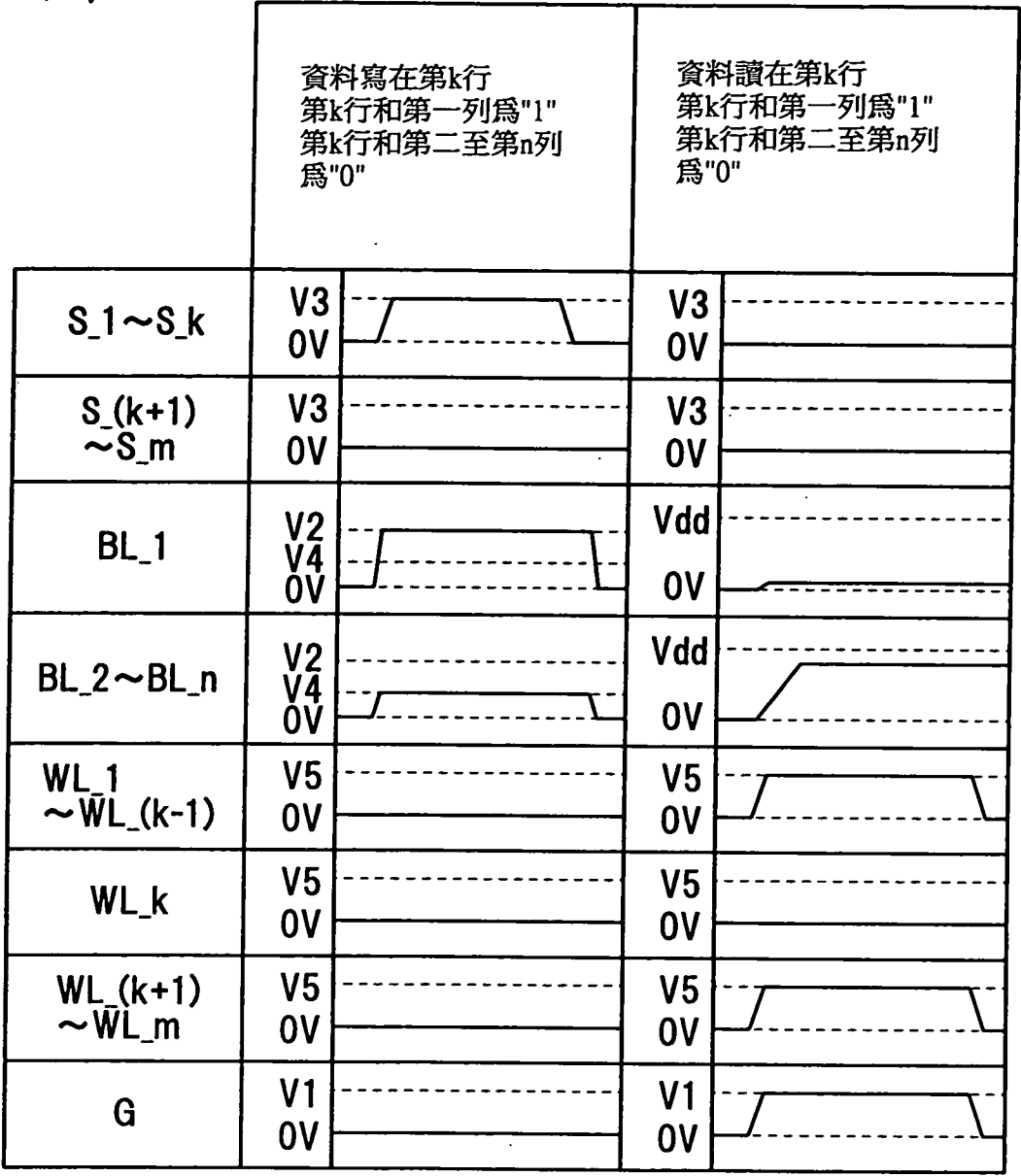


圖 6A

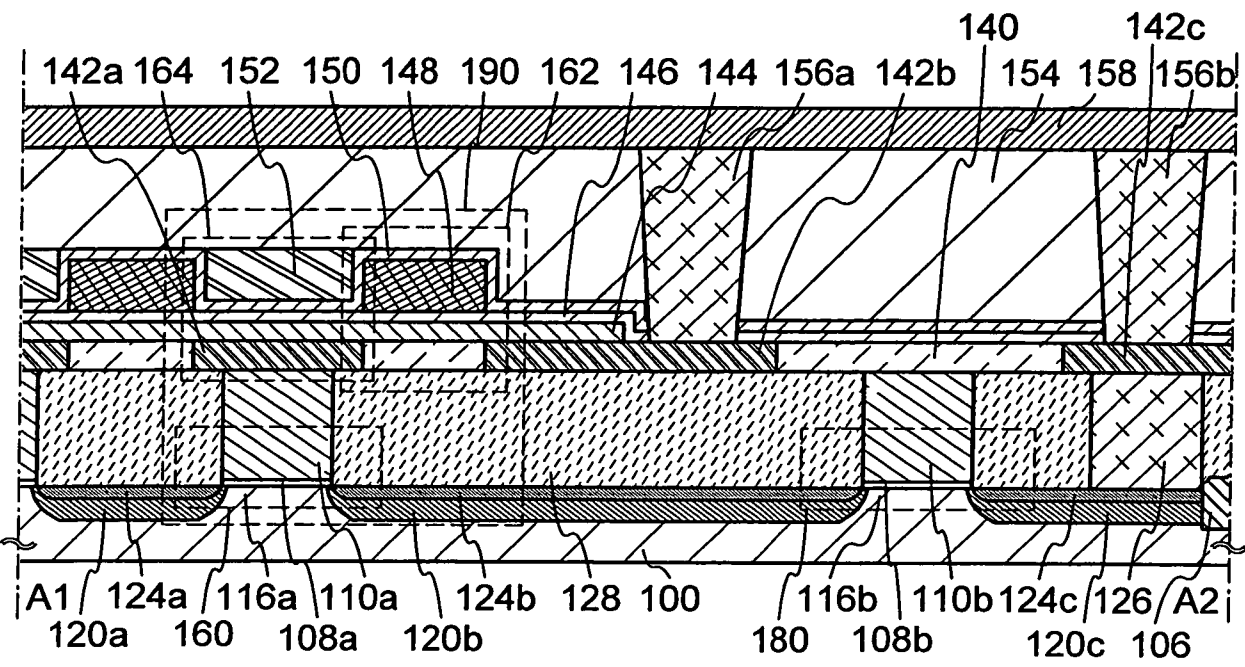


圖 6B

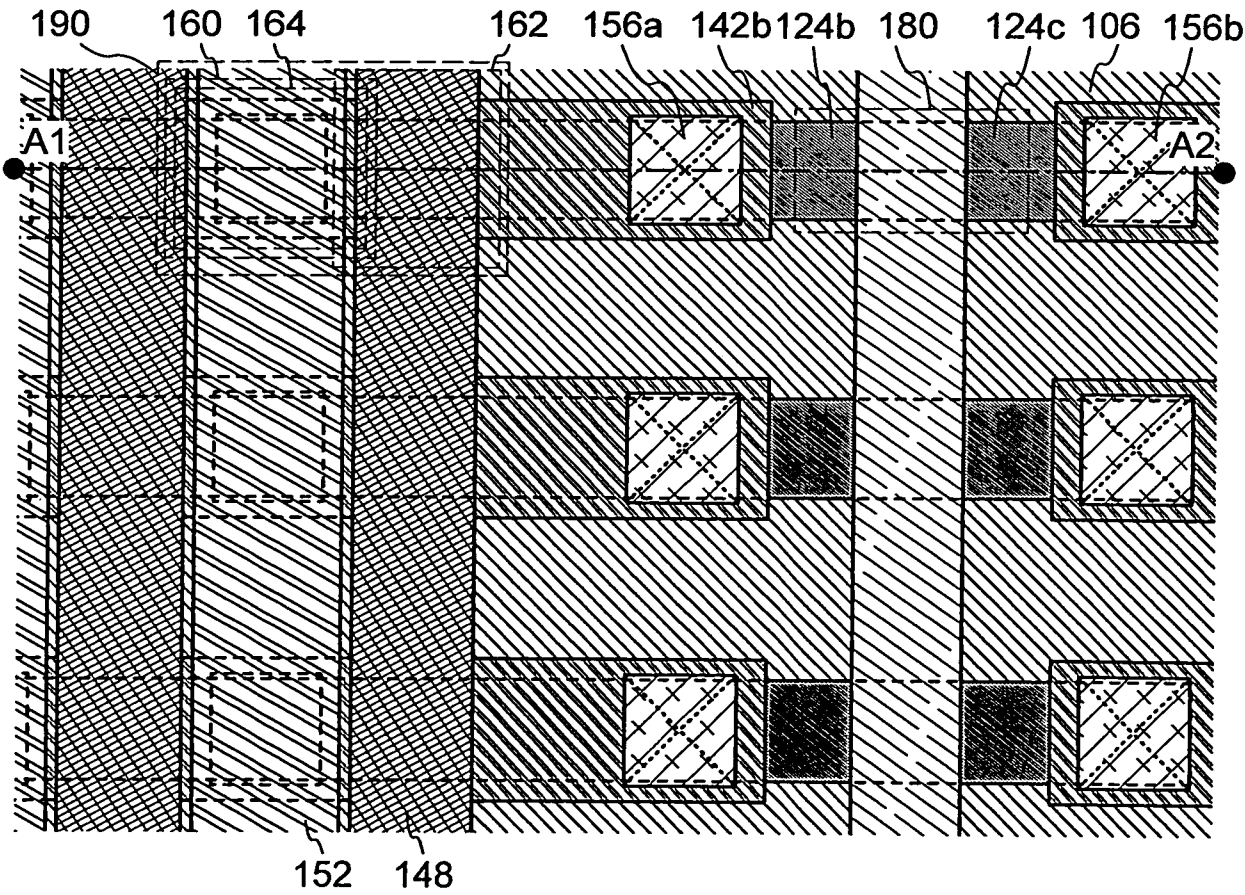


圖 7A

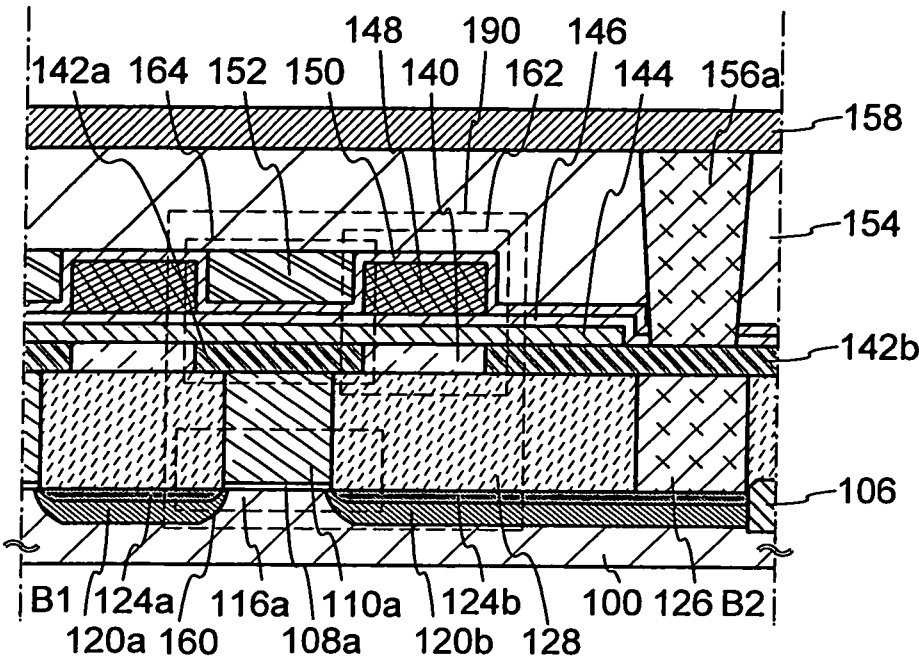


圖 7B

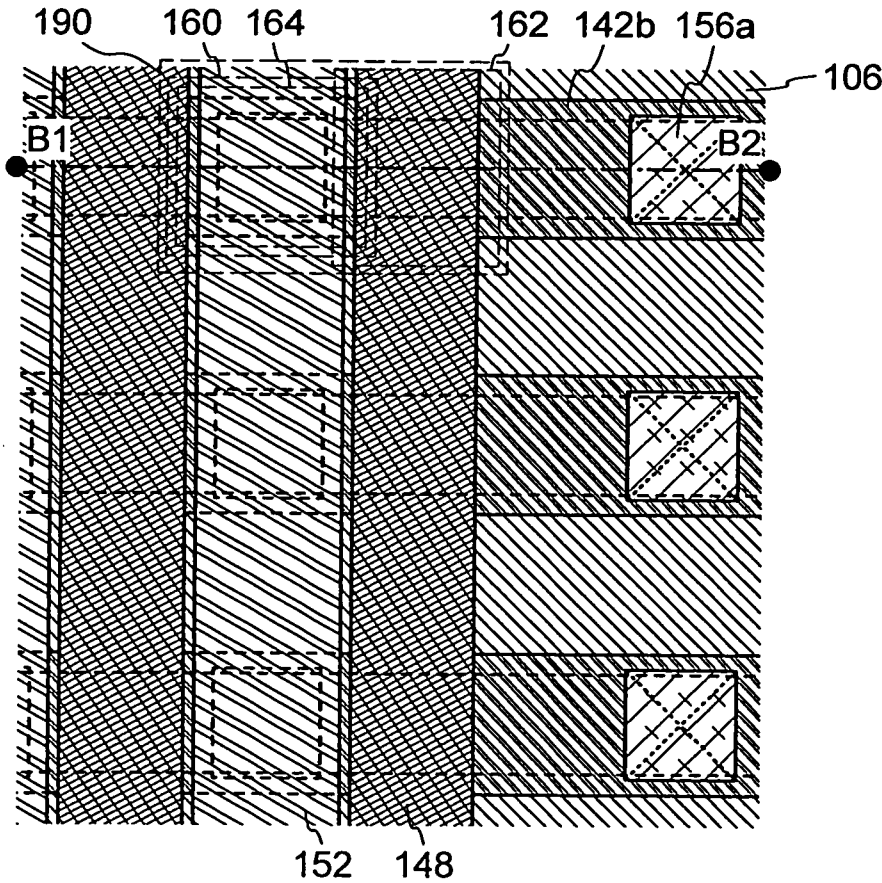


圖 8A

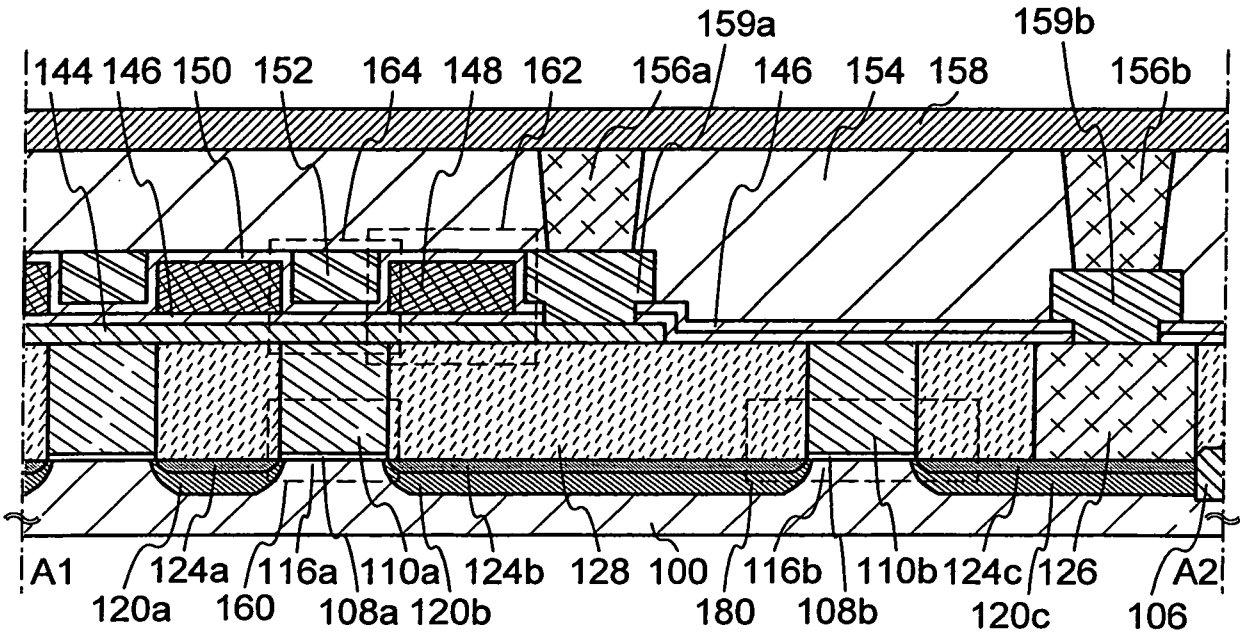


圖 8B

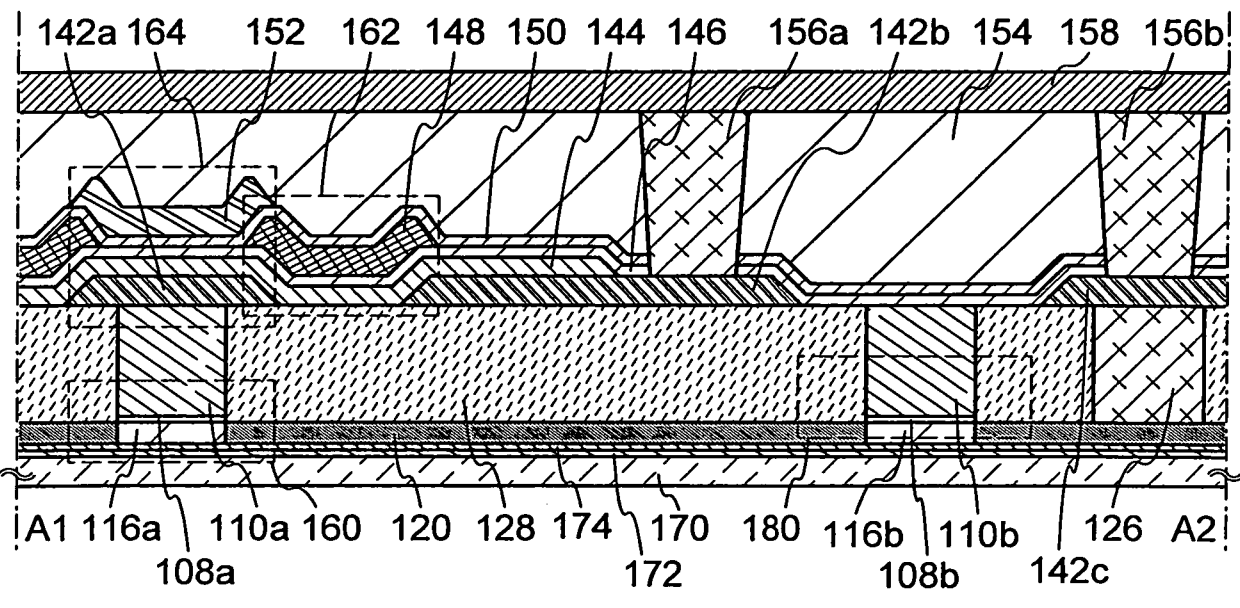


圖 9A

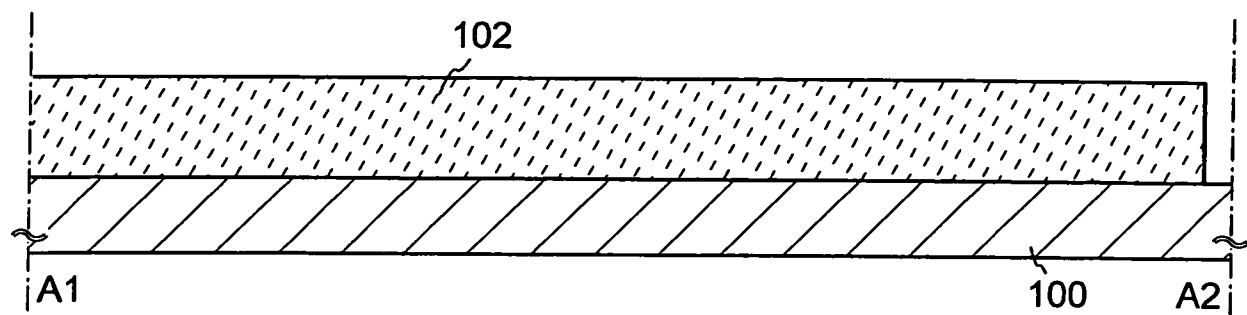


圖 9B

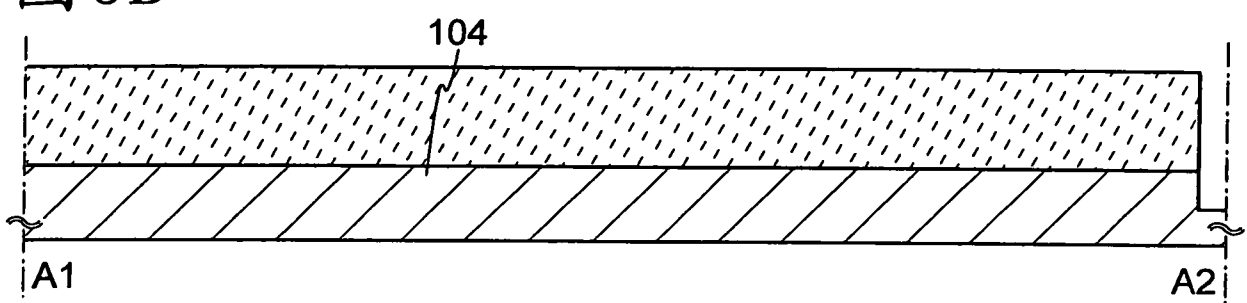


圖 9C

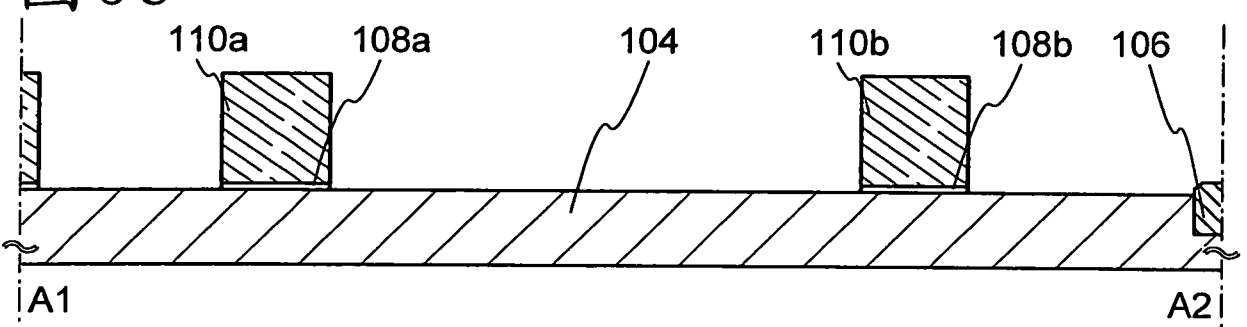


圖 9D

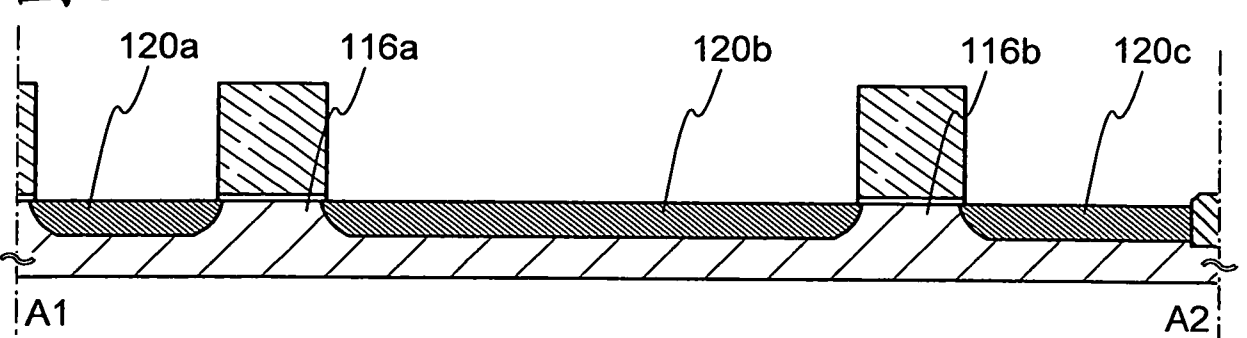


圖 10A

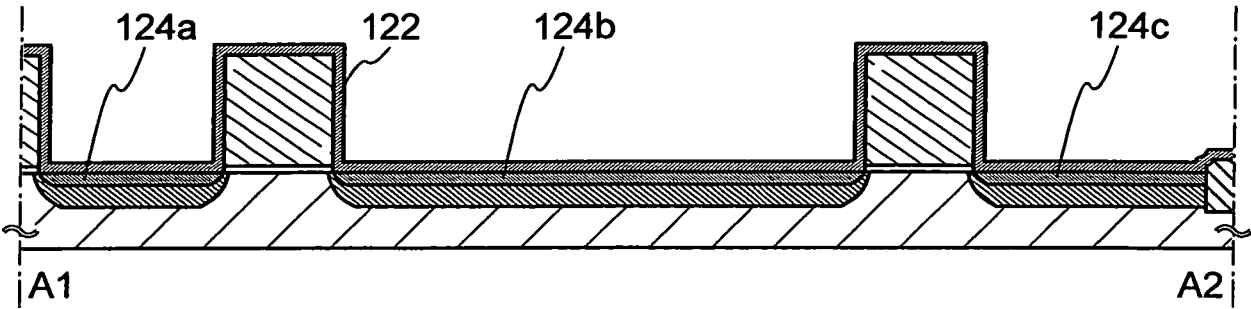


圖 10B

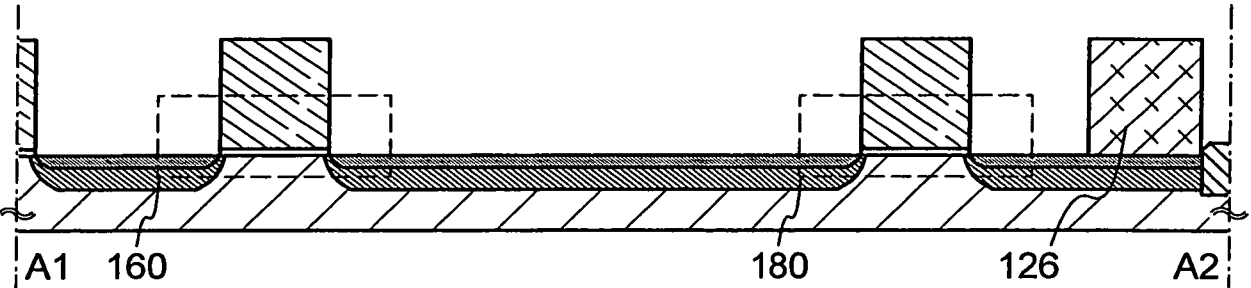


圖 10C

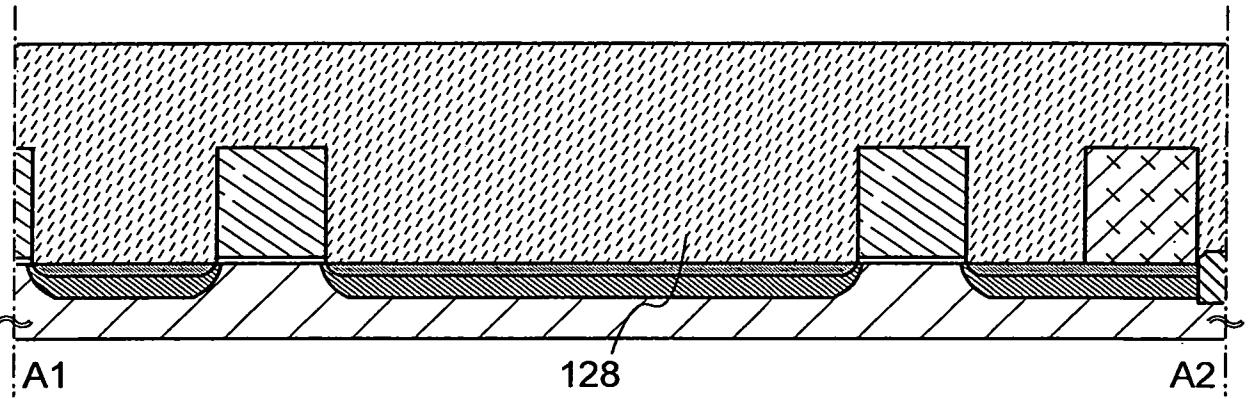


圖 10D

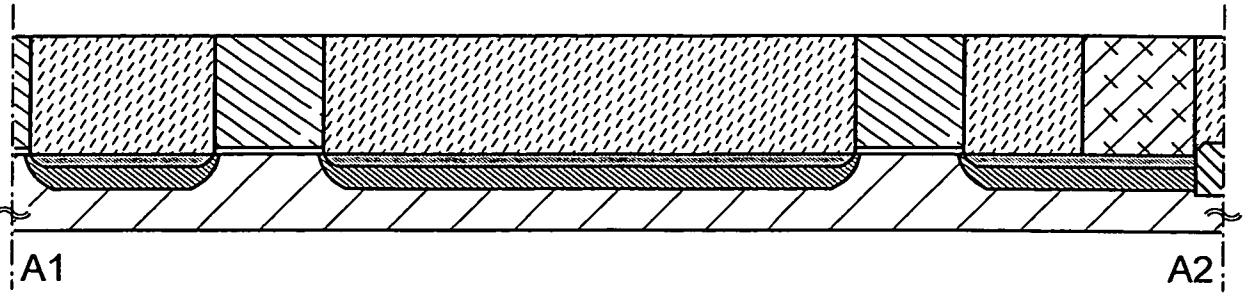


圖 11A

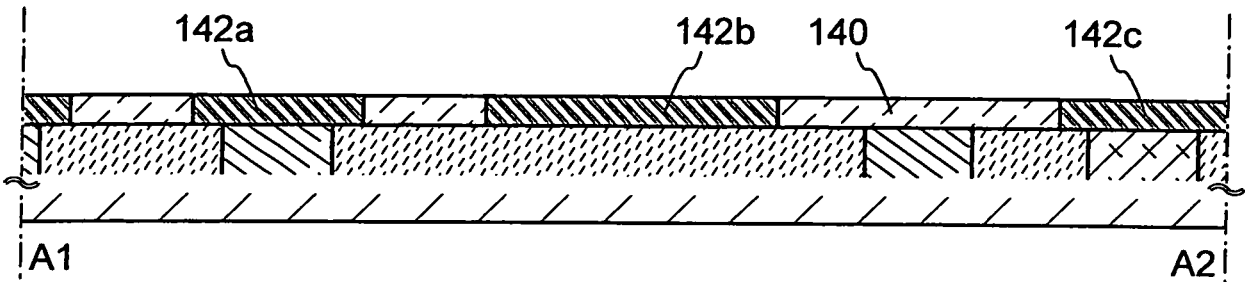


圖 11B

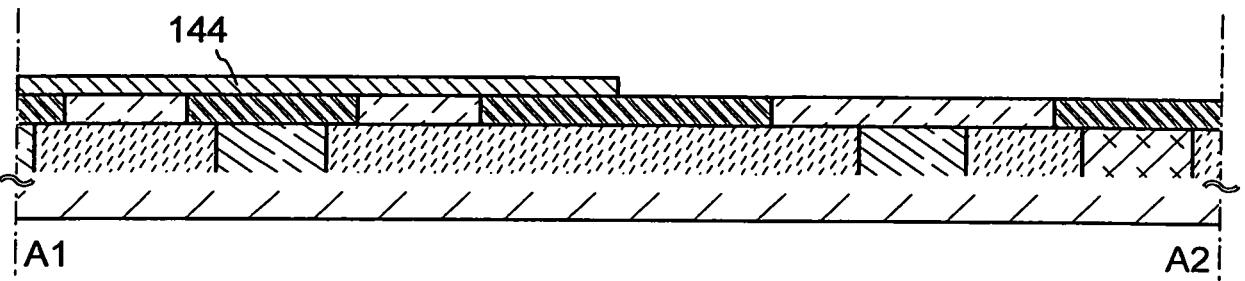


圖 11C

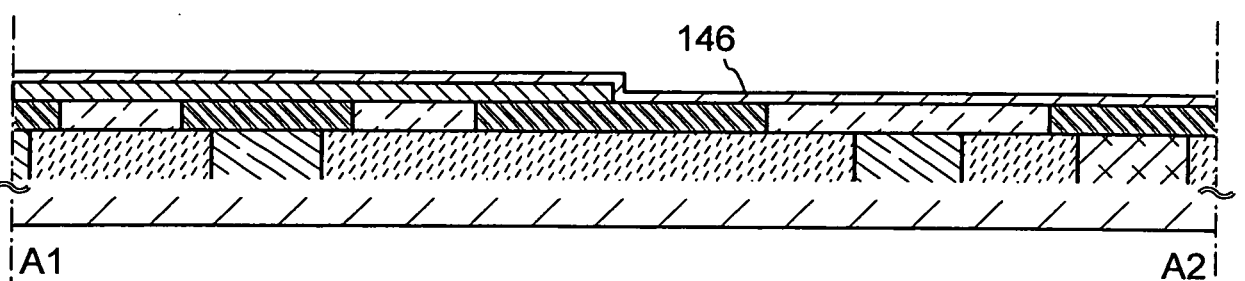


圖 11D

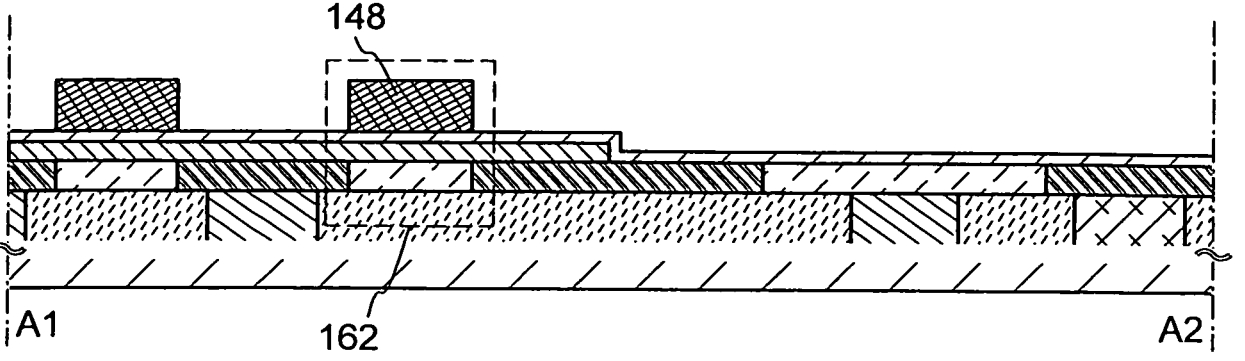


圖 12A

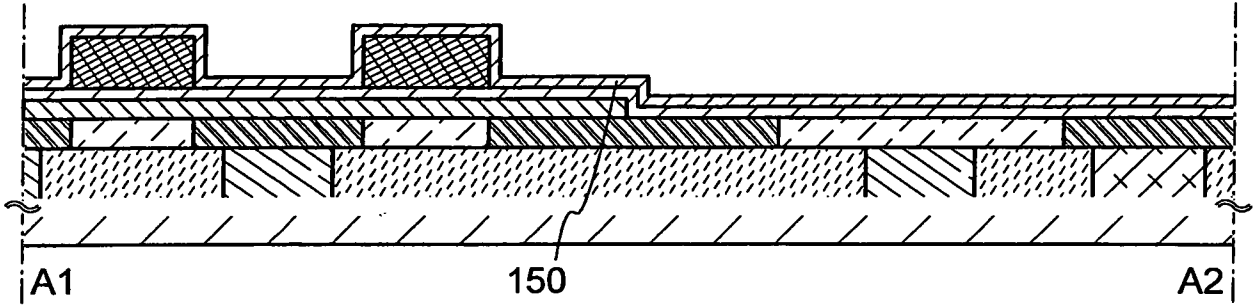


圖 12B

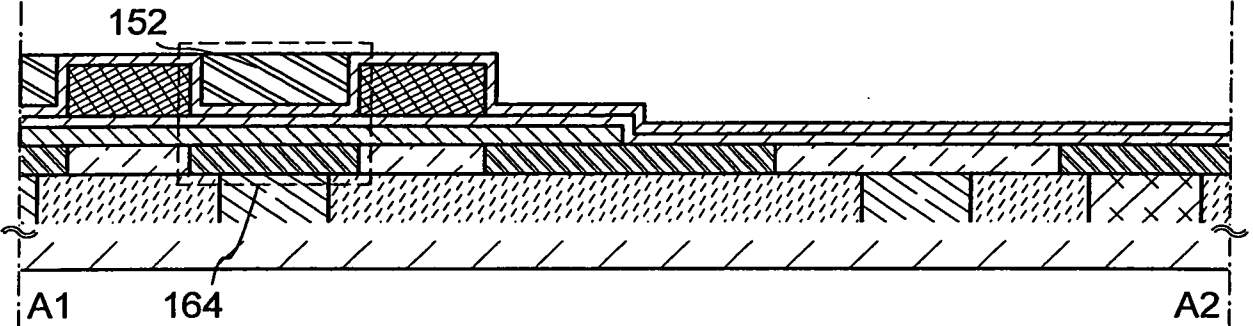


圖 12C

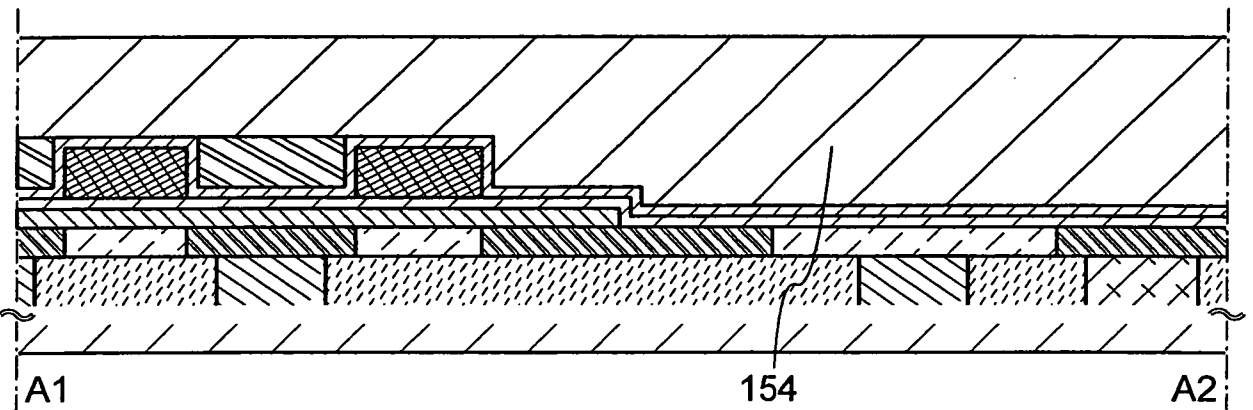


圖 12D

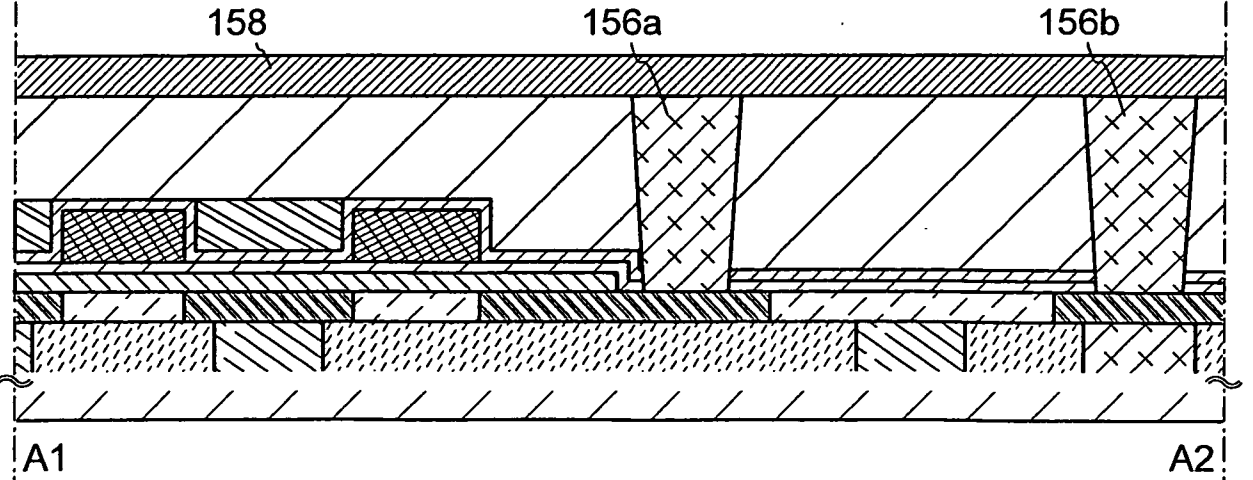


圖 13A

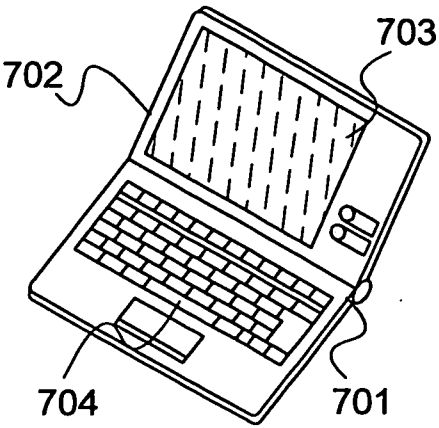


圖 13D

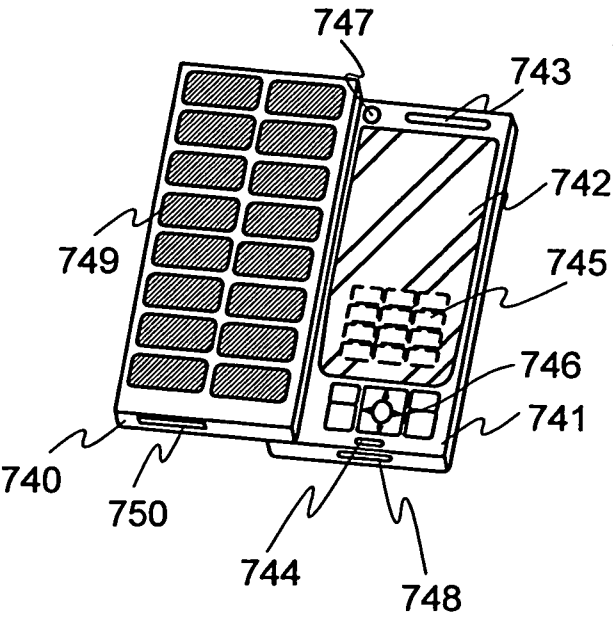


圖 13B

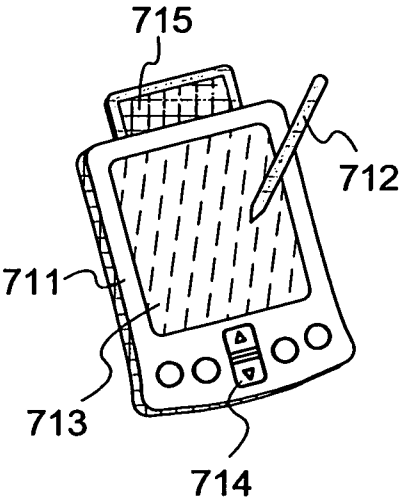


圖 13E

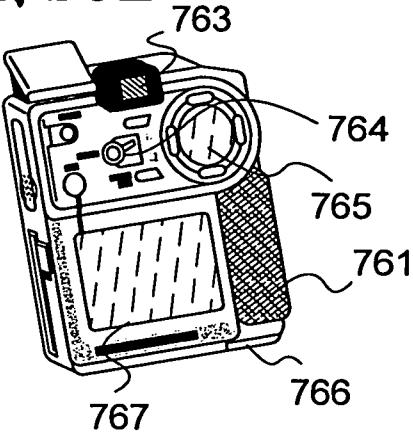


圖 13C

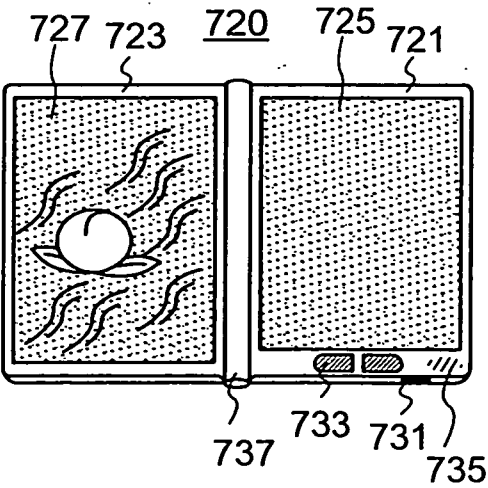


圖 13F

