[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G02F 1/00

[12]发明专利说明书

[21] ZL 专利号 93105190.8

[45]授权公告日 2001 年 12 月 26 日

[11]授权公告号 CN 1076831C

[22]申请日 1993.4.1
[21]申请号 93105190.8
[30]优先权
[32]1992.4.1 [33]JP [31]108488/1992
[73]专利权人 株式会社半导体能源研究所
地址 日本神奈川县
[72]发明人 山崎舜平
审查员 焦丽宁

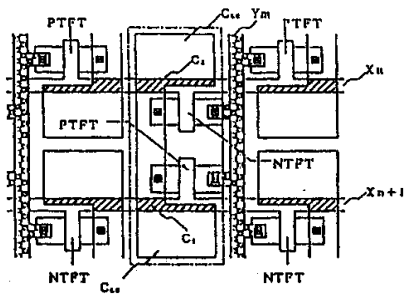
[74]专利代理机构 中国专利代理(香港)有限公司
代理人 肖掬昌 张志醒

权利要求书 7 页 说明书 11 页 附图页数 4 页

[54]发明名称 电光器件

[57]摘要

在诸如有源矩阵液晶显示器之类的电光器件中，用铝选通接线或与其等效的接 线作辅助电容的一个电极，用像素电极作另一个电极，用通过对选通接线或与其等效的接线进行阳极氧化处理得到的高电介质常 数的氧化薄膜作为该电容器的电介质材料，由此即得到了高击穿电压和大电容 值的辅助电容(附加电容)，用于稳定像素电极的电位。



ISSN1008-4274

知识产权出版社出版

权 利 要 求 书

1. 一种有源矩阵电光器件，包括:

一个基片;

一个设在所说基片上的接线;

一个设在所说接线上、并由所说接线的材料的氧化物形成的阳极氧化薄膜; 以及

一个设在所说基片上并与所说阳极氧化薄膜接触的像素电极,

其中所说矩阵包括至少一个晶体管和所说接线作为所说有源矩阵的所说晶体管的选通接线。

2. 如权利要求 1 所说的器件，进一步还包括:

其上设有计数电极的第二基片;

设在该基片与第二基片之间的一个电光调制层; 以及

用于控制所说接线的电位，使其基本上等于所说计数电极电位的装置。

3. 如权利要求 1 所述的器件，其中所说阳极氧化薄膜的厚度为 20 - 200nm。

4. 如权利要求 1 所述的器件，其中所说接线包括从铝、钛和钽这组材料中选择出来的一种材料。

5. 如权利要求 2 所述的器件，其中所说晶体管包括一个沟道区和至少一个补偿区，该补偿区设在所说沟道区和所说源极、漏极中的至少一个极之间。

6. 如权利要求 5 所述的器件，其中所说选通电极包括铝，并且所说接线包括钛。

7. 如权利要求 2 所述的器件，其中所说另一个阳极氧化薄膜的厚度为 20-200nm。

8. 如权利要求 2 所述的器件，进一步还包括:

一个设在所说另一个阳极氧化薄膜上并以所说接线作为下部接线的内层绝缘体；以及

一个与所说下部接线交叉的上部接线，在它们之间设有所说另一个阳极氧化薄膜和所说内层绝缘体。

9. 如权利要求 8 所述的器件，其中所说上部接线与所说晶体管的源极和漏极中的另一个极相连。

10. 一种电光器件，包括:

一个基片;

一个设在所说基片上并且与设在所说基片上的一个晶体管的一个选通电极相连的选通接线;

一个设在所说选通接线上并由所说选通接线的材料的氧化物形成的阳极氧化薄膜；以及

一个与在所说选通接线之间有所说阳极氧化薄膜的像素电极，所说像素电极与设在所说基片上的另一个晶体管的源极和漏极中的一个极相连。

11. 如权利要求 10 所述的器件，其中所说的像素电极与所说的一个晶体管的源极和漏极中的一个极相连接。

12. 一种电光器件，包括:

一个基片;

一个设在所说基片上并且起一个电容器的一对电极中的一个电极作用的接线;

一个设在所说接线上、并由所说接线的材料的氧化物形成的并且起所说电容的电介质作用的阳极氧化薄膜；以及

一个与在所说接线之间有所说阳极氧化薄膜的透明导电薄膜，所说透明导电薄膜起像素电极和所说电极对中的另一个电极的作用;

在所述基片上并在所述顶栅晶体管的源和漏之一处与所述透明半导体膜相连接的一个顶栅晶体管。

13. 如权利要求 12 所述的器件，进一步还包括设在所说基片上的第二晶体管，其中所述布线作为所述第二晶体管的栅极布线。

14. 如权利要求 12 所述的器件，进一步还包括:

设有计数电极的一个第二基片;

设在该基片和该第二基片之间的一个电光调制层; 以及

用于控制所说接线的电位使其基本上等于所说计数电极电位的装置。

15. 如权利要求 14 所述的器件，其中所说阳极氧化薄膜的厚度为 20-200nm。

16. 一种电光器件，包括:

一顶栅晶体管，包括设在基片上的栅电极，该顶栅晶体管包括围绕该栅电极设置的阳极氧化物;

一电容器，包括设在该基片上的接线、一像素电极以及设在该接线和像素电极之间的接线材料的阳极氧化物，其中接线材料和栅电极材料相同。

17. 如权利要求 16 所述的器件，其中栅电极材料由铝、钛和钽的组合中选出。

18. 如权利要求 11 所述的器件，其中顶栅晶体管还包括一个设在基片和栅电极之间的沟道。

19. 一种电光器件，包括:

一设置在基片上的栅极接线;

一设置在基片上的晶体管，包括源极、漏极和栅电极，该栅电极与栅极接线连接; 以及

一设置在基片上的电容器，包括一对电极和该对电极中的一个

电极材料的阳极氧化物，该阳极氧化物设在该对电极之间，而且该对电极的另一电极用作像素电极并与源极和漏极中的一个极相连接，其中该对电极中之一的材料和栅电极材料相同。

20. 一种电光器件，包括:

设置在基片上的第一晶体管，包括第一源极，第一漏极和第一栅电极;

设置在该基片上的第二晶体管，包括第二源极、第二漏极和第二栅电极;

设置在该基片上的且与第一栅电极相连接的第一接线，设置在该基片上且与第二栅电极相连接的第二接线;

第二接线材料的阳极氧化物；以及与第一源极和第一漏极中的一个极相连接的，并在基片上在与第二接线之间设有阳极氧化物的像素电极，该像素电极、阳极氧化物和第二接线组成一个电容器，其中第二接线材料和第一接线材料相同。

21. 如权利要求 20 所述的器件，还包括一个与第一源极和第一漏极中的一个极并和第二源极和第二漏极中的一个极相连接的第三接线。

22. 如权利要求 20 所述的器件，其中第一晶体管和第二晶体管都是顶栅晶体管。

23. 一种电光器件，包括:

设置在基片上的第一晶体管，包括第一源极、第一漏极和第一栅电极;

设置在基片上的第二晶体管，包括第二源极、第二漏极和第二栅电极;

设置在基片上并和第一栅电极相连接的第一接线;

设置在基片上并和第二栅电极相连接的第二接线;

第一接线材料的第一阳极氧化物;

第二接线材料的第二阳极氧化物; 以及

与第一源极和第一漏极中的一个极且与第二源极和第二漏极中的一个极相连接的像素电极,

其中在第一接线和像素电极之间设置第一阳极氧化物以组成第一电容器, 而在第二接线和像素电极之间设置第二阳极氧化物以组成第二电容器。

24. 如权利要求 23 所述的器件, 其中第一接线材料和第二接线材料相同。

25. 如权利要求 23 所述的器件, 还包括一个与第一源极和第一漏极中的一个极且与第二源和第二漏极中的一个极相连接的第三接线。

26. 如权利要求 23 所述的器件, 其中第一晶体管和第二晶体管都是顶栅晶体管。

27. 如权利要求 23 所述的器件, 其中第一晶体管是 p 型晶体管, 第二晶体管是 n 型晶体管。

28. 一种电光器件, 包括:

设置在基片上的第一晶体管, 包括第一源极、第二漏极和第一栅电极;

设置在基片上的第二晶体管, 包括第二源极、第二漏极和第二栅电极;

设置在基片上并与第一栅电极相连接的第一接线;

设置在基片上并与第二栅电极相连接的第二接线;

第一接线材料的第一阳极氧化物;

第二接线材料的第二阳极氧化物; 以及

与第一源机和第一漏极中的一个极并与第二源极和第二漏极中

的一个极相连接的像素电极，

其中第一阳极氧化物设在第一接线和像素电极之间以组成第一电容器，而第二阳极氧化物设在第二接线和像素电极之间以组成第二电容器。

29. 如权利要求 28 所述的器件，还包括一个与第一源极和第一漏极中的另一个极并与第二源极和第二漏极中的另一个极相连接的第三接线。

30. 如权利要求 28 所述的器件，其中第一接线材料和第二接线材料相同。

31. 如权利要求 28 所述的器件，其中第一晶体管和第二晶体管都是顶栅晶体管。

32. 一种电光器件，包括:

设置在基片上并包括第一源极、第一漏极和第一栅电极的第一晶体管;

设置在基片上并包括第二源极、第二漏极和第二栅极电极的第二晶体管;

设置在基片上并包括第三源极、第三漏极和第三栅电极的第三晶体管;

设置在基片上并包括第四源极、第四漏极和第四栅电极和第四晶体管;

设置在基片上并与第三栅电极和第四栅电极相连接的接线;

该接线材料的阳极氧化物; 以及

设置在基片上与第一源极和第一漏极中的一个极并与第二源极和第二漏极中的一个极相连接的像素电极，其中该阳极氧化物设在接线和像素电极之间以组成电容器。

33. 如权利要求 32 所述的器件，还包括与第一源极和第一漏极

中的另一个极、第二源极和第二漏极中的另一个极、第三源极和第三漏极中的另一个极以及与第四源极和第四漏极中的另一个极相连接的接线。

34. 如权利要求 32 所述的器件，其中第一晶体管、第二晶体管、第三晶体管和第四晶体管都是顶栅晶体管。

35. 如权利要求 32 所述的器件，其中第一晶体管是 p 型晶体管，第二晶体管是 n 型晶体管。

说　明　书

电光器件

本发明涉及一种诸如液晶显示器件的电光器件，特别涉及一种有源矩阵的显示器件。

近来，驱动液晶显示器的有源矩阵已经得到了深入的研究和实际的使用。在常规的有源矩阵电路中，在液晶的像素电极和计数电极之间形成了一个电容器，流入和流出该电容器的电荷由薄膜晶体管（ＴＦＴ）进行控制。为了得到稳定的显示，要求加在该电容器的这两个电极之间的电压保持恒定，但有些因素使这种要求难以达到。

最主要的因素是来源于电容器的电荷泄漏，即使ＴＦＥ处于截止状态也有这种电荷泄漏。另一个因素是在电容器内部也要发生电荷泄漏，但一般而言来源于ＴＦＴ的泄漏电荷约为电容器内部的泄漏电荷的１０倍。当泄漏严重时，图像的亮度就要随和帧频相同的频率变化，称这种现象为“闪烁”。还有一个因素是电压扰动（ΔＶ），这种电压扰动是由于在ＴＦＴ选通信号和像素电压之间存在的分布电容引起的电容耦合而产生的。

为了解决这些问题，使用了一个与像素电容器并联的辅助电容器（或附加电容器）。在图１（Ａ）电路图中说明了这种情况。设置一个电压控制装置以便控制辅助电容器１００的一个电极上的电压，使其基本上等于计数电极的电压，从而即可得到图１（Ａ）这一等效电路。因而，这一辅助电容器即增加了像素电容器放电的时间常数。

ΔV由下式表示：

$$\Delta V = C' V_G / (C_{LC} + C' + C)$$

其中V_G、C_{LC}、C和C′分别表示选通脉冲（信号电压）、像素电容、辅加电容、和选通电极与像素电极之间的分布电容。如果C大于C′或C_{LC}，则可减少ΔV。按常规方式，可使用由CVD方法形成的氧化硅或氮化硅薄膜作为辅助电容器的电介质材料。

但在由CVD方法制成的薄膜中，如果薄膜的基底层是粗糙的，该基底层上的粗糙性（不均匀性）有增大的趋势，并且不均匀性的这种增大使诸如微孔之类的缺陷数目增多。特别是为了提高显示器件的孔隙率，难以给大面积显示区域设置如上所述的辅助电容。因此要求减少电介质材料的厚度或利用高介电常数的材料。但氧化硅的介电常数小（约为4）。另一方面，氮化硅的介电常数大（约为9），但氮化硅的薄膜质量不佳。

本发明的一个目的是提供一种均匀的薄膜，即使通过改进介电材料的薄膜质量使薄膜很薄，这种薄膜的击穿电压也是很高的，另一个目的是用高介电常数的薄膜作为辅助电容的电介质材料。

为达到上述目的，按照本发明，用可阳极氧化的材料（如铝、钛、钽、等）构成选通接线或与其等效的接线，并且使接线阳极氧化以获得氧化膜，并将其用作辅助电容的介电材料。因此，通过阳极氧化构成的薄膜与用气相反应法（如CVD方法等）构成的薄膜、以及与用物理方法（如溅射方法）构成的薄膜的不同点在于，薄膜紧紧地粘结到一个粗糙的基底层上。因此，这种薄膜的均匀性、密度、以及击穿电压都很高。

通过让铝、钛、钽、等阳极氧化制得的氧化物材料的介电常数很

大。例如，氧化铝的介电常数约为9，氧化钽的介电常数约为50，氧化钛的介电常数超过80。当然，当大介电常数的这些材料覆盖了接线时，由位于上、下两侧的接线之间产生的静态电容会引起信号延迟或信号衰减，但通过在接线之间放置适当厚度的内层绝缘体，就可明显缓解这一问题。倒如，在上述材料上形成一个厚度为600nm的内层绝缘体，其介电常数为4，然后形成上部接线，从而给出厚度为200nm、介电常数为100的材料。即使在这种情况下，也能将电容减少到不使用内层绝缘体情况下的电容的19%左右。这一数值仅比只提供厚度为800nm、介电常数为4的内层绝缘体材料得到的数值大30%。

一种按照本发明的有源矩阵电光显示器件包括：

一个基片；

一个设在所说基片上的接线；

一个设置在所说接线上、并且由所说接线的材料的氧化物形成的阳极氧化薄膜；以及

一个设置在所说基片上并且与所说阳极氧化薄膜接触的像素电极。

该电光器件进一步还包括设有一个计数电极的另一个基片以及设置在两个基片之间的一个电光调制层。可以给接线加上电位。例如，可为电光器件提供控制接线的电位使其基本上等于计数电极电位的装置。另外，该接线还可用作有源矩阵的晶体管的选通接线。在这种情况下，选通接线与设在该基片上（不是另外一个基片上）的一个晶体管的选通电极相连，并且像素电极设置在阳极氧化薄膜上并且与设在该基片上（但不是另一个基片上）的另一个晶体管的源极和漏极中的一个极相连。在这种情况下，像素电极可进而与所说的这一个晶体管

的源极和漏极中的一个极相连。

按照本发明的另一方面的一种电光器件包括：

一个基片；

一个设在所说基片上的一个晶体管的选通电极；

一个设在所说选通电极上并且由所说选通电极的材料的氧化物形成的阻极氧化薄膜；

一个设在所说基片上的接线；

另一个设在所说接线上并且由所说接线的材料的氧化物形成的阳极氧化薄膜；

一个设在所说另一个阳极氧化薄膜上并且与所说晶体管的源极和漏极中的一个极相连的像素电极；

一个设在另一个基片上的计数电极；

一个设在两个基片之间的电光调制层；以及

用于控制所说接线的电位使其基本上等于所说计数电极电位的装置。

晶体管可以包括一个沟道区和至少一个补偿区，补偿区设在沟道区和至少源极和漏极中的一个极之间。

按照本发明的另一方面的一种电光器件包括：

一个基片；

一个设在所说基片上并且用作为一对电容器电极中的一个电极的接线；

一个设在所说接线上、且包括组成所说接线的材料的氧化物、并且用作为所说电容器的电介质的阳极氧化薄膜；以及

一个设在所说阳极氧化薄膜上并且用作为一个像素电极和所说电

极对中的另一电极的透明导电薄膜。

该电光器件可进一步包括一个晶体管，该晶体管设在该基片上，并且在该晶体管的源极和漏极中的一个极处与透明导电薄膜相连。该接线可用作为设置在该基片上的另一个晶体管的选通接线。

为了得到辅助电容器，一种方法是使用另一根选通接线作为它的电极，还有一种方法是使用辅助电容器的专用接线作为它的电极，这两种方法都是已知的。对于这两种方法，都可应用本发明。

特别是在后一种情况下，可使制成的阳极氧化薄膜的厚度适宜于辅助电容器。在前一种情况下，除非使用特殊的方法，否则覆盖选通接线的阳极氧化薄膜的厚度变得和辅助电容器电介质材料的厚度相同。

例如，按日本专利申请平4－30220和平4－38637（它们是本发明的发明人的发明）所述，在补偿区设在ＴＦＴ的沟道区的情况下，必须将阳极氧化薄膜的厚度制成符合ＴＦＴ需要的适当数值（用于驱动器或矩阵，ＮＭＯＳ或ＰＭＯＳ）。当然，电介质材料的厚度和辅助电容器一样有其最适当的数值。因此要求电介质材料要有足够大的击穿电压并且要求很薄（２０－２００ｎｍ）。另一方面，在使用阳极氧化薄膜来形成ＴＦＴ的补偿区的情况下，一般要求电介质材料比较厚（１５０－４００ｎｍ）。因此，这些要求之间不必彼此一致。

因此最理想的情况是，为辅助电容器形成一个专用的接线，在最佳的时间内给该接线通以电流，从而即可形成具有最合适厚度的阳极氧化薄膜，而和选通接线无关。但不能说设置了辅助电容的专用接线会使孔隙率降低。因此，被认为最佳的方法应当由所期望得到的显示器件的特性、成本、或应用场合确定。

另外，例如通过形成铝的选通电极和选通接线以及钛的辅助电容

器接线，则只能提高辅助电容。在这种情况下，虽然辅助电容器接线的宽度很窄，但因为氧化钛的介电常数大，所以电容足够大，因此这就改进了孔隙率。再有，例如在辅助电容接线和数据线交叉处减少辅助电容接线的宽度，也可以减少辅助电容接线和数据线之间的分布电容。

图1表示具有辅助电容的各种有源矩阵电路。除了这些有源矩阵电路外，还有其它的一些有源矩阵电路，它们都公开在日本专利申请平3－169306、平3－169307、平3－169308、以及平3－169309中，这些申请都是由本申请的发明人发明的。

在图1（B）中，辅助电容器的专用接线Xn′与选通接线Xn平行。另一方面在图1（C）中，将第n＋1条线的选通接线设计成还用作第n条像素线的辅助电容器。

在图1（D）中，用CMOS传输门作为一个有源元件（日本公开的专利申请平2－178632），在这种类型的电路中，由于△V由下式表示：

$$\Delta V = (C_1 - C_2)V_G / (C_1 + C_2 + C_{LC})$$

（其中的C_1和C_2中的每一个都包括一个不期望有的每个TFT的分布电容和像素电容），因此如果让C_1和C_2彼此相等，即可使△V为零。

在图1（E）中，也用CMOS传输门作为一个有源元件。在这种情况下，与图1（D）不同，既使用了NMOS的选通接线，又使用了PMOS的选通接线。在这种类型的电路中，△V与图1（D）中的△V相同。

图1是本发明的有源矩阵电路图；

图 2 表示本发明的有源矩阵电路的一个电路布局；

图 3 表示本发明的有源矩阵电路的一个电路布局；以及

图 4 表示本发明电路的制造方法的一个实例。

下面参照附图描述按照本发明的优选实施例。

[实施例 1]

图 2（A）是具有按该实施例制作的辅助电容的一个电路的顶视图。在该图中，Xn代表选通接线，Xn′ 代表辅助电容的专用接线。Ym代表数据线。C_{LC}代表像素电容，C代表在Xn和C_{LC}的重叠部分产生的辅助电容。

图 4 表示该实施例的制造方法。图 4（A－1）、（B－1）、（C－1）、和（D－1）是剖面图，而图 4（A－2）、(B－2)、（C－2）、和（D－2）是顶视图。下面不去描述每一过程的细节，因为它们在日本专利申请平 4－30220、平 4－3863 7 和平 3－273377 中已有叙述。

第一步，在基片 1 上形成用作为基底层的氧化硅薄膜 2。多层氧化硅和氮化硅也可用于此项目的。然后，形成一个岛状的半导体区 3、绝缘体薄膜（氧化硅）4，然后形成铝的选通接线 5 和辅助电容接线 6（如图 4（A－1）和（A－2）所示）。

下一步，通过阳极氧化处理方法在选通接线 5 和辅助电容接线 6 的周围形成氧化铝涂敷薄膜 7 和 8。通过独立地控制加到选通接线 5 和辅助电容接线 6 上的相对应的电流来形成阳极氧化薄膜，使选通接线 5 的厚度为 350nm，而辅助电容接线 6 的厚度为 150nm。另一方面，还可通过两个步骤的阳极氧化处理来控制该氧化薄膜的厚度，如日本专利申请平 4－30220 或平 4－3863 7 所述。接着，

进行掺杂以形成掺杂区（源极／漏极）9（如图4（B－1）和（B－2）所示）。

随后，形成一个150nm厚度的氧化硅内层绝缘体。将除数据线下方那部分外的所有部分上的氧化硅10除掉（如图4（C－1）和（C－2）所示）。

在数据线和选通接线或辅助电容器接线彼此交叉的区域产生一个电容，该电容使选通信号或数据延迟。为了减少这一电容，有效的办法是形成厚的内层绝缘体，但在其它区域内层绝缘体却不是非常必要的。特别是在既使除掉一个用作选通绝缘体薄膜的氧化硅薄膜的情况下（像该实施例那样），就不需再有常规器件中的接触孔，因此可显著减少接触失效。

按此方法，在氧化硅区域10需要一个掩模，但在其它区域掩模却不是非常必要的。这是因为作为阳极氧化薄膜形成的氧化铝具有很大的强度，例如在使用缓冲的氢氟酸进行蚀刻处理过程中，氧化铝的蚀刻速度比氧化硅慢得多。

因此，对位于选通电极区域的氧化硅薄膜的蚀刻可按自动调整的方式进行。按常规，要求有一个微小的掩模调整以便形成TFT的接触孔。但在本实施例中不需要这种调整。当然，还要除掉在辅助接线上形成的氧化硅并露出阳极氧化薄膜。

最后一步，用铝或铬作为上部接线来形成数据接线11。氧化硅内层绝缘体保持在氧化铝涂敷薄膜（阳极氧化薄膜）之上，在数据线11之下。该上部接线与下部接线6交叉，在两个接线之间有阳极氧化薄膜8和内层绝缘体。如图4（D－1）所示，上部接线与源极或漏极9相连。通过ITO形成像素电极12。这时，通过沉积像素电

极和辅助电容器的专用接线使它们彼此重叠，可以制作辅助电容器13（如图4（D－1）和（D－2）所示）。当然，也可以在TFT的像素电极一侧形成铝（或铬）电极和接线，并可在其上形成ITO像素电极。

［实施例2］

通过和实施例1相同的方法制造图2（B）所示的具有辅助电路的矩阵电路。在本实施例中与实施例1的不同点在于，选通接线也是作为上部线（行）的像素电容器的一个电极而工作的。在本实施例中，将选通接线（它也是辅助电容器的一条接线）上的阳极氧化薄膜的厚度定为200mm。

特别是像在本实施例这种情况下，该如图2（B）所示的TFT的另一种布局对于节省接线之间的距离、以及改善孔隙率都是有效的。因此，在本实施例中，同一列中相邻的TFT的排列方式是，当上部的TFT位于数据线右侧时，下部的TFT要位于数据线的左侧。

［实施例3］

通过和实施例1相同的方法制作如图2（C）所示的具有辅助电路的矩阵电路。这个电路和图1（D）所示电路相同。即，制成的像素电极C_{LC}覆盖NMOS选通接线Xn和PMOS选通接线Xn′，以便驱动CMOS的传输门，并且形成了辅助电容C_1和C_2。

在这样一种电路中，由上述的△V表达式显然可见，因为若C_1和C_2彼此不相等就要产生△V并且像素电位要经受强烈的波动，因此必须特别注意选通接线的宽度和像素电极的电容。

［实施例4］

使用和实施例1相同的方法制作如图3（A）所示的具有辅助电

路的矩阵电路。这个电路与图1（E）所示电路相同。形成的像素电极$_{LC}$要覆盖第n条线的选通接线Xn和第n＋1条线的选通接线Xn＋1，以便驱动CMOS的传输门，并且形成了辅助电容器C_1和C_2。

在这样一个电路中，由上述的△V表达式明显可见，因为若C_1和C_2彼此不相等会产生△V并且像素电位会有强烈的波动，因此必须特别注意选通接线的宽度和像素电极的电容。

在像本实施例的这种情况下，这种传输门电路的另一种布局对于节省接线之间的距离、以及因此改善孔隙率是有效的，如图3（A）所示。因此，在本实施例中，在相同线上的相邻传输门电路的排列方式是：当上部的传输电路位于数据线右侧时，下部的传输电路要位于数据线的左侧。

［实施例5］

通过和实施例1相同的方法制造如图3（B）所示的具有辅助电路的矩阵电路。除辅助电容器外，该电路与图1（E）所示电路相同，形成的像素电极C_{LC}覆盖了和相关像素无关的选通接线，并且形成了辅助电容器C。

因此，注意第m列，NMOS设在第n行，PMOS设在第n＋2行，从而形成了传输门电路，并且在第n＋1行上的选通接线Xn＋1的阳极氧化薄膜上形成像素电极，从而形成辅助电容C。

在这样的电路中，和实施例3和4不同的是，如果每个TFT分布电容极小，每个TFT的辅助电容将不会像分布电容器那样起作用，所以从上述表达式可明显看出，可以将其视作基本上为零。

在本实施例中，传输门电路的这个另一种布局对于节省接线间的距离以及因此改善孔隙率（如图3（B）所示）是有效的。

按本发明如上所述形成了一个稳定像素电压的高可靠性辅助电容器。在本实施例中，有代表性地描述了平面型ＴＦＴ，但对于在现有的非晶硅ＴＦＴ中经常使用的反向交错型ＴＦＴ，也能得到相同的效果。

说 明 书 附 图

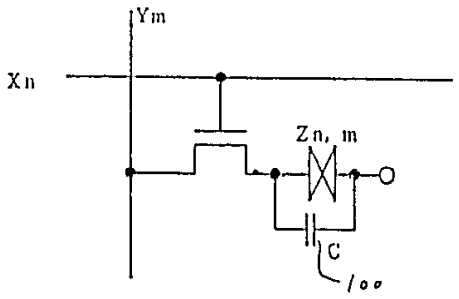


图 1(A)

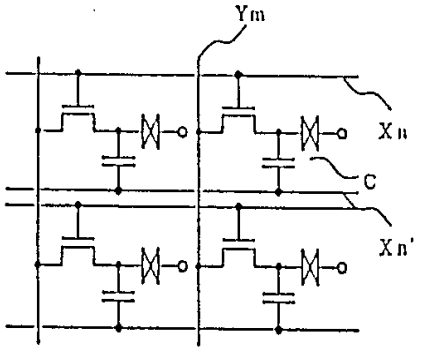


图 1(B)

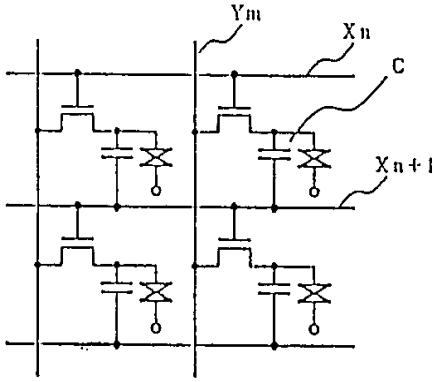


图 1(C)

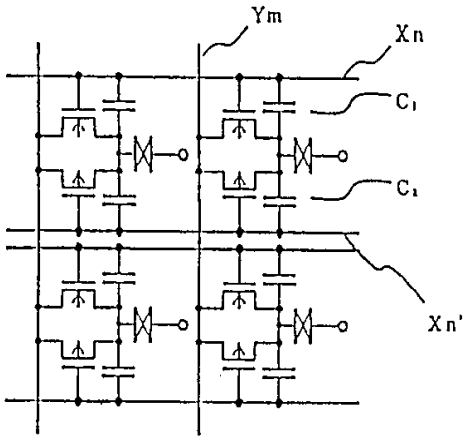


图 1(D)

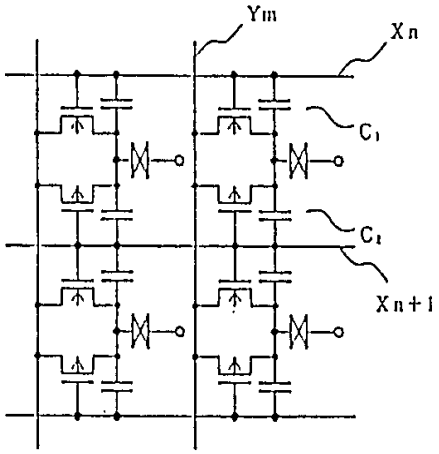


图 1(E)

图 2(A)

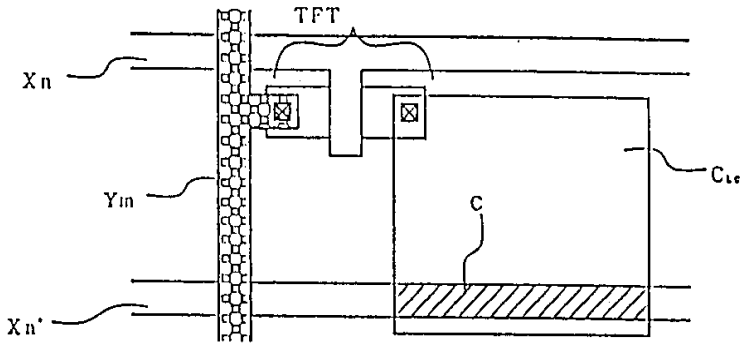


图 2(B)

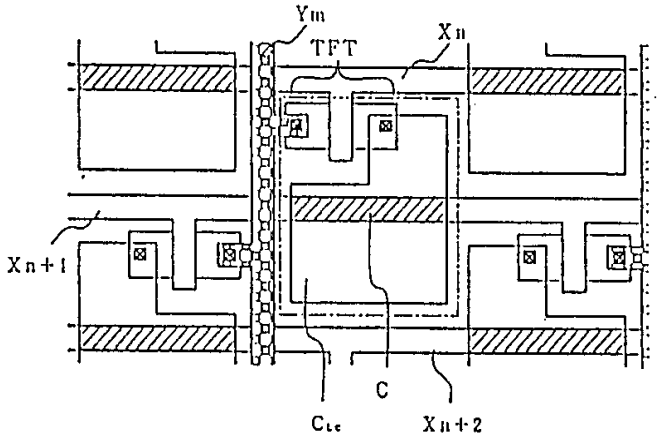
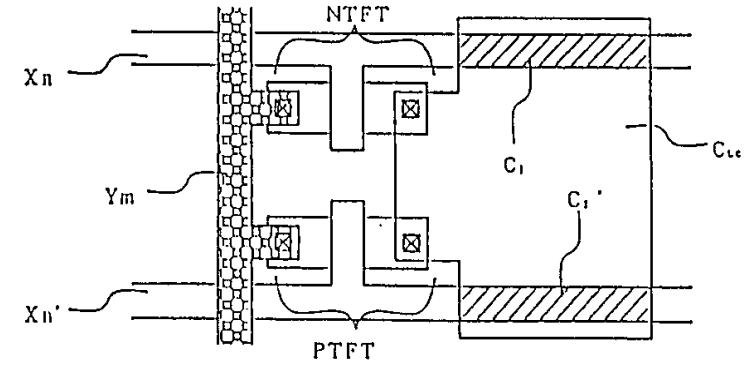


图 2(C)



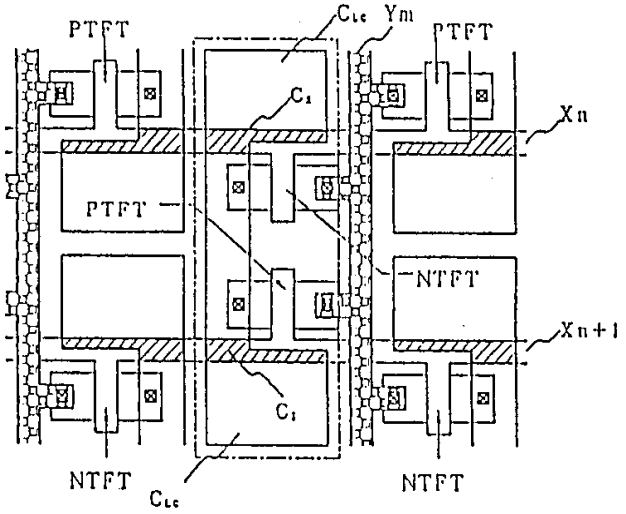

PTFT
Cle
Ym
PTFT
Cs
Xn
PTFT
NTFT
Xn+1
Cs
NTFT
Cle
NTFT

图 3(A)

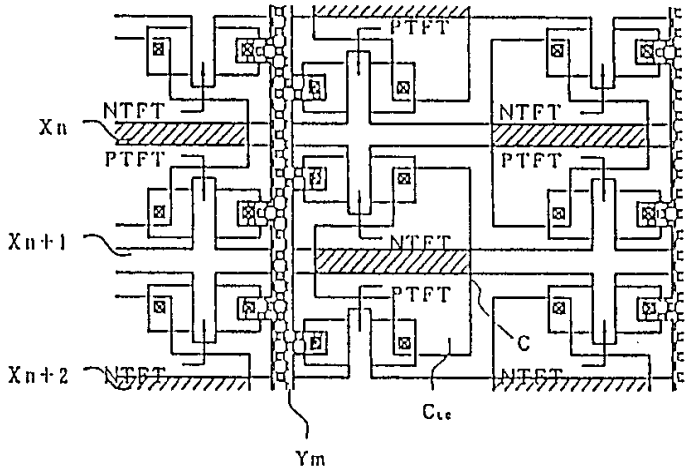

PTFT
Xn
NTFT
PTFT
NTFT
PTFT
Xn+1
NTFT
PTFT
C
Xn+2
NTFT
NTFT
Cle
Ym

图 3(B)

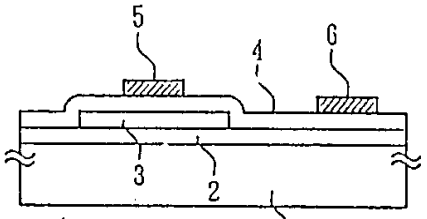


图 4(A—1)

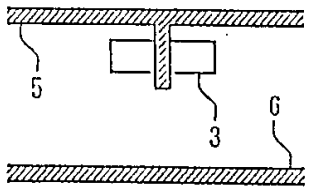


图 4(A—2)

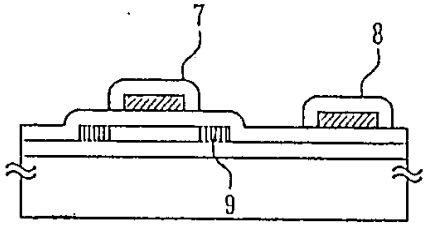


图 4(B—1)

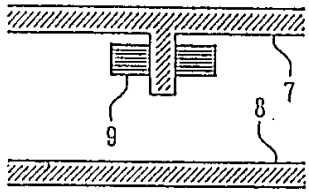


图 4(B—2)

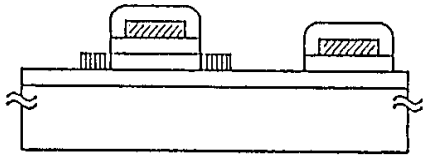


图 4(C—1)

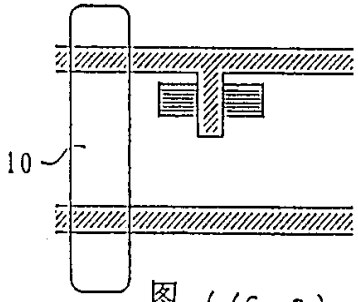


图 4(C-2)

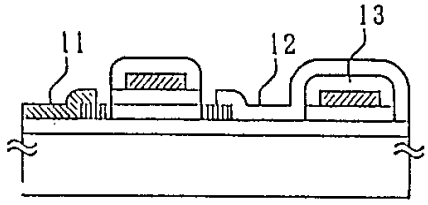


图 4(D—1)

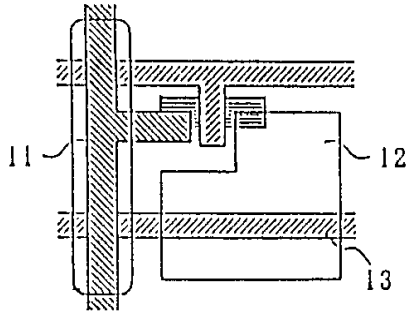


图 4(D—2)