



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년09월12일
 (11) 등록번호 10-1898410
 (24) 등록일자 2018년09월06일

- (51) 국제특허분류(Int. Cl.)
H03K 19/21 (2006.01) *G06F 17/50* (2006.01)
H03K 19/20 (2006.01)
- (52) CPC특허분류
H03K 19/215 (2013.01)
G06F 17/5045 (2013.01)
- (21) 출원번호 10-2017-7037756(분할)
- (22) 출원일자(국제) 2010년04월19일
 심사청구일자 2017년12월28일
- (85) 번역문제출일자 2017년12월28일
- (65) 공개번호 10-2018-0004323
- (43) 공개일자 2018년01월10일
- (62) 원출원 특허 10-2017-7006803
 원출원일자(국제) 2010년04월19일
 심사청구일자 2017년03월10일
- (86) 국제출원번호 PCT/US2010/031650
- (87) 국제공개번호 WO 2010/126738
 국제공개일자 2010년11월04일
- (30) 우선권주장
 61/174,408 2009년04월30일 미국(US)
 12/435,672 2009년05월05일 미국(US)
- (56) 선행기술조사문헌
 US20060181310 A1
 US0424460 A

- (73) 특허권자
텔라 이노베이션스, 인코포레이티드
 미국 95032 캘리포니아주 로스 가토스 알베르토
 웨이 485 스위트 115
- (72) 발명자
백커 스코트 티
 미국 95008 캘리포니아주 캠벨 캠벨 테크놀로지
 파크웨이 655 스위트 150
- (74) 대리인
특허법인코리아나

전체 청구항 수 : 총 25 항

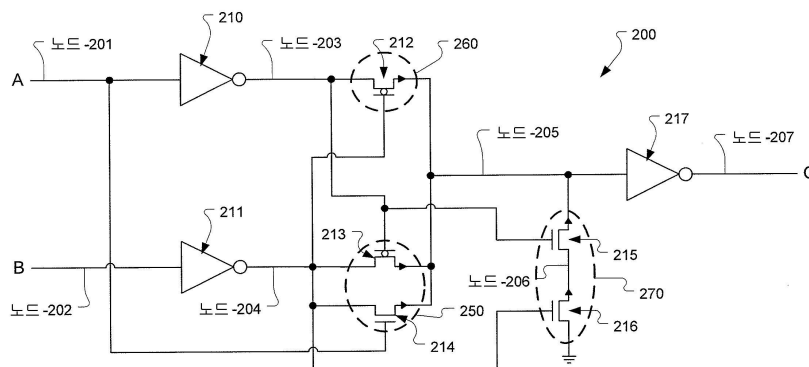
심사관 : 변종길

(54) 발명의 명칭 XOR 및 XNOR 로직을 위한 회로 및 레이아웃

(57) 요약

배타적 오아 회로는 제 2 입력 노드에 의해 제어되는 패스 게이트를 포함한다. 패스 게이트는 그래서 제어되는 경우 제 1 입력 노드에 존재하는 로직 상태의 버전을 출력 노드로 통과시키도록 접속된다. 송신 게이트는 제 1 입력 노드에 의해 제어된다. 송신 게이트는 그래서 제어되는 경우 제 2 입력 노드에 존재하는 로직 상태 (뒷면에 계속)

대표도



태의 버전을 출력 노드로 통과시키도록 접속된다. 풀업 로직은 제 1 및 제 2 입력 노드들 모두에 의해 제어된다. 풀업 로직은 제 1 및 제 2 입력 노드들이 모두 하이인 경우 출력 노드를 로우로 구동하도록 접속된다. 배타적 노아 회로는 풀업 로직이 제 1 및 제 2 입력 노드들이 모두 하이인 경우 출력 노드를 하이로 구동하도록 접속된 풀다운 로직으로 대체되는 것을 제외하고 배타적 오아 회로와 유사하게 정의된다.

(52) CPC특허분류

G06F 17/5068 (2013.01)

H03K 19/20 (2013.01)

명세서

청구범위

청구항 1

6 개의 PMOS 트랜지스터들; 및

5 개의 NMOS 트랜지스터들을 포함하고,

상기 6 개의 PMOS 트랜지스터들 중 다섯과 상기 5 개의 NMOS 트랜지스터들은 5 개의 선형-모양의 도전성 구조들로부터 집단적으로 형성된 게이트 전극들을 갖고, 상기 6 개의 PMOS 트랜지스터들 중 하나는 제 6 선형-모양의 도전성 구조로부터 형성된 게이트 전극을 갖는, 배타적 오아 회로.

청구항 2

제 1 항에 있어서,

상기 5 개의 선형-모양의 도전성 구조들 중 셋은 게이트 피치를 따라 나란히 위치되는, 배타적 오아 회로.

청구항 3

제 2 항에 있어서,

상기 5 개의 선형-모양의 도전성 구조들 중 둘은 상기 게이트 피치를 따라 나란히 위치되는, 배타적 오아 회로.

청구항 4

제 3 항에 있어서,

상기 제 6 선형-모양의 도전성 구조는 하나의 게이트 전극만을 형성하는, 배타적 오아 회로.

청구항 5

제 4 항에 있어서,

상기 제 6 선형-모양의 도전성 구조는, 상기 게이트 피치를 따라 나란히 위치된 상기 5 개의 선형-모양의 도전성 구조들 중 상기 셋 및 상기 게이트 피치를 따라 나란히 위치된 상기 5 개의 선형-모양의 도전성 구조들 중 상기 둘 사이의 위치에 위치되는, 배타적 오아 회로.

청구항 6

제 5 항에 있어서,

제 1 PMOS 트랜지스터 및 제 1 NMOS 트랜지스터는 상기 5 개의 선형-모양의 도전성 구조들 중 제 1 선형-모양의 도전성 구조로부터 형성된 각각의 게이트 전극들을 갖고, 상기 제 1 PMOS 트랜지스터와 상기 제 1 NMOS 트랜지스터는 함께 제 1 입력 인버터를 형성하는, 배타적 오아 회로.

청구항 7

제 6 항에 있어서,

제 2 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터는 상기 5 개의 선형-모양의 도전성 구조들 중 제 2 선형-모양의 도전성 구조로부터 형성된 각각의 게이트 전극들을 갖고, 상기 제 2 PMOS 트랜지스터와 상기 제 2 NMOS 트랜지스터는 함께 제 2 입력 인버터를 형성하는, 배타적 오아 회로.

청구항 8

제 7 항에 있어서,

제 3 PMOS 트랜지스터 및 제 3 NMOS 트랜지스터는 상기 5 개의 선형-모양의 도전성 구조들 중 제 3 선형-모양의 도전성 구조로부터 형성된 각각의 게이트 전극들을 갖고, 상기 제 3 PMOS 트랜지스터와 상기 제 3 NMOS 트랜지

스터는 함께 출력 인버터를 형성하는, 배타적 오아 회로.

청구항 9

제 8 항에 있어서,

상기 제 1 입력 인버터의 출력은 제 4 NMOS 트랜지스터의 게이트 전극과 제 4 PMOS 트랜지스터의 게이트 전극의 양자에 연결되는, 배타적 오아 회로

청구항 10

제 9 항에 있어서,

상기 제 4 PMOS 트랜지스터의 상기 게이트 전극 및 상기 제 4 NMOS 트랜지스터의 상기 게이트 전극 양자는 상기 5 개의 선형-모양의 도전성 구조들 중 제 4 선형-모양의 도전성 구조로부터 형성되는, 배타적 오아 회로.

청구항 11

제 10 항에 있어서,

상기 제 1 입력 인버터의 상기 출력은 제 5 NMOS 트랜지스터의 제 1 확산 영역에 연결되는, 배타적 오아 회로.

청구항 12

제 11 항에 있어서,

상기 제 5 NMOS 트랜지스터는 상기 5 개의 선형-모양의 도전성 구조들 중 제 5 선형-모양의 도전성 구조로부터 형성된 게이트 전극을 갖는, 배타적 오아 회로.

청구항 13

제 12 항에 있어서,

상기 제 1 입력 인버터의 상기 출력은 상기 제 4 NMOS 트랜지스터와 상기 제 4 PMOS 트랜지스터의 상기 게이트 전극들을 형성하는 상기 제 4 선형-모양의 도전성 구조에 연결되는, 배타적 오아 회로.

청구항 14

제 13 항에 있어서,

상기 제 2 입력 인버터의 출력은 상기 제 4 NMOS 트랜지스터의 제 1 확산 영역에 연결되는, 배타적 오아 회로.

청구항 15

제 14 항에 있어서,

상기 제 2 입력 인버터의 상기 출력은 제 6 PMOS 트랜지스터의 제 1 확산 영역에 연결되는, 배타적 오아 회로.

청구항 16

제 15 항에 있어서,

상기 제 2 입력 인버터의 상기 출력은 제 5 PMOS 트랜지스터의 게이트 전극에 연결되는, 배타적 오아 회로.

청구항 17

제 16 항에 있어서,

상기 제 5 PMOS 트랜지스터의 상기 게이트 전극은 상기 5 개의 선형-모양의 도전성 구조들 중 상기 제 5 선형-모양의 도전성 구조로부터 형성된, 배타적 오아 회로.

청구항 18

제 17 항에 있어서,

상기 제 6 PMOS 트랜지스터는 상기 제 6 선형-모양의 도전성 구조로부터 형성된 게이트 전극을 갖는, 배타적 오아 회로.

청구항 19

제 18 항에 있어서,

상기 제 5 PMOS 트랜지스터는 전원에 연결된 제 1 확산 영역을 갖고, 상기 제 5 PMOS 트랜지스터는 상기 제 4 PMOS 트랜지스터의 제 1 확산 영역에 연결된 제 2 확산 영역을 갖고, 상기 제 4 PMOS 트랜지스터는 상기 출력 인버터의 입력에 연결된 제 2 확산 영역을 갖는, 배타적 오아 회로.

청구항 20

제 19 항에 있어서,

상기 제 4 NMOS 트랜지스터는 상기 출력 인버터의 상기 입력에 연결된 제 2 확산 영역을 갖고, 상기 제 5 NMOS 트랜지스터는 상기 출력 인버터의 상기 입력에 연결된 제 2 확산 영역을 갖고, 상기 제 6 PMOS 트랜지스터는 상기 출력 인버터의 상기 입력에 연결된 제 2 확산 영역을 갖는, 배타적 오아 회로.

청구항 21

제 20 항에 있어서,

상기 제 6 PMOS 트랜지스터의 상기 게이트 전극은 상기 제 1 입력 인버터의 입력에 연결되는, 배타적 오아 회로.

청구항 22

제 21 항에 있어서,

상기 제 4 PMOS 트랜지스터의 상기 제 2 확산 영역과 상기 제 6 PMOS 트랜지스터의 상기 제 2 확산 영역은 공유된 확산 영역인, 배타적 오아 회로.

청구항 23

제 22 항에 있어서,

상기 제 4 NMOS 트랜지스터의 상기 제 2 확산 영역과 상기 제 5 NMOS 트랜지스터의 상기 제 2 확산 영역은 공유된 확산 영역인, 배타적 오아 회로.

청구항 24

제 23 항에 있어서,

상기 제 4 NMOS 트랜지스터의 상기 제 1 확산 영역은 공유된 확산 영역이 아닌, 배타적 오아 회로.

청구항 25

제 24 항에 있어서,

상기 제 5 PMOS 트랜지스터의 상기 제 2 확산 영역과 상기 제 4 PMOS 트랜지스터의 상기 제 1 확산 영역은 공유된 확산 영역인, 배타적 오아 회로.

발명의 설명

기술 분야

배경 기술

고성능 및 소형 다이 크기를 위한 추진은 회로 칩 면적을 2년마다 대략 50% 씩 감소시키도록 반도체 산업을 이끌고 있다. 칩 면적 감소는 최신 기술들로의 이동을 위한 경제적 이점을 제공한다. 50% 칩 면적 감소는

[0001]

25% 와 30% 사이에서 피쳐 크기를 감소시킴으로써 달성된다. 피쳐 크기의 감소는 제조 장비 및 재료들에 있어서의 개선에 의해 가능하게 된다. 예를 들어, 리소그래피 공정에서의 개선은 소형 피쳐 크기가 달성되는 것을 가능하게 하고 있고, 화학 기계 연마 (CMP) 에서의 개선은 더 높은 수의 상호접속 층들을 부분적으로 가능하게 하고 있다.

[0002] 리소그래피의 발전에 있어서, 최소 피쳐 크기가 피쳐 형상을 노광하는데 사용되는 광원의 파장에 접근함에 따라, 인접 피쳐들 사이에 의도하지 않은 상호작용들이 발생하였다. 오늘날 최소 피쳐 크기들은 45nm 아래로 감소되고 있는데 반해, 포토리소그래피 공정에 사용되는 광원의 파장은 193nm 로 유지되고 있다. 최소 피쳐 크기와 포토리소그래피 공정에 사용되는 광의 파장 사이의 차이는 리소그래피 겐으로서 정의된다. 리소그래피 겐이 증가함에 따라, 리소그래피 프로세서의 해상도 능력은 감소한다.

[0003] 마스크 상의 각 형상이 광과 상호작용함에 따라 간섭 패턴이 발생한다. 인접 형상들로부터의 간섭 패턴들은 보강 간섭 또는 상쇄 간섭을 생성할 수 있다. 보강 간섭의 경우, 원치 않는 형상들이 우연히 생성될 수도 있다. 상쇄 간섭의 경우, 원하는 형상들이 우연히 제거될 수도 있다. 어떠한 경우에도, 특정 형상이 의도된 바와 상이한 방식으로 인쇄되어, 아마 디바이스 패일을 유발한다. 광학 근접 보정 (OPC; optical proximity correction) 과 같은 보정 방법들이 인접 형상들로부터의 충격을 예측하고 그 마스크를 변경하여 원하는 대로 인쇄된 형상이 제조되도록 한다. 광 상호작용 예측의 품질은 공정 지오메트리가 축소함에 따라 그리고 광 상호작용들이 더 복잡해짐에 따라 감소하고 있다.

발명의 내용

해결하려는 과제

[0004] 사술한 점을 고려하여, 소형 반도체 디바이스 피쳐 크기들로의 진보를 지속시키기 위한 기술로서 리소그래피 겐의 관리를 개선시키는 해결책들이 나오고 있다.

과제의 해결 수단

[0005] 일 실시형태에 있어서, 배타적 오아 (XOR) 로직 회로가 개시된다. XOR 로직 회로는 제 1 입력 노드, 제 2 입력 노드 및 출력 노드를 포함한다. 패스 게이트는 제 2 입력 노드에 존재하는 로직 상태에 의해 제어되도록 접속된다. 패스 게이트는 제 2 입력 노드에 존재하는 로직 상태에 의해 송신하도록 제어되는 경우 제 1 입력 노드에 존재하는 로직 상태의 버전을 출력 노드로 통과시키도록 접속된다. 송신 게이트는 제 1 입력 노드에 존재하는 로직 상태에 의해 제어되도록 접속된다. 송신 게이트는 제 1 입력 노드에 존재하는 로직 상태에 의해 송신하도록 제어되는 경우 제 2 입력 노드에 존재하는 로직 상태의 버전을 출력 노드로 통과시키도록 접속된다. 풀업 로직은 제 1 입력 노드에 존재하는 로직 상태와 제 2 입력 노드에 존재하는 로직 상태 모두에 의해 제어되도록 접속된다. 풀업 로직은 제 1 입력 노드에 존재하는 로직 상태와 제 2 입력 노드에 존재하는 로직 상태가 모두 하이인 경우 출력 노드에 존재하는 상태를 로우로 구동하도록 접속된다.

[0006] 일 실시형태에 있어서, 배타적 오아 (XOR) 로직 회로 레이아웃이 개시된다. XOR 로직 회로 레이아웃은 6개의 PMOS 트랜지스터들 및 5개의 NMOS 트랜지스터들을 포함한다. 5개의 NMOS 트랜지스터들은 6개의 PMOS 트랜지스터들 중 5개와 쌍을 이루어, NMOS 및 PMOS 트랜지스터들의 각 쌍이 5개의 게이트 전극 트랙들의 각각의 게이트 전극 트랙을 따라 배치된 인접 게이트 전극 구조를 공유하도록 정의된다. 6개의 PMOS 트랜지스터들 중 6번째 PMOS 트랜지스터는 6번째 게이트 전극 트랙을 따라 배치된 게이트 전극 구조에 의해 정의되어, 6번째 PMOS 트랜지스터가 배타적 오아 로직 회로 레이아웃 내의 다른 트랜지스터와 6번째 게이트 전극 트랙을 공유하지 않는다. 6개의 게이트 전극 트랙들은 서로 평행하게 배향된다.

[0007] 일 실시형태에 있어서, 배타적 노아 (XNOR) 로직 회로가 개시된다. XNOR 로직 회로는 제 1 입력 노드, 제 2 입력 노드 및 출력 노드를 포함한다. 패스 게이트는 제 2 입력 노드에 존재하는 로직 상태에 의해 제어되도록 접속된다. 패스 게이트는 제 2 입력 노드에 존재하는 로직 상태에 의해 송신하도록 제어되는 경우 제 1 입력 노드에 존재하는 로직 상태의 버전을 출력 노드로 통과하도록 접속된다. 송신 게이트는 제 1 입력 노드에 존재하는 로직 상태에 의해 제어되도록 접속된다. 송신 게이트는 제 1 입력 노드에 존재하는 로직 상태에 의해 송신하도록 제어되는 경우 제 2 입력 노드에 존재하는 로직 상태의 버전을 출력 노드로 통과하도록 접속된다. 풀다운 로직은 제 1 입력 노드에 존재하는 로직 상태와 제 2 입력 노드에 존재하는 로직 상태 모두에 의해 제어되도록 접속된다. 풀다운 로직은 제 1 입력 노드에 존재하는 로직 상태와 제 2 입력 노드에 존재하는 로직 상태가 모두 로우인 경우 출력 노드에 존재하는 로직 상태를 하이로 구동하도록 접속된다.

[0008] 일 실시형태에 있어서, 배타적 NOR (XNOR) 로직 회로 레이아웃이 개시된다. XNOR 로직 회로 레이아웃은 5개의 PMOS 트랜지스터들 및 6개의 NMOS 트랜지스터들을 포함한다. 5개의 PMOS 트랜지스터들은 6개의 NMOS 트랜지스터들 중 5개와 각각 쌍을 이루어, PMOS 및 NMOS 트랜지스터들의 각 쌍이 5개의 게이트 전극 트랙들의 각각의 게이트 전극 트랙을 따라 배치된 인접 게이트 전극 구조를 공유하도록 정의된다. 6개의 NMOS 트랜지스터들 중 6번째 NMOS 트랜지스터는 6번째 게이트 전극 트랙을 따라 배치된 게이트 전극 구조에 의해 정의되어, 6번째 NMOS 트랜지스터가 배타적 노아 로직 회로 레이아웃 내의 다른 트랜지스터와 6번째 게이트 전극을 공유하지 않는다. 6개의 게이트 전극 트랙들은 서로 평행하게 배향된다.

[0009] 본 발명의 다른 양태들 및 장점들은 본 발명의 예시로서 도시하는 첨부된 도면과 함께 다음의 상세한 설명으로부터 보다 명백해질 것이다.

도면의 간단한 설명

[0010] 도 1a는 통상의 XOR 로직 게이트 회로를 나타낸다.
 도 1b 내지 도 1e는 도 1a의 통상의 XOR 로직 게이트 회로에 대한 상태 테이블들을 나타낸다.
 도 1f는 본 발명의 일 실시형태에 따른 통상의 XOR의 레이아웃을 나타낸다.
 도 1g는 종래 기술에 따른 일 예의 인버터 구성을 나타낸다.
 도 2a는 본 발명의 일 실시형태에 따른 XNOR 로직 게이트 회로를 나타낸다.
 도 2b 내지 도 2e는 본 발명의 일 실시형태에 따른 도 2a의 XNOR 로직 게이트 회로에 대한 상태 테이블들을 나타낸다.
 도 2f는 본 발명의 일 실시형태에 따른 도 2a의 XNOR 로직 게이트 회로의 레이아웃을 나타낸다.
 도 3a는 본 발명의 일 실시형태에 따른 XOR 로직 게이트 회로를 나타낸다.
 도 3b 내지 도 3e는 본 발명의 일 실시형태에 따른 도 3a의 XOR 로직 게이트 회로에 대한 상태 테이블들을 나타낸다.
 도 3f는 본 발명의 일 실시형태에 따른 도 3a의 XOR 로직 게이트 회로의 레이아웃을 나타낸다.
 도 4a는 본 발명의 일 실시형태에 따라 제한된 게이트 레벨 레이아웃 아키텍처 내에 정의된 게이트 전극 트랙들의 일 예를 나타낸다.
 도 4b는 본 발명의 일 실시형태에 따라 내부에 정의된 다수의 예시적인 게이트 레벨 피쳐들을 갖는 도 4a의 예시적인 제한된 게이트 레벨 레이아웃 아키텍처를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0011] 다음의 설명에 있어서, 다수의 특정 상세들이 본 발명의 완전한 이해를 제공하기 위해 설명된다. 그러나, 본 발명은 이러한 특정 상세들의 일부 또는 전부 없이도 실시될 수 있음이 당업자에게 명백하다. 다른 예시들에 있어서, 주지된 공정 동작들은 본 발명을 불필요하게 모호하게 하지 않도록 상세하게 설명되지 않는다.

통상의 XOR 회로

[0013] 도 1a는 통상의 XOR 로직 게이트 회로 (이하, "XOR (100)") 를 나타낸다. XOR (100) 는 2개의 입력들 (A 및 B) 과 하나의 출력 (Q) 를 포함한다. 입력 (A) 는 노드 (101) 에 제공된다. 입력 (B) 는 노드 (102) 에 제공된다. 출력 (Q) 는 노드 (105) 에 제공된다. 도 1b 내지 도 1e는 XOR (100) 에 대한 상태 테이블들을 나타낸다. 도 1b 내지 도 1e에 나타난 바와 같이, XOR (100) 는 입력들 (A 및 B) 의 다양한 상태 조합에 대한 출력 (Q) 의 적절한 상태를 제공한다.

[0014] 도 1a에 나타난 바와 같이, 입력 (A) 를 수신하는 노드 (101) 가 PMOS 트랜지스터 (117) 의 게이트 및 NMOS 트랜지스터 (120) 의 게이트에 접속된다. 노드 (101) 는 또한 인버터 (110) 의 입력에 접속된다. 인버터 (110) 의 출력은 노드 (103) 에 접속된다. 노드 (103) 는 PMOS 트랜지스터 (113) 의 게이트 및 NMOS 트랜지스터 (116) 의 게이트에 접속된다.

[0015] 노드 (102) 는 PMOS 트랜지스터 (114) 의 게이트 및 NMOS 트랜지스터 (119) 의 게이트에 접속된다. 노드

(102) 는 또한 인버터 (111) 의 입력에 접속된다. 인버터 (111) 의 출력은 노드 (104) 에 접속된다. 노드 (104) 는 NMOS 트랜지스터 (115) 의 게이트 및 PMOS 트랜지스터 (118) 의 게이트에 접속된다.

[0016] PMOS 트랜지스터들 (113 및 114) 은 전원 (VDD) 과 노드 (105) 사이에 직렬 방식으로 접속되어, XOR (100) 출력 (Q) 을 제공한다. NMOS 트랜지스터들 (115 및 116) 은 기준 접지 전위 (GND) 와 노드 (105) 사이에 직렬 방식으로 접속된다. PMOS 트랜지스터들 (117 및 118) 은 전원 (VDD) 과 노드 (105) 사이에 직렬 방식으로 접속된다. NMOS 트랜지스터들 (119 및 120) 은 노드 (105) 와 기준 접지 전위 (GND) 사이에 직렬 방식으로 접속된다.

[0017] 상기에 기초하여, 통상의 XOR (100) 는 2 세트의 풀업 로직을 포함하는데, 여기서 제 1 세트는 PMOS 트랜지스터들 (113 및 114) 에 의해 정의되고, 제 2 세트는 PMOS 트랜지스터들 (117 및 118) 에 의해 정의된다. 또한, XOR (100) 는 2 세트의 풀다운 로직을 포함하는데, 여기서 제 1 세트는 NMOS 트랜지스터들 (115 및 116) 에 의해 정의되고, 제 2 세트는 NMOS 트랜지스터들 (119 및 120) 에 의해 정의된다. 각각의 풀업 및 풀다운 로직 세트는 입력 (A)의 버전 및 입력 (B)의 버전 양자에 의해 제어된다. 이에 따라, 입력들 (A 및 B) 에 기초하여, 통상의 XOR (100) 의 회로는 각각 풀업 로직 세트 중 어느 것 또는 풀다운 로직 세트 중 어느 것을 사용하여 하이 또는 로우 중 어느 하나로 출력 (Q) 을 구동하도록 정의된다.

[0018] 부가적으로, 인버터들 (110 및 111) 의 각각이 하나의 PMOS 트랜지스터와 하나의 NMOS 트랜지스터를 포함하는 것을 이해해야 한다. 도 1g는 종래 기술에 따른 일 예의 인버터 구성을 나타낸다. 인버터는 입력 신호 (A) 를 수신하고 출력 신호 (Q) 를 생성한다. 인버터는 입력 신호 (A) 에 의해 제어되도록 접속된 게이트, 전원 (VDD) 에 접속된 제 1 단자 및 출력 신호 (Q) 를 제공하도록 접속된 제 2 단자를 갖는 PMOS 트랜지스터 (192) 를 포함한다. 또한, 인버터는 입력 신호 (A) 에 의해 제어되도록 접속된 게이트, 출력 신호 (Q) 를 제공하도록 접속된 제 1 단자 및 기준 접지 전위 (GND) 에 접속된 제 2 단자를 갖는 NMOS 트랜지스터 (193) 를 포함한다. 인버터의 입력 (A) 이 하이인 경우 출력은 반대로 로우이고, 그 역도 성립한다. 하나의 PMOS 트랜지스터 및 하나의 NMOS 트랜지스터를 포함하는 각각의 인버터에 기초하여, 통상의 XOR (100) 는 총 6개의 PMOS 트랜지스터들 및 6개의 NMOS 트랜지스터들을 포함하는 것을 이해해야 한다.

[0019] 도 1f는 본 발명의 일 실시형태에 따른 XOR (100) 의 레이아웃을 나타낸다. XOR (100) 의 레이아웃은 본 명세서에서 설명한 바와 같이 제한된 게이트 레벨 레이아웃 아키텍처에 따라 정의된다. 도 1a에 관해 앞서 설명한 바와 같은 다양한 PMOS 및 NMOS 트랜지스터들이 이에 따라 도 1f의 레이아웃에 라벨링된다. 또한, 도 1a에 관해 앞서 설명한 바와 같은 각종 노드들도 이에 따라 도 1f의 레이아웃에 라벨링된다. PMOS 트랜지스터 (118) 및 NMOS 트랜지스터 (119) 의 게이트 전극들은 중단 간격 (195) 만큼 게이트 레벨 내에서 이격되도록 동일 선상에 정의된다. 또한, PMOS 트랜지스터 (114) 및 NMOS 트랜지스터 (115) 의 게이트 전극들도 중단 간격 (196) 만큼 게이트 레벨 내에서 이격되도록 동일 선상에 정의된다.

[0020] 제한된 게이트 레벨 아키텍처를 이용하여 6개의 게이트 전극 트랙들 내에 통상의 XOR (100) 를 레이아웃하기 위해서는, XOR (100) 의 게이트 레벨 내에 적어도 2개의 게이트 전극 중단 간격들, 예를 들어 (195 및 196) 을 갖는 것이 필요함을 이해해야 한다. 이러한 중단 게이트 전극 간격들은 최소 중단 간격 크기를 요구하는 적용 가능한 디자인 룰에 따라 정의된다. 이에 따라, 중단 게이트 전극 간격들의 존재가 중단 게이트 전극 간격들의 부재 시 요구되게 되는 것보다 더 이격되도록 P형 및 N형 확산 영역들을 요구할 수 있고, 이로써 보다 큰 전체 셀 높이를 요구함을 알아야 한다.

[0021] XOR 회로 및 레이아웃 실시형태들

[0022] 도 3a는 본 발명의 일 실시형태에 따른 XOR 로직 게이트 회로 (300) (이하, "XOR (300)") 를 나타낸다. XOR (300) 는 2개의 입력들 (A 및 B) 과 하나의 출력 (Q) 를 포함한다. 입력 (A)는 노드 (301) 에 제공된다. 입력 (B) 는 노드 (302) 에 제공된다. 출력 (Q) 는 노드 (307) 에 제공된다. 도 3b 내지 도 3e는 본 발명의 일 실시형태에 따라 XOR (300) 에 대한 상태 테이블들을 나타낸다. 도 3b 내지 도 3e에 나타난 바와 같이, XOR (300) 는 입력들 (A 및 B) 의 다양한 상태 조합에 대한 출력 (Q) 의 적절한 상태를 제공한다.

[0023] 도 3a에 나타난 바와 같이, 입력 (A) 를 수신하는 노드 (301) 는 인버터 (310) 의 입력 및 PMOS 트랜지스터 (314) 의 게이트에 모두 접속된다. 입력 (B) 를 수신하는 노드 (302) 는 인버터 (311) 의 입력에 접속된다. 인버터 (310) 의 출력은 노드 (303) 에 접속된다. 노드 (303) 는 각각, 1) NMOS 트랜지스터 (312) 의 제 1 단자, 2) PMOS 트랜지스터 (316) 의 게이트, 및 3) NMOS 트랜지스터 (313) 의 게이트에 접속된다. 인

버터 (311)의 출력은 노드 (304)에 접속된다. 노드 (304)는 1) NMOS 트랜지스터 (312)의 게이트, 2) PMOS 트랜지스터 (315)의 게이트, 3) NMOS 트랜지스터 (313)의 제 1 단자 및 4) PMOS 트랜지스터 (314)의 제 1 단자에 접속된다.

[0024] 노드 (305)는 각각, 1) NMOS 트랜지스터 (312)의 제 2 단자, 2) NMOS 트랜지스터 (313)의 제 2 단자, 3) PMOS 트랜지스터 (314)의 제 2 단자, 및 4) PMOS 트랜지스터 (316)의 제 2 단자에 접속된다. PMOS 트랜지스터 (315)의 제 1 단자는 전원 (VDD)에 접속된다. PMOS 트랜지스터 (315)의 제 2 단자는 노드 (306)에 접속되며, 노드 (306)는 PMOS 트랜지스터 (316)의 제 1 단자에 접속된다. 노드 (305)는 인버터 (317)의 입력에 접속된다. 인버터 (317)의 출력은 노드 (307)에 접속되며, 노드 (307)는 XOR (300)의 출력 (Q)을 제공한다.

[0025] 도 3b 내지 도 3e의 상태 테이블들은 입력 (A 및 B)에서의 상이한 상태 조합들의 적용에 대한 XOR (300)의 다양한 노드들 (노드 (301)부터 노드 (307))의 상이한 상태들을 나타낸다. 인버터들 (310, 311 및 317)의 각각은 하나의 PMOS 트랜지스터와 하나의 NMOS 트랜지스터를 포함한다. 이에 따라, 총 6개의 PMOS 트랜지스터들과 6개의 NMOS 트랜지스터들을 포함하는 통상의 XOR (100)에 비해, XOR (300)는 총 6개의 PMOS 트랜지스터들과 5개의 NMOS 트랜지스터들을 포함함으로써, 하나의 NMOS 트랜지스터를 세이브한다.

[0026] 2 입력 XOR (300)는 도 3b 내지 도 3e에 도시된 바와 같이 입력들 (A 및 B)의 4개의 독특한 조합을 처리하도록 정의된다. 특히, NMOS 트랜지스터 (313) 및 PMOS 트랜지스터 (314)는 함께 입력 (A)에 의해 제어되는 송신 게이트 (350)를 정의한다. 입력 (A)의 상태가 로우, 즉 논리 0인 경우, 송신 게이트 (350)는 출력 (Q)의 상태 제어에 기여하여, 출력 (Q)의 상태를 입력 (B)의 상태와 매칭시킨다. NMOS 트랜지스터 (312)는 입력 (B)에 의해 제어되는 패스 게이트 (360)를 정의한다. 입력 (B)의 상태가 로우, 즉 논리 0인 경우, 패스 게이트 (360)는 출력 (Q)의 상태 제어에 기여하여, 출력 (Q)의 상태를 입력 (A)의 상태와 매칭시킨다.

[0027] PMOS 트랜지스터들 (315 및 316)은 함께 입력들 (A 및 B)모두에 의해 제어되는 풀업 로직 (370)을 정의한다. 입력 (A)의 상태와 입력 (B)의 상태가 모두 하이, 즉 논리 1인 경우, 송신 게이트 (350) 및 패스 게이트 (360)는 모두 디스에이블되고, 풀업 로직 (370)은 출력 (Q)의 상태를 제어하여, 출력 (Q)의 상태가 로우, 즉 논리 0이다. 입력들 (A 및 B)중 어느 하나의 상태가 로우, 즉 논리 0인 경우, 풀업 로직 (370)은 디스에이블된다.

[0028] XOR (300)는,

[0029] ● 입력 (B)에 의해 제어되는 패스 게이트 (360)를 통해 입력 (A)의 상태의 버전을 출력 (Q)로 통과시키거나,

[0030] ● 입력 (A)에 의해 제어되는 송신 게이트 (350)를 통해 입력 (B)의 상태의 버전을 출력 (Q)로 통과시키거나, 또는

[0031] ● 입력들 (A 및 B)양자의 제어하에서 풀업 로직 (370)을 통해 출력 (Q)의 상태를 로우로 구동하는 것 중 어느 하나를 하도록 정의된다.

[0032] 상기에 따라, XOR 로직 회로 (300)는 제 1 입력 (A)노드 (301), 제 2 입력 (B)노드 (302), 및 출력 (Q)노드 (307)을 포함한다. 패스 게이트 (360)는 제 2 입력 노드 (302)에 존재하는 로직 상태에 의해 제어되도록 접속된다. 패스 게이트 (360)는 제 2 입력 노드 (302)에 존재하는 로직 상태에 의해 송신하도록 제어되는 경우 제 1 입력 노드 (301)에 존재하는 로직 상태의 버전을 출력 노드 (307)로 통과하도록 접속된다.

송신 게이트 (350)는 제 1 입력 노드 (301)에 존재하는 로직 상태에 의해 제어되도록 접속된다. 송신 게이트 (350)는 제 1 입력 노드 (301)에 존재하는 로직 상태에 의해 송신하도록 제어되는 경우 제 2 입력 노드 (302)에 존재하는 로직 상태의 버전을 출력 노드 (307)로 통과하도록 접속된다. 풀업 로직 (370)은 제 1 입력 노드 (301)에 존재하는 로직 상태와 제 2 입력 노드 (302)에 존재하는 로직 상태 양자에 의해 제어되도록 접속된다. 풀업 로직 (370)은 제 1 입력 노드 (301)에 존재하는 로직 상태와 제 2 입력 노드 (302)에 존재하는 로직 상태 모두가 하이인 경우 출력 노드 (307)에 존재하는 상태를 로우로 구동하도록 접속된다.

[0033] 도 3f는 본 발명의 일 실시형태에 따른 XOR (300)의 레이아웃을 나타낸다. 일 실시형태에 있어서, XOR (300)의 레이아웃은 본 명세서에 설명된 바와 같이, 제한된 게이트 레벨 레이아웃 아키텍처에 기초하여 정의된다. 인버터 (310)는 단일 게이트 전극 트랙 (380)을 따라 정의된 인접 게이트 전극 구조 (310G)를 공유

하는 PMOS 트랜지스터 (310P) 및 NMOS 트랜지스터 (310N) 에 의해 정의된다. 인버터 (311) 는 단일 게이트 전극 트랙 (384) 을 따라 정의된 인접 게이트 전극 구조 (311G) 를 공유하는 PMOS 트랜지스터 (311P) 및 NMOS 트랜지스터 (311N) 에 의해 정의된다. 인버터 (317) 는 단일 게이트 전극 트랙 (385) 을 따라 정의된 인접 게이트 전극 구조 (317G) 를 공유하는 PMOS 트랜지스터 (317P) 및 NMOS 트랜지스터 (317N) 에 의해 정의된다.

[0034] 풀업 로직 (370) 의 PMOS 트랜지스터 (315) 와 패스 게이트 (360) 의 NMOS 트랜지스터 (312) 는 단일 게이트 전극 트랙 (381) 을 따라 정의된 인접 게이트 전극 구조 (381G) 를 공유한다. 풀업 로직 (370) 의 PMOS 트랜지스터 (316) 와 송신 게이트 (350) 의 NMOS 트랜지스터 (313) 는 단일 게이트 전극 트랙 (382) 을 따라 정의된 인접 게이트 전극 구조 (382G) 를 공유한다. 송신 게이트 (350) 의 PMOS 트랜지스터 (314) 는 단일 게이트 전극 트랙 (383) 을 따라 정의된다. 노드 (301 내지 307) 는 콘택들, 상호접속 구조들 (M1, M2) 및 비아들 (Via1) 의 다양한 조합에 의해 XOR (300) 레이아웃에 정의되어, 도 3a에 나타낸 바와 같이 다양한 트랜지스터들 사이에서 접속들을 이룬다.

[0035] 제한된 게이트 전극 아키텍처에 따라 정의되는 경우, XOR (300) 의 레이아웃은 6개의 인접 게이트 전극 트랙들 (380 내지 385) 을 이용하여 정의된다. 일 실시형태에 있어서, 6개의 인접 게이트 전극 트랙들 (380 내지 385) 은 등간격으로 이격된다. 그러나, 다른 실시형태에 있어서, 상이한 수직 간격들이 6개의 인접 게이트 전극 트랙들 (380 내지 385) 을 분리하기 위해 사용될 수도 있다. 또한, 제한된 게이트 전극 아키텍처에 따라 정의되는 경우, XOR (300) 의 레이아웃은 게이트 전극 라인 단부들의 대향 배치를 요구하지 않음을 알아야 한다. 즉, XOR (300) 레이아웃 내에 임의의 소정의 게이트 전극 트랙을 따라 중단 배치된 게이트 전극 구조들이 존재하지 않는다. 이에 따라, 게이트 전극 피처들 사이의 중단 간격들을 제조하는 것과 관련된 리소그라피 어려움이 회피된다.

[0036] 또한, P형 확산 영역과 N형 확산 영역 사이에 소정의 게이트 전극 트랙을 따라 위치한 중단 게이트 전극 간격들도 존재하지 않기 때문에, 중단 게이트 전극 간격들의 배치/제조와 연관된 디자인 룰에 의해 좌우되게 되는 것처럼, P형 및 N형 확산 영역들 사이의 수직 레이아웃 공간이 최소 크기 요건과 부합하도록 강제되지 않는다. 이와 같이, 특정 실시형태에 있어서 원한다면, XOR (300) 레이아웃의 전체 셀 높이, 즉 VDD 와 GND 사이의 수직 거리는 서로 근접한 P형 및 N형 확산 영역들을 이격시킴으로써 감소될 수도 있다.

[0037] 부가적으로, 도 3a 및 도 3f의 예시적인 실시형태들이 PMOS 트랜지스터 (315) 의 게이트가 제 2 입력 인버터 (311) 의 출력에 접속되도록, 그리고 PMOS 트랜지스터 (316) 의 게이트가 제 1 입력 인버터 (310) 의 출력에 접속되도록 정의된 풀업 로직 (370) 을 나타내더라도, PMOS 트랜지스터들 (315 및 316) 의 스택이 반전될 수 있음을 이해해야 한다. 특히, 일 실시형태에 있어서, 풀업 로직 (370) 은 PMOS 트랜지스터 (315) 의 게이트가 제 1 입력 인버터 (310) 의 출력에 접속되도록, 그리고 PMOS 트랜지스터 (316) 의 게이트가 제 2 입력 인버터 (311) 의 출력에 접속되도록 정의된다.

[0038] XNOR 회로 및 레이아웃 실시형태들

[0039] 도 2a 는 본 발명의 일 실시형태에 따른 XNOR 로직 게이트 회로 (200) (이하, "XNOR (200)") 를 나타낸다. XNOR (200) 는 2 개의 입력들 (A 및 B) 과 하나의 출력 (Q) 을 포함한다. 입력 (A) 는 노드 (201) 에 제공된다. 입력 (B) 는 노드 (202) 에 제공된다. 출력 (Q) 는 노드 (207) 에 제공된다. 도 2b 내지 도 2e는 본 발명의 일 실시형태에 따른 XNOR (200) 에 대한 상태 테이블을 나타낸다. 도 2b 내지 도 2e에 나타낸 바와 같이, XNOR (200) 는 입력들 (A 및 B) 의 다양한 상태 조합에 대한 출력 (Q) 의 적절한 상태를 제공한다.

[0040] 도 2a에 나타낸 바와 같이, 입력 (A) 를 수신하는 노드 (201) 는 인버터 (210) 의 입력 및 NMOS 트랜지스터 (214) 의 게이트 양자에 접속된다. 입력 (B) 를 수신하는 노드 (202) 는 인버터 (211) 의 입력에 접속된다. 인버터 (210) 의 출력은 노드 (203) 에 접속된다. 노드 (203) 는, 1) PMOS 트랜지스터 (212) 의 제 1 단자, 2) PMOS 트랜지스터 (213) 의 게이트, 및 3) NMOS 트랜지스터 (215) 의 게이트에 접속된다. 인버터 (211) 의 출력은 노드 (204) 에 접속된다. 노드 (204) 는 1) PMOS 트랜지스터 (212) 의 게이트, 2) NMOS 트랜지스터 (216) 의 게이트, 3) PMOS 트랜지스터 (213) 의 제 1 단자, 및 4) NMOS 트랜지스터 (214) 의 제 1 단자에 접속된다.

[0041] 노드 (205) 는 각각, 1) PMOS 트랜지스터 (212) 의 제 2 단자, 2) PMOS 트랜지스터 (213) 의 제 2 단자, 3) NMOS 트랜지스터 (214) 의 제 2 단자, 및 4) NMOS 트랜지스터 (215) 의 제 2 단자에 접속된다. NMOS 트랜지스터 (216) 의 제 1 단자는 기준 접지 전위 (GND) 에 접속된다. NMOS 트랜지스터 (216) 의 제 2 단자는

노드 (206) 에 접속되고, 노드 (206) 은 NMOS 트랜지스터 (215) 의 제 1 단자에 접속된다. 노드 (205) 는 인버터 (217) 의 입력에 접속된다. 인버터 (217) 의 출력은 노드 (207) 에 접속되고, 노드 (207) 는 XNOR (200) 의 출력 (Q) 를 제공한다. 도 2b 내지 도 2e의 상태 테이블들은 입력들 (A 및 B) 에서 상이한 상태 조합들의 적용에 대한 XNOR (200) 의 다양한 노드들 (노드 (201) 부터 노드 (207)) 의 상이한 상태들을 나타낸다. 인버터들 (210, 211 및 217) 의 각각은 하나의 PMOS 트랜지스터 및 하나의 NMOS 트랜지스터를 포함한다. 이에 따라, XNOR (200) 는 총 5개의 PMOS 트랜지스터들과 6개의 NMOS 트랜지스터들을 포함한다.

[0042] 도 2b 내지 도 2e에 도시된 바와 같이, 2 입력 XNOR (200) 는 입력들 (A 및 B) 의 4개의 독특한 조합들을 프로세싱하도록 정의된다. 특히, PMOS 트랜지스터 (213) 및 NMOS 트랜지스터 (214) 는 함께 입력 (A) 에 의해 제어되는 송신 게이트 (250) 를 정의한다. 입력 (A) 의 상태가 하이, 즉 로직 1인 경우, 송신 게이트 (250) 는 출력 (Q) 의 상태 제어에 기여하여, 출력 (Q) 의 상태를 입력 (B) 의 상태와 매칭시킨다. PMOS 트랜지스터 (212) 는 입력 (B) 에 의해 제어되는 패스 게이트 (260) 를 정의한다. 입력 (B) 의 상태가 하이, 즉 로직 1인 경우, 패스 게이트 (260) 는 출력 (Q) 의 상태 제어에 기여하여, 출력 (Q) 의 상태를 입력 (A) 의 상태와 매칭시킨다.

[0043] NMOS 트랜지스터들 (215 및 216) 은 함께 입력들 (A 및 B) 모두에 의해 제어되는 풀다운 로직 (270) 을 정의한다. 입력 (A) 의 상태와 입력 (B) 의 상태가 모두 로우, 즉 로직 0 인 경우, 송신 게이트 (250) 및 패스 게이트 (260) 모두가 디스에이블되고, 풀다운 로직 (270) 은 출력 (Q) 의 상태를 제어하여, 출력 (Q) 의 상태가 하이, 즉 로직 1 이다. 입력들 (A 및 B) 중 어느 하나의 상태가 하이, 즉 로직 1인 경우, 풀다운 로직 (270) 이 디스에이블된다.

[0044] 상기에 기초하여, XNOR (200) 는,

[0045] ● 입력 (B) 에 의해 제어되는 패스 게이트 (260) 를 통해 입력 (A) 의 상태의 버전을 출력 (Q) 로 통과시키거나,

[0046] ● 입력 (A) 에 의해 제어되는 송신 게이트 (250) 을 통해 입력 (B) 의 상태의 버전을 출력 (Q) 로 통과시키거나, 또는

[0047] ● 입력들 (A 및 B) 양자의 제어하에서 풀다운 로직 (270) 을 통해 출력 (Q) 의 상태를 하이로 구동하는 것 중 어느 하나를 하도록 정의된다.

[0048] 상기에 따라, XNOR 로직 회로 (200) 는 제 1 입력 (A) 노드 (201), 제 2 입력 (B) 노드 (202), 및 출력 (Q) 노드 (207) 를 포함한다. 패스 게이트 (260) 는 제 2 입력 노드 (202) 에 존재하는 로직 상태에 의해 제어되도록 접속된다. 패스 게이트 (260) 는 제 2 입력 노드 (202) 에 존재하는 로직 상태에 의해 송신하도록 제어되는 경우 제 1 입력 노드 (201) 에 존재하는 로직 상태의 버전을 출력 노드 (207) 로 통과하도록 접속된다. 송신 게이트 (250) 는 제 1 입력 노드 (201) 에 존재하는 로직 상태에 의해 제어되도록 접속된다. 송신 게이트 (250) 는 제 1 입력 노드 (201) 에 존재하는 로직 상태에 의해 송신하도록 제어되는 경우 제 2 입력 노드 (202) 에 존재하는 로직 상태의 버전을 출력 노드 (207) 로 통과하도록 접속된다. 풀다운 로직 (270) 은 제 1 입력 노드 (201) 에 존재하는 로직 상태와 제 2 입력 노드 (202) 에 존재하는 로직 상태 양자에 의해 제어되도록 접속된다. 풀다운 로직 (270) 은 제 1 입력 노드 (201) 에 존재하는 로직 상태와 제 2 입력 노드 (202) 에 존재하는 로직 상태 모두가 로우인 경우 출력 노드 (207) 에 존재하는 상태를 하이로 구동하도록 접속된다.

[0049] 도 2f는 본 발명의 일 실시형태에 따른 XNOR (200) 의 레이아웃을 나타낸다. 일 실시형태에 있어서, XNOR (200) 의 레이아웃은 본 명세서에 설명된 바와 같이, 제한된 게이트 레벨 레이아웃 아키텍처에 기초하여 정의된다. 인버터 (210) 는 단일 게이트 전극 트랙 (280) 을 따라 정의된 인접 게이트 전극 구조 (210G) 를 공유하는 PMOS 트랜지스터 (210P) 및 NMOS 트랜지스터 (210N) 에 의해 정의된다. 인버터 (211) 는 단일 게이트 전극 트랙 (284) 을 따라 정의된 인접 게이트 전극 구조 (211G) 를 공유하는 PMOS 트랜지스터 (211P) 및 NMOS 트랜지스터 (211N) 에 의해 정의된다. 인버터 (217) 는 단일 게이트 전극 트랙 (285) 을 따라 정의된 인접 게이트 전극 구조 (217G) 를 공유하는 PMOS 트랜지스터 (217P) 및 NMOS 트랜지스터 (217N) 에 의해 정의된다.

[0050] 풀다운 로직 (270) 의 NMOS 트랜지스터 (216) 와 패스 게이트 (260) 의 PMOS 트랜지스터 (212) 는 단일 게이트 전극 트랙 (281) 을 따라 정의된 인접 게이트 전극 구조 (281G) 를 공유한다. 풀다운 로직 (270) 의 NMOS 트랜지스터 (215) 와 송신 게이트 (250) 의 PMOS 트랜지스터 (213) 는 단일 게이트 전극 트랙 (282) 을 따라 정의된 인접 게이트 전극 구조 (282G) 를 공유한다. 송신 게이트 (250) 의 NMOS 트랜지스터 (214) 는 단일 게

이트 전극 트랙 (283) 을 따라 정의된다. 노드 (201 내지 207) 는 콘택들, 상호접속 구조들 (M1, M2) 및 비아들 (Vial) 의 각종 조합에 의해 XNOR (300) 레이아웃에 정의되어, 도 2a에 나타낸 바와 같이 다양한 트랜지스터들 사이에서 접속들을 이룬다.

[0051] 제한된 게이트 전극 아키텍처에 따라 정의되는 경우, XNOR (200) 의 레이아웃은 6 개의 인접 게이트 전극 트랙들 (280 내지 285) 을 이용하여 정의된다. 일 실시형태에 있어서, 6 개의 인접 게이트 전극 트랙들 (280 내지 285) 은 등간격으로 이격된다. 그러나, 다른 실시형태에 있어서, 상이한 수직 간격들이 6개의 인접 게이트 전극 트랙들 (280 내지 285) 을 분리하기 위해 사용될 수 있다. 또한, 제한된 게이트 전극 아키텍처에 따라 정의되는 경우, XNOR (200) 의 레이아웃은 게이트 전극 라인 단부들의 대향 배치를 요구하지 않음을 알아야 한다. 즉, XNOR (200) 레이아웃 내에 임의의 소정의 게이트 전극 트랙을 따라 중단 배치된 게이트 전극 구조들이 존재하지 않는다. 이에 따라, 게이트 전극 피쳐들 사이의 중단 간격들을 제조하는 것과 관련된 리소그래피 어려움들이 회피된다.

[0052] 또한, P형 확산 영역과 N형 확산 영역 사이에 소정의 게이트 전극 트랙을 따라 위치한 중단 게이트 전극 간격들도 존재하지 않기 때문에, 중단 게이트 전극 간격들의 배치/제조와 연관된 디자인 룰에 의해 좌우되게 되는 것처럼, P형 및 N형 확산 영역들 사이의 수직 레이아웃 공간이 최소 크기 요건과 부합하도록 강제되지 않는다. 이와 같이, 특정 실시형태에 있어서 원한다면, XNOR (200) 레이아웃의 전체 셀 높이, 즉 VDD 와 GND 사이의 수직 거리는 서로 근접한 P형 및 N형 확산 영역들을 이격시킴으로써 감소될 수도 있다.

[0053] 본 명세서에서 설명된 바와 같이 XOR (300) 회로 및 관련 레이아웃은 출력 인버터 (317) 를 제거함으로써 XNOR 회로 및 관련 레이아웃으로 변환될 수 있음을 이해해야 한다. 이러한 변환된 구성에 있어서, 출력 노드 (307) 는 노드 (305) 와 동등하게 되고, 출력 (Q) 와 입력들 (A 및 B) 사이의 관계는 XNOR (200) 에 대한 도 2b 내지 도 2e의 상태 테이블들에 나타낸 것과 동일하다.

[0054] 본 명세서에서 설명된 바와 같이 XNOR (200) 회로 및 관련 레이아웃은 출력 인버터 (217) 를 제거함으로써 XOR 회로 및 관련 레이아웃으로 변환될 수 있음을 이해해야 한다. 이러한 변환된 구성에 있어서, 출력 노드 (207) 는 노드 (205) 와 동등하게 되고, 출력 (Q) 및 입력들 (A 및 B) 사이의 관계는 XOR (300) 에 대한 도 3b 내지 도 3e의 상태 테이블들에 나타낸 것과 동일하다.

[0055] 부가적으로, 도 2a 및 도 2f의 예시적인 실시형태들이 NMOS 트랜지스터 (216) 의 게이트가 제 2 입력 인버터 (211) 의 출력에 접속되도록, 그리고 NMOS 트랜지스터 (215) 의 게이트가 제 1 입력 인버터 (210) 의 출력에 접속되도록 정의된 풀다운 로직 (270) 을 나타내더라도, NMOS 트랜지스터들 (216 및 215) 의 스택이 반전될 수 있음을 이해해야 한다. 특히, 일 실시형태에 있어서, 풀다운 로직 (270) 은 NMOS 트랜지스터 (216) 의 게이트가 제 1 입력 인버터 (210) 의 출력에 접속되도록, 그리고 NMOS 트랜지스터 (215) 의 게이트가 제 2 입력 인버터 (211) 의 출력에 접속되도록 정의된다.

[0056] 제한된 게이트 레벨 레이아웃 아키텍처

[0057] 상술한 바와 같이, 본 발명의 XOR (300) 및 XNOR (200) 회로들은 반도체 칩의 일 부분 내에서 제한된 게이트 레벨 레이아웃 아키텍처로 구현될 수 있다. 게이트 레벨에 대하여, 다수의 평행 가상 라인들이 레이아웃을 가로질러 연장하도록 정의된다. 이들 평행 가상 라인들은 레이아웃 내의 다양한 트랜지스터들의 게이트 전극들의 배치를 인덱싱하는데 사용되는 게이트 전극 트랙들로서 지칭된다. 일 실시형태에 있어서, 게이트 전극 트랙들을 형성하는 평행 가상 라인들은 특정된 게이트 전극 피치와 동등한 그들 사이의 수직 간격에 의해 정의된다. 이에 따라, 게이트 전극 트랙들 상의 게이트 전극 세그먼트들의 배치가 특정된 게이트 전극 피치에 상응한다. 다른 실시형태에 있어서, 게이트 전극 트랙들은 특정된 게이트 전극 피치 이상의 가변 피치들로 이격된다.

[0058] 도 4a는 본 발명의 일 실시형태에 따라 제한된 게이트 레벨 레이아웃 아키텍처 내에 정의된 게이트 전극 트랙들 (401A 내지 401E) 의 일 예를 나타낸다. 게이트 전극 트랙들 (401A 내지 401E) 은 칩의 게이트 레벨 레이아웃을 가로질러 연장하는 평행 가상 라인들에 의해 형성되고, 그 사이의 수직 간격은 특정된 게이트 전극 피치 (407) 와 동등하다. 예시의 목적들을 위해, 상보형 확산 영역들 (403 및 405) 이 도 4a에 도시된다. 확산 영역들 (403 및 405) 은 게이트 레벨 아래의 확산 레벨에 정의된다. 또한, 확산 영역들 (403 및 405) 은 예시로서 제공되며 제한된 게이트 레벨 레이아웃 아키텍처에 대해 확산 레벨 내에서 확산 영역 크기, 형상, 및/또는 배치에 대해 어떠한 제한도 나타내는 방식이 아님을 이해해야 한다.

[0059] 제한된 게이트 레벨 레이아웃 아키텍처 내에서, 게이트 레벨 피쳐 레이아웃 채널은 소정의 게이트 전극 트랙에

인접한 게이트 전극 트랙들 사이로 연장하도록 소정의 게이트 전극 트랙에 관해 정의된다. 예를 들어, 게이트 레벨 피쳐 레이아웃 채널들 (401A-1 내지 401E-1) 은 게이트 전극 트랙들 (401A 내지 401E) 에 관해 각각 정의된다. 각각의 게이트 전극 트랙은 상응하는 게이트 레벨 피쳐 레이아웃 채널을 가짐을 이해해야 한다.

또한, 미리 정해진 레이아웃 공간의 에지에 인접하여, 예를 들어 셀 바운더리에 인접하여 위치한 게이트 전극 트랙들에 대해, 상응하는 게이트 레벨 피쳐 레이아웃 채널은 게이트 레벨 피쳐 레이아웃 채널들 (401A-1 및 401E-1) 에 의해 도시된 바와 같이 미리 정해진 레이아웃 공간의 외측에 가상 게이트 전극 트랙이 있는 것처럼 연장한다. 각각의 게이트 레벨 피쳐 레이아웃 채널은 그의 상응하는 게이트 전극 트랙의 전체 길이를 따라 연장하도록 정의됨을 또한 이해해야 한다. 이로써, 각각의 게이트 레벨 피쳐 레이아웃 채널은 게이트 레벨 레이아웃이 연관되는 칩의 일 부분 내에서 게이트 레벨 레이아웃을 가로질러 연장하도록 정의된다.

[0060] 제한된 게이트 레벨 레이아웃 아키텍처 내에서, 소정의 게이트 전극 트랙과 연관된 게이트 레벨 피쳐들이 소정의 게이트 전극 트랙과 연관된 게이트 레벨 피쳐 레이아웃 채널 내에 정의된다. 인접 게이트 레벨 피쳐는 트랜지스터의 게이트 전극을 정의하는 부분과, 트랜지스터의 게이트 전극을 정의하지 않는 부분을 모두 포함할 수 있다. 이로써, 인접 게이트 레벨 피쳐는 하부의 칩 레벨의 유전체 영역과 확산 영역 모두에 걸쳐 연장할 수 있다.

[0061] 일 실시형태에 있어서, 트랜지스터의 게이트 전극을 형성하는 게이트 레벨 피쳐의 각 부분은 소정의 게이트 전극 트랙 상에 실질적으로 집중되도록 위치된다. 또한, 본 실시형태에 있어서, 트랜지스터의 게이트 전극을 형성하지 않는 게이트 레벨 피쳐의 부분들이 소정의 게이트 전극 트랙과 연관된 게이트 레벨 피쳐 레이아웃 채널 내에 위치될 수 있다. 이에 따라, 소정의 게이트 레벨 피쳐는, 소정의 게이트 레벨 피쳐의 게이트 전극 부분들이 소정의 게이트 레벨 피쳐 레이아웃 채널에 상응하는 게이트 전극 트랙 상에 집중되는 한, 그리고 소정의 게이트 레벨 피쳐가 인접 게이트 레벨 레이아웃 채널 내의 다른 게이트 레벨 피쳐들에 대한 디자인룰 스페이싱 요건들과 부합하는 한, 소정의 게이트 레벨 피쳐 레이아웃 채널 내에서 본질적으로 어디에든 정의될 수 있다. 부가적으로, 인접 게이트 전극 트랙들과 연관된 게이트 레벨 피쳐 레이아웃 채널들 내에 정의된 게이트 레벨 피쳐들 사이에서 물리적 콘택이 억제된다.

[0062] 도 4b는 본 발명의 일 실시형태에 따라 내부에 정의된 다수의 예시적인 게이트 레벨 피쳐들 (409 내지 423) 을 갖는 도 4a의 예시적인 제한된 게이트 레벨 레이아웃 아키텍처를 나타낸다. 게이트 레벨 피쳐 (409) 는 게이트 전극 트랙 (401A) 과 연관된 게이트 레벨 피쳐 레이아웃 채널 (401A-1) 내에 정의된다. 게이트 레벨 피쳐 (409) 의 게이트 전극 부분들은 게이트 전극 트랙 (401A) 상에 실질적으로 집중된다. 또한, 게이트 레벨 피쳐 (409) 의 비 게이트 전극 부분들은 인접한 게이트 레벨 피쳐 레이아웃 채널 (410B-1) 내에 정의된 게이트 레벨 피쳐들 (411 및 413) 을 갖는 디자인 룰 스페이싱 요건들을 유지한다. 유사하게, 게이트 레벨 피쳐들 (411 내지 423) 은 그 각각의 게이트 레벨 피쳐 레이아웃 채널 내에 정의되고, 그 각각의 게이트 레벨 피쳐 레이아웃 채널에 상응하는 게이트 전극 트랙 상에 실질적으로 집중되는 그 게이트 전극 부분들을 갖는다. 또한, 게이트 레벨 피쳐들 (411 내지 423) 의 각각은 인접한 게이트 레벨 피쳐 레이아웃 채널들 내에 정의된 게이트 레벨 피쳐들을 갖는 디자인룰 스페이싱 요건들을 유지하며, 인접한 게이트 레벨 피쳐 레이아웃 채널들 내에 정의된 임의의 다른 게이트 레벨 피쳐와의 물리적 콘택을 회피한다.

[0063] 게이트 전극은 확산 영역에 걸쳐 연장하는 각각의 게이트 레벨 피쳐의 일부분과 상응하며, 그 각각의 게이트 레벨 피쳐는 게이트 레벨 피쳐 레이아웃 채널 내에 전부 정의된다. 각각의 게이트 레벨 피쳐는 서로 접한 게이트 레벨 피쳐 레이아웃 채널 내에 정의된 다른 게이트 레벨 피쳐와 물리적으로 콘택하지 않으면서 그 게이트 레벨 피쳐 레이아웃 채널 내에 정의된다. 도 4b의 예시적인 게이트 레벨 피쳐 레이아웃 채널들 (401A-1 내지 401E-1) 에 의해 도시된 바와 같이, 각각의 게이트 레벨 피쳐 레이아웃 채널은 소정의 게이트 전극 트랙과 연관되며, 소정의 게이트 전극 트랙을 따라서 그리고 소정의 게이트 전극 트랙으로부터 레이아웃 바운더리 외측의 가상 게이트 전극 트랙 또는 인접 게이트 전극 트랙 중 가장 근접한 어느 하나의 게이트 트랙까지 각각 반대 방향에서 수직 외방으로 연장하는 레이아웃 영역에 상응한다.

[0064] 일부 게이트 레벨 피쳐들은 그 길이를 따라 임의의 수의 위치들에 정의된 하나 이상의 콘택 헤드 부분들을 가질 수도 있다. 소정의 게이트 레벨 피쳐의 콘택 헤드 부분은 게이트 콘택 구조를 수용하기에 충분한 크기의 높이 및 폭을 갖는 게이트 레벨 피쳐의 세그먼트로서 정의되며, 여기서 "폭" 은 소정의 게이트 레벨 피쳐의 게이트 전극 트랙에 수직인 방향으로 기판을 가로질러 정의되며, "높이" 는 소정의 게이트 레벨 피쳐의 게이트 전극 트랙에 평행한 방향으로 기판을 가로질러 정의된다. 위에서 보는 경우, 게이트 레벨 피쳐의 콘택 헤드는 본질적으로 정사각형 또는 직사각형을 포함하는 임의의 레이아웃 형상에 의해 정의될 수 있음을 알아야 한다. 또한, 레이아웃 요건들 및 회로 디자인에 의존하여, 게이트 레벨 피쳐의 소정의 콘택 헤드 부분은 그 위에 정

의된 게이트 콘택을 가질 수도 있고 갖지 않을 수도 있다.

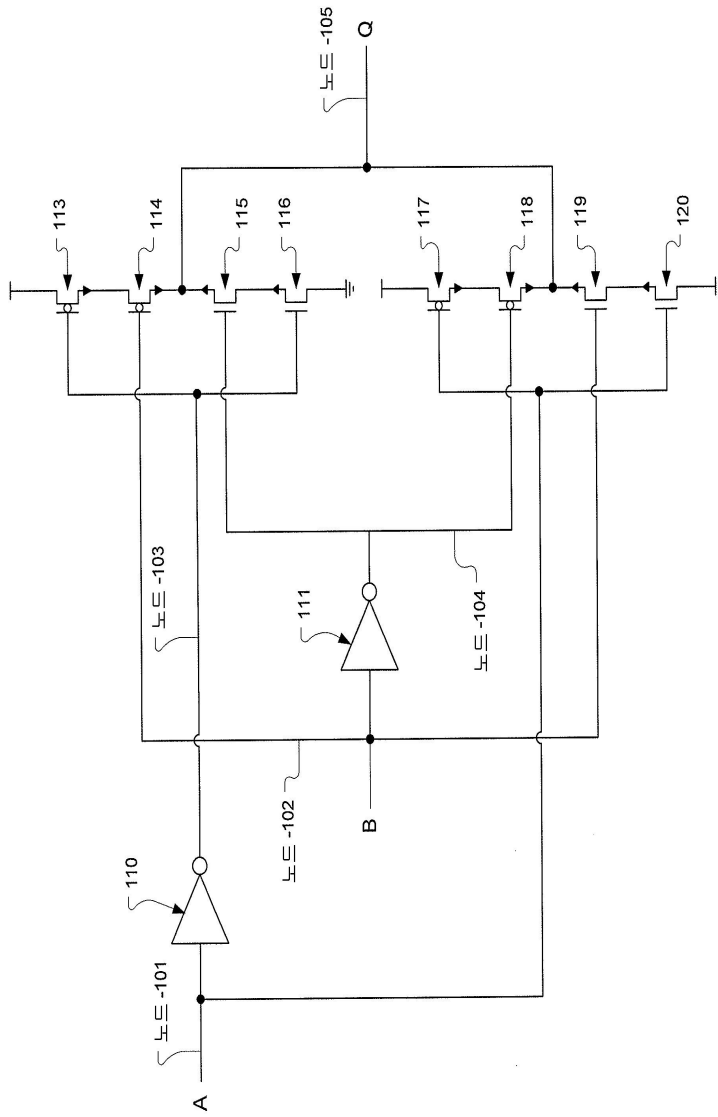
- [0065] 상술한 바와 같이, 본 명세서에 개시된 다양한 실시형태들의 게이트 레벨은 제한된 게이트 레벨로서 정의된다. 일부 게이트 레벨 피쳐들은 트랜지스터 디바이스들의 게이트 전극들을 형성한다. 다른 게이트 레벨 피쳐들은 게이트 레벨 내의 두 지점 사이에서 연장하는 도전성 세그먼트들을 형성할 수 있다. 또한, 다른 게이트 레벨 피쳐들은 집적 회로 작동에 대해 비 기능적일 수도 있다. 기능에 관계없이, 게이트 레벨 피쳐들의 각각은 인접한 게이트 레벨 피쳐 레이아웃 채널들과 정의된 다른 게이트 레벨 피쳐들을 물리적으로 콘택하지 않으면서 그 각각의 게이트 레벨 피쳐 레이아웃 채널들 내에서 게이트 레벨을 가로질러 연장하도록 정의된다.
- [0066] 일 실시형태에 있어서, 게이트 레벨 피쳐들은 제조 공정 및 디자인 공정에 대해 최적화되고 정확하게 예측될 수 있는 유한개의 제어된 레이아웃 형상 대 형상 리소그래피 상호작용을 제공하도록 정의된다. 본 실시형태에 있어서, 게이트 레벨 피쳐들은 높은 확률로 경감되고 정확하게 예측될 수 없는 레이아웃 내에 불리한 리소그래피 상호작용을 도입하게 되는 레이아웃 형상 대 형상 공간적 관계들을 회피하도록 정의된다. 그러나, 그 게이트 레벨 레이아웃 채널들 내에 게이트 레벨 피쳐들의 방향에서의 변화들은 대응하는 리소그래피 상호작용들이 예측가능하고 관리가능한 경우 수용될 수 있음을 이해해야 한다.
- [0067] 게이트 레벨 피쳐들의 각각은, 기능에 관계없이, 소정의 게이트 전극 트랙을 따라 어떠한 게이트 레벨 피쳐도 비 게이트 레벨 피쳐를 사용하지 않으면서 게이트 레벨 내에서 상이한 게이트 전극 트랙을 따라 정의된 다른 게이트 레벨 피쳐에 직접 접속하도록 구성되지 않도록 정의된다는 것을 이해하여야 한다. 또한, 상이한 게이트 전극 트랙들과 연관된 상이한 게이트 레벨 레이아웃 채널들 내에 배치된 게이트 레벨 피쳐들 사이의 각 접속은 하나 이상의 비 게이트 레벨 피쳐들을 통해 이루어지며, 이는 더 높은 상호 접속 레벨들, 즉 게이트 레벨 위의 하나 이상의 상호접속을 통해 또는 게이트 레벨에서 또는 게이트 레벨 아래에서 국부적 상호 접속 피쳐들을 통해 정의될 수도 있다.
- [0068] 본 명세서에 개시된 바와 같은 XOR (300) 및 XNOR (200) 회로들과 레이아웃들은 컴퓨터 판독 가능 매체 상의 디지털 포맷과 같은 유형의 형태에 저장될 수 있다. 예를 들어, 본 명세서에 개시된 바와 같은 XOR (300) 및/또는 XNOR (200) 회로들의 레이아웃들은 하나 이상의 셀들의 라이브러리로부터 선택가능한 하나 이상의 셀들로서 레이아웃 데이터 파일에 저장될 수 있다. 레이아웃 데이터 파일은 GDS II (Graphic Data System) 데이터 베이스 파일, OASIS (Open Artwork System Interchange Standard) 데이터 베이스 파일, 또는 반도체 디바이스 레이아웃들을 저장하고 이 반도체 디바이스 레이아웃들과 통신하기에 적합한 임의의 다른 종류의 데이터 파일 포맷으로서 포맷될 수 있다. 또한, XOR (300) 및/또는 XNOR (200) 회로들의 멀티 레벨 레이아웃들은 대형 반도체 디바이스의 멀티 레벨 레이아웃 내에 포함될 수 있다. 또한, 대형 반도체 디바이스의 멀티 레벨 레이아웃은 상기 식별된 것들과 같은 레이아웃 데이터 파일의 형태로 저장될 수 있다.
- [0069] 또한, 본 명세서에 설명된 발명은 컴퓨터 판독가능 매체 상의 컴퓨터 판독가능 코드로서 구현될 수 있다. 예를 들어, 컴퓨터 판독가능 코드는 내부에 XOR (300) 및/또는 XNOR (200) 회로 레이아웃들이 저장되는 레이아웃 데이터 파일을 포함할 수 있다. 컴퓨터 판독 가능 코드는 또한 XOR (300) 및/또는 XNOR (200) 회로 레이아웃들을 포함하는 하나 이상의 레이아웃 라이브러리들 및/또는 셀들을 선택하기 위한 프로그램 명령들을 포함할 수 있다. 또한, 레이아웃 라이브러리들 및/또는 셀들은 컴퓨터 판독가능 매체 상의 디지털 포맷 내에 저장될 수 있다.
- [0070] 본 명세서에서 언급된 컴퓨터 판독가능 매체는 이후 컴퓨터 시스템에 의해 판독될 수 있는 데이터를 저장할 수 있는 임의의 데이터 저장 디바이스이다. 컴퓨터 판독가능 매체의 예들은 하드 드라이브, NAS (network attached storage), ROM (read-only memory), RAM (random-access memory), CD-ROM, CD-R, CD-RW, 자기 테이프, 및 다른 광학 및 비광학 데이터 저장 디바이스를 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 판독가능 코드가 분산 방식으로 실행되고 저장되도록 커플링된 컴퓨터 시스템들의 네트워크를 통해 분산될 수 있다.
- [0071] 본 발명의 일부를 형성하는 본 명세서에서 설명된 임의의 동작들은 유용한 머신 동작들이다. 또한, 본 발명은 이들 동작들을 수행하기 위한 디바이스 또는 장치와 관련된다. 장치는 특히 특수 목적 컴퓨터와 같은 필요한 목적을 위해 구성될 수도 있다. 특수 목적 컴퓨터로서 정의되는 경우, 컴퓨터는 또한 특수 목적을 위해 여전히 동작할 수 있으면서 특수 목적의 부분이 아닌 다른 프로세싱, 프로그램 실행 또는 루틴들을 수행할 수 있다. 대안적으로, 동작들은 네트워크를 통해 획득되거나 컴퓨터 메모리, 캐시에 저장된 하나 이상의 컴퓨터 프로그램들에 의해 선택적으로 활성화되거나 구성되는 범용 컴퓨터에 의해 프로세싱될 수도 있다. 네트워크를 통해 데이터가 획득되는 경우 데이터는 아마도 네트워크 상의 다른 컴퓨터들, 예를 들어 컴퓨팅 리소스들의 클라우드에 의해 프로세싱된다.

- [0072] 또한, 본 발명의 실시형태들은 일 상태에서 다른 상태로 데이터를 변형하는 머신으로서 정의될 수 있다. 데이터는 전자 신호로서 표현될 수 있고 데이터를 전자적으로 조종할 수 있는 아티클을 나타낼 수도 있다. 어떤 경우, 변형된 데이터는 데이터의 변형을 유발하는 물리적 오브젝트를 나타내는 디스플레이 상에 시각적으로 표시될 수 있다. 변형된 데이터는 물리적이고 유형의 오브젝트의 구성 또는 묘사를 가능하게 하는 일반적인 포맷 또는 특정 포맷을 저장하도록 세이브될 수 있다. 일부 실시형태에 있어서, 조종은 프로세서에 의해 수행될 수 있다. 이러한 예에 있어서, 이처럼 프로세서는 하나의 것으로부터 다른 것으로 데이터를 변형시킨다. 또한, 그 방법들은 네트워크를 통해 접속될 수 있는 하나 이상의 머신들 또는 프로세서들에 의해 프로세싱될 수 있다. 각 머신은 하나의 상태 또는 하나의 것으로부터 다른 것으로 데이터를 변형시킬 수 있고, 또한 데이터를 프로세스, 저장소에 데이터를 세이브, 네트워크를 통한 데이터 송신, 그 결과를 디스플레이 또는 그 결과를 다른 머신에 통신할 수 있다.
- [0073] 본 명세서에 개시된 XOR (300) 및 XNOR (200) 회로들 및 레이아웃들은 반도체 디바이스 또는 칩의 일부로서 제조될 수 있음을 또한 이해해야 한다. 집적 회로들, 메모리 셀들 등과 같은 반도체 디바이스들의 제조에 있어서, 일련의 제조 동작들은 반도체 웨이퍼 상에 피쳐들을 정의하기 위해 수행된다. 웨이퍼는 실리콘 기판 상에 정의된 멀티 레벨 구조물들의 형태로 집적된 회로 디바이스들을 포함한다. 기판 레벨에서, 확산 영역들을 갖는 트랜지스터 디바이스들이 형성된다. 후속 레벨들에 있어서, 상호접속 금속화 라인들이 패터닝되고 트랜지스터 디바이스들에 전기적으로 접속되어 원하는 집적 회로 디바이스를 정의한다. 또한, 패터닝된 도전층들은 유전체 재료들에 의해 다른 도전층들과 절연된다.
- [0074] 본 발명은 몇몇 실시형태들에 의해 설명되었지만, 상기 상세들을 읽고 도면들을 연구하면 당업자가 본 발명의 다양한 변형물, 부가물, 치환물 및 등가물들을 실현하게 된다. 이에 따라, 본 발명은 본 발명의 진정한 사상 및 범위 내에 포함되는 모든 이러한 변형물, 부가물, 치환물 및 등가물들을 포함하려는 것으로 의도된다.

도면

도면1a

종래 기술



도면1b

종래 기술

A (노드 -101)	0
B (노드 -102)	0
Q (노드 -105)	0
노드-103	1
노드-104	1

도면1c

종래 기술

A (노드-101)	0
B (노드-102)	1
Q (노드-105)	1
노드-103	1
노드-104	0

도면1d

종래 기술

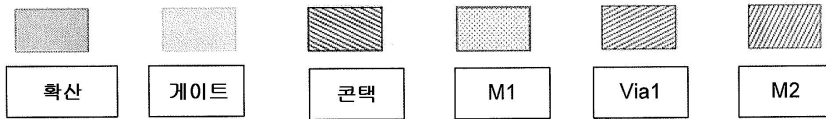
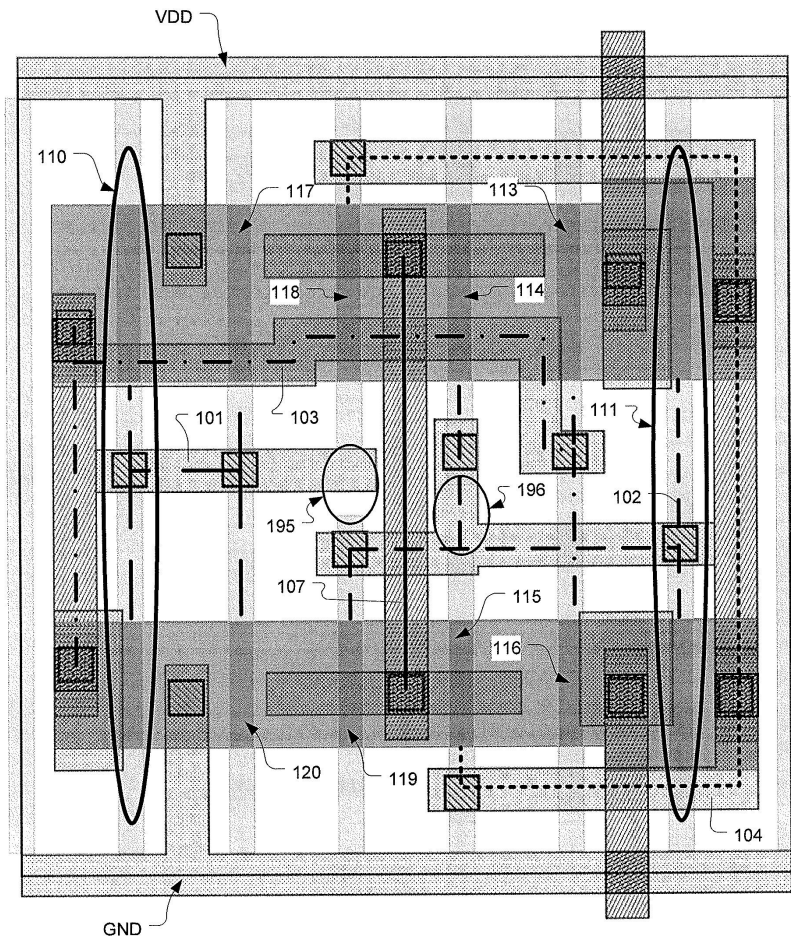
A (노드-101)	1
B (노드-102)	0
Q (노드-105)	1
노드-103	0
노드-104	1

도면1e

종래 기술

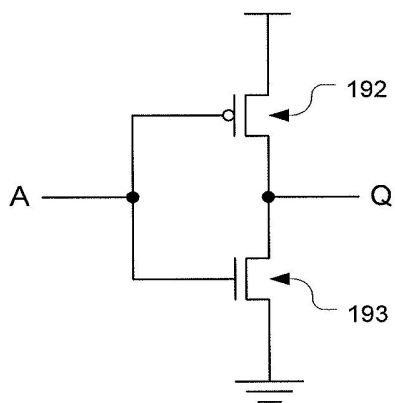
A (노드-101)	1
B (노드-102)	1
Q (노드-105)	0
노드-103	0
노드-104	0

도면1f

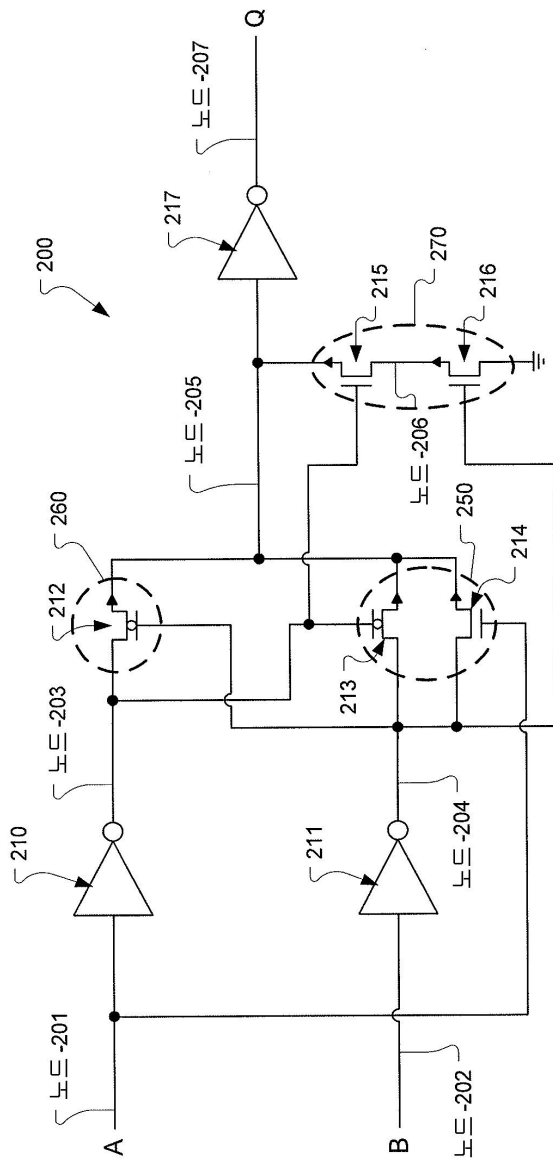


도면1g

종래 기술



도면2a



도면2b

A (노드 -201)	0
B (노드 -202)	0
Q (노드 -207)	1
노드 -203	1
노드 -204	1
노드 -205	0
노드 -206	0

도면2c

A (노드 -201)	0
B (노드 -202)	1
Q (노드 -207)	0
노드 -203	1
노드 -204	0
노드 -205	1
노드 -206	1

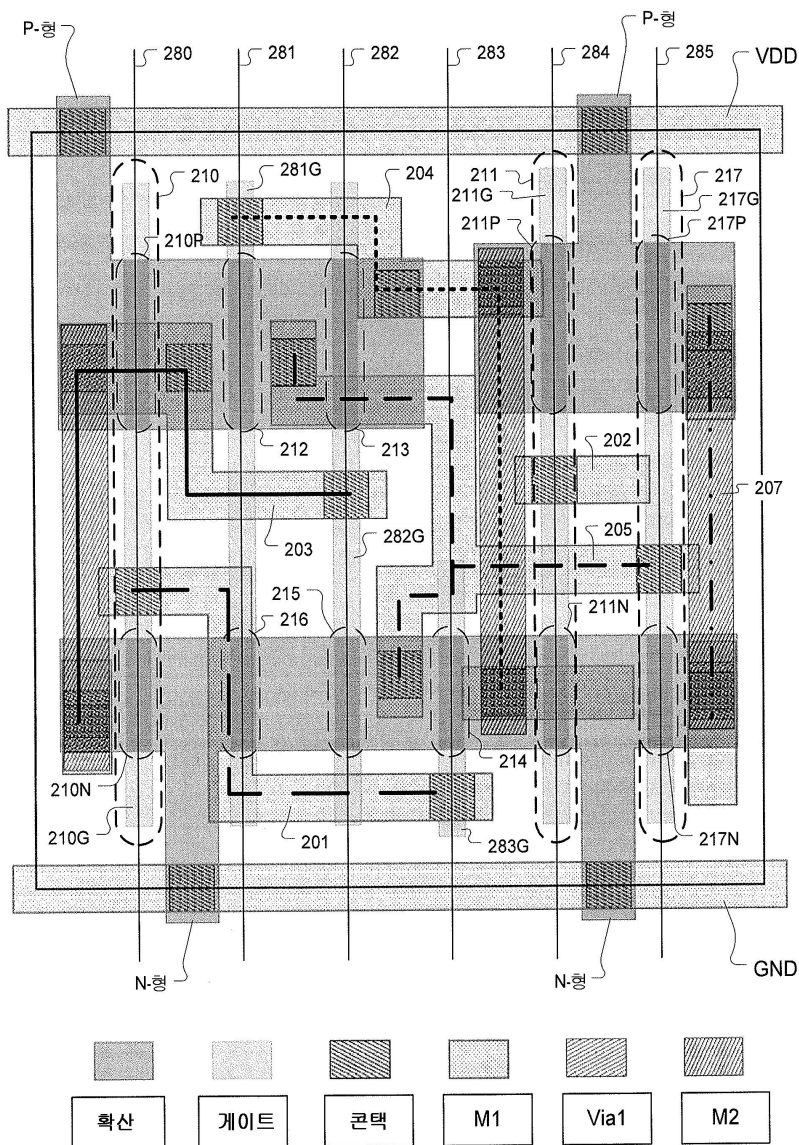
도면2d

A (노드 -201)	1
B (노드 -202)	0
Q (노드 -207)	0
노드 -203	0
노드 -204	1
노드 -205	1
노드 -206	0

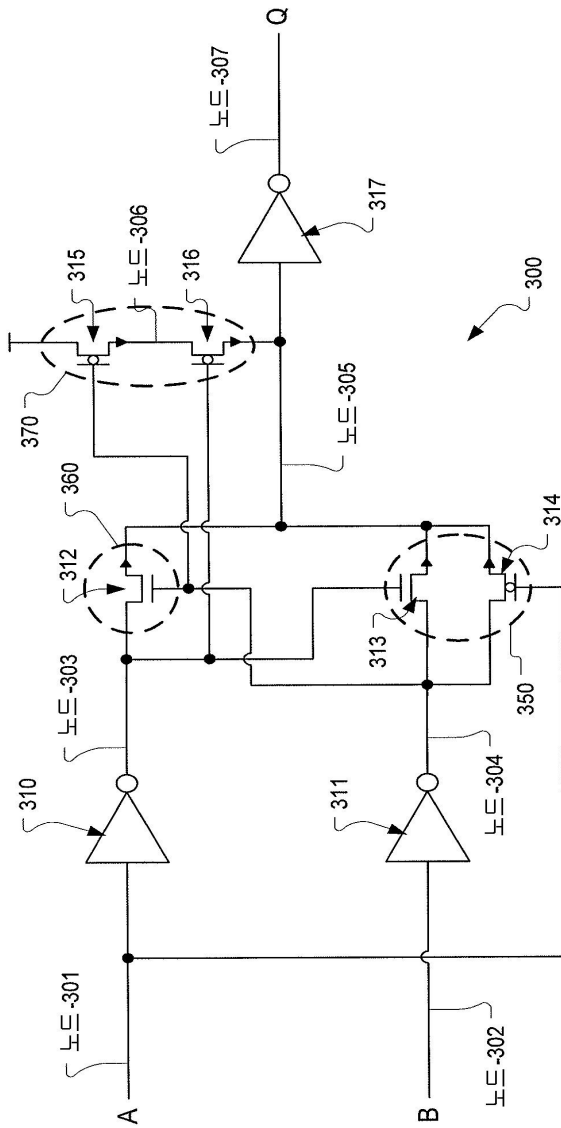
도면2e

A (노드 -201)	1
B (노드 -202)	1
Q (노드 -207)	1
노드 -203	0
노드 -204	0
노드 -205	0
노드 -206	0

도면2f



도면3a



도면3b

A (노드 -301)	0
B (노드 -302)	0
Q (노드 -307)	0
노드 -303	1
노드 -304	1
노드 -305	1
노드 -306	0

도면3c

A (노드 -301)	0
B (노드 -302)	1
Q (노드 -307)	1
노드 -303	1
노드 -304	0
노드 -305	0
노드 -306	1

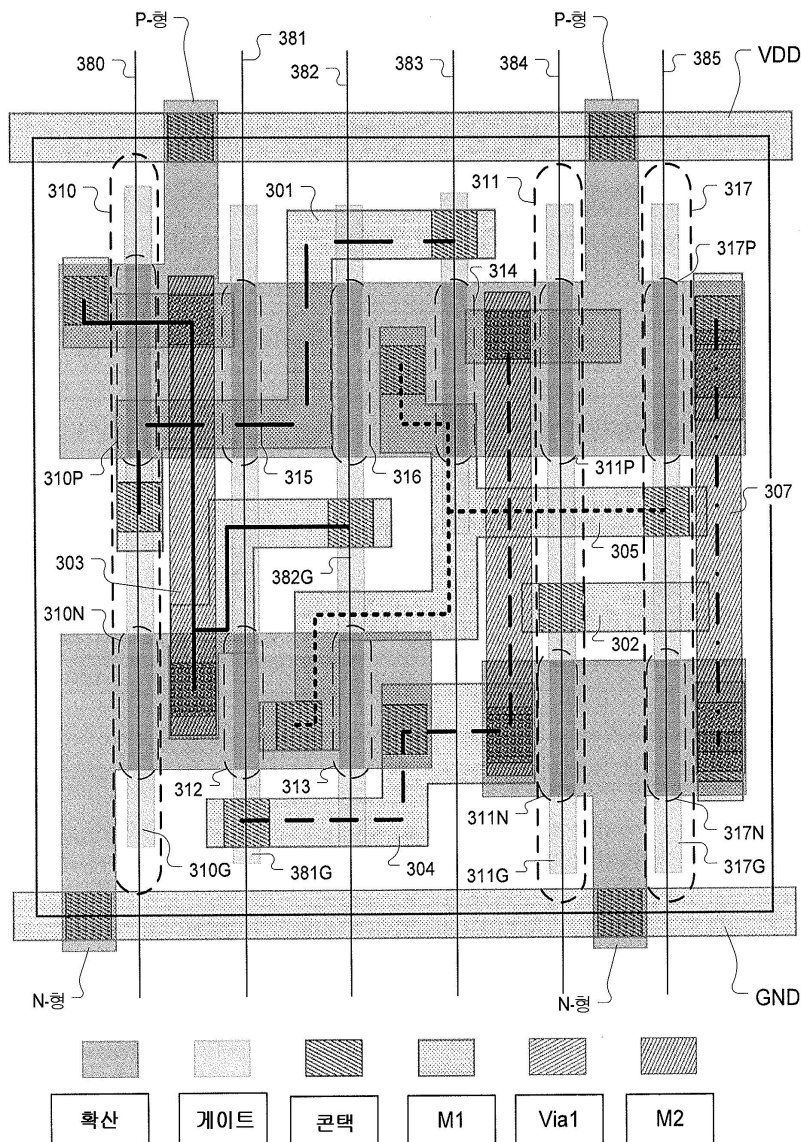
도면3d

A (노드 -301)	1
B (노드 -302)	0
Q (노드 -307)	1
노드 -303	0
노드 -304	1
노드 -305	0
노드 -306	0

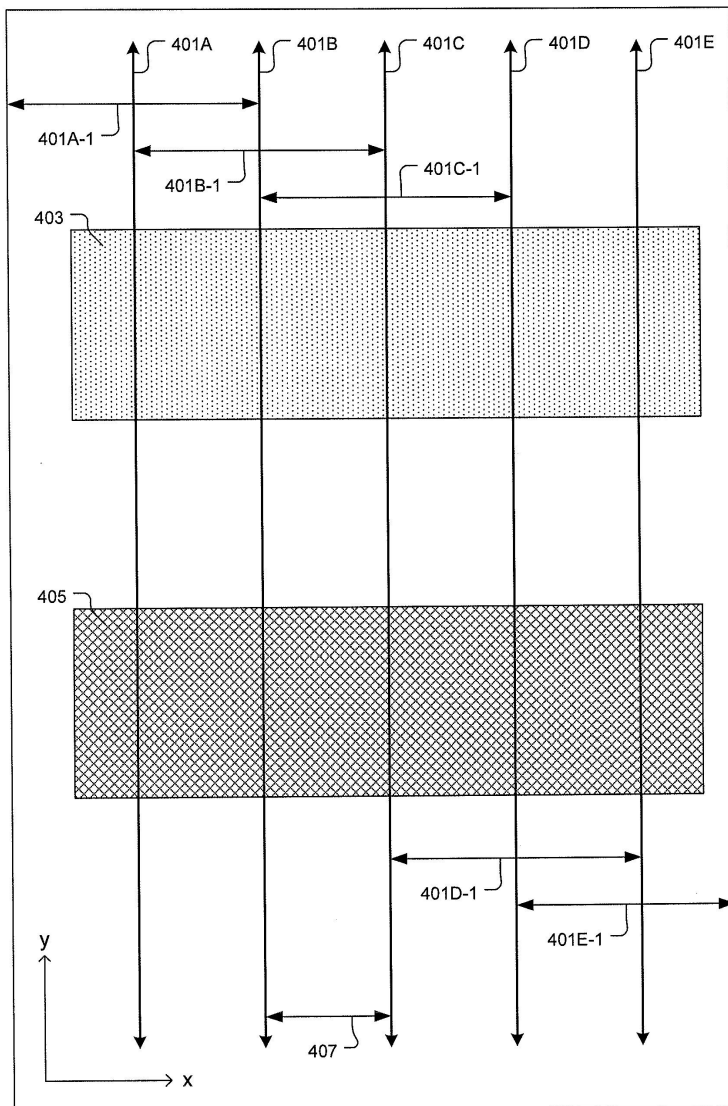
도면3e

A (노드 -301)	1
B (노드 -302)	1
Q (노드 -307)	0
노드 -303	0
노드 -304	0
노드 -305	1
노드 -306	1

도면3f



도면4a



도면4b

