

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 9 月 7 日(07.09.2012)



(10) 国際公開番号
WO 2012/117959 A1

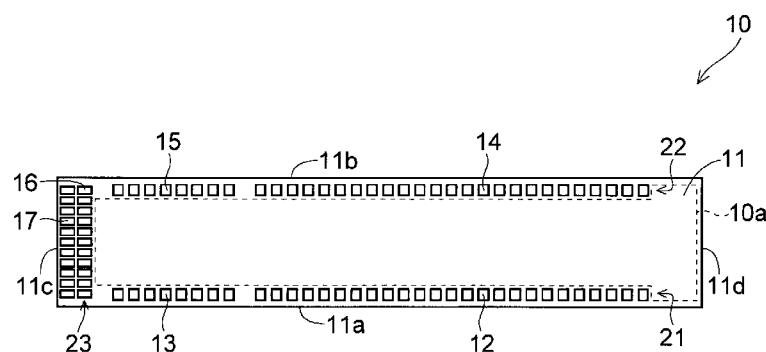
- (51) 国際特許分類:
H01L 21/60 (2006.01) *G09F 9/00* (2006.01)
G02F 1/1345 (2006.01)
- (21) 国際出願番号: PCT/JP2012/054548
- (22) 国際出願日: 2012 年 2 月 24 日(24.02.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-044823 2011 年 3 月 2 日(02.03.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 松井 隆司
(MATSUI Takashi). 塩田 素二(SHIOTA Motoji). 長
岡 元(NAGAOKA Gen). 中濱 裕喜(NAKAHAMA
Hiroki). 森 康夫(MORI Yasuo). 青田 圭司(AOTA
Keiji). 宮崎 弘規(MIYAZAKI Hiroki).
- (74) 代理人: 佐野 静夫(SANO Shizuo); 〒5400032 大阪
府大阪市中央区天満橋京町 2 - 6 天満橋八千代
ビル別館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR ELEMENT AND DISPLAY PANEL

(54) 発明の名称: 半導体素子および表示パネル

[図2]



(57) Abstract: Provided is a semiconductor element capable of suppressing reduction in connection reliability while suppressing increase in size. This semiconductor element (10) comprises: long-side electrode strings (21 and 22) each arranged along long sides (11a and 11b); a short-side electrode string (23) arranged along a short side (11c); and a plurality of sub-electrodes (17) arranged along the short-side electrode string and positioned further on the outside than the short-side electrode string. The sub-electrodes are electrically connected to a bump electrode (16) in the short-side electrode string or are formed by a dummy electrode.

(57) 要約: 大型化するのを抑制しながら、接続信頼性が低下するのを抑制することが可能な半導体素子を提供する。この半導体素子(10)は、長辺(11aおよび11b)に沿ってそれぞれ配列される長辺側電極列(21および22)と、短辺(11c)に沿って配列される短辺側電極列(23)と、短辺側電極列よりも外側に配置され、短辺側電極列に沿って配列される複数のサブ電極(17)と、を備える。サブ電極は短辺側電極列のバンプ電極(16)に電気的に接続され、または、ダミー電極により形成されている。

WO 2012/117959 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体素子および表示パネル

技術分野

[0001] この発明は、半導体素子および表示パネルに関し、特に、列状に配置される複数の電極を備えた半導体素子および表示パネルに関する。

背景技術

[0002] 従来、様々な装置に表示パネルが用いられている。表示パネルは画像を表示するパネルと、パネルに実装されパネルを駆動するドライバ（半導体素子）とを含んでいる。なお、本明細書中において半導体素子とは半導体基板上に配線、回路素子および電極などが形成されたものをいう。パネルに実装される半導体素子（ドライバ）には、通常、2辺（2つの長辺）または4辺（2つの長辺および2つの短辺）に沿って配列された電極が設けられている。図11は、従来の一例による半導体素子を備えた表示パネルの構造を示した断面図である。図12は、図11の半導体素子の構造を示した平面図である。

[0003] 従来の一例による表示パネル101は図11に示すように、半導体素子110と、半導体素子110が実装された透明基板からなるパネル（素子実装部材）120とを備えている。この半導体素子110は図12に示すように、2つの長辺111aおよび111bと、2つの短辺111cおよび111dとを有する長形状の主表面111を含んでいる。主表面111上には、長辺111aおよび111bに沿って複数のバンプ電極112および複数のバンプ電極113がそれぞれ配列されている。

[0004] また、半導体素子110とパネル120との間には導電粒子を含有するACF（異方性導電フィルム）（図示せず）が配置されており、熱圧着により半導体素子110がパネル120に実装されている。

[0005] しかしながら、半導体素子110には図11に示すように、熱圧着後の熱収縮により反りが発生する。この反りは半導体素子110のコーナー部（特

に短辺部分)で最も大きくなり、導電粒子に対する押圧力が小さくなるとともに導電粒子の変形(圧縮)率が不足する。このため、半導体素子110とパネル120との間で十分な接続が得られない場合がある。

[0006] ところで、近年、タッチパネル方式の液晶モジュールが実用化されている。そして、モジュール構造の簡素化およびノイズ対策のために、液晶駆動用の液晶ドライバ(半導体素子)にタッチパネル駆動用の回路を組み込んだTP(タッチパネル)駆動用回路一体型の液晶ドライバが開発されている。ここで、2つの長辺に沿って液晶駆動用のバンプ電極が配列された液晶ドライバに、タッチパネル駆動用の回路を組み込む場合、タッチパネル駆動用のバンプ電極を1つの短辺に沿って配列する場合がある。すなわち、TP駆動用回路一体型の液晶ドライバでは、主表面の3辺(2つの長辺および1つの短辺)に沿ってバンプ電極が配列される場合がある。

[0007] このように3辺に沿ってバンプ電極が配列されていると、残りの1辺にバンプ電極が形成されていないためバンプ電極の形成密度に偏りが生じる。このため、半導体素子をパネルに熱圧着する際の圧力が不均一になり、短辺部分のバンプ電極の導電粒子への加圧が不十分になりやすい。これにより、特に、3辺に沿ってバンプ電極が形成された半導体素子では、熱収縮により半導体素子に反りが発生した場合に、半導体素子(短辺部分のバンプ電極)とパネルとの間で十分な接続が得られにくい。

[0008] そこで、バンプ電極の形成密度の偏りを抑制するために、バンプ電極が形成されていない1辺(短辺)にダミーバンプ電極を設け、4辺にバンプ電極を配置することが考えられる。このように構成すれば、バンプ電極の形成密度の偏りを抑制でき、半導体素子とパネルとの間の接続信頼性が低下するのをある程度抑制することが可能である。

[0009] なお、バンプ電極の形成密度の偏りを抑制するためにダミーバンプ電極を設け、4辺にバンプ電極を配置した半導体素子は、例えば特許文献1に開示されている。

先行技術文献

特許文献

[0010] 特許文献1：特開平9－68715号公報

発明の概要

発明が解決しようとする課題

[0011] しかしながら、バンプ電極が形成されていない1辺にバンプ電極を新たに設ける場合、バンプ電極を設けるための領域が必要になるので、半導体素子が大型化するという問題点がある。

[0012] この発明は、上記のような課題を解決するためになされたものであり、この発明の目的は、大型化するのを抑制しながら、接続信頼性が低下するのを抑制することが可能な半導体素子および表示パネルを提供することである。

課題を解決するための手段

[0013] 上記目的を達成するために、この発明の半導体素子は、2つの長辺および2つの短辺を有する長形状の主表面と、2つの長辺に沿ってそれぞれ配列され、複数の機能電極を含む2つの長辺側電極列と、2つの短辺のうちの一方に沿って配列され、複数の機能電極を含む短辺側電極列と、短辺側電極列よりも外側に配置され、短辺側電極列の少なくとも一部に沿って配列される複数のサブ電極と、を備え、サブ電極は短辺側電極列の機能電極に電氣的に接続され、または、ダミー電極により形成されている。

[0014] この半導体素子では、短辺側電極列に沿って複数のサブ電極を配列することによって、短辺側電極列の周辺における電極（機能電極およびサブ電極）と素子実装部材の電極との間の接着面積が大きくなる。

[0015] また、複数のサブ電極を短辺側電極列よりも外側に配置することによって、短辺側電極列と短辺との間のスペースにサブ電極を配置することができる。

[0016] 上記半導体素子において、好ましくは、複数のサブ電極は短辺側電極列の少なくとも端部に沿って配列されている。このように構成すれば、短辺側電極列の少なくとも端部周辺における電極（機能電極およびサブ電極）と素子

実装部材の電極との間の接着面積が大きくなる。

[0017] 上記半導体素子において、好ましくは、サブ電極は短辺側電極列の機能電極に比べて小さい面積を有する。

[0018] 上記サブ電極が短辺側電極列の機能電極に比べて小さい面積を有する半導体素子において、好ましくは、サブ電極の配列方向の幅は短辺側電極列の機能電極の配列方向の幅よりも小さい。このように構成すれば、サブ電極同士の間隔が小さくなるのを抑制することができる。

[0019] 上記サブ電極が短辺側電極列の機能電極に比べて小さい面積を有する半導体素子において、好ましくは、サブ電極の配列方向と交差する方向の長さは短辺側電極列の機能電極の配列方向と交差する方向の長さよりも小さい。このように構成すれば、短辺側電極列と短辺との間のスペースに、サブ電極を容易に配置することができる。

[0020] 上記半導体素子において、好ましくは、サブ電極は短辺側電極列の機能電極に電氣的に接続されている。

[0021] 上記半導体素子において、好ましくは、機能電極およびサブ電極は主表面から突出したバンプ電極を含む。

[0022] 上記半導体素子において、好ましくは、機能電極およびサブ電極は素子実装部材に異方性導電層を介して接続される。

[0023] この発明の表示パネルは、上記の構成の半導体素子を備える。

発明の効果

[0024] 以上のように、本発明によれば、短辺側電極列に沿って複数のサブ電極を配列することによって、短辺側電極列の周辺における電極（機能電極およびサブ電極）と素子実装部材の電極との間の接着面積が大きくなる。これにより、短辺側電極列の周辺における電極と素子実装部材の電極との間の接着強度を大きくすることができるので、半導体素子と素子実装部材との間の接続信頼性が低下するのを抑制することができる。

[0025] また、短辺側電極列（複数の機能電極）の外側にサブ電極を配列することによって、短辺側電極列の機能電極とサブ電極との間に隙間を形成すること

ができる。これにより、サブ電極の接続部分に剥がれや亀裂が生じた場合に、その剥がれや亀裂が短辺側電極列の機能電極に伝わるのを抑制することができる。このため、単に短辺側電極列の機能電極を大きくするよりも機能電極の外側にサブ電極を配置した方が、機能電極の接続が劣化するのを抑制することができる。また、機能電極とサブ電極との間に樹脂が存在することにより、アンカー効果が働きそれぞれの電極での接続部の密着性が向上し、信頼性低下を抑制することができる。

[0026] また、複数のサブ電極を短辺側電極列よりも外側に配置することによって、短辺側電極列と短辺との間のスペースにサブ電極を配置することができる。これにより、半導体素子が大型化するのを抑制することができる。

図面の簡単な説明

[0027] [図1]本発明の第1実施形態による半導体素子を備えた液晶表示パネルの構造を示した側面図である。

[図2]図1の半導体素子の構造を示した平面図である。

[図3]図1の半導体素子の構造を示した拡大平面図である。

[図4]図1の半導体素子のサブ電極周辺の構造を示した拡大平面図である。

[図5]図1のAM基板の構造を示した平面図である。

[図6]第1実施形態による半導体素子の効果を説明するための図である。

[図7]本発明の第2実施形態による半導体素子の構造を示した拡大平面図である。

[図8]図7のサブ電極周辺の構造を示した拡大平面図である。

[図9]本発明の第3実施形態による半導体素子の構造を示した拡大平面図である。

[図10]本発明の変形例による半導体素子のサブ電極周辺の構造を示した拡大平面図である。

[図11]従来の一例による半導体素子を備えた表示パネルの構造を示した断面図である。

[図12]図11の半導体素子の構造を示した平面図である。

発明を実施するための形態

[0028] 以下、本発明の実施形態について図面を参照して説明する。

[0029] (第1実施形態)

図1～図5を参照して、本発明の第1実施形態による半導体素子10を備えた液晶表示パネル1の構造について説明する。

[0030] 本発明の第1実施形態による液晶表示パネル(表示パネル)1は液晶表示装置(図示せず)に用いられるものである。また、液晶表示パネル1は図1に示すように、半導体素子10と、半導体素子10が実装されたパネル(素子実装部材)40とを備えている。パネル40は、いずれもガラス基板からなるAM基板(アクティブマトリックス基板)41と対向基板42とを合わせて構成されている。また、AM基板41と対向基板42との間には、図示しない液晶が封入されている。AM基板41は対向基板42よりも面積が大きく、一部が対向基板42からはみ出している。AM基板41のはみ出し部分に半導体素子10が実装されている。半導体素子10とパネル40との間には、ACF(異方性導電フィルム(異方性導電層))70が配置されている。対向基板42はタッチパネルとして機能し、対向基板42の主表面42aには図示しない電極が形成されている。

[0031] 半導体素子10は液晶駆動用の液晶ドライバにタッチパネル駆動用の回路を組み込んだTP(タッチパネル)駆動用回路一体型の液晶ドライバである。半導体素子10には図示しない配線や回路素子などが形成されており、この回路素子に後述するバンプ電極(12～16)が電氣的に接続されている。また、半導体素子10は図2に示すように、2つの長辺11aおよび11bと2つの短辺11cおよび11dとを有する長形状の主表面11を含んでいる。

[0032] 主表面11上には、長辺11aに沿って(隣接して)配列された複数の出力バンプ電極12および複数のバンプ電極13が設けられている。また、主表面11上には、長辺11bに沿って配列された複数の複数の入力バンプ電極14および複数のバンプ電極15が設けられている。また、主表面11上

には、短辺 1 1 c に沿って配列された複数のバンプ電極 1 6 が設けられている。すなわち、出力バンプ電極 1 2、バンプ電極 1 3、入力バンプ電極 1 4、バンプ電極 1 5 および 1 6 は、主表面 1 1 の周縁部に配置されているとともに、3 辺 (1 1 a ~ 1 1 c) のみに沿って配列されている。なお、出力バンプ電極 1 2、バンプ電極 1 3、入力バンプ電極 1 4、バンプ電極 1 5 および 1 6 は本発明の「機能電極」および「バンプ電極」の一例である。

[0033] 出力バンプ電極 1 2 および入力バンプ電極 1 4 は液晶駆動用の電極であり、バンプ電極 1 3、1 5 および 1 6 はタッチパネル駆動用の電極である。

[0034] バンプ電極 (1 2 ~ 1 6) は主表面 1 1 から突出するように形成されている。また、バンプ電極 (1 2 ~ 1 6) は狭ピッチで配置されており、バンプ電極同士の間隔は例えば 15 μm 程度である。

[0035] また、複数の出力バンプ電極 1 2 および複数のバンプ電極 1 3 により長辺側電極列 2 1 が構成されており、複数の入力バンプ電極 1 4 および複数のバンプ電極 1 5 により長辺側電極列 2 2 が構成されている。また、複数のバンプ電極 1 6 により短辺側電極列 2 3 が構成されている。

[0036] ここで、主表面 1 1 上には、短辺側電極列 2 3 (複数のバンプ電極 1 6) に沿って複数のサブ電極 1 7 が配列されている。具体的には、複数のサブ電極 1 7 は、短辺側電極列 2 3 と短辺 1 1 c との間のスペースに配列されている。すなわち、複数のサブ電極 1 7 は、短辺側電極列 2 3 の外側に配列されている。なお、サブ電極 1 7 も、主表面 1 1 から突出したバンプ電極により形成されている。

[0037] また、サブ電極 1 7 は隣接するバンプ電極 1 6 に電氣的に接続されている。なお、サブ電極 1 7 はダミー電極 (液晶表示パネル 1 の駆動に寄与しない電極) であってもよい。

[0038] サブ電極 1 7 は図 3 に示すように、バンプ電極 1 6 と同じピッチで配列されている。また、サブ電極 1 7 はバンプ電極 1 6 と同じ面積 (幅、長さ) に形成されている。また、サブ電極 1 7 は長辺側電極列 2 1 および 2 2 よりも辺の近くに配置されている。すなわち、サブ電極 1 7 と短辺 1 1 c との間隔

距離D 1は、長辺側電極列2 1と長辺1 1 aとの間の距離D 2、および、長辺側電極列2 2と長辺1 1 bとの間の距離D 3よりも小さい。

[0039] また、図4に示すように、サブ電極1 7とバンプ電極1 6との間の距離D 4は、バンプ電極1 6同士の間との距離D 5よりも小さい。

[0040] また、半導体素子1 0には図2に示すように、回路形成領域1 0 aが設けられている。この回路形成領域1 0 aはバンプ電極(1 2～1 6)や主表面1 1の辺(1 1 a～1 1 d)から所定の距離を隔てて設けられている。

[0041] パネル4 0のAM基板4 1には図5に示すように、半導体素子1 0の電極に対応する複数のパッド電極が設けられている。具体的には、AM基板4 1には、出力バンプ電極1 2、バンプ電極1 3、入力バンプ電極1 4、バンプ電極1 5、1 6およびサブ電極1 7にそれぞれ対応する位置に、パッド電極5 1、5 2、5 3、5 4、5 5および5 6が設けられている。パッド電極5 1は出力バンプ電極1 2と例えば同じピッチ、同じ幅、同じ面積で形成されている。パッド電極5 2～5 6も同様である。なお、半導体素子1 0はフェイスダウンでAM基板4 1に実装されるので、パッド電極5 1～5 6は半導体素子1 0の電極(1 2～1 7)を反転した位置に形成されている。

[0042] また、パッド電極5 2、5 4および5 5には引出し配線が接続されており、引出し配線には図示しない電極が接続されている。この図示しない電極はFPC(Flexible Printed Circuit)などを介して対向基板4 2の主表面4 2 aの電極に接続されている。

[0043] なお、AM基板4 1(パネル4 0)に半導体素子1 0を実装する場合、半導体素子1 0とAM基板4 1との間にACF 7 0を挟み込んで熱圧着する。このとき、ACF 7 0に含有される導電粒子の一部は、半導体素子1 0に押圧されることにより、バンプ電極(1 2～1 6)同士の間やサブ電極1 7同士の間を通過して外側に押し出される。

[0044] 本実施形態では、上記のように、短辺側電極列2 3に沿って複数のサブ電極1 7を配列する。これにより、短辺側電極列2 3の周辺における電極(バンプ電極1 6およびサブ電極1 7)とパネル4 0の電極(パッド電極5 5お

よび56)との間の接着面積を大きくするとともに接着強度を大きくすることができる。その結果、半導体素子10とパネル40との間の接続信頼性が低下するのを抑制することができる。

[0045] また、サブ電極17を短辺側電極列23よりも外側に配置することによって、短辺側電極列23と短辺11cとの間のスペースにサブ電極17を配置することができる。これにより、半導体素子10が大型化するのを抑制することができる。具体的には図6に示すように、短辺11c側にサブ電極17を設けない場合に比べて、半導体素子10の短辺11c側を距離D10だけ大きくすればよい。その一方、半導体素子210のように、バンプ電極の形成密度の偏りを抑制するためにサブ電極17を短辺11d側に配置した場合、半導体素子210の短辺11d側を距離D10よりも大きい距離D210だけ大きくする必要がある。なお、距離D210はサブ電極17の長さ(配列方向と交差する方向の長さ)よりも当然大きくなる。

[0046] また、サブ電極17を短辺側電極列23よりも外側に配置することによって、サブ電極17とパネル40との間の接続が劣化する前に、バンプ電極16とパネル40との間の接続が劣化するのを抑制することができる。なお、バンプ電極16とパネル40との間の接続が劣化しなければ、サブ電極17とパネル40との間の接続が劣化しても問題ない。このため、サブ電極17の一部が例えば欠けてもよいので、サブ電極17を短辺11cに近づけることができる。その結果、半導体素子10が大型化するのをより抑制することができる。

[0047] また、バンプ電極16の外側にサブ電極17を配置することによって、バンプ電極16とサブ電極17との間に隙間を形成することができる。これにより、サブ電極17の接続部分に剥がれや亀裂が生じた場合に、その剥がれや亀裂がバンプ電極16の接続部分に伝わるのを抑制することができる。このため、単にバンプ電極16を大きくするよりもバンプ電極16の外側にサブ電極17を配置した方が、バンプ電極16の接続が劣化するのを抑制することができる。また、バンプ電極16とサブ電極17との間に樹脂(ACF

70)が存在することにより、アンカー効果が働きそれぞれの電極での接続部の密着性が向上し、信頼性低下を抑制することができる。

[0048] また、半導体素子10とパネル40との間の接続は特に半導体素子10のコーナー部（短辺側電極列23の端部）から劣化しやすい。このため、サブ電極17を短辺側電極列23の少なくとも端部に沿って配列することによって、短辺側電極列23の端部の接続の劣化を抑制することができ、効果的である。

[0049] また、サブ電極17はバンプ電極16に電氣的に接続されている。これにより、サブ電極17およびバンプ電極16の一方の、パネル40に対する接続が劣化したとしても、他方がパネル40に電氣的に接続されていれば、液晶表示パネル1が誤動作するのを抑制することができる。

[0050] なお、サブ電極17がバンプ電極16に電氣的に接続されている場合であっても、ダミー電極により形成されている場合であっても、導電粒子によりバンプ電極16とサブ電極17とが電氣的につながることによって半導体素子10が誤動作することはない。このため、サブ電極17をバンプ電極16に近づけて形成することができるので、半導体素子10の短辺11c側が大きくなるのを抑制できる。

[0051] （第2実施形態）

この第2実施形態では図7および図8を参照して、上記第1実施形態と異なり、サブ電極17がバンプ電極16よりも小さい面積を有する場合について説明する。

[0052] 本発明の第2実施形態による半導体素子10では図7に示すように、サブ電極17はバンプ電極16よりも小さい面積を有する。具体的には図8に示すように、サブ電極17の配列方向（A方向）の幅W17はバンプ電極16の配列方向（A方向）の幅W16よりも小さい。また、サブ電極17の配列方向と交差する方向（B方向）の長さL17はバンプ電極16の配列方向と交差する方向（B方向）の長さL16よりも小さい。

[0053] なお、第2実施形態のその他の構造は、上記第1実施形態と同様である。

[0054] 本実施形態では、上記のように、サブ電極 17 の幅 W_{17} をバンプ電極 16 の幅 W_{16} よりも小さくすることによって、サブ電極 17 同士の間隔が小さくなるのを抑制することができる。これにより、ACF 70 を介して半導体素子 10 をパネル 40 に熱圧着する際に、ACF 70 に含有された導電粒子がサブ電極 17 同士の間を通過しにくくなるのを抑制することができる。このため、バンプ電極 16 同士の間やサブ電極 17 同士の間で導電粒子の流動性が低下して凝集するのを抑制することができる。その結果、バンプ電極 16 同士の間やサブ電極 17 同士の間で短絡が発生するのを抑制することができるので、半導体素子 10 の接続信頼性が低下するのをより抑制することができる。なお、図 8 の破線の矢印は ACF 70 に含有される導電粒子の、熱圧着時の動きを示している。

[0055] また、サブ電極 17 の長さ L_{17} をバンプ電極 16 の長さ L_{16} よりも小さくすることによって、第 2 実施形態では、短辺 11c 側を大きくする必要がなく、上記第 1 実施形態に比べて半導体素子 10 を小型化することができる。

[0056] また、サブ電極 17 の長さ L_{17} をバンプ電極 16 の長さ L_{16} よりも小さくすることによって、熱圧着の際に導電粒子が通過する領域（バンプ電極 16 同士の間およびサブ電極 17 同士の間）が長くなるのを抑制することができる。これにより、バンプ電極 16 同士の間やサブ電極 17 同士の間で導電粒子の流動性が低下して凝集するのをより抑制することができる。

[0057] なお、第 2 実施形態のその他の効果は、上記第 1 実施形態と同様である。

[0058] (第 3 実施形態)

第 3 実施形態による半導体素子 10 では図 9 に示すように、サブ電極 17 は短辺側電極列 23（複数のバンプ電極 16）の端部のみに沿って配列されている。このように、サブ電極 17 を短辺側電極列 23 の端部のみに沿って配列した場合であっても、短辺側電極列 23 の端部の接続が劣化するのを容易に抑制することが可能である。なお、サブ電極 17 は上記第 1 実施形態と同様にバンプ電極 16 と同じ面積を有してもよいし、上記第 2 実施形態と同

様にバンプ電極 16 よりも小さい面積を有してもよい。

[0059] 第3実施形態のその他の構造および効果は、上記第1および第2実施形態と同様である。

[0060] なお、今回開示された実施形態は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施形態の説明ではなく請求の範囲によって示され、さらに請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。

[0061] たとえば、上記実施形態では、表示パネルを液晶表示パネルに適用した例について示したが、本発明はこれに限らず、液晶表示パネル以外の表示パネルに適用してもよい。

[0062] また、上記実施形態では、半導体素子をパネルに実装する例について示したが、本発明はこれに限らない。半導体素子をパネル以外の素子実装部材に実装してもよい。

[0063] また、上記第2実施形態では、サブ電極の幅および長さをバンプ電極の幅および長さよりも小さくした例について示したが、本発明はこれに限らない。サブ電極の幅および長さの一方のみを、バンプ電極の幅および長さの一方よりも小さくしてもよい。

[0064] また、上記実施形態では、バンプ電極 16（12～15も同様）が1列状に配列されている例について示したが、本発明はこれに限らない。例えば図10に示した本発明の変形例による半導体素子のように、バンプ電極 16 が2列状に配列されている場合にも適用可能である。

[0065] また、上記実施形態では、サブ電極 17 がバンプ電極 16 と同じ面積または小さい面積を有する例について示したが、本発明はこれに限らず、サブ電極 17 がバンプ電極 16 に比べて大きい面積を有してもよい。

[0066] また、上記実施形態では、サブ電極を短辺側電極列のみに沿って配列した例について示したが、本発明はこれに限らない。すなわち、短辺側電極列に沿って配列されるサブ電極と、長辺側電極列に沿って配列されるサブ電極とを設けてもよい。

[0067] また、上記実施形態では、半導体素子をパネルに実装する場合にＡＣＦを用いた例について示したが、本発明はこれに限らない。半導体素子をパネルに実装する場合にＡＣＰ（異方性導電ペースト（異方性導電層））を用いてもよい。

[0068] また、上記実施形態では、半導体素子にバンプ電極を設け、パネル（素子実装部材）にパッド電極を設けた例について示したが、本発明はこれに限らず、半導体素子にパッド電極を設け、素子実装部材にバンプ電極を設けてもよい。なお、半導体素子にバンプ電極を形成する方がパネルにパッド電極を形成するよりも簡単にできるので、半導体素子にバンプ電極を形成する方が好ましい。

符号の説明

- [0069] １ 液晶表示パネル（表示パネル）
 １０ 半導体素子
 １１ 主表面
 １１ａ、１１ｂ 長辺
 １１ｃ、１１ｄ 短辺
 １２ 出力バンプ電極（機能電極、バンプ電極）
 １３、１５、１６ バンプ電極（機能電極）
 １４ 入力バンプ電極（機能電極、バンプ電極）
 １７ サブ電極（ダミー電極、バンプ電極）
 ２１、２２ 長辺側電極列
 ２３ 短辺側電極列
 ４０ パネル（素子実装部材）
 ７０ ＡＣＦ（異方性導電層）
 Ｌ１６、Ｌ１７ 長さ
 Ｗ１６、Ｗ１７ 幅

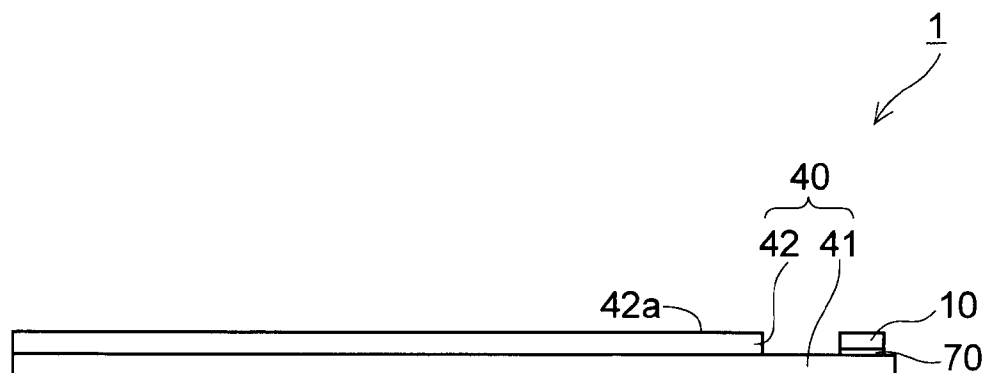
請求の範囲

- [請求項1] 2つの長辺および2つの短辺を有する長形状の主表面と、
前記2つの長辺に沿ってそれぞれ配列され、複数の機能電極を含む
2つの長辺側電極列と、
前記2つの短辺のうちの一方に沿って配列され、複数の機能電極を
含む短辺側電極列と、
前記短辺側電極列よりも外側に配置され、前記短辺側電極列の少な
くとも一部に沿って配列される複数のサブ電極と、
を備え、
前記サブ電極は前記短辺側電極列の前記機能電極に電氣的に接続さ
れ、または、ダミー電極により形成されていることを特徴とする半導
体素子。
- [請求項2] 前記複数のサブ電極は前記短辺側電極列の少なくとも端部に沿って
配列されていることを特徴とする請求項1に記載の半導体素子。
- [請求項3] 前記サブ電極は前記短辺側電極列の機能電極に比べて小さい面積を
有することを特徴とする請求項1または2に記載の半導体素子。
- [請求項4] 前記サブ電極の配列方向の幅は前記短辺側電極列の機能電極の配列
方向の幅よりも小さいことを特徴とする請求項3に記載の半導体素子
。
- [請求項5] 前記サブ電極の配列方向と交差する方向の長さは前記短辺側電極列
の機能電極の配列方向と交差する方向の長さよりも小さいことを特徴
とする請求項3または4に記載の半導体素子。
- [請求項6] 前記サブ電極は前記短辺側電極列の機能電極に電氣的に接続されて
いることを特徴とする請求項1～5のいずれか1項に記載の半導体素
子。
- [請求項7] 前記機能電極および前記サブ電極は前記主表面から突出したバンプ
電極を含むことを特徴とする請求項1～6のいずれか1項に記載の半
導体素子。

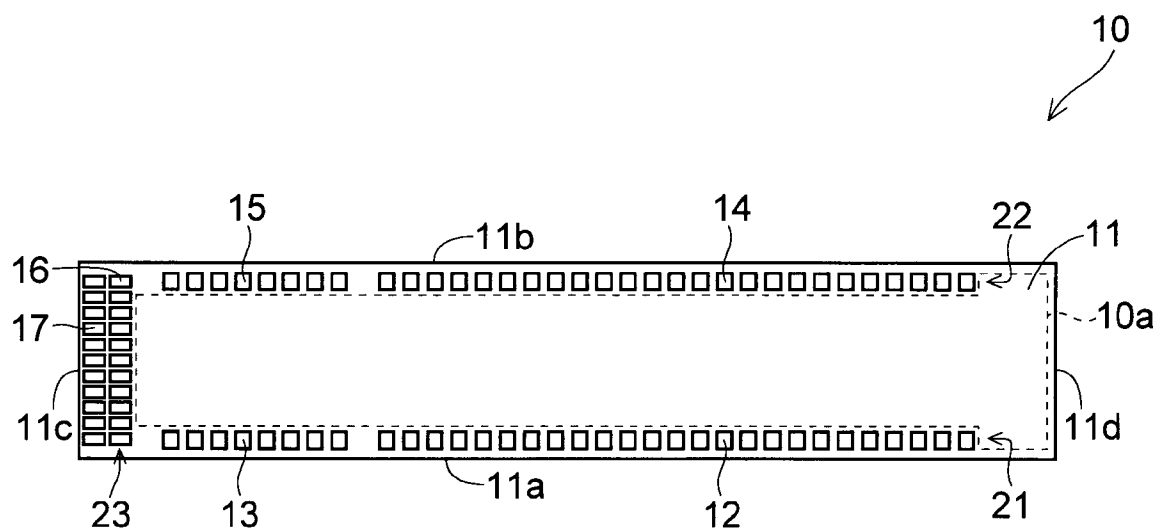
[請求項8] 前記機能電極および前記サブ電極は素子実装部材に異方性導電層を介して接続されることを特徴とする請求項1～7のいずれか1項に記載の半導体素子。

[請求項9] 請求項1～8のいずれか1項に記載の半導体素子を備えることを特徴とする表示パネル。

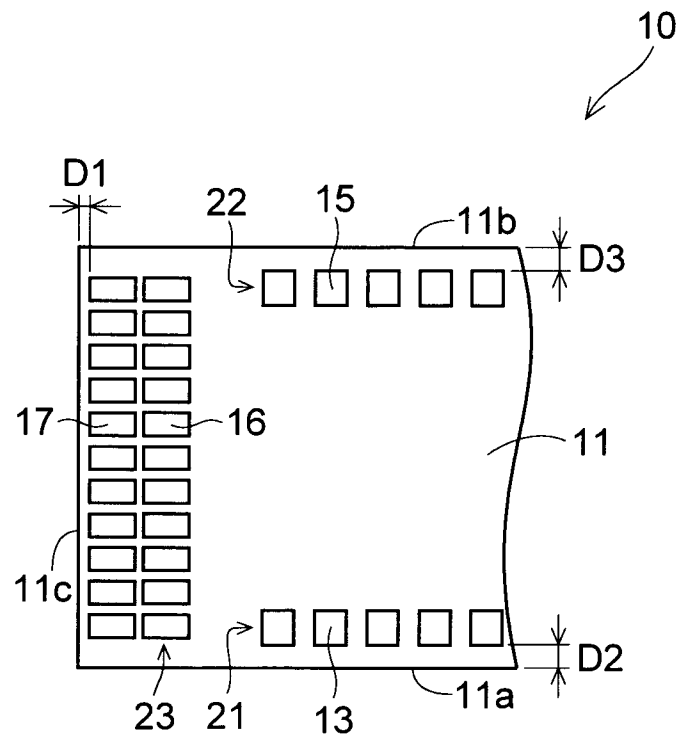
[図1]



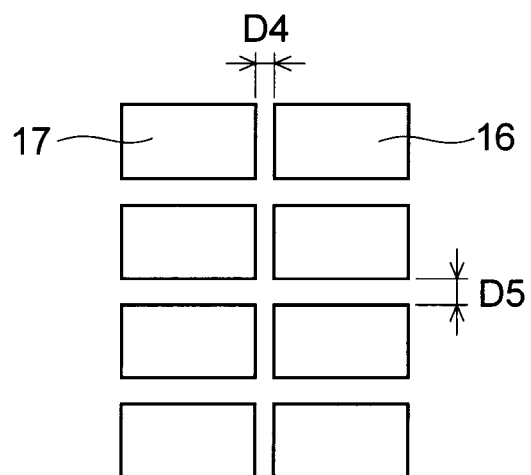
[図2]



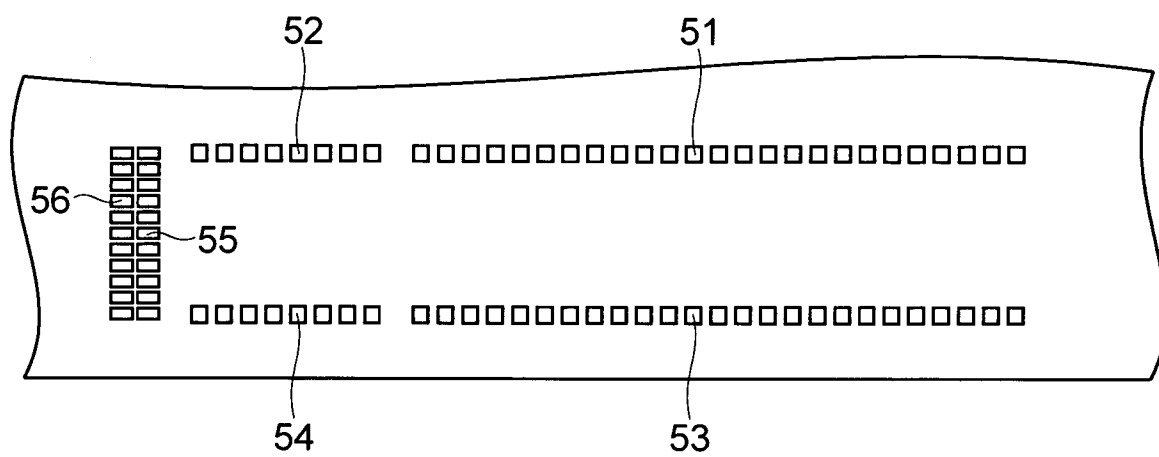
[図3]



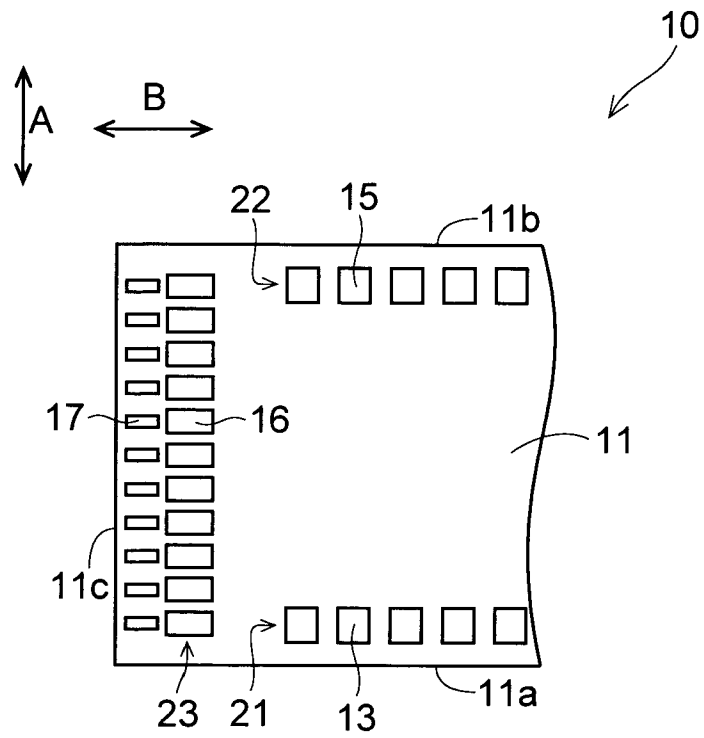
[図4]



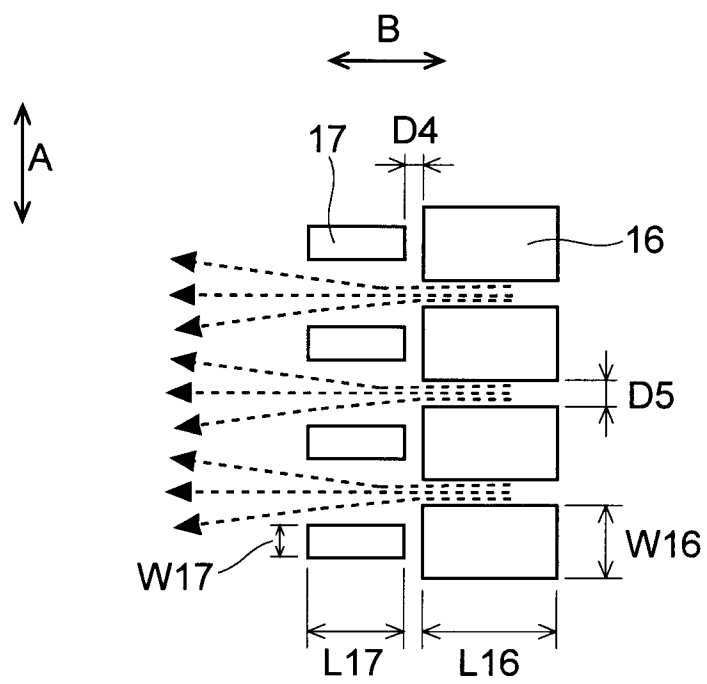
41(40)



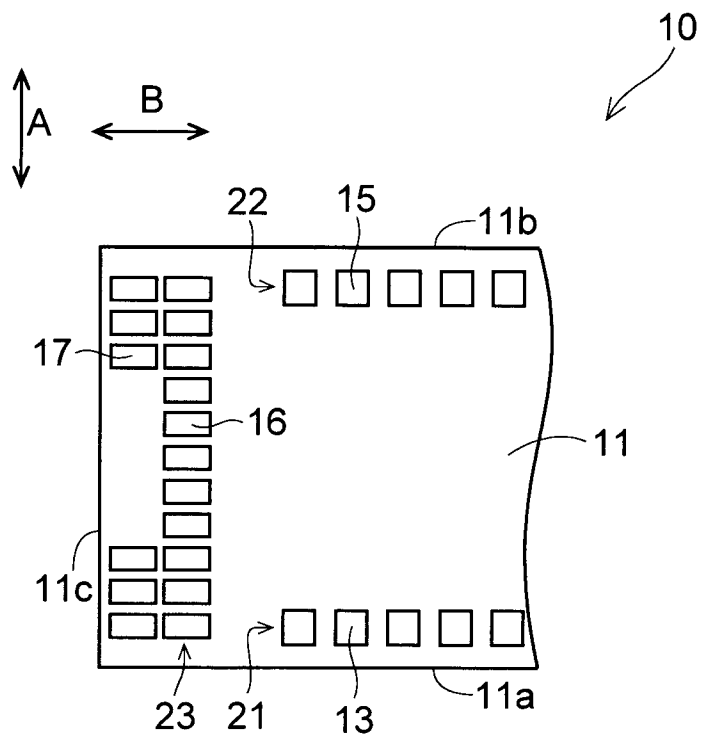
[図7]



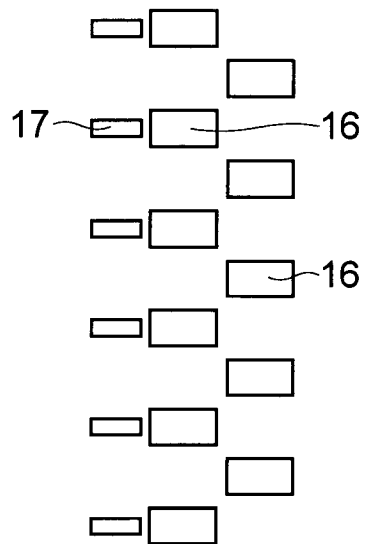
[図8]



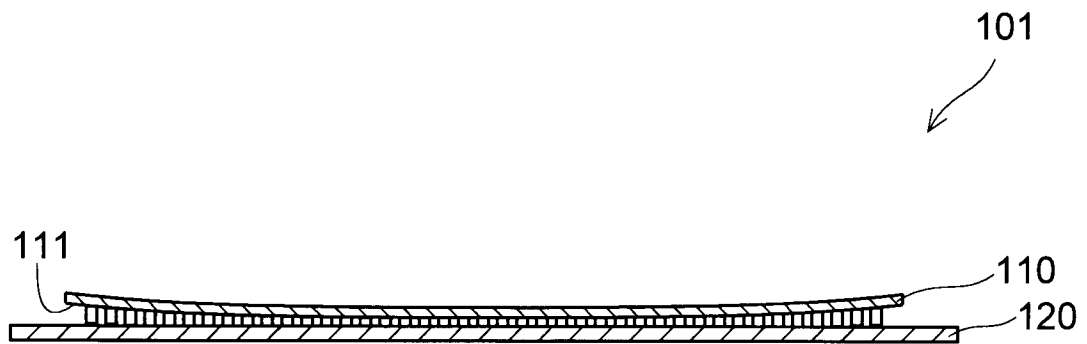
[図9]



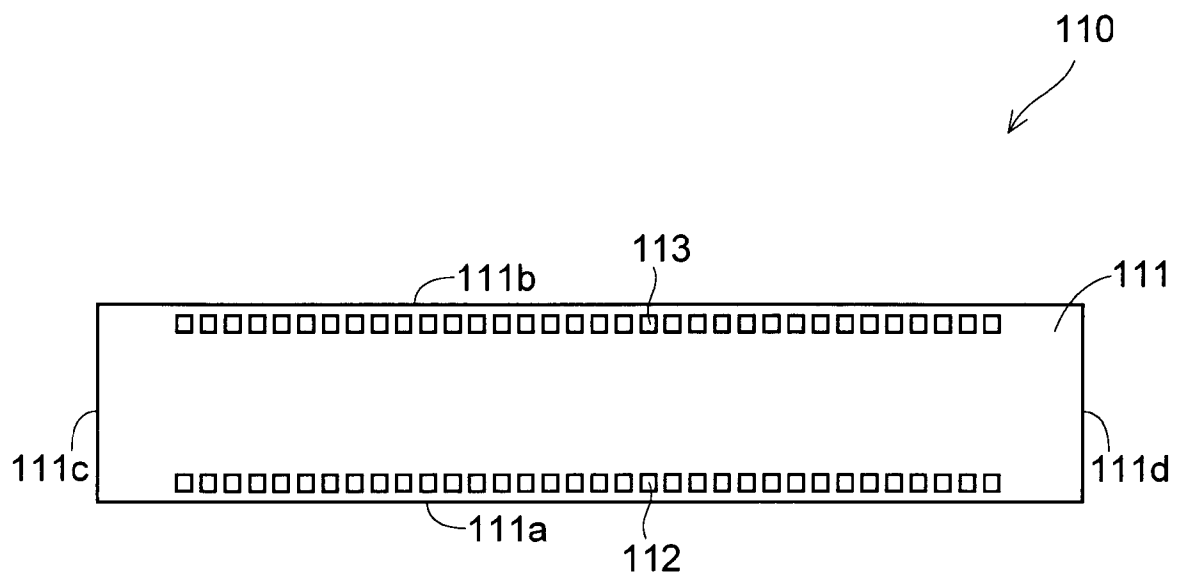
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054548

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/60(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/60, G02F1/1345, G09F9/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-057375 A (Casio Computer Co., Ltd.), 27 February 2001 (27.02.2001), fig. 1 to 2; paragraphs [0007] to [0013] (Family: none)	1-2, 6-9 3-5
Y	JP 2002-196353 A (Hitachi, Ltd.), 12 July 2002 (12.07.2002), fig. 1 to 7; paragraphs [0006] to [0049] & US 2002/0080318 A1 & TW 583485 B & KR 10-2002-0052970 A & CN 1361512 A	3-5
A	JP 2008-172117 A (Epson Imaging Devices Corp.), 24 July 2008 (24.07.2008), fig. 1 to 15; paragraphs [0008] to [0062] (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
05 April, 2012 (05.04.12)

Date of mailing of the international search report
17 April, 2012 (17.04.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/054548

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-252466 A (Samsung Electronics Co., Ltd.), 09 September 2004 (09.09.2004), fig. 1 to 21; paragraphs [0010] to [0127] & US 2004/0165138 A1 & EP 1450405 A2 & KR 10-2004-0075377 A & CN 1523409 A	1-9
A	JP 2005-026682 A (Innolux Display Corp.), 27 January 2005 (27.01.2005), fig. 3 to 6; paragraphs [0006] to [0013] & US 2004/0262035 A1 & TW 243783 U	1-9

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/60(2006.01)i, G02F1/1345(2006.01)i, G09F9/00(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/60, G02F1/1345, G09F9/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2001-057375 A (カシオ計算機株式会社) 2001.02.27, 図1-2, 【0007】-【0013】 (ファミリーなし)	1-2, 6-9 3-5
Y	JP 2002-196353 A (株式会社日立製作所) 2002.07.12, 図1-7, 【0006】-【0049】 & US 2002/0080318 A1 & TW 583485 B & KR 10-2002-0052970 A & CN 1361512 A	3-5

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 5 . 0 4 . 2 0 1 2

国際調査報告の発送日

1 7 . 0 4 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

越本 秀幸

4 R

4 0 3 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2008-172117 A (エプソンイメージングデバイス株式会社) 2008.07.24, 図1-15, 【0008】-【0062】 (ファミリーなし)	1-9
A	JP 2004-252466 A (三星電子株式会社) 2004.09.09, 図1-21, 【0010】-【0127】 & US 2004/0165138 A1 & EP 1450405 A2 & KR 10-2004-0075377 A & CN 1523409 A	1-9
A	JP 2005-026682 A (群創光電股▲ふん▼有限公司) 2005.01.27, 図3-6, 【0006】-【0013】 & US 2004/0262035 A1 & TW 243783 U	1-9