

# 公告本

申請日期	91. 2. 27
案 號	91102610
類 別	101L 29/78

A4  
C4

544933

(以上各欄由本局填註)

## 發明專利說明書

一、發明名稱	中文	以一記憶格記憶多值資料之非揮發性半導體記憶裝置
	英文	NON-VOLATILE SEMICONDUCTOR MEMORY DEVICE ADAPTED TO STORE A MULTI-VALUED DATA IN A SINGLE MEMORY CELL
二、發明人	姓名	1. 田中 智晴 TOMOHARU TANAKA 2. 陳江 JIAN CHEN
	國籍	1. 日本 JAPAN      2. 美國 U.S.A.
	住、居所	1. 日本國神奈川縣橫濱市港南區大久保2丁目13-21 105號室 105, FURORA KAMIOOKA, 13-21, OKUBO 2-CHOME, KONAN-KU, YOKOHAMA-SHI, KANAGAWA-KEN, JAPAN 2. 美國加州聖瓊斯市加仕多葛蘭大道5476號 5476 CASTLE GLEN AVE. SAN JOSE, CA, 95129, U.S.A.
三、申請人	姓名 (名稱)	1. 日商東芝股份有限公司 KABUSHIKI KAISHA TOSHIBA 2. 美商聖地斯克公司 SANDISK CORPORATION
	國籍	1. 日本 JAPAN 2. 美國 U.S.A.
	住、居所 (事務所)	1. 日本國東京都港區芝浦1丁目1番1號 1-1, SHIBAURA 1-CHOME, MINATO-KU, TOKYO, JAPAN 2. 美國加州桑尼貝市卡斯本可特140號 140 CASPIAN COURT, SUNNYVALE, CA 94089, U.S.A.
	代表人 姓名	1. 岡村 正 TADASHI OKAMURA      2. 艾莉 哈瑞利 ELI HARARI

(由 本 局 填 寫)	承辦人代碼：
	大類：
	I P C 分類：

A6

B6

本案已向：

國（地區）申請專利，申請日期： 案號： ，有 無主張優先權日本 2001年12月27日 特願2001-397446 有 無主張優先權

有關微生物已寄存於： 寄存日期：，寄存號碼：

裝訂線

## 五、發明說明( 1 )

## 發明背景

## 發明範圍

本發明為一種可實施電性資料覆寫之非揮發性半導體記憶裝置，特別為關於能以一記憶格記憶2值以上之多值資料之多值快閃記憶體。

## 相關技藝描述

快閃記憶體中，由於資料的刪除及寫入，致使記憶格電晶體的漂浮閘極(floating gate)的累積電荷量改變，而藉由改變其臨限值來記憶資料。例如，可使負臨限值對應於資料"1"，正臨限值對應於資料"0"。

近年，因為每位元的單價持續下滑，或為了增加記憶容量，目前已開發出能夠以一記憶格記憶複數位元資料之多值快閃記憶體。在能夠使一個記憶格記憶2位元資料的記憶體中，該記憶格具有4個臨限值域，用以對應儲存之資料。

藉由精確地控制記憶格的臨限值，可得到高可靠性的裝置。為了精確地控制臨限值，已有例如"Fast and Accurate Programming Method for Multi-level NAND EEPROMs, pp 129-130, Digest of 1995 Symposium on VLSI Technology"提案之以一定比例提高寫入電壓 $V_{pgm}$ 來寫入資料的方法。

依上述記載之方法，如藉由 $0.2V/10\mu s$ 的比例提高寫入電壓 $V_{pgm}$ 以進行寫入時，原理上每一臨限值的分佈寬度可控制在 $0.2V$ 。一般，寫入電壓 $V_{pgm}$ 係分割成複數個寫入脈衝，且各脈衝的電壓 $V_{pgm}$ 係以一定的比例施以增壓，藉此可得到相同的效果。將各脈衝施加於記憶格後確認其臨限

裝  
訂  
線

## 五、發明說明( 2 )

值，如達到指定的驗證電壓時，結束寫入作業。

另一方面，加工尺寸上也朝微細化發展。為此，記憶格間的距離縮短，即使在多值快閃記憶體中，也同樣引發了許多問題。亦即，隨著微細化的發展，由於漂浮閘極間的距離縮短，導致以下問題發生。

以2個相鄰的記憶格A及B為例，首先同時對2個記憶格進行刪除處理，使兩者分別具有-3V的臨限值。接著，先對記憶格A寫入某一資料，藉此其臨限值會變成例如介於0.5V至1V之間。接著，對記憶格B寫入不同的資料，而使得記憶格B的臨限值介於例如1.5V至2V之間時，由於漂浮閘極相互間的電容量結合，使得記憶格A的漂浮閘極電位下降，且其臨限值上升至例如1V至1.5V。

在本例中，原本記憶格A及B間的臨限值差距(讀取邊際)最小有0.5V。唯，由於漂浮閘極相互間電容量結合，反而使兩記憶格的臨限值差距縮小至0V。亦即，用以區別相異資料的臨限值差縮小，讀取邊際因而消失。

在此依圖1A至圖1C，說明上述預先寫入資料之記憶格的臨限值，如何受到其他記憶格寫入處理的影響而變化的情形。

圖1A為對某一施以刪除處理後之記憶格進行寫入處理後之漂浮閘極FG1上之電荷累積情形。在施以寫入處理的記憶格之漂浮閘極FG1上，有電子累積。圖中係的電子以「-」記號來表示。隨後，對位於上述記憶格兩側之分別具有漂浮閘極FG2及FG3的記憶格進行寫入處理。結果如圖1B

## 五、發明說明（ 3 ）

所示一般，最先施以寫入處理的記憶格的漂浮閘極FG1會發生變化。由於與相鄰之漂浮閘極FG2、FG3間的靜電容量結合，最先施以寫入處理的記憶格的電位下降，且其臨限值會如圖1C所示一般地上升。結果，具有漂浮閘極FG1之記憶格的臨限值的分布會變得相當廣。此外，圖1A及圖1B中的WL，係對分別具有漂浮閘極FG1、FG2及FG3之記憶格設置的字元線(控制閘)。

對於上述問題，有關將臨限值分布寬度控制在窄範圍內的技術，今後將變得非常地重要。

為了避免上述問題，可考慮降低寫入電壓 $V_{pgm}$ 的增壓量 $Dv_{pgm}$ 。例如，將增壓量 $Dv_{pgm}$ 由0.5V降低至0.1V，使得臨限值分布寬度由0.5V減至0.1V，讀取邊際增加0.4V。

唯，由於將增壓量縮小成原來的五分之一，所需的寫入脈衝數將成為原來的5倍，而產生寫入時間為原來5倍的新問題。

如此一般，利用以先前技藝時，如欲確保讀取邊際以提高可靠性時，將會產生寫入時間增加的問題。

### 發明概述

本發明為考量到上述情形者，其目的在於提供一種能夠抑制寫入時間的同時，縮短臨限值分布寬度之高可靠性非揮發性半導體記憶裝置。

本發明之第一特徵在於為一種非揮發性半導體記憶裝置，其係包含：可進行電性資料覆寫之非揮發性半導體記憶格；及一種用以將資料寫入上述記憶格之寫入電路，其

## 五、發明說明( 4 )

係藉由對上述記憶格施加寫入電壓及寫入控制電壓，以進行第一階段的寫入處理，當上述第一階段寫入處理結束後，藉由改變上述寫入控制電壓的供應狀態，對上述記憶格進行第二階段的寫入處理，當上述第二階段寫入處理結束後，再度改變上述寫入控制電壓的供應狀態，以禁止對上述記憶格進行寫入處理者。

本發明之第二特徵在於為一種非揮發性半導體記憶裝置，其係包含：複數個可個別進行電性資料覆寫之非揮發性半導體記憶格；複數條字元線，其係用以共通連接上述複數個記憶格；及一種用以將資料寫入記憶格之寫入電路；上述寫入電路係對應於上述複數條位元線而設置，具有用以記憶第一及第二控制資料之資料記憶電路，且依應寫入相對應記憶格之資料，在上述資料記憶電路上設定第一控制資料，藉由對上述字元線施加寫入電壓的同時，對於與記憶有寫入做為上述第一控制資料之上述資料記憶電路相對應的位元線，施加寫入控制電壓，對相對應的記憶格進行寫入處理，且對施以寫入處理之上述記憶格中達到第一寫入狀態之記憶格對應之上述資料記憶電路，設定表示已結束第一寫入狀態之資料做為上述第二控制資料後，改變上述寫入控制電壓的供應狀態，對達到上述第一寫入狀態之上述記憶格進行寫入處理，且對施以寫入處理之記憶格中達到第二寫入狀態之記憶格對應之上述資料記憶電路，設定表示已結束第二寫入狀態之資料做為上述第一控制資料後，再度改變上述寫入控制電壓的供應狀態，以禁

裝  
訂  
線

## 五、發明說明（ 5 ）

止對達到上述第二寫入狀態之上述記憶格進行寫入處理者。

本發明之第三特徵在於為一種非揮發性半導體記憶裝置，其係包含：1個可進行電性資料覆寫之非揮發性半導體記憶格；及一種用以將資料寫入上述記憶格之寫入電路，其係藉由對上述記憶格施加其值能夠依序增加之電壓及具有第一有效電壓之寫入控制電壓，以對上述記憶格進行第一階段寫入處理，且在上述第一階段寫入處理結束後，將上述寫入控制電壓變更為與上述第一有效電壓不同之第二有效電壓，對上述記憶格進行第二階段寫入處理，當上述第二階段寫入處理結束後，禁止對上述記憶格進行寫入處理者。

本發明之其他目的及優點將如以下內容之說明，且部份目的及優點可明顯地由本發明之描述或實施型態中得知。此外，相關目的及優點也可經由在此指出之機構及其組合看出。

## 圖式之簡要說明

本文之圖式為說明內容之一部份，用以圖示本發明之較佳之實施型態，且藉由一併參照上下文中對較佳實施型態的一般性說明及詳述，能夠顯示本發明的旨義。

圖1A至圖1C為用以說明先前技藝問題之剖面圖及臨限值分佈圖。

圖2為本發明之第一實施型態之快閃記憶體整體構造之區塊圖。

裝  
訂  
線

## 五、發明說明( 6 )

圖3A為顯示圖2中之記憶格陣列內部構造之區塊圖。

圖3B為設置於圖3A中之各區塊內之NAND型記憶元件之電路圖。

圖4為圖2中之記憶格陣列之行方向上的元件構造之剖面圖。

圖5A及圖5B為圖2中之記憶格陣列之列方向上的元件構造之剖面圖。

圖6為截取圖2之行控制電路之主要部份構造之區塊圖。

圖7為第一實施型態之多值快閃記憶體之多值資料與記憶格臨限值間之關係圖。

圖8為先前技藝之寫入方法與臨限值變化狀態之顯示圖。

圖9為第一實施型態之多值快閃記憶體之資料寫入方法與記憶格臨限值變化狀態之顯示圖。

圖10為第一實施型態中對同一記憶格之高階頁資料寫入方法與臨限值變化狀態之顯示圖。

圖11為第一實施型態中對一記憶格之低階頁進行資料寫入時各部信號之時序圖。

圖12為第一實施型態中對一記憶格施以低階頁資料寫入時之控制演算圖。

圖13為第一實施型態中對記憶格施以高階頁資料寫入時之控制演算圖。

圖14為第一實施型態中用以控制區塊內寫入順序之控制演算圖。

圖15為第一實施型態中對記憶格之低階頁進行資料讀取

裝訂線

## 五、發明說明( 7 )

時之控制演算圖。

圖16為第一實施型態中對記憶格之高階頁進行資料讀取時之控制演算圖。

圖17A為第一實施型態適用之寫入增壓之信號時序圖。

圖17B為第二實施型態適用之寫入增壓之信號時序圖。

圖18為第三實施型態中寫入一資料時之各部信號的時序圖。

### 發明詳述

以下參照圖式，說明本發明之實施型態。

圖2為本發明之第一實施型態之快閃記憶體整體構造之區塊圖。

記憶格陣列1內設有複數個快閃記憶格、複數條位元線及字元線：上述複數個快閃記憶格係配置成陣列狀。

行控制電路2及列控制電路3係與記憶格陣列1相鄰設置。上述行控制電路2係用以控制記憶格陣列1內的位元線，並執行對記憶格的資料刪除、對記憶格的資料寫入、及由記憶格的資料讀取之處理。

上述列控制電路3係用以對記憶格陣列1內之字元線進行選擇，並供應刪除、寫入及讀取處理上所需之電壓。

此外，也設置有用以控制記憶格陣列1之源極線之源極線控制電路4，也設置有用以對形成記憶格1之p型井進行控制之P井控制電路5。

資料輸出入緩衝器6，係經由外部I/O線，而與主機連接。該資料輸出入緩衝器6，係用以接收寫入資料、輸出讀

裝  
訂  
線

## 五、發明說明( 8 )

取資料、及接收位址資料與指令資料。資料輸出入緩衝器6接收的寫入資料將傳送至行控制電路2。此外，資料輸出入緩衝器6會接收由行事制電路2讀取之資料。

為了對記憶格陣列1內的記憶格進行選擇，由外部傳送之位址資料將經由狀態器8，傳送至行控制電路2及列控制電路3。

此外，主機發出之指令資料會傳送至指令介面7。指令介面7，係用以接收來自主機的控制信號，判斷輸入至資料輸出入緩衝器6內之資料為寫入資料、指令資料、或位址資料，且如判定為指令資料時，便將該資料做為接收指令信號轉傳至狀態器8。

狀態器8係對快閃記憶體施以整體性的管理，用以對來自主機之指令進行接收、讀取、寫入、及刪除等之動作，且對資料進行輸出入管理。此外，狀態器8內設置有計數PC，用以計算對各記憶格的資料寫入次數。

圖3A為顯示圖2中之記憶格陣列1內部構造之區塊圖。記憶格陣列1內之複數個記憶格係分割成複數個區塊BLOCK0至BLOCK1023。區塊為最小的刪除單位。各區塊BLOCK $i$ ( $i=0$ 至1023)內，分別設置有如圖3B所示之8512個NAND型記憶元件。

在本例中，各NAND型記憶元件上，設有4個串聯的記憶格M，其一端係經由共通連接於選擇閘極線SGD $i$ 之選擇閘極S1，而與位元線BLE或BL0連接；另一端係經由共通連接於選擇閘極線SGS $i$ 之選擇閘極S2，而與共通源極線C-

裝  
訂  
線

## 五、發明說明 ( 9 )

source連接。

各記憶格M具有控制閘極、漂浮閘極、源極及汲極，各4個記憶格M之控制閘極係與字元線WL0 i至WL3 i中之相對應者共通連接。

對於由零算起的第偶數條位元線BLe及第奇數條位元線BLo，將進行相互獨立之資料讀寫。控制閘極連接於1條字元線WL的8512個記憶格中，與第偶數個位元線BLe連接之4256個記憶格將同時進行資料的讀寫。

當各記憶格分別記憶1位元的資料時，由4256個記憶格記憶之4256位元的資料將構成所謂"頁"單位。如一記憶格能夠記憶2位元的資料時，4256個記憶格將能夠記憶2頁份的資料。與第奇數個位元線BLo連接之4256個記憶格，將構成其他2頁，且對同一頁內之記憶格同時進行資料的讀寫。

圖4為圖2中之記憶格陣列1之行方向上的元件構造之剖面圖。p型基板10上形成有n型井11，n型井11內形成有P型井1211。各記憶格M包含：源極，其係由n型擴散層13形成；汲極，其係由n型擴散層形成；漂浮閘極FG，其係經由隧道氧化膜而設置於源極與汲極間之通道域上；控制閘極CG，其係做為字元線WL，經由絕緣膜而設置於漂浮閘極FG上。

各選擇閘極S1及S2係分別包含由n型擴散層13形成之源極與汲極及具有層合之雙層構造之選擇閘極線SG。字元線WL與選擇閘極線SG均與圖2中之列控制電路3連接，且由列控制電路3傳來之輸出信號而控制。

裝  
訂  
線

## 五、發明說明( 10 )

具有4個記憶格M與選擇閘極S1及S2之NAND型記憶元件之一端，經由接觸孔CB1而與第一層之金屬配線層M0連接。該金屬配線層M0，經由盲孔V1，而與做為位元線BL之第二層金屬配線層M1連接。位元線BL係與圖2中之行控制電路2連接。

NAND型記憶元件之另一端係經由接觸孔CB2，與做為共通源極C-source之第一層金屬配線層M2連接。共通源極線C-source係與圖2中之源極線控制電路4連接。

n型井11的表面形成有n型擴散層14，p型井12的表面上形成有p型擴散層15，且n型擴散層14及p型擴散層15經由接觸孔CB3及CB4，而共同與做為井線C-p-well之第一層金屬配線層M3連接。井線C-p-well係與圖2中之P井控制電路5連接。

圖5A及圖5B為圖2中之記憶格陣列1之列方向上的元件構造之剖面圖。如圖5A及圖5B所示，各記憶格係以元件分隔STI來相互分隔。

如圖5A所示，各記憶格中，漂浮閘極係經由隧道氧化膜16而層合於通道區域上。漂浮閘極FG上，則有字元線WL經由ONO膜構成之絕緣膜17而形成。

如圖5B所示，選擇閘極線SG具有雙重構造。且，在記憶格陣列1之一端或每一定數量之位元線上，連接有上下之選擇閘極線SG。

圖6為由圖2之行控制電路2，摘錄其中之主要部份構造之區塊圖。

裝  
訂  
線

## 五、發明說明 ( 11 )

行控制電路2上，每對由具有相同行編號之第偶數條位元線BLe及第奇數條位元線BL<sub>o</sub>構成之2條位元線，均個別設有資料記憶電路20。此外，在行控制電路2上，對應於上述各資料記憶電路20，設置有放大器，用以將資料寫入記憶格及由記憶格讀取資料。

上述資料記憶電路20與第偶數條位元線BLe之間，連接有行選擇用n通道MOS電晶體Q<sub>n1</sub>，與第奇數條位元線BL<sub>o</sub>之間，連接有行選擇用n通道MOS電晶體Q<sub>n2</sub>。

由與各資料記憶電路20連接之第偶數條及奇數條的位元線BLe及BL<sub>o</sub>中，將選出一方與資料記憶電路20相連，用以進行資料寫入或讀取處理的控制。亦即，當信號EVENBL為H(高)電位且信號ODDBL為L(低)電位時，MOS電晶體Q<sub>n1</sub>導通而選擇為第偶數條之位元線BLe，而該位元線BLe將與資料記憶電路20相連接。當信號EVENBL為L電位且信號ODDBL為H電位時，MOS電晶體Q<sub>n2</sub>導通而選擇為第奇數條之位元線BL<sub>o</sub>，而該位元線BL<sub>o</sub>將與資料記憶電路20相連接。此外，上述信號EVENBL係共通供應至所有與第偶數條位元線BLe連接之行選擇用n通道MOS電晶體，信號ODDBL係共通供應至所有與第奇數條位元線BL<sub>o</sub>連接之行選擇用n通道MOS電晶體。此外，未選擇之位元線BL，則係由未圖示之其他電路所控制。

上述各資料記憶電路20內，設置有3個雙位元資料記憶部DS1、DS2及DS3。資料記憶部DS1係經由內部之資料輸出入線(I/O線)而與資料輸出入緩衝器6相連接，用以記憶外

裝  
訂  
線

## 五、發明說明 ( 12 )

部輸入之寫入資料及輸出至外部之讀取資料。資料記憶部 DS2，係用以記憶在寫入處理後確認記憶格之臨限值時的檢測結果。資料記憶部 DS3，係在對記憶格進行資料寫入及讀取時，用以暫時記憶該資料。

圖7為第一實施型態之多值快閃記憶體之多值資料與記憶格臨限值間之關係圖。

接下來，參照圖7，說明具有上述構造之多值快閃記憶體的動作。此外，在本例中，將以一記憶格記憶2位元，即記憶4值資料的情況為例進行說明。此2位元的資料，分別為"11"、"10"、"01"及"00"。這2個位元將配置於不同的列位址(不同的頁)。

此外，上述4值資料將以臨限值差異，記憶於記憶格內，如圖7所示一般，例如以臨限值最低的狀態(例如臨限值電壓為負的狀態)為資料"11"，以臨限值第二低的狀態(例如臨限值電壓為正的狀態)為資料"10"，以臨限值第三低的狀態(例如臨限值電壓為正的狀態)為資料"01"，以臨限值最高的狀態(例如臨限值電壓為正的狀態)為資料"00"。

刪除後，記憶格的資料為"11"。如寫入該記憶格之低階頁的資料為"0"時，藉由寫入處理，將由"11"的狀態變為"10"。如寫入資料為"1"時，則保持在"11"狀態。

接下來將資料寫入高階頁。如寫入資料為"1"時，"11"或"10"的狀態狀繼續保持。如寫入資料為"0"時，"11"將態變成"01"，"10"將態變成"00"。

寫入動作的過程中，將讀取欲進行寫入之記憶格的資

## 五、發明說明( 13 )

料，驗證是否確實充份地完成寫入，即將執行寫入驗證處理。

藉由放大器讀取之資料方面，如臨限值在0V以下時視為"11"，如臨限值為0V以上1V以下時為"10"。此外，臨限值為1V以上2V以下時為"01"，臨限值為2V以上時為"00"。

如此一般，為了使一記憶格記憶2位元的資料，將使用4值的臨限值。實際的裝置中，由於記憶格的特性會產生差異，因此該臨限值也會有所差異。當此差異過大時，將無法區分資料而讀取錯誤的資料。

在本實施型態之多值快閃記憶體中，如圖7之虛線所示，能夠將以往多值快閃記憶體產生之較大臨限值差異，抑制成如實線所示的水準。關於這一點，隨後將加以說明。

表1為第一實施型態之多值快閃記憶體進行刪除、寫入、讀取、寫入驗證過程中之各部電壓值例。此外，在表1中，係以寫入及讀取時選擇字元線WL2及第偶數條位元線BLE的情況為例。

裝  
訂  
線

## 五、發明說明 ( 14 )

表 1

	"10"第一 階段寫入 驗證	"10"第二 階段寫入 驗證	"01"第一 階段寫入 驗證	"01"第二 階段寫入 驗證	"00"第一 階段寫入 驗證	"00"第二 階段寫入 驗證
BLe	H 或 L 電位					
BL0	0V	0V	0V	0V	0V	0V
SGD	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL3	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL2	0.2V	0.4V	1.2V	1.4V	2.2V	2.4V
WL1	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
WL0	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
SGS	4.5V	4.5V	4.5V	4.5V	4.5V	4.5V
C-source	0V	0V	0V	0V	0V	0V
C-p-well	0V	0V	0V	0V	0V	0V

裝訂線

## 五、發明說明 ( 15 )

表 1

	刪除	第一階 段寫入	第二階 段寫入	禁止寫 入	"10" 讀取	"01" 讀取	"00" 讀取
BLe	浮動	0V	0.4V	Vdd	H 或 L 電位	H 或 L 電位	H 或 L 電位
BLo	浮動	Vdd	Vdd	Vdd	0V	0V	0V
SGD	浮動	Vdd	Vdd	Vdd	4.5V	4.5V	4.5V
WL3	0V	10V	10V	10V	4.5V	4.5V	4.5V
WL2	0V	Vpgm	Vpgm	Vpgm	0V	1V	2V
WL1	0V	0V	0V	0V	4.5V	4.5V	4.5V
WL0	0V	10V	10V	10V	4.5V	4.5V	4.5V
SGS	浮動	0V	0V	0V	4.5V	4.5V	4.5V
C- source	浮動	0V	0V	0V	0V	0V	0V
C-p- well	20V	0V	0V	0V	0V	0V	0V

(接續)

刪除過程中，對 p 型井 12 (井線 C-p-well) 將施以 20V 的電壓，對選擇區塊內之所有字元線 WL0 則是施加 0V 的電壓。藉此，將釋放區塊內所有記憶格 M 之漂浮閘極 FG 上的電子，使臨限值為負，成為 "11" 狀態。此時，雖然未選擇區塊之字元線及位元線 BL 等之電位會處理浮動狀態，唯藉由與 p 型井 12 間之電容量結合，將會達到 20V 左右。

寫入過程中，請依序實施第一階段、第二階段及禁止寫

## 五、發明說明 ( 16 )

入之處理。首先，對選擇之字元線 WL2 施加具有 14V 至 20V 之程式電壓(寫入電壓)  $V_{pgm}$ 。在未選擇之字元線中，相較於選擇之記憶格側，配置於較靠近位元線側之記憶格的各字元線上，例如在字元線 WL3 上，將施以能夠使與該字元線 WL3 連接之記憶格導通之例如 10V 的高電壓。另一端，未選擇之字元線中，相較於選擇之記憶格側，配置於靠近井線 C-p-well 側之記憶格的各字元線上，例如字元線 WL1 上，將施加不會使與該字元線 WL1 連接之記憶格導通之例如 0V 的低電壓。此外，選擇之位元線 BLe 上，則施加 0V 的電壓。如此一來，施加於位元線 BLe 之 0V 電壓，使傳送至選擇之記憶格的汲極，且藉由控制閘極 CG 與漂浮閘極 FG 間的電容量結合，使得漂浮閘極 FG 的電位上升，經由隧道氧化膜(圖 5A 中之隧道氧化膜 16)，藉由隧道現象使電子由汲極注入漂浮閘極 FG，使得臨限值快速上升(第一階段寫入)。寫入過程中，如欲抑制臨限值的上升速度，可將位元線 BLe 調升至 0.4V(第二階段寫入)。如欲禁止臨限值上升，則可將位元線 BLe 調高至例如電源電壓  $V_{dd}$ (~3V) 的充份高電壓(禁止寫入)。

讀取過程中，將對選擇字元線 WL2 依序施加電壓值相異之讀取電壓(0V、1V、2V)。未選擇之其他字元線上，則施加能夠使未選擇記憶格導通之電壓，例如 4.5V。如選擇之記憶格的臨限值低於讀取電壓時，位元線 BLe 與共通源極線 C-source 間會導通而有電流流過，使得位元線 BLe 的電位會變成比較低之 L 電位。如選擇之記憶格的臨限值高於

裝  
訂  
線

## 五、發明說明 ( 17 )

讀取電壓時，位元線 BLe 與共通源極線 C-source 間不會導通，使得位元線 BLe 的電位會變成比較高之 H 電位。如欲檢測出記憶格是否高於 "10" 狀態之臨限值時，將以調整例如 0V 的讀取電壓進行讀取(讀取 "10")。如欲檢測出記憶格是否高於 "01" 狀態之臨限值時，將以調整例如 1V 的讀取電壓進行讀取(讀取 "01")。如欲檢測出記憶格是否高於 "00" 狀態之臨限值時，將以調整例如 2V 的讀取電壓進行讀取(讀取 "00")。

由於 "10" 狀態的記憶格，相對於讀取電壓 0V，具有 0.4V 的讀取邊際，因此當臨限值為 0.4V 以上時，將會進行寫入。為此，在欲寫入 "10" 時，如藉由寫入驗證處理檢測出記憶格的臨限值達到 0.4V 時，將禁止寫入該記憶格。

在先前技藝中，由於僅檢測該臨限值是否達到 0.4V，因此如圖 7 所示一般，臨限值的分布寬度較大。

在本實施型態中，係藉由臨限值是否達到比目標臨限值略低之電位，並以第二階段寫入動作來抑制臨限值的上升速度。為此，臨限值的分布寬度會如圖 7 中之實線所示一般，比先前技藝的情況來得窄。其他 "01" 及 "00" 狀態方面也會得到同樣的效果。

寫入驗證過程中，將對選擇之字元線 WL2 依序施加電壓值相異的驗證電壓，例如依序施加 0.2V、0.4V、1.2V、1.4V、2.2V 及 2.4V。如記憶格的臨限值低於驗證電壓時，位元線 BLe 與共通源極線 C-source 間會導通，使得位元線 BLe 的電位會變成比較低之 L 電位。如記憶格的臨限值高於

裝  
訂  
線

## 五、發明說明 ( 18 )

驗證電壓時，位元線 BLe 與共通源極線 C-source 間不會導通，使得位元線 BLe 的電位會變成比較高之 H 電位。

記憶格的目標臨限值為 0.4V 的情況中，如欲檢測該記憶格臨限值是否略低於該目標臨限值時，即在本例中如欲檢測出是否高於 0.2V 時，驗證電壓將設定為 0.2V 以進行寫入驗證 ("10" 第一階段寫入驗證)。如欲檢測出記憶格之臨限值是否高於目標臨限值 0.4V 時，驗證電壓將設定成 0.4V 以進行寫入驗證 ("10" 第二階段寫入驗證)。

記憶格的目標臨限值為 1.4V 的情況中，如欲檢測該記憶格臨限值是否略低於該目標臨限值時，即在本例中如欲檢測出是否高於 1.2V 時，驗證電壓將設定為 1.2V 以進行寫入驗證 ("01" 第一階段寫入驗證)。如欲檢測出記憶格之臨限值是否高於目標臨限值 1.4V 時，驗證電壓將設定成 1.4V 以進行寫入驗證 ("01" 第二階段寫入驗證)。

記憶格的目標臨限值為 2.4V 的情況中，如欲檢測該記憶格臨限值是否略低於該目標臨限值時，即在本例中如欲檢測出是否高於 2.2V 時，驗證電壓將設定為 2.2V 以進行寫入驗證 ("00" 第一階段寫入驗證)。如欲檢測出記憶格之臨限值是否高於目標臨限值 2.4V 時，驗證電壓將設定成 2.4V 以進行寫入驗證 ("00" 第二階段寫入驗證)。

圖 8 為先前技藝之寫入方法與臨限值變化狀態之顯示圖。圖中，空白的四角形為易於寫入之記憶格的臨限值及施加在該記憶格上之寫入控制電壓 (位元線 BL 的電壓)，黑色四角形為難以寫入之記憶格的臨限值及施加在該記憶格上之

## 五、發明說明 ( 19 )

寫入控制電壓(位元線BL的電壓)。上述2個記憶格係記憶同一頁的資料。且，兩者均在初始狀態時施以刪除處理，具有負的臨限值。

寫入電壓Vpgm分割成受複數個脈衝，每一脈衝會增壓例如 $0.2V$ 。亦即，寫入電壓Vpgm之每一脈衝的增加量Dvpgm為 $0.2V$ 。

做為寫入控制電壓之位元線BL電壓設定為 $0V$ 時，在數脈衝後，臨限值會以與寫入電壓Vpgm之增壓量相同的 $0.2V/脈衝$ 的速度上升。施加各寫入脈衝後，將進行寫入驗證，且臨限值檢測出達到寫入驗證電壓界值之記憶格的位元線電壓將設定為Vdd，逐一禁止對記憶格進行寫入。因此，臨限值具有 $0.2V$ 的分布寬度。

圖9為第一實施型態之多值快閃記憶體之資料寫入方法與記憶格臨限值變化狀態圖。如圖8所示的情況一般，空白的四角形為易於寫入之記憶格的臨限值及施加在該記憶格上之寫入控制電壓(位元線BL的電壓)，黑色四角形為難以寫入之記憶格的臨限值及施加在該記憶格上之寫入控制電壓(位元線BL的電壓)。上述2個記憶格係用以記憶同一頁中之分屬不同行的資料。兩者均在初始狀態時施以刪除處理，具有負的臨限值。

寫入電壓Vpgm分割成受複數個脈衝，每一脈衝會增壓例如 $0.2V$ 。亦即，寫入電壓Vpgm之每一脈衝的增加量Dvpgm為 $0.2V$ 。

做為寫入控制電壓之位元線BL電壓設定為 $0V$ 後，施以第

## 五、發明說明 ( 20 )

一階段寫入。且，在第一階段寫入過程中，在數脈衝之寫入電壓  $V_{pgm}$  後，臨限值會以與寫入電壓  $V_{pgm}$  之增壓量相同的  $0.2V$ /脈衝的速度上升。每當施加一次寫入脈衝後，將進行第一階段寫入驗證或第二階段寫入驗證。

隨後，臨限值檢測出達到第一階段寫入驗證電壓界值之記憶格的位元線電壓將設定為  $0.4V$ ，而逐一對每一記憶格進行第二階段寫入。臨限值檢測出達到第二階段寫入驗證電壓界值之記憶格的位元線電壓將設定為  $V_{dd}$ ，逐一禁止對每一記憶格進行寫入。

在第二階段寫入過程中，在數個脈衝期間，臨限值的上升率會受到抑制而低於第一階段寫入時的  $0.2V$ /脈衝。亦即，位元線  $BL$  的電壓，即寫入控制電壓，雖然在第一寫入階段時為  $0V$ ，唯在第二階段時會增加至  $0.4V$ 。為此，相較於第一階段寫入，第二階段寫入時會更難以進行寫入。第二階段寫入時的臨限值的上升率，例如會抑制在大約  $0V$ /脈衝至  $0.05V$ /脈衝的範圍內。亦即，第二階段寫入的過程中，臨限值具有僅為  $0.05V$  的相當高水平分布寬度。

如寫入脈衝寬度為  $20\mu$ 秒，寫入驗證所需時間為  $5\mu$ 秒時，以往所需的寫入時間將為  $(20\mu\text{秒} + 5\mu\text{秒}) \times 18$  脈衝 =  $450\mu$ 秒。

以往為了實現  $0.05V$  的臨限值分布，有必要將寫入電壓  $V_{pgm}$  的增壓量  $D_{vpgm}$  設定成  $0.05V$ ，即設定成  $0.2V$  的四分之一，因此寫入所需時間會成為  $450\mu$ 秒  $\times 4 = 1800\mu$ 秒。

另一方面，依本實施型態，如圖9所示一般，能夠以

## 五、發明說明 ( 21 )

0.2V/秒的電壓增壓量  $D_{vpgm}$ ，實現 0.05V 的臨限值分布寬度，且其寫入所需時間為  $(20\ \mu\text{秒} + 5\ \mu\text{秒} + 5\ \mu\text{秒}) \times 20$  脈衝 = 600  $\mu\text{秒}$ 。

亦即，相較於以往，如欲實現相同的 0.05V 臨限值分布時，所需的寫入時間可縮短至三分之一。

藉由將第一階段寫入驗證電壓設定為 "10" 第一階段寫入驗證電壓，第二階段寫入驗證電壓設定為 "10" 第二階段寫入驗證電壓，以實施 "10" 寫入動作。

圖 10 為本實施型態中對同一記憶格之高階頁資料寫入方法與臨限值變化狀態之顯示圖。如圖 8 及 9 的情況，空白的四角形為易於寫入之記憶格的臨限值及施加在該記憶格上之寫入控制電壓(位元線 BL 的電壓)，黑色四角形為難以寫入之記憶格的臨限值及施加在該記憶格上之寫入控制電壓(位元線 BL 的電壓)。上述 2 個記憶格係用以記憶同一頁中之分屬不同行的資料。

空白四角形表示之記憶格，在初始狀態時施以刪除處理，具有負的臨限值，且將對該記憶格寫入 "01" 狀態。黑色四角形表示之記憶格，在初始狀態時已預先寫入 "10" 狀態，且將對該記憶格寫入 "00" 狀態。

寫入電壓  $V_{pgm}$  分割成受複數個脈衝，每一脈衝會增壓例如 0.2V。亦即，寫入電壓  $V_{pgm}$  之每一脈衝的增加量  $D_{vpgm}$  為 0.2V。

做為寫入控制電壓之位元線 BL 電壓設定為 0V 後，施以第一階段寫入。且，在數脈衝之後，臨限值會以與寫入電壓

裝  
訂  
線

## 五、發明說明( 22 )

$V_{pgm}$ 之增壓量相同的0.2V/脈衝的速度上升。每一次施加寫入脈衝後，將進行"01"第一階段寫入驗證。在寫入略低於目標臨限值之臨限值後，每當施加寫入脈衝後，將實施"01"第二階段寫入驗證。接著，將實施"00"第一階段寫入驗證及"00"第二階段寫入驗證。

當空白四角形表示之記憶格寫入的臨限值檢測出達到"01"第一階段寫入驗證電壓界值時，隨後將該記憶格的位元線電壓設定為0.4V，而進行第二階段寫入。當黑色四角形表示之記憶格的臨限值檢測出達到"00"第一階段寫入驗證電壓界值時，隨後將該記憶格的位元線電壓設定為0.4V，而進行第二階段寫入。

當空白四角形表示之記憶格的臨限值檢測出達到"01"第二階段寫入驗證電壓界值時，隨後將該記憶格的位元線電壓設定為 $V_{dd}$ ，而禁止寫入。且，當黑色四角形表示之記憶格的臨限值檢測出達到"00"第二階段寫入驗證電壓界值時，隨後將該記憶格的位元線電壓設定為 $V_{dd}$ ，而禁止寫入。

有關資料"01"及"00"方面，進入第二階段寫入過程時，在寫入電壓的數個脈衝期間，由於臨限值的增壓量抑制在例如0V/脈衝至0.05V/脈衝的範圍之間，因此其臨限值具有僅0.05V的分布寬度。

圖11為本實施型態中，對一記憶格之低階頁進行資料寫入時各部信號之時序圖。

由時間tp0至tp7為寫入階段，在此過程中，將對記憶格

裝  
訂  
線

## 五、發明說明 ( 23 )

施加寫入脈衝。時間  $t_{fv0}$  至  $t_{fv6}$  止為 "10" 第一階段寫入驗證期間，時間  $t_{sv0}$  至  $t_{sv6}$  止為 "10" 第二階段寫入驗證期間。本例中，將以選擇字元線 WL2 及第偶數條之位元線 BLe 的情況為例來加以說明。

在寫入階段中，做為寫入控制電壓之位元線 BLe，如在第一階段寫入時為 0V，如為第二階段寫入時為 0.4V，如禁止寫入時則設定為 Vdd(例如 2.5V)。各寫入驗證期間，首先位元線 BLe 將充電至例如 0.7V。接著，當選擇之字元線 WL2 達到各寫入驗證電壓時，若記憶格之臨限值達到寫入驗證電壓時，位元線 BLe 會保持在 0.7V。如記憶格的臨限值未達到寫入驗證電壓時，位元線 BLe 會下降至 0V。在時間  $t_{fv4}$  或  $t_{sv4}$  的時機，如以放大器檢測出位元線 BLe 的電壓，便可檢測出記憶格的臨限值是否達到寫入驗證電壓。如記憶格的臨限值達到寫入驗證電壓時，代表檢測結果為 "通過" (pass)。

圖 12 為第一實施型態中，對一記憶格施以低階頁資料寫入時之控制演算內容。

首先，接收到來自主機的資料輸入指令，將資料輸入指令設定於狀態器 8(S1)。接收來自主機的位址資料，將用以選擇寫入頁之位址，設定於狀態器 8(S2)。接著，接收 1 頁份的寫入資料，且將寫入資料分別設定於相對應之資料記憶部 DS1(S3)。接收主機發行之寫入指令，將寫入指令設定於狀態器 8(S4)。在設定寫入指令後，內部將自動藉由狀態器 8，啟動 S5 至 S16 步驟的執行。

## 五、發明說明 ( 24 )

各資料記憶部 DS1 之資料，將複製於相對應的資料記憶部 DS2(S5)。接著，將寫入電壓 Vpgm 的初始值設定為 12V，且將寫入計數器 PC 設定為 0(S6)。當資料記憶部 DS1 的資料為 "0"，且資料記憶部 DS2 的資料為 "0" 時，則為第一階段寫入處理，因此做為寫入控制電壓之位元線 BL 的電壓會設定為 0V。當資料記憶部 DS1 的資料為 "0"，且資料記憶部 DS2 的資料為 "1" 時，則為第二階段寫入處理，因此做為寫入控制電壓之位元線 BL 的電壓會設定為 0.4V。當資料記憶部 DS1 的資料為 "1"，且資料記憶部 DS2 的資料為 "1" 時，則為禁止寫入處理，因此做為寫入控制電壓之位元線 BL 的電壓會設定為 Vdd(S7)。

利用設定之寫入電壓 Vpgm 及寫入控制電壓，對 1 頁份之記憶格施以寫入脈衝，以執行寫入步驟(S8)。檢測所有之資料記憶部 DS2 的資料是否為 "1"，如全部為 "1" 時，則判斷第一階段之狀態通過檢測，如非的話，則判斷為未通過(S9)。雖於隨後詳述，如果所有的資料記憶部 DS2 的資料為 "1" 時，在前段之寫入步驟(S8)中，不會有施以第一階段寫入處理之記憶格。

第一階段狀態未通過檢測時，將啟動 "10" 第一階段寫入驗證(S10)，且由 1 頁份之記憶格中，針對與通過檢測之記憶格相對應之資料記憶部 DS2，將其資料由 "0" 改變為 "1"。在此過程中，對資料為 "1" 之資料記憶部 DS2，將維持該 "1" 的狀態。

第一階段狀態通過檢測時，當 "10" 第一階段寫入驗證結

## 五、發明說明 ( 25 )

束時，將啟動 "10" 第二階段寫入驗證處理(S11)。由1頁份之記憶格中，針對與通過檢測之記憶格相對應之資料記憶部DS1，將其資料由"0"改變為"1"。在此過程中，對資料為"1"之資料記憶部DS1，將維持該"1"的狀態。

在"10"第二階段寫入驗證後，檢測所有之資料記憶部DS1的資料是否為"1"，如全部為"1"時，則判斷第二階段之狀態通過檢測，如非的話，則判斷為未通過(S12)。如第二階段狀態通過檢測時，寫入處理將視為正常結束，在將寫入狀態設定為"通過"後，結束寫入處理(S13)。

第二階段狀態未通過檢測時，將檢查寫入計數器PC(S14)，如計數器PC的值大於20時，則視為無法正常完成寫入處理，在將寫入狀態設定為"未通過"後，結束寫入處理(S15)。如寫入計數器PC的值低於20時，則在使寫入計數器PC的值增加1，且使寫入電壓Vpgm的設定值增加0.2V(S16)後，再度經由步驟S7，執行步驟S8的寫入處理。此外，上述寫入次數並不限於20次，可依需要隨意變更。

表2為圖12之寫入演算中，資料記憶部DS1及DS2在"10"第一階段寫入驗證處理前後的資料與相對應記憶格之臨限值(Vt)間的關係。

裝

訂

線

## 五、發明說明( 26 )

表 2

		DS1/DS2 資料 DS1/DS2 在第 n 次"10" 第一階段寫入驗證處理後	
		記憶格的臨限值 Vt	
		低於 0.2V 時	高於 0.2V 時
DS1/DS2 資料 DS1/DS2 在第 n 次"10"第一階段 寫入驗證處理之前	0/0	0/0	0/1
	0/1	0/1	0/1
	1/1	1/1	1/1

第 n 次之 "10" 第一階段寫入驗證前的資料記憶部 DS1 及 DS2，其值為 0/0、0/1、1/1 之其中一項。0/0 表示至第 n-1 次寫入步驟為止，記憶格之臨限值未達 "10" 第一階段寫入驗證電壓。0/1 表示至第 n-1 次寫入步驟為止，雖然記憶格之臨限值達到 "10" 第一階段寫入驗證電壓，唯未達 "10" 第二階段寫入驗證電壓。1/1 表示至第 n-1 次寫入步驟為止，記憶格之臨限值達到 "10" 第二階段寫入驗證電壓。由於至第 n-1 次寫入步驟為止，不可能發生記憶格之臨限值達到 "10" 第二階段寫入驗證電壓，唯未達 "10" 第一階段寫入驗證電壓的情形，因此在本實施型態中，並不存在有 1/0 的狀態。

第 1 次之 "10" 第一階段寫入驗證前的資料記憶部 DS1 及 DS2，其值為 0/0 或 1/1。

如記憶格的臨限值未能在第 n 次寫入步驟，達到 "10" 第一階段寫入驗證電壓之 0.2V 時，將無法通過 "10" 第一階段

## 五、發明說明 ( 27 )

寫入驗證的檢測，因此不會變更資料記憶部 DS2 的資料。如記憶格的臨限值在第 n 次寫入步驟，達到 "10" 第一階段寫入驗證電壓之 0.2V 時，由於能夠通過 "10" 第一階段寫入驗證的檢測，因此資料記憶部 DS2 的資料將變更為 "1"。資料已經為 "1" 之資料記憶部 DS2 的資料，將不會隨此記憶格的臨限值而變更。

表 3 為圖 12 之寫入演算中，資料記憶部 DS1 及 DS2 在 "10" 第二階段寫入驗證處理前後的資料與相對應記憶格之臨限值 ( $V_t$ ) 間的關係。

表 3

DS1/DS2 資料 DS1/DS2 在第 n 次 "10" 第二階段寫入驗證處理後			
記憶格的臨限值 $V_t$			
		低於 0.4V 時	高於 0.4V 時
DS1/DS2 資料 DS1/DS2 在第 n 次 "10" 第二階段 寫入驗證處理之前	0/0	0/0	—
	0/1	0/1	1/1
	1/1	1/1	1/1

第 n 次之 "10" 第二階段寫入驗證前的資料記憶部 DS1 及 DS2，其值為 0/0、0/1、1/1 之其中一項。0/0 表示在第 n 次寫入步驟後，記憶格之臨限值未達 "10" 第一階段寫入驗證電壓。0/1 表示在第 n 次寫入步驟為止，雖然記憶格之臨限值達到 "10" 第一階段寫入驗證電壓，唯在第 n-1 次寫入

## 五、發明說明( 28 )

步驟為止，未達"10"第二階段寫入驗證電壓。1/1表示至第n-1次寫入步驟為止，記憶格之臨限值達到"10"第二階段寫入驗證電壓。

由於至第n-1次寫入步驟為止，不可能發生記憶格之臨限值達到"10"第二階段寫入驗證電壓，唯在第n次寫入步驟為止未達"10"第一階段寫入驗證電壓的情形，因此在本實施型態中，並不存在有1/0的狀態。

如記憶格的臨限值未能在第n次寫入步驟，達到"10"第二階段寫入驗證電壓之0.4V時，將無法通過"10"第二階段寫入驗證的檢測，因此不會變更資料記憶部DS1的資料。如記憶格的臨限值在第n次寫入步驟，達到"10"第二階段寫入驗證電壓之0.4V時，由於能夠通過"10"第二階段寫入驗證的檢測，因此資料記憶部DS1的資料將變更為"1"。資料已經為"1"之資料記憶部DS1的資料，將不會隨此記憶格的臨限值而變更。0/0方面，不會隨"10"第二階段寫入驗證的結果而變更。

圖13為上述實施型態中對記憶格施以高階頁資料寫入時之控制演算內容。

首先，接收到來自主機的資料輸入指令，將資料輸入指令設定於狀態器8(S1)。接收來自主機的位址資料，將用以選擇寫入頁之位址，設定於狀態器8(S2)。接著，接收1頁份的寫入資料，且將寫入資料分別設定於相對應之資料記憶部DS1(S3)。接收主機發行之寫入指令，將寫入指令設定於狀態器8(S4)。在設定寫入指令後，內部將自動藉

## 五、發明說明 ( 29 )

由狀態器 8，啟動 S5 至 S20 步驟的執行。

首先，將啟動 "10" 讀取處理 (S5)，如通過檢測 (記憶格的資料為 "10") 時，將對應之資料記憶部 DS3 設定為 "0"。如未通過檢測時，則將對應之資料記憶部 DS3 設定為 "1"。接著，將各資料記憶部 DS1 之資料，複製於相對應的資料記憶部 DS2 (S6)。然後，將寫入電壓 Vpgm 的初始值設定為 14V，且將寫入計數器 PC 設定為 0 (S7)。當資料記憶部 DS1 的資料為 "0"，且資料記憶部 DS2 的資料為 "0" 時，則為第一階段寫入處理，因此做為寫入控制電壓之位元線 BL 的電壓會設定為 0V；當資料記憶部 DS1 的資料為 "0"，且資料記憶部 DS2 的資料為 "1" 時，則為第二階段寫入處理，因此做為寫入控制電壓之位元線 BL 的電壓會設定為 0.4V；當資料記憶部 DS1 的資料為 "1"，且資料記憶部 DS2 的資料為 "1" 時，則為禁止寫入處理，因此做為寫入控制電壓之位元線 BL 的電壓會設定為 Vdd (S8)。接下來的步驟，係利用設定之寫入電壓 Vpgm 及寫入控制電壓，對 1 頁份之記憶格施以寫入脈衝以進行寫入 (S9)。

在資料記憶部 DS3 之記憶內容為 "0" 之所有資料記憶電路 20 中，檢測其所有之資料記憶部 DS2 的資料是否為 "1"，如全部為 "1" 時，則判斷通過 "00" 第一階段狀態之檢測，如非的話，則判斷為未通過 (S10)。雖於隨後詳述，如果所有的資料記憶部 DS2 的資料為 "1" 時，在前段之寫入步驟 (S9) 中，不會有施以 "00" 第一階段寫入處理之記憶格。

未通過 "00" 第一階段狀態之檢測時，將啟動 "00" 第一階

裝  
訂  
線

## 五、發明說明 ( 30 )

段寫入驗證(S11)，且由1頁份之記憶格中，針對與通過檢測之記憶格相對應且位於資料記憶部DS3之資料為"0"之資料記憶電路20內之資料記憶部DS2，將其資料由"0"改變為"1"。在此過程中，對於資料已經為"1"之資料記憶部DS2，將維持該"1"的狀態。

通過"00"第一階段狀態之檢測時，或完成"00"第一階段寫入驗證時，將啟動"00"第二階段寫入驗證處理(S12)。由1頁份之記憶格中，針對與通過檢測之記憶格相對應且位於資料記憶部DS3之資料為"0"之資料記憶電路20內之資料記憶部DS1，將其資料由"0"改變為"1"。在此過程中，對資料為"1"之資料記憶部DS1，將維持該"1"的狀態。

接著，在資料記憶部DS3之資料為"1"之資料記憶電路20內，檢測所有之資料記憶部DS2的資料是否為"1"，如全部為"1"時，則判斷通過"01"第一階段狀態之檢測，如非的話，則判斷為未通過(S13)。雖於隨後詳述，如果所有的資料記憶部DS2的資料為"1"時，在前段之寫入步驟(S9)中，不會有施以第一階段寫入處理之記憶格。

未通過"01"第一階段狀態之檢測時，將啟動"01"第一階段寫入驗證(S14)，且由1頁份之記憶格中，針對與通過檢測之記憶格相對應且位於資料記憶部DS3之資料為"1"之資料記憶電路20內之資料記憶部DS2，將其資料由"0"改變為"1"。在此過程中，對於資料已經為"1"之資料記憶部DS2，將維持該"1"的狀態。

通過"01"第一階段狀態之檢測時，或完成"01"第一階段

## 五、發明說明( 31 )

寫入驗證時，將啟動"01"第二階段寫入驗證處理(S15)。由1頁份之記憶格中，針對與通過檢測之記憶格相對應且位於資料記憶部DS3之資料為"1"之資料記憶電路20內之資料記憶部DS1，將其資料由"0"改變為"1"。在此過程中，對資料已經為"1"之資料記憶部DS1，將維持該"1"的狀態。

在"01"第二階段寫入驗證處理後，檢測所有之資料記憶部DS1的資料是否為"1"，如全部為"1"時，則判斷通過第二階段狀態之檢測，如非的話，則判斷為未通過(S16)。如通過第二階段寫入驗證時，寫入處理將視為正常結束，在將寫入狀態設定為"通過"後，結束寫入處理(S17)。如未通過第二階段狀態之檢測時，將檢查寫入計數器PC(S18)，如計數器PC的值大於20時，則視為無法正常完成寫入處理，在將寫入狀態設定為"失敗(fail)"後，結束寫入處理(S19)。如寫入計數器PC的值低於20時，則在使寫入計數器PC的值增加1，且使寫入電壓Vpgm的設定值增加0.2V(S20)後，再度經由步驟S8，執行步驟S9的寫入處理。此外，上述寫入次數並不限於20次，可依需要隨意變更。

表4為圖13之寫入演算中，資料記憶部DS1、DS2及DS3在"01"第一階段寫入驗證處理前後之資料與相對應記憶格之臨限值(Vt)間的關係。

裝  
訂  
線

## 五、發明說明 ( 32 )

表 4

		DS1/DS2/DS3 資料 DS1/DS2/DS3 在 第 n 次 "01" 第一階段寫入驗證處理後	
		記憶格的臨限值 Vt	
		低於 1.2V 時	高於 1.2V 時
DS1/DS2/DS3 資料 DS1/DS2/DS3 在第 n 次 "01" 第一階段 寫入驗證處理之前	0/0/1	0/0/1	0/1/1
	0/1/1	0/1/1	0/1/1
	1/1/1	1/1/1	1/1/1
	0/0/0	0/0/0	0/0/0
	0/1/0	0/1/0	0/1/0
	1/1/0	1/1/0	1/1/0

第 n 次之 "01" 第一階段寫入驗證前的資料記憶部 DS1 、 DS2 及 DS3 ，其值為 0/0/1 、 0/1/1 、 1/1/1 、 0/0/0 、 0/1/0 、或 1/1/0 之中一項。 0/0/1 表示至第 n-1 次寫入步驟為止，記憶格之臨限值未達 "01" 第一階段寫入驗證電壓。 0/1/1 表示至第 n-1 次寫入步驟為止，雖然記憶格之臨限值達到 "01" 第一階段寫入驗證電壓，唯未達 "01" 第二階段寫入驗證電壓。 1/1/1 表示至第 n-1 次寫入步驟為止，記憶格之臨限值達到 "01" 第二階段寫入驗證電壓。由於至第 n-1 次寫入步驟為止，不可能發生記憶格之臨限值達到 "01" 第二階段寫入驗證電壓，唯未達 "01" 第一階段寫入驗證電壓的情形，因此在本實施型態中，並不存在有 1/0/1 的狀態。

裝  
訂  
線

## 五、發明說明( 33 )

如記憶格的臨限值未能在第 n 次寫入步驟，達到"01"第一階段寫入驗證電壓之 1.2V 時，將無法通過"01"第一階段寫入驗證的檢測，因此不會變更資料記憶部 DS2 的資料。如記憶格的臨限值在第 n 次寫入步驟，達到"01"第一階段寫入驗證電壓之 1.2V 時，由於能夠通過"01"第一階段寫入驗證的檢測，因此資料記憶部 DS2 的資料將變更為"1"。資料已經為"1"之資料記憶部 DS2 的資料，將不會隨此記憶格的臨限值而變更。此外，0/0/0、0/1/0 及 1/1/0 並不為"01"第一階段寫入驗證對象，因此不會進行變更。

表 5 為圖 13 之演算中，資料記憶部 DS1、DS2 及 DS3 在"01"第二階段寫入驗證處理前後之資料與相對應記憶格之臨限值(Vt)間的關係。

表 5

		DS1/DS2/DS3 資料 DS1/DS2/DS3 在第 n 次"01"第二階段寫入驗證處理後	
		記憶格的臨限值 Vt	
		低於 1.4V 時	高於 1.4V 時
DS1/DS2/DS3 資料 DS1/DS2/DS3 在第 n 次"01"第二階段 寫入驗證處理之前	0/0/1	0/0/1	—
	0/1/1	0/1/1	1/1/1
	1/1/1	1/1/1	1/1/1
	0/0/0	0/0/0	0/0/0
	0/1/0	0/1/0	0/1/0
	1/1/0	1/1/0	1/1/0

## 五、發明說明 ( 34 )

第n次之"01"第二階段寫入驗證前的資料記憶部DS1、DS2及DS3，其值為0/0/1、0/1/1、1/1/1、0/0/0、0/1/0、或1/1/0之中一項。0/0/1表示在第n次寫入步驟後，記憶格之臨限值未達"01"第一階段寫入驗證電壓。0/1/1表示至第n次寫入步驟為止，雖然記憶格之臨限值達到"01"第一階段寫入驗證電壓，唯未能在第n-1次寫入步驟為止達到"01"第二階段寫入驗證電壓。1/1/1表示至第n-1次寫入步驟為止，記憶格之臨限值達到"01"第二階段寫入驗證電壓。由於至第n-1次寫入步驟為止，不可能發生記憶格之臨限值達到"01"第二階段寫入驗證電壓，唯未能在第n次寫入步驟為止達到"01"第一階段寫入驗證電壓的情形，因此在本實施型態中，並不存在有1/0/1的狀態。

如記憶格的臨限值未能在第n次寫入步驟，達到"01"第二階段寫入驗證電壓之1.4V時，將無法通過"01"第二階段寫入驗證的檢測，因此不會變更資料記憶部DS1的資料。如記憶格的臨限值在第n次寫入步驟，達到"01"第二階段寫入驗證電壓之1.4V時，由於能夠通過"01"第二階段寫入驗證的檢測，因此資料記憶部DS1的資料將變更為"1"。資料已經為"1"之資料記憶部DS1的資料，將不會隨此記憶格的臨限值而變更。0/0/1並不為"01"第二階段寫入驗證而變更。此外，0/0/0、0/1/0及1/1/0並不為"01"第二階段寫入驗證對象，因此不會進行變更。

表6為圖13之演算中，資料記憶部DS1、DS2及DS3在"00"第一階段寫入驗證處理前後之資料與相對應記憶格之

## 五、發明說明 ( 35 )

臨限值( $V_t$ )間的關係。

表 6

DS1/DS2/DS3 資料 DS1/DS2/DS3 在第 n 次"00"第一階段 寫入驗證處理之前	DS1/DS2/DS3 資料 DS1/DS2/DS3 在第 n 次"00"第一階段寫入驗證處理後	
	記憶格的臨限值 $V_t$	
	低於 2.2V 時	高於 2.2V 時
0/0/1	0/0/1	-
0/1/1	0/1/1	-
1/1/1	1/1/1	-
0/0/0	0/0/0	0/1/0
0/1/0	0/1/0	0/1/0
1/1/0	1/1/0	1/1/0

第 n 次之"00"第一階段寫入驗證前的資料記憶部 DS1、DS2 及 DS3，其值為 0/0/1、0/1/1、1/1/1、0/0/0、0/1/0、或 1/1/0 之中一項。0/0/0 表示至第 n-1 次寫入步驟為止，記憶格之臨限值未達"00"第一階段寫入驗證電壓。0/1/0 表示至第 n-1 次寫入步驟為止，雖然記憶格之臨限值達到"00"第一階段寫入驗證電壓，唯未達"00"第二階段寫入驗證電壓。1/1/0 表示至第 n-1 次寫入步驟為止，記憶格之臨限值達到"00"第二階段寫入驗證電壓。由於至第 n-1 次寫入步驟為止，不可能發生記憶格之臨限值達到"00"第二階段寫入驗證電壓，唯未達"00"第一階段寫入驗

## 五、發明說明 ( 36 )

證電壓的情形，因此在本實施型態中，並不存在有1/0/0的狀態。

如記憶格的臨限值未能在第n次寫入步驟，達到"00"第一階段寫入驗證電壓之2.2V時，將無法通過"00"第一階段寫入驗證的檢測，因此不會變更資料記憶部DS2的資料。如記憶格的臨限值在第n次寫入步驟，達到"00"第一階段寫入驗證電壓之2.2V時，由於能夠通過"00"第一階段寫入驗證的檢測，因此資料記憶部DS2的資料將變更為"1"。資料已經為"1"之資料記憶部DS2的資料，將不會隨此記憶格的臨限值而變更。此外，0/0/1、0/1/1及1/1/1並不為"01"第一階段寫入驗證對象，因此不會進行變更。

表7為圖13之演算中，資料記憶部DS1、DS2及DS3在"00"第二階段寫入驗證處理前後之資料與相對應記憶格之臨限值(Vt)間的關係。

裝  
訂  
線

## 五、發明說明 ( 37 )

表 7

DS1/DS2/DS3 資料 DS1/DS2/DS3 在第 n 次"00"第二階段寫入驗證處理後		
記憶格的臨限值 Vt		
	低於 2.4V 時	高於 2.4V 時
DS1/DS2/DS3 資料 DS1/DS2/DS3 在第 n 次"00" 第二階段 寫入驗證處理之前	0/0/1	0/0/1
	0/1/1	0/1/1
	1/1/1	1/1/1
	0/0/0	0/0/0
	0/1/0	0/1/0
	1/1/0	1/1/0

第 n 次之 "00" 第二階段寫入驗證前的資料記憶部 DS1 、 DS2 及 DS3 ，其值為 0/0/1 、 0/1/1 、 1/1/1 、 0/0/0 、 0/1/0 、或 1/1/0 之中一項。 0/0/0 表示在第 n 次寫入步驟後，記憶格之臨限值未達 "00" 第一階段寫入驗證電壓。 0/1/0 表示至第 n 次寫入步驟為止，雖然記憶格之臨限值達到 "00" 第一階段寫入驗證電壓，唯未能在第 n-1 次寫入步驟為止達到 "00" 第二階段寫入驗證電壓。 1/1/0 表示至第 n-1 次寫入步驟為止，記憶格之臨限值達到 "00" 第二階段寫入驗證電壓。由於至第 n-1 次寫入步驟為止，不可能發生記憶格之臨限值達到 "00" 第二階段寫入驗證電壓，唯未能在第 n 次寫入步驟為止達到 "00" 第一階段寫入驗證電壓的情形，因此在本實施型態中，並不存在有 1/0/0 的狀態。

## 五、發明說明 ( 38 )

如記憶格的臨限值未能在第n次寫入步驟，達到"00"第二階段寫入驗證電壓之2.4V時，將無法通過"00"第二階段寫入驗證的檢測，因此不會變更資料記憶部DS1的資料。如記憶格的臨限值在第n次寫入步驟，達到"00"第二階段寫入驗證電壓之2.4V時，由於能夠通過"00"第二階段寫入驗證的檢測，因此資料記憶部DS1的資料將變更為"1"。資料已經為"1"之資料記憶部DS1的資料，將不會隨此記憶格的臨限值而變更。0/0/0並不為"00"第二階段寫入驗證而變更。此外，0/0/1、0/1/1及1/1/1並不為"00"第二階段寫入驗證對象，因此不會進行變更。

圖14為用以控制區塊內寫入順序之控制演算內容。

首先選擇字元線WL0，對第偶數條位元線連接之複數個記憶格構成之一頁，寫入低階資料。接著，對第奇數條位元線連接之複數個記憶格構成之一頁，寫入低階資料。第3，則係對第偶數條位元線連接之複數個記憶格構成之一頁，寫入高階資料，最後對第奇數條位元線連接之複數個記憶格構成之一頁，寫入高階資料。之後，同樣地對其他的字元線WL1、WL2、WL3...，以上述同樣的順序寫入資料。

如此一來，相鄰記憶格之漂浮閘極間的干擾能夠抑制到最小程度。亦即，對於後來施以寫入處理的記憶格，如其狀態由"11"轉變成"10"、由"11"轉變成"01"、或由"10"轉變成"00"時，不會由"11"轉變成"00"。由"11"轉變成"00"時，相鄰記憶格的臨限值最容易上升。

## 五、發明說明 ( 39 )

圖 15 為對記憶格之低階頁進行資料讀取時之控制演算內容。

首先，接收到來自主機的資料輸入指令，將資料輸入指令設定於狀態器 8(S1)。接收來自主機的位址資料，將用以選擇寫入頁之位址，設定於狀態器 8(S2)。設定位址後，內部將自動藉由狀態器 8，啟動 S3 至 S5 的步驟。

首先，將啟動 "01" 讀取處理(S3)。"01" 讀取處理的過程中，將施加 1V 於字元線 WL。如記憶格的臨限值低於 "01" 資料時，藉由放大器讀取的結果將為 "1"，如高於 "01" 資料時，讀取結果將為 "0"。讀取之結果係記憶於相對應之資料記憶部 DS3。接下來，啟動 "10" 讀取處理(S4)。"10" 讀取處理的過程中，將施加 0V 於字元線 WL。如記憶格的臨限值低於 "10" 資料時，藉由放大器讀取的結果將為 "1"，如高於 "10" 資料時，讀取結果將為 "0"。讀取之結果係記憶於相對應之資料記憶部 DS2。最後，將啟動 "00" 讀取處理(S5)。"00" 讀取處理的過程中，將施加 2V 於字元線 WL。如記憶格的臨限值低於 "00" 資料時，藉由放大器讀取的結果將為 "1"，如高於 "00" 資料時，讀取結果將為 "0"。藉由對 "00" 讀取處理之結果、及相對應之資料記憶部 DS2 及 DS3 之資料，進行邏輯演算，得到下低階頁之資料，且將所得的資料記憶於相對應之資料記憶部 DS1。接著，記憶於資料記憶部 DS1 的資料，將輸出至外部，做為低階頁的資料。

例如，當資料記憶部 DS3 記憶之 "01" 讀取結果為 "1"，且

## 五、發明說明 ( 40 )

資料記憶部 DS2 記憶之 "10" 讀取結果也為 "1" 時，低階頁之資料的邏輯演算結果將為 "1"。當資料記憶部 DS3 記憶之 "01" 讀取結果為 "1"，且資料記憶部 DS2 記憶之 "10" 讀取結果也為 "0" 時，低階頁之資料的邏輯演算結果將為 "0"。當資料記憶部 DS3 記憶之 "01" 讀取結果為 "0"，且 "00" 讀取結果也為 "0" 時，低階頁之資料的邏輯演算結果將為 "0"。當資料記憶部 DS3 記憶之 "01" 讀取結果為 "0"，且 "00" 讀取結果為 "1" 時，低階頁之資料的邏輯演算結果將為 "1"。

亦即，執行上述邏輯演算之演算電路，只要能夠在 DS3 為 "1" 時，將 DS2 的值做為低階頁之資料而記憶於資料記憶部 DS1，且在 DS3 為 "0" 時，將 "01" 讀取結果做為低階頁之資料而記憶於資料記憶部 DS1 即可。

圖 16 為對記憶格之高階頁進行資料讀取時之控制演算內容。

首先，接收到來自主機的資料輸入指令，將資料輸入指令設定於狀態器 8(S1)。接收來自主機的位址資料，將用以選擇寫入頁之位址，設定於狀態器 8(S2)。設定位址後，內部將自動藉由狀態器 8，啟動 S3 的步驟。

步驟 S3 中，將啟動 "01" 讀取處理。讀取結果將做為高階頁之資料，記憶於相對應之資料記憶部 DS1。亦即，"01" 讀取處理之結果，將直接成為高階頁之資料。且，資料記憶部 DS1 之資料，將輸出至外部。

如上所述，依第一實施型態之多值快閃記憶體，不僅可

裝  
訂  
線

## 五、發明說明 ( 41 )

抑制寫入時間的增加，也可縮小臨限值的分布寬度，能夠提高可靠性。

接下來說明本發明之第二實施型態。

圖17A為圖11所示之信號時序圖中，截取寫入步驟部份之內容。此外，在此之位元線BL<sub>e</sub>之電壓係設定為例如0.4V，且以第二階段寫入處理時的情況為例。第一實施型態中，在寫入步驟的過程中，在對字元線WL施加指定寫入電壓(圖中例如為18.0V)期間，寫入控制電壓之位元線BL的電壓係保持在一定電壓值，例如保持在0.4V來進行寫入。

相對於此，在第二實施型態中，如圖17B所示，在對選擇之字元線WL<sub>2</sub>施加指定寫入電壓V<sub>pgm</sub>過程中之定期間內(圖17B中的T<sub>wr</sub>)，將寫入控制電壓之位元線BL的電壓係保持在0V後，再施加成V<sub>dd</sub>以禁止寫入。

此外，位元線BL電壓設定為0V之上述定期間T<sub>wr</sub>的長度上，相較於第一階段寫入處理時，藉由使第二階段寫入處理時設定成較短的長度，能夠如同第一實施型態一般，將第二階段寫入處理時之臨限值的增壓量，抑制的比第一階段寫入處理時還低。

亦即，位第二實施型態，寫入控制電壓的有效電壓，能夠設定成係將做為寫入控制電壓之位元線BL之電壓在寫入步驟期間保持一定的第一實施型態時相等，得到與第一實施型態相同的效果。

接下來說明本發明之第三實施型態。

## 五、發明說明 ( 42 )

圖18為與圖11所示信號時序圖相對應之信號時序圖。

如圖11所示一般，在第一實施型態中，當第一階段寫入驗證處理結束後，即使位元線的電壓維持在充電後電壓，也仍會將位元線電壓重設成0V，接著為了實施第二階段寫入驗證處理而再度進行充電。

相對於此，在第三實施型態中，則係以如下方式進行寫入驗證。

第一階段寫入驗證時，首先將位元線 BLe 充電至例如 0.7V。接著，當選擇之字元線 WL2 達到第一階段寫入驗證電壓時，如記憶格之臨限值達到第一階段寫入驗證電壓的話，位元線 BLe 會保持在 0.7V。如記憶格的臨限值未達到第一階段寫入驗證電壓時，位元線 BLe 會下降至 0V。如在圖 18 中的 tfv4 時，檢測位元線 BLe 的電壓，便可檢測出記憶格的臨限值是否達到寫入驗證電壓。如記憶格的臨限值達到寫入驗證電壓時，便可視該檢測結果為"通過"。

接著，在時機 tfv5 或相同時機之 tsv3，選擇之字元線 WL2 之電壓，將由第一階段寫入驗證電壓切換成第二階段寫入驗證電壓。例如，如圖 18 所示一般，將選擇之字元線 WL2 之電壓，由 0.2V 上升至 0.4V。如記憶格之臨限值達到第二階段寫入驗證電壓時，位元線 BLe 將保持在 0.7V。如記憶格的臨限值未達到第二階段寫入驗證電壓時，位元線 BLe 會下降至 0V。且，如在 tfv4 時，檢測位元線 BLe 的電壓，便可檢測出記憶格的臨限值是否達到寫入驗證電壓。如記憶格的臨限值達到寫入驗證電壓時，便可視該檢測結果為"

## 五、發明說明 ( 43 )

通過"。

第三實施型態中，不僅能夠得到與第一實施型態相同的結果，且能夠省略第二階段寫入驗證時之位元線的充電時間，得到更高速的寫入效果。此外，對於資料"01"及資料"00"之第一或第二階段寫入驗證方面，僅需改變寫入驗證電壓便可以同樣方式實施。

此外，上述各實施型態的說明上，雖然係以一記憶格記憶2位元的資料為例，即各記憶格能夠記憶4值資料的情況為例加以敘述，唯對於使一記憶格記憶4值資料以上資料時的情況，也同樣能夠輕易地適用。

對熟悉本技術領域的人而言，其他優點及變形例為顯而易見。因此，本發明之特徵並不侷限於上述內容或實施型態。符合本發明之宗旨或申請專利範圍所述之概念的各種變形例，均屬本發明的範疇。

裝

訂

線

四、中文發明摘要（發明之名稱：以一記憶格記憶多值資料之非揮發性半導體  
記憶裝置）

本發明為一種非揮發性半導體記憶裝置，其包含：可進行電性資料覆寫之非揮發性半導體記憶格；及用以將資料寫入記憶格之寫入電路，其係藉由對記憶格施加寫入電壓  $V_{pgm}$  及寫入控制電壓  $V_{BL}$  而進行記憶格的寫入，當記憶格達到第一寫入狀態時，藉由改變寫入控制電壓  $V_{BL}$  的值，對記憶格進行寫入，當記憶格達到第二寫入狀態時，藉由將寫入控制電壓  $V_{BL}$  的值改變為  $V_{dd}$ ，以禁止對記憶格  $M$  進行資料寫入者。

---

NON-VOLATILE SEMICONDUCTOR MEMORY  
英文發明摘要（發明之名稱：DEVICE ADAPTED TO STORE A MULTI-VALUED )  
DATA IN A SINGLE MEMORY CELL

The subject invention has a non-volatile memory cell whose data is electrically rewritable, and a write circuit that writes data into a memory cell by supplying writing voltage  $V_{pgm}$  and writing control voltage  $V_{BL}$  to memory cell, changing the value of the writing control voltage  $V_{BL}$  to write into the memory cell when the memory cell reaches a first writing status, and changing the value of the writing voltage  $V_{pgm}$  to  $V_{dd}$  to forbid to write into the memory cell when reaches a second writing status.

## 六、申請專利範圍

1. 一種非揮發性半導體記憶裝置，其特徵為包含：

可進行電性資料覆寫之非揮發性半導體記憶格；及用以將資料寫入記憶格之寫入電路，其係藉由對上述記憶格施加寫入電壓及寫入控制電壓，以進行第一寫入處理，當上述第一寫入處理結束後，藉由改變上述寫入控制電壓的供應狀態，對上述記憶格進行第二寫入處理，當上述第二寫入處理結束後，再度改變上述寫入控制電壓的供應狀態，以禁止對上述記憶格進行寫入處理者。

2. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係用以記憶n值(n為4以上之正整數)資料。

3. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中上述寫入電路，在對上述非揮發性半導體記憶體記憶格進行寫入的過程中，係藉由改變上述寫入電壓值進行寫入。

4. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中上述寫入電路，在對上述非揮發性半導體記憶格進行寫入的過程中，係藉由依序增加上述寫入電壓值進行寫入。

5. 如申請專利範圍第1項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係具有漂浮閘極、控制閘極、源極及汲極之非揮發性電晶體；

上述寫入電路係將上述寫入電壓供應至上述非揮發性

## 六、申請專利範圍

電晶體之控制閘極，且將上述寫入控制電壓供應至上述非揮發性電晶體之汲極。

### 6. 一種非揮發性半導體記憶裝置，其特徵為包含：

1個可進行電性資料覆寫之非揮發性半導體記憶格；及用以將資料寫入上述記憶格之寫入電路，其係藉由對上述記憶格施加寫入電壓及具有第一值之寫入控制電壓，以對上述記憶格進行寫入處理，且在上述記憶格達到第一寫入狀態時，將上述寫入控制電壓值變更為與上述第一值不同之第二值後，對上述記憶格進行寫入處理，當上述記憶格達到第二寫入狀態後，將上述寫入控制電壓值變更為與上述第一值及第二值不同之第三值，以禁止對上述記憶格進行寫入處理。

7. 如申請專利範圍第6項之非揮發性半導體記憶裝置，其中上述第二值大於上述第一值，且上述第三值大於上述第二值。

8. 如申請專利範圍第7項之非揮發性半導體記憶裝置，其中上述第三值為電源電壓值。

9. 如申請專利範圍第6項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係用以記憶n值(n為3以上之正整數)資料。

10. 如申請專利範圍第6項之非揮發性半導體記憶裝置，其中上述寫入電路，在對上述非揮發性半導體記憶格進行寫入的過程中，係藉由改變上述寫入電壓值進行寫入。

11. 如申請專利範圍第6項之非揮發性半導體記憶裝置，其中

## 六、申請專利範圍

上述寫入電路在對上述非揮發性半導體記憶格進行寫入的過程中，係藉由依序增加上述寫入電壓值進行寫入。

12. 如申請專利範圍第6項之非揮發性半導體記憶裝置，其中上述寫入電路，在對上述非揮發性半導體記憶格進行寫入的過程中，係藉由一定比例依序增加上述寫入電壓值而進行寫入。

13. 如申請專利範圍第6項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係具有漂浮閘極、控制閘極、源極及汲極之非揮發性電晶體；

上述寫入電路係將上述寫入電壓供應至上述非揮發性電晶體之控制閘極，且將上述寫入控制電壓供應至上述非揮發性電晶體之汲極。

14. 一種非揮發性半導體記憶裝置，其特徵為包含：

1個可進行電性資料覆寫之非揮發性半導體記憶格；及用以將資料寫入上述記憶格之寫入電路，其係藉由在對上述記憶格施加寫入電壓的狀態下，僅在第一期間內供應具有第一值之寫入控制電壓，以對上述記憶格進行寫入處理，且在上述記憶格達到第一寫入狀態時，在對上述記憶格施加上述寫入電壓的狀態下，僅在相異於第一期間之第二期間內供應具有上述第一值之寫入控制電壓，對上述記憶格進行寫入處理，當上述記憶格達到第二寫入狀態後，將上述寫入控制電壓值變更為與上述第一值不同之第二值，以禁止對上述記憶格進行寫入。

15. 如申請專利範圍第14項之非揮發性半導體記憶裝置，其

裝  
訂  
線

## 六、申請專利範圍

中上述第二期間比上述第一期間短，且上述第二值大於上述第一值。

16. 如申請專利範圍第14項之非揮發性半導體記憶裝置，其中上述第二值為電源電壓值。
17. 如申請專利範圍第14項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係用以記憶n值(n為3以上之正整數)資料。
18. 如申請專利範圍第14項之非揮發性半導體記憶裝置，其中上述寫入電路在對上述非揮發性半導體記憶格進行寫入的過程中，係藉由改變上述寫入電壓值進行寫入。
19. 如申請專利範圍第14項之非揮發性半導體記憶裝置，其中上述寫入電路在對上述非揮發性半導體記憶格進行寫入的過程中，係藉由依序增加上述寫入電壓值進行寫入。
20. 如申請專利範圍第14項之非揮發性半導體記憶裝置，其中上述寫入電路在對上述非揮發性半導體記憶格進行寫入的過程中，係藉由一定比例依序增加上述寫入電壓值進行寫入。
21. 如申請專利範圍第14項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係具有漂浮閘極、控制閘極、源極及汲極之非揮發性電晶體；  
 上述寫入電路係將上述寫入電壓供應至上述非揮發性電晶體之控制閘極，且將上述寫入控制電壓供應至上述非揮發性電晶體之汲極。

## 六、申請專利範圍

22. 一種非揮發性半導體記憶裝置，其特徵為包含：

複數個可個別進行電性資料覆寫之非揮發性半導體記憶格；

複數條字元線，其係用以共通連接上述複數個記憶格；

複數條位元線，其係用以分別連接上述複數個記憶格；及

用以將資料寫入複數記憶格之寫入電路，

其係對應於上述複數條位元線而設置，具有用以記憶第一及第二控制資料之資料記憶電路；且，

上述寫入電路，

係依應寫入相對應記憶格之資料，在上述資料記憶電路上設定第一控制資料，

藉由對上述字元線施加寫入電壓的同時，對於與記憶有寫入做為上述第一控制資料之上述資料記憶電路相對應的位元線，施加寫入控制電壓以對相對應的記憶格進行寫入處理，

且對施以寫入處理之上述記憶格中，於對應達到第一寫入狀態之記憶格之上述資料記憶電路，設定表示已結束第一寫入狀態之資料做為上述第二控制資料後，改變上述寫入控制電壓的供應狀態，對達到上述第一寫入狀態之上述記憶格進行寫入處理，

且對施以寫入處理之記憶格中，於對應達到第二寫入狀態之記憶格之上述資料記憶電路，於設定表示已結束

## 六、申請專利範圍

第二寫入狀態之資料做為上述第一控制資料後，再度改變上述寫入控制電壓的供應狀態，以禁止對達到上述第二寫入狀態之上述記憶格進行寫入處理。

23. 如申請專利範圍第22項之非揮發性半導體記憶裝置，其中上述寫入電路在將做為第二控制資料之用以表示第一寫入狀態結束之資料，設定於上述資料記憶電路後，保持該資料。
24. 如申請專利範圍第22項之非揮發性半導體記憶裝置，其中上述寫入電路在將做為第二控制資料之用以表示第一寫入狀態結束之資料，設定於上述資料記憶電路後，變更上述寫入控制電壓值，對達到上述第一寫入狀態之上述記憶格進行寫入。
25. 如申請專利範圍第22項之非揮發性半導體記憶裝置，其中上述寫入電路在將做為第二控制資料之用以表示第一寫入狀態結束之資料，設定於上述資料記憶電路後，變更上述寫入控制電壓的供應期間，對達到上述第一寫入狀態之上述記憶格進行寫入。
26. 一種非揮發性半導體記憶裝置，其特徵為包含：  
 1個可進行電性資料覆寫之非揮發性半導體記憶格；及用以將資料寫入上述記憶格之寫入電路，其係藉由對上述記憶格施加其值能夠依序增加之電壓及具有第一有效電壓之寫入控制電壓，以對上述記憶格進行寫入處理，且在上述記憶格達到第一寫入狀態時，將上述寫入控制電壓變更為與上述第一有效電壓不同之第二有效電

裝  
訂  
線

## 六、申請專利範圍

壓，供應至上述記憶格以進行寫入處理，當上述記憶格達到第二寫入狀態時，禁止對上述記憶格進行寫入處理。

27. 如申請專利範圍第26項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係用以記憶n值(n為3以上之正整數)資料。

28. 如申請專利範圍第26項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係具有漂浮閘極、控制閘極、源極及汲極之非揮發性電晶體；

上述寫入電路係將上述寫入電壓供應至上述非揮發性電晶體之控制閘極，且將上述寫入控制電壓供應至上述非揮發性電晶體之汲極。

29. 一種非揮發性半導體記憶裝置，其特徵為包含：

1個可進行電性資料覆寫之非揮發性半導體記憶格；及用以將資料寫入上述記憶格之寫入電路，其係藉由對上述記憶格施加其值能夠依序每次增加一定值之電壓及具有第一有效電壓之寫入控制電壓，以對上述記憶格進行寫入處理，且在上述記憶格達到第一寫入狀態時，將上述寫入控制電壓變更為與上述第一有效電壓不同之第二有效電壓，供應至上述記憶格以進行寫入處理，當上述記憶格達到第二寫入狀態時，禁止對上述記憶格進行寫入處理；其

上述第二有效電壓與上述第一有效電壓間的差距，係設定成大於上述寫入電壓增加時之一定值。

## 六、申請專利範圍

30. 如申請專利範圍第29項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係用以記憶n值(n為3以上之正整數)資料。
31. 如申請專利範圍第29項之非揮發性半導體記憶裝置，其中上述非揮發性半導體記憶格係具有控制閘極、漂浮閘極、源極及汲極之非揮發性電晶體；  
上述寫入電路係將上述寫入電壓供應至上述非揮發性電晶體之控制閘極，且將上述寫入控制電壓供應至上述非揮發性電晶體之汲極。

裝

訂

線

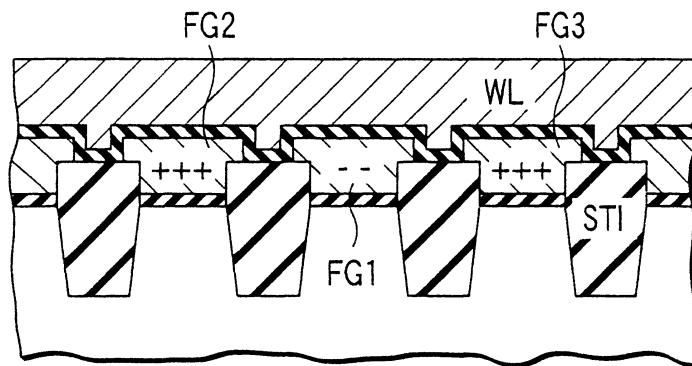


圖 1A

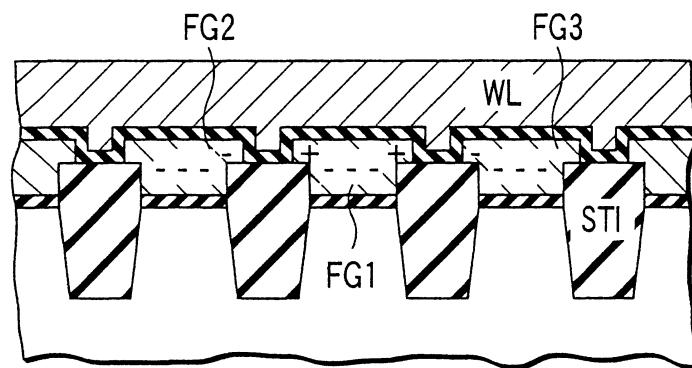


圖 1B

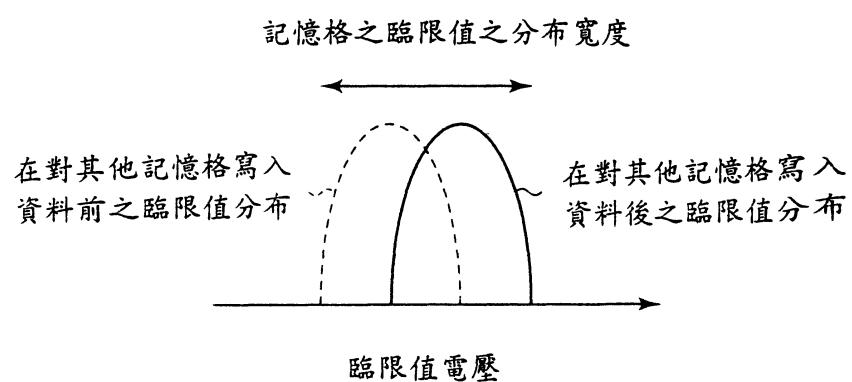


圖 1C

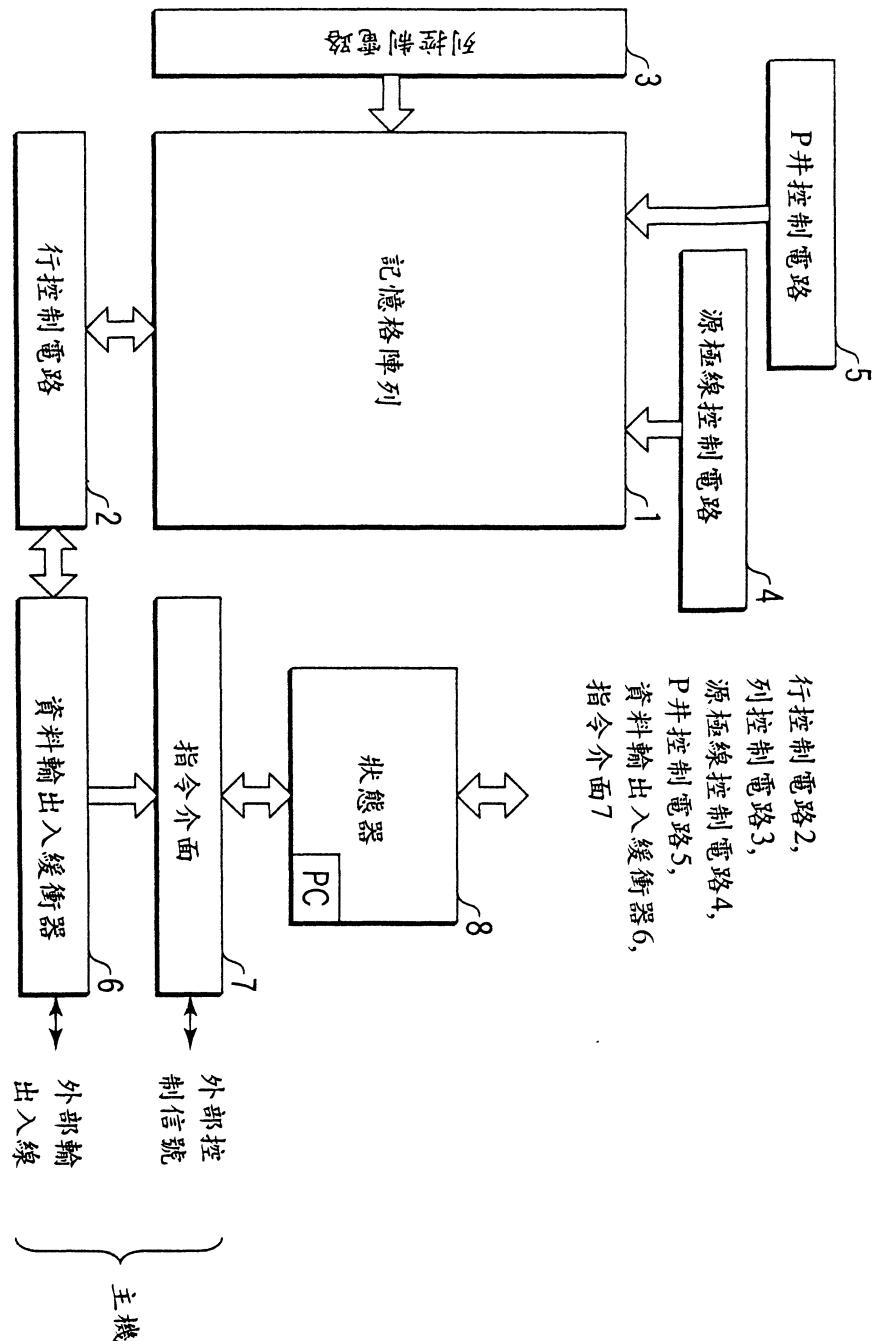


圖2

圖 3A

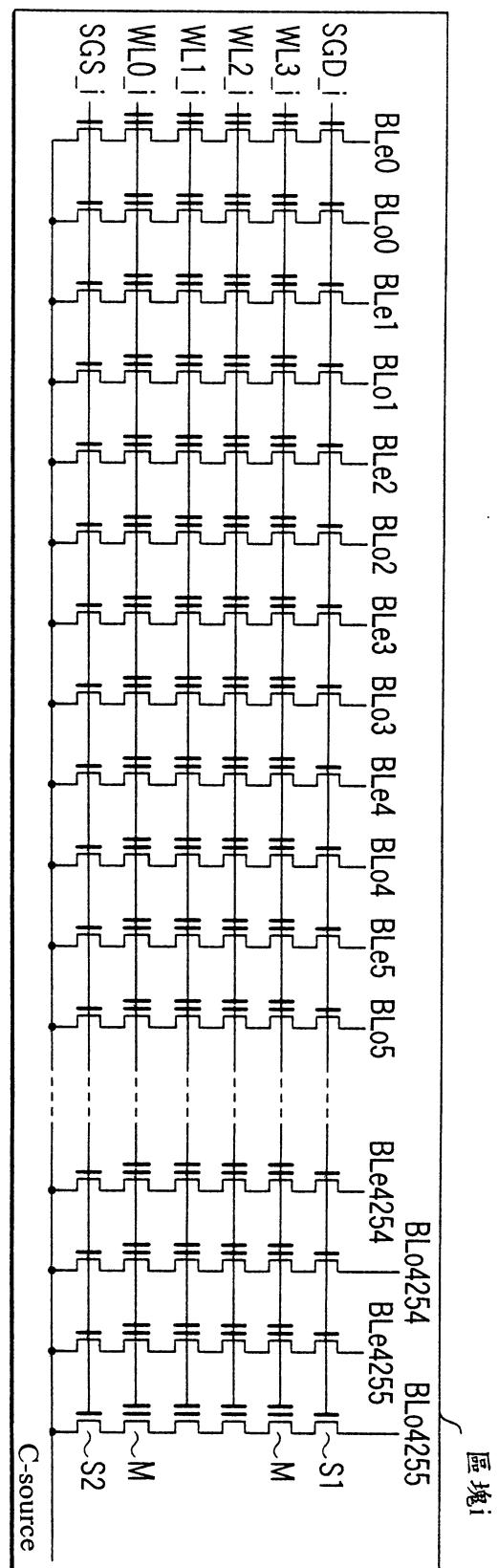
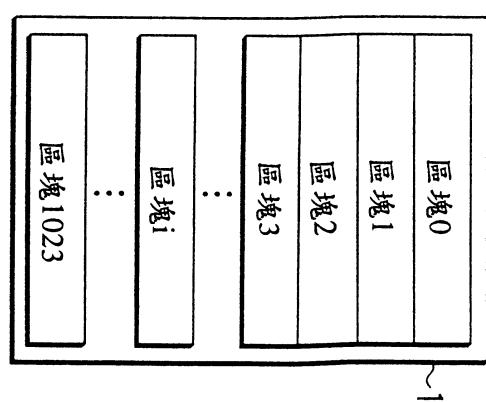


圖 3B

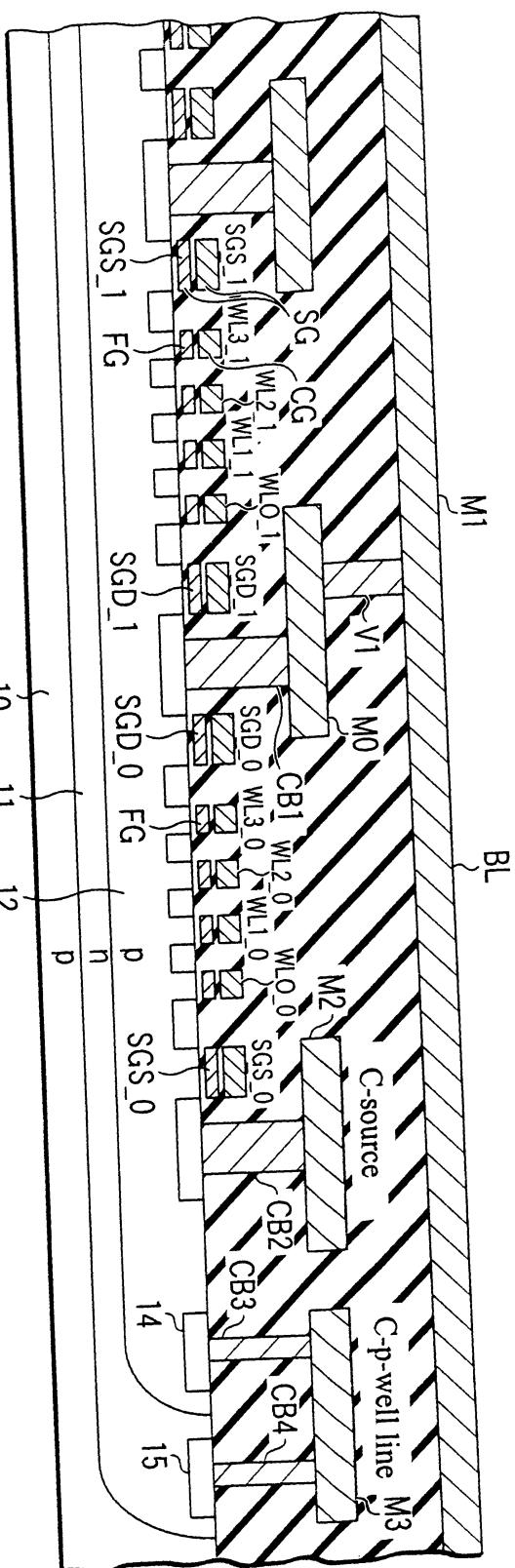


圖 4

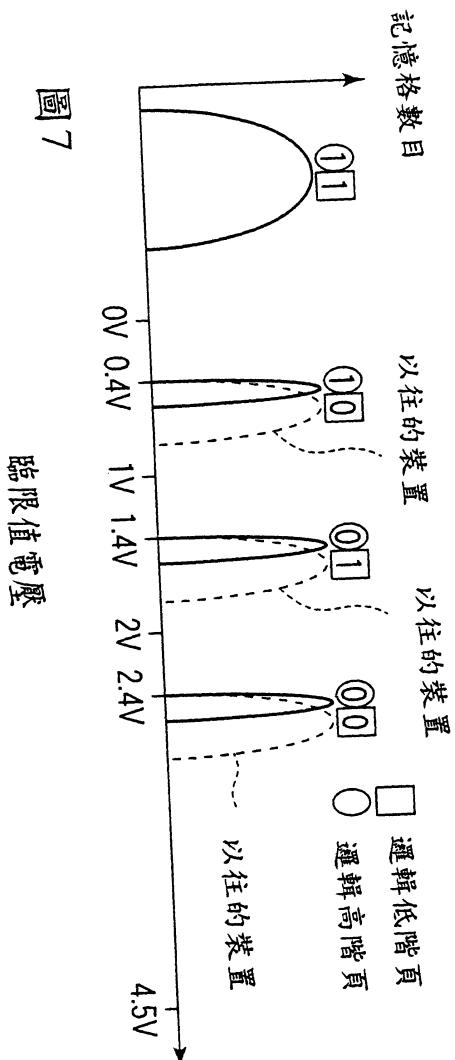


圖 7

臨限值電壓

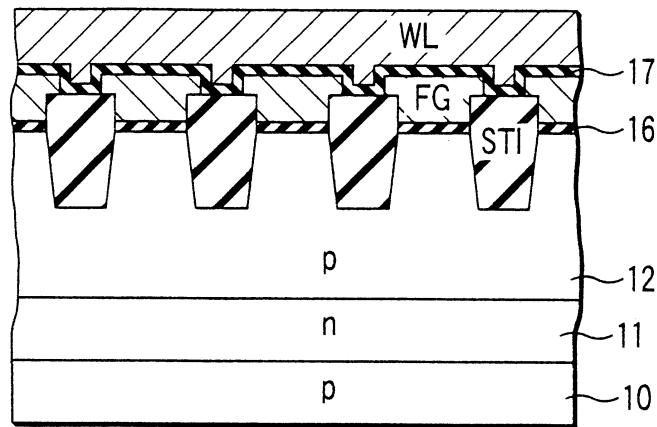


圖 5A

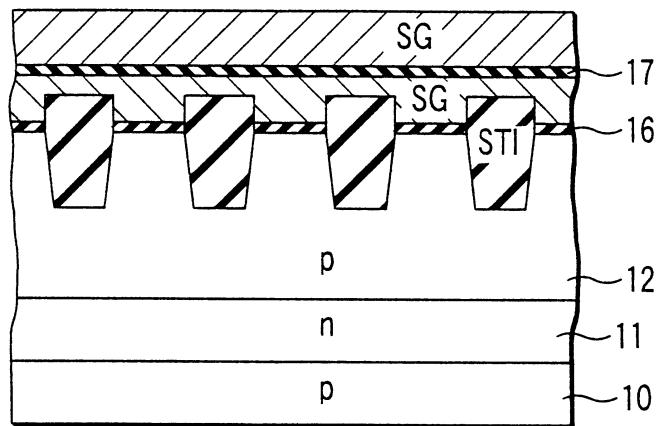


圖 5B

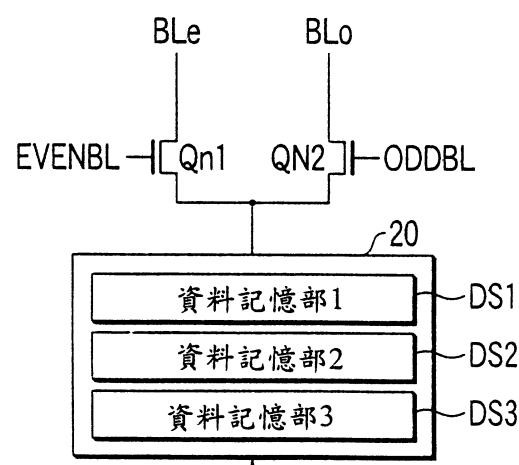


圖 6

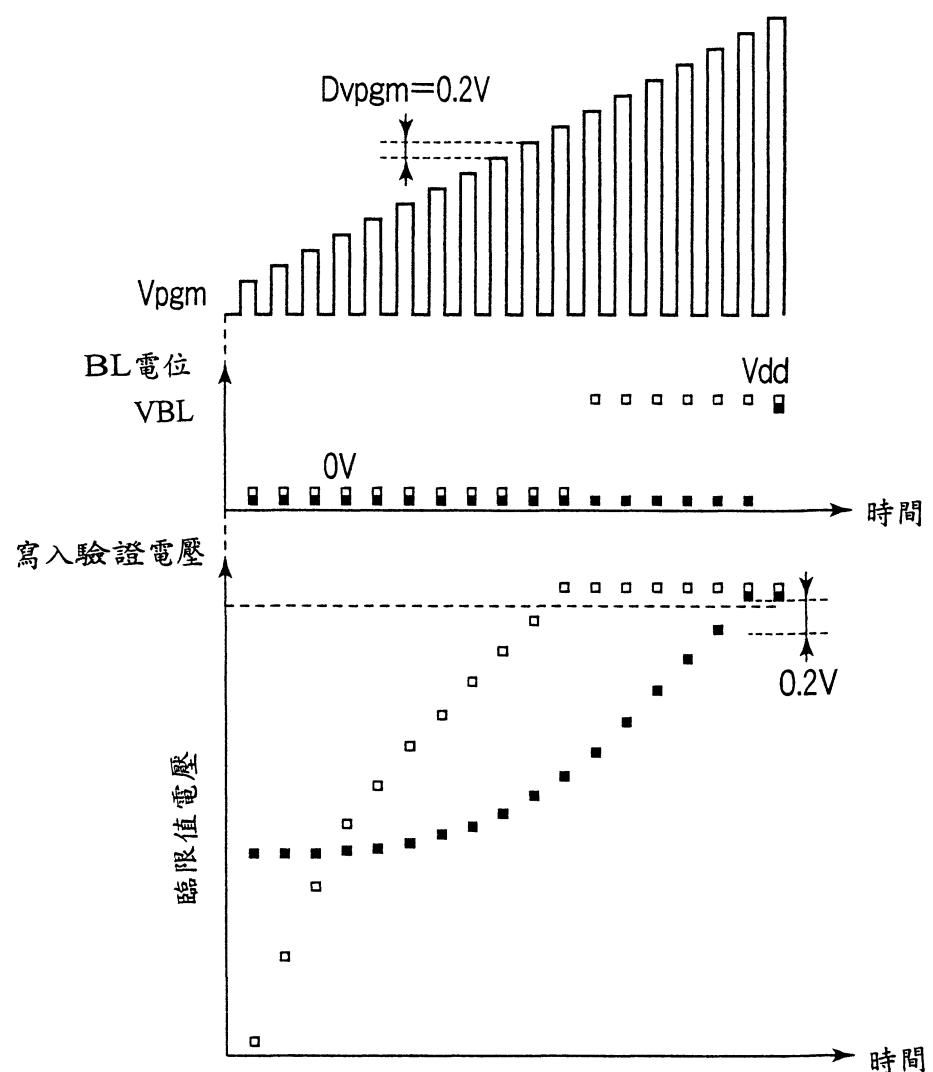


圖8

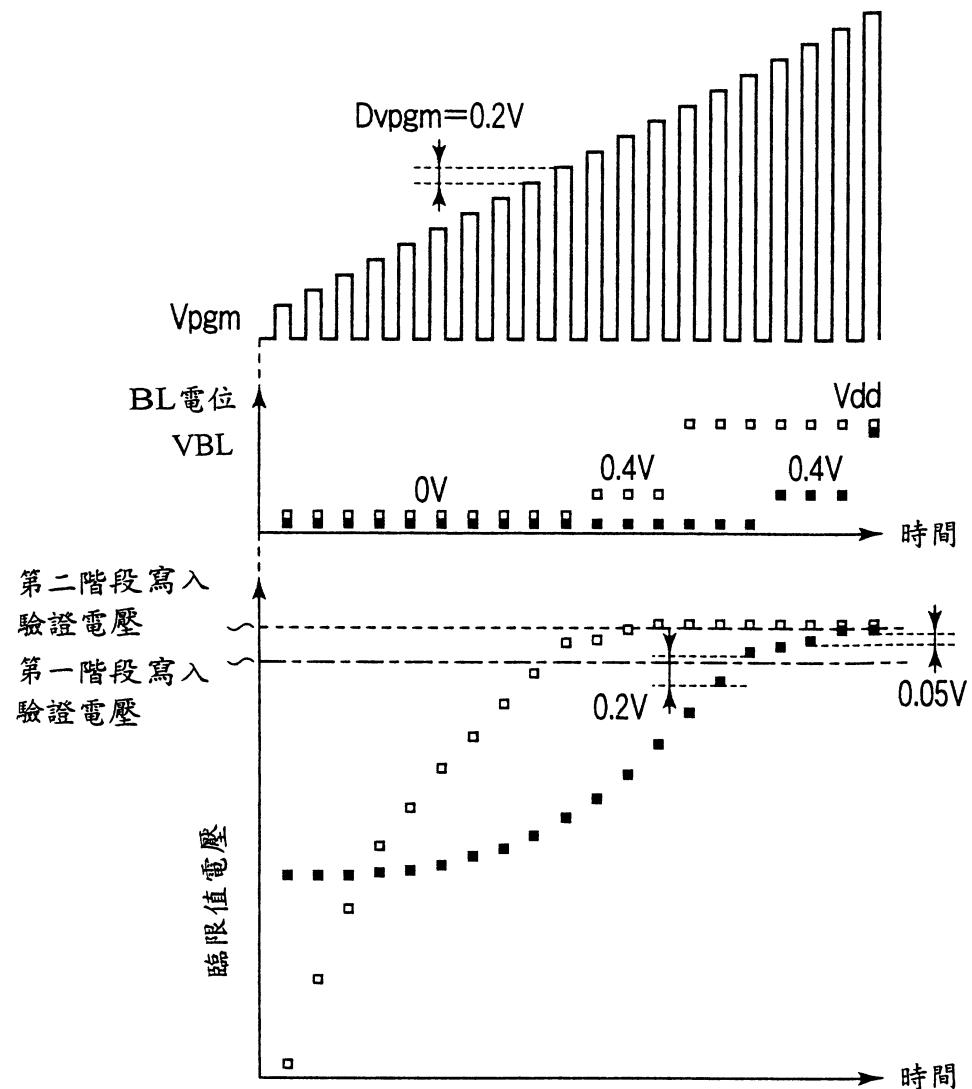


圖9

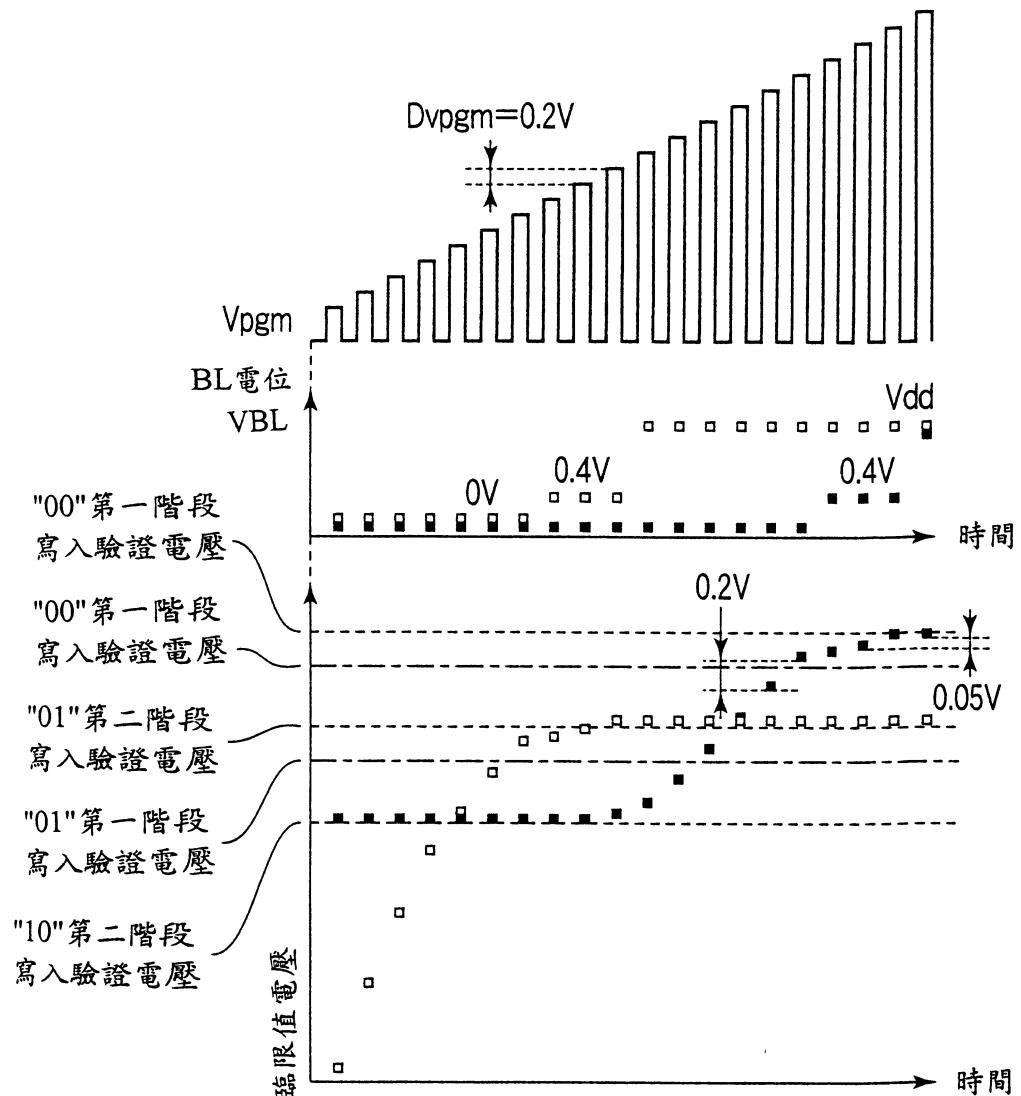


圖 10

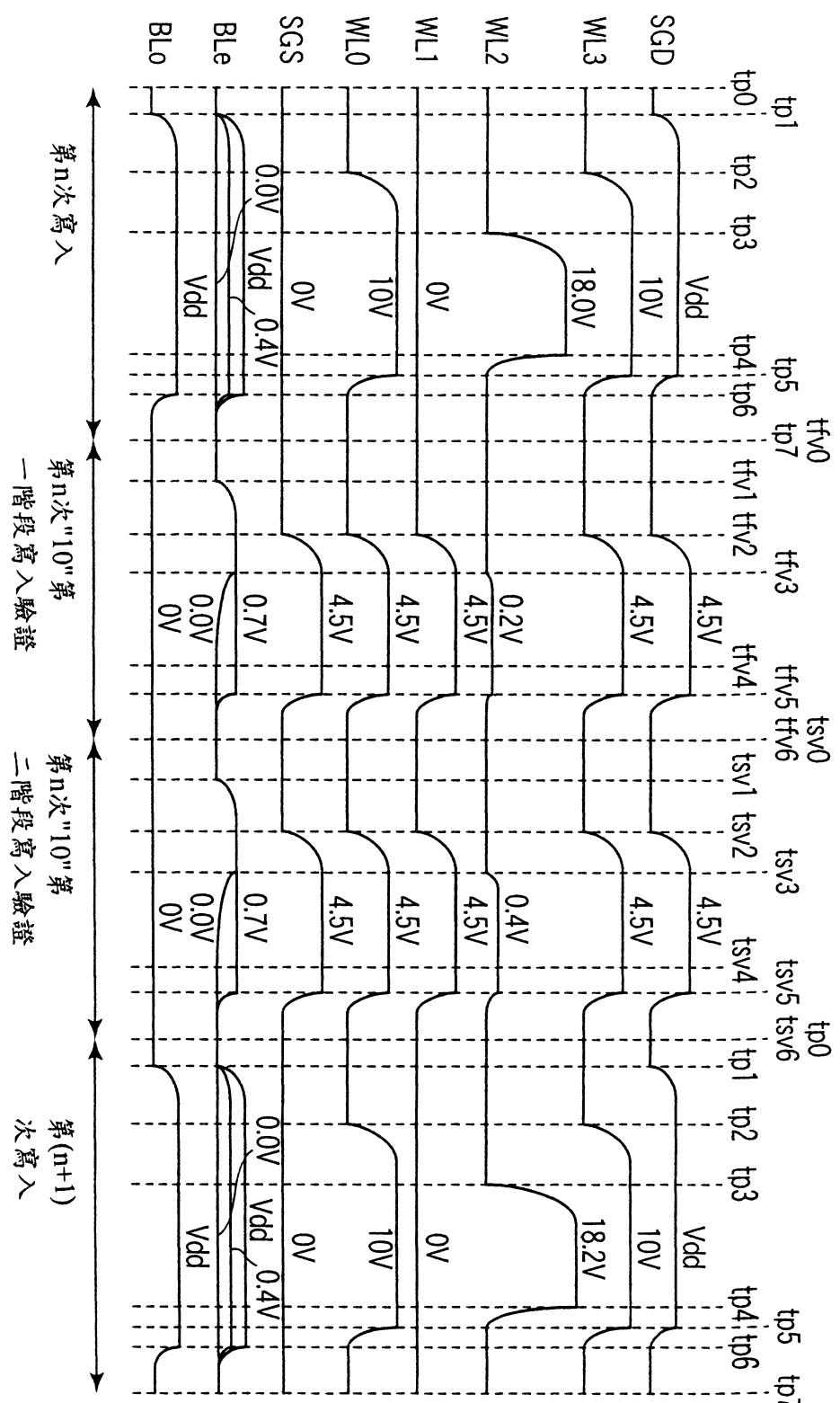
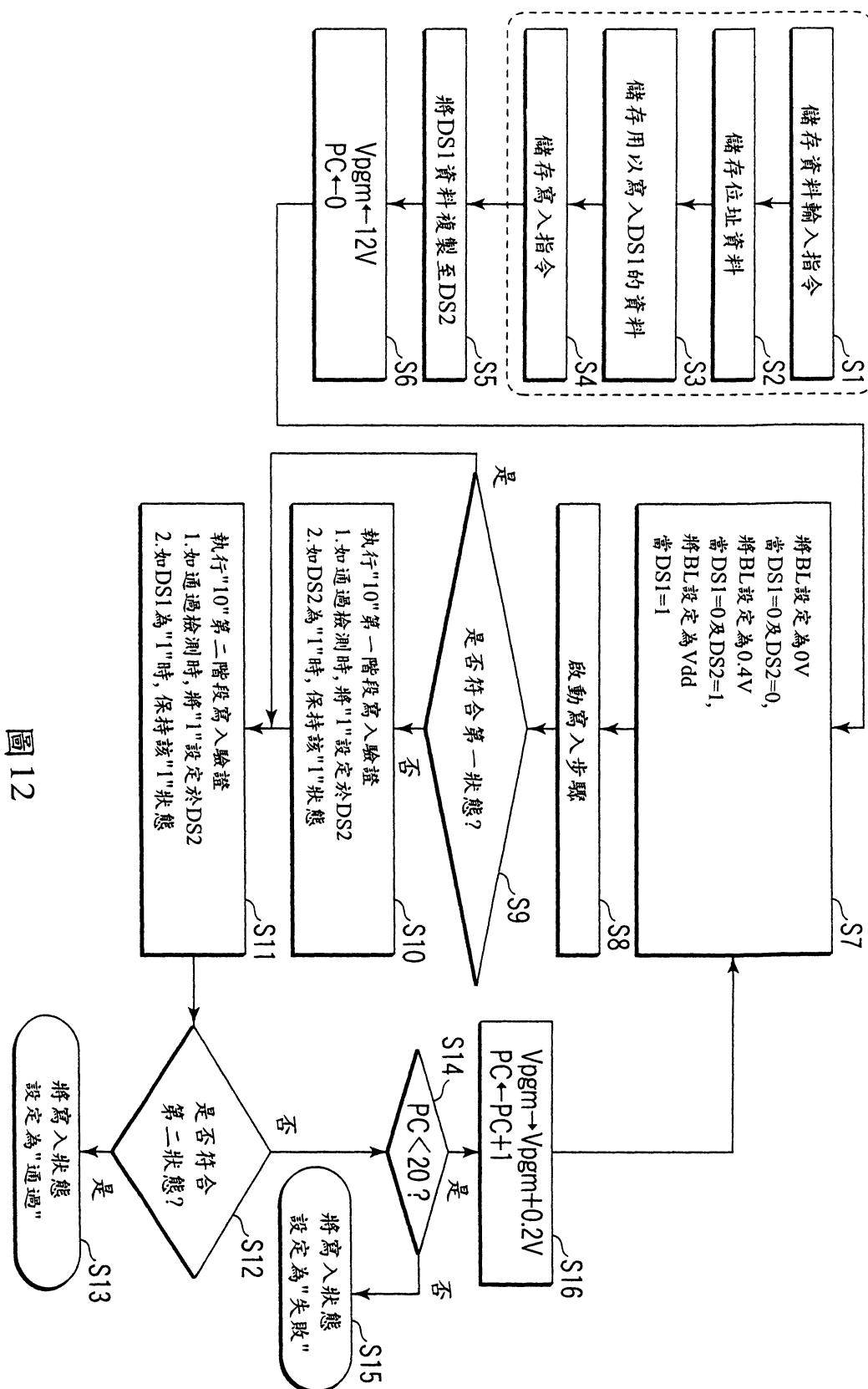


圖 11



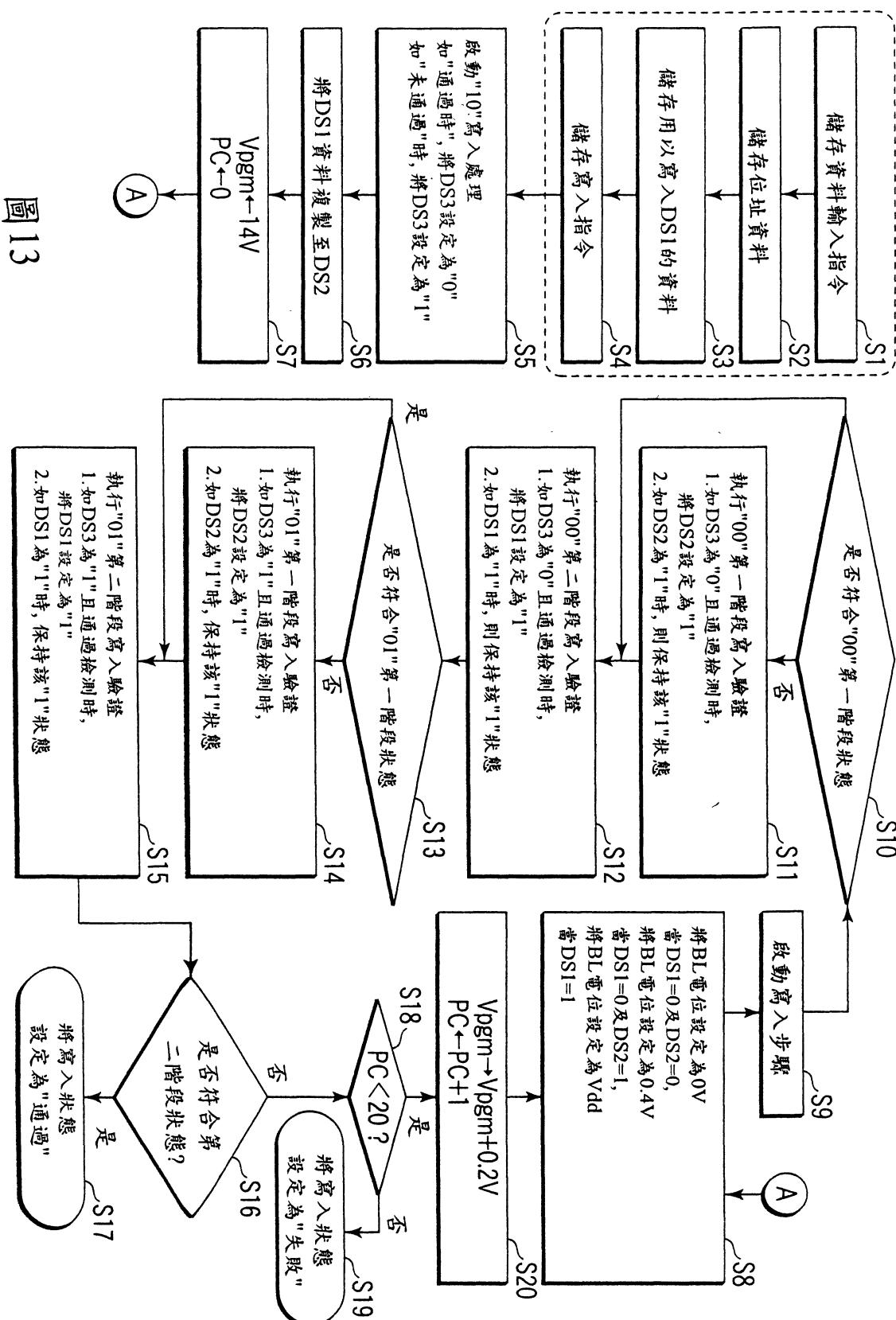


圖 13

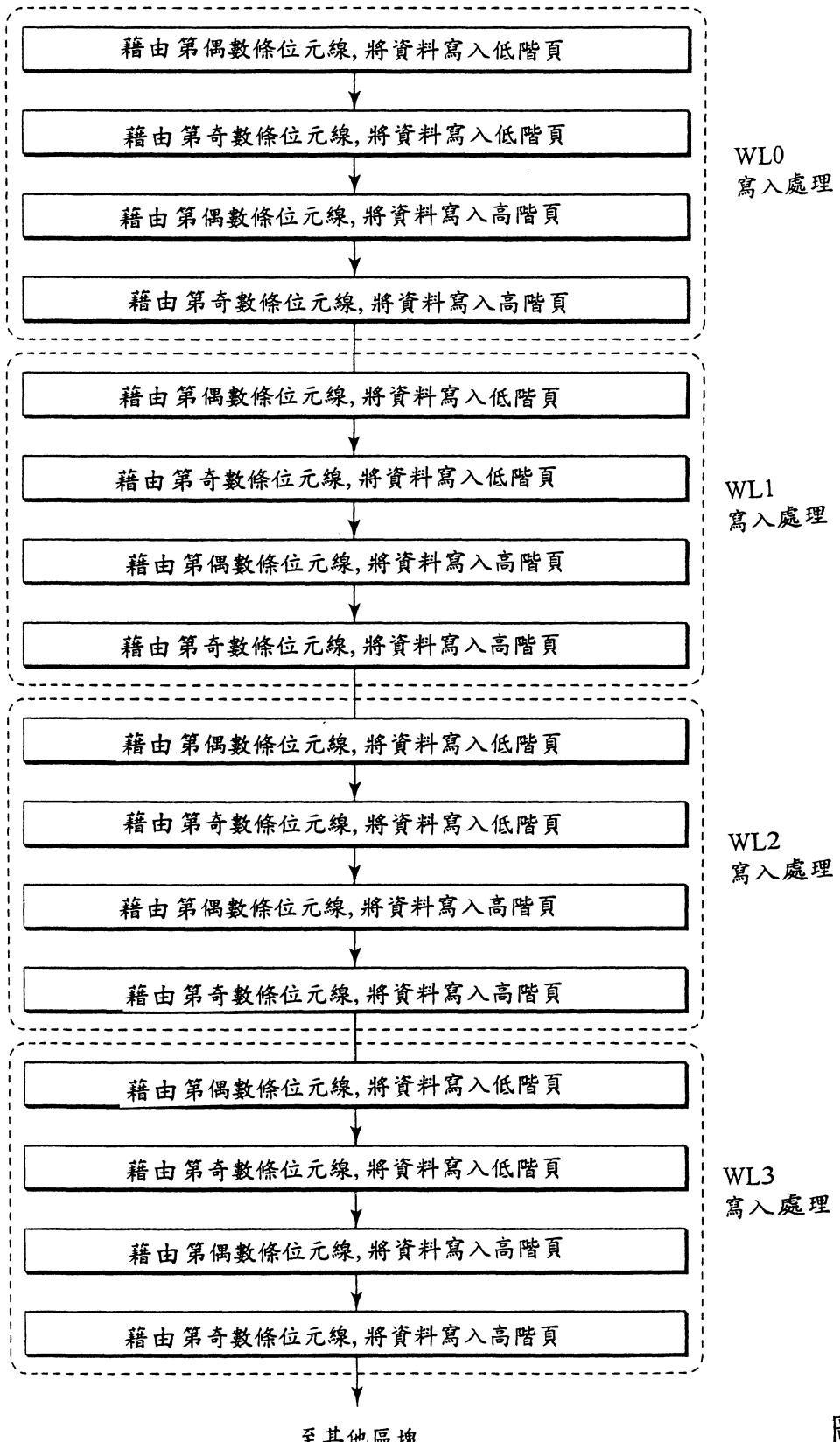


圖 14

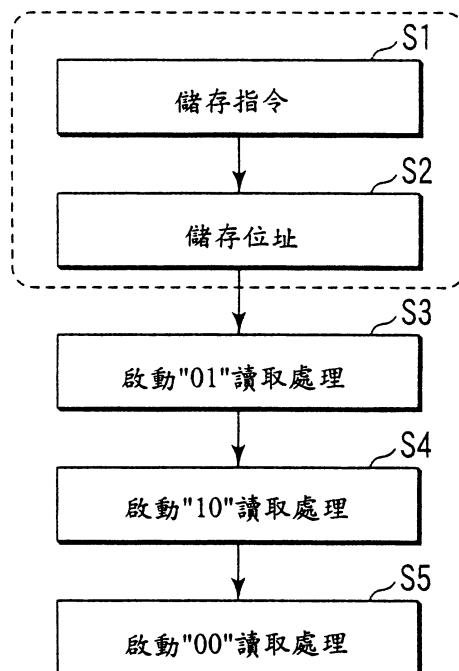


圖15

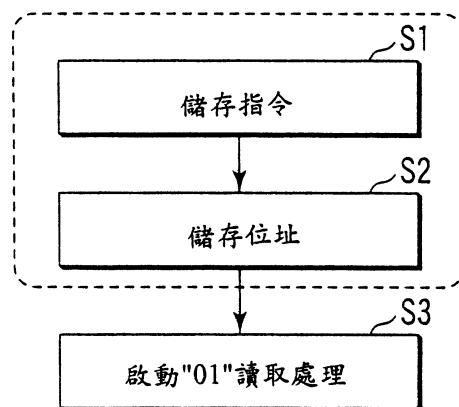


圖16

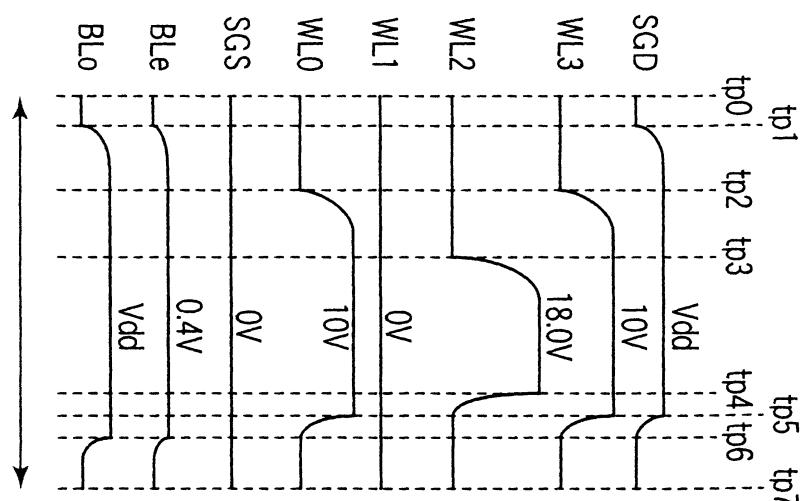


圖 17A

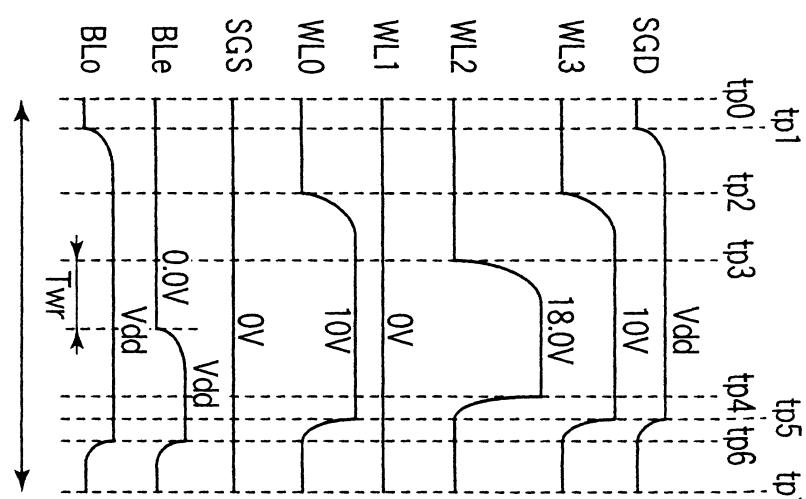


圖 17B

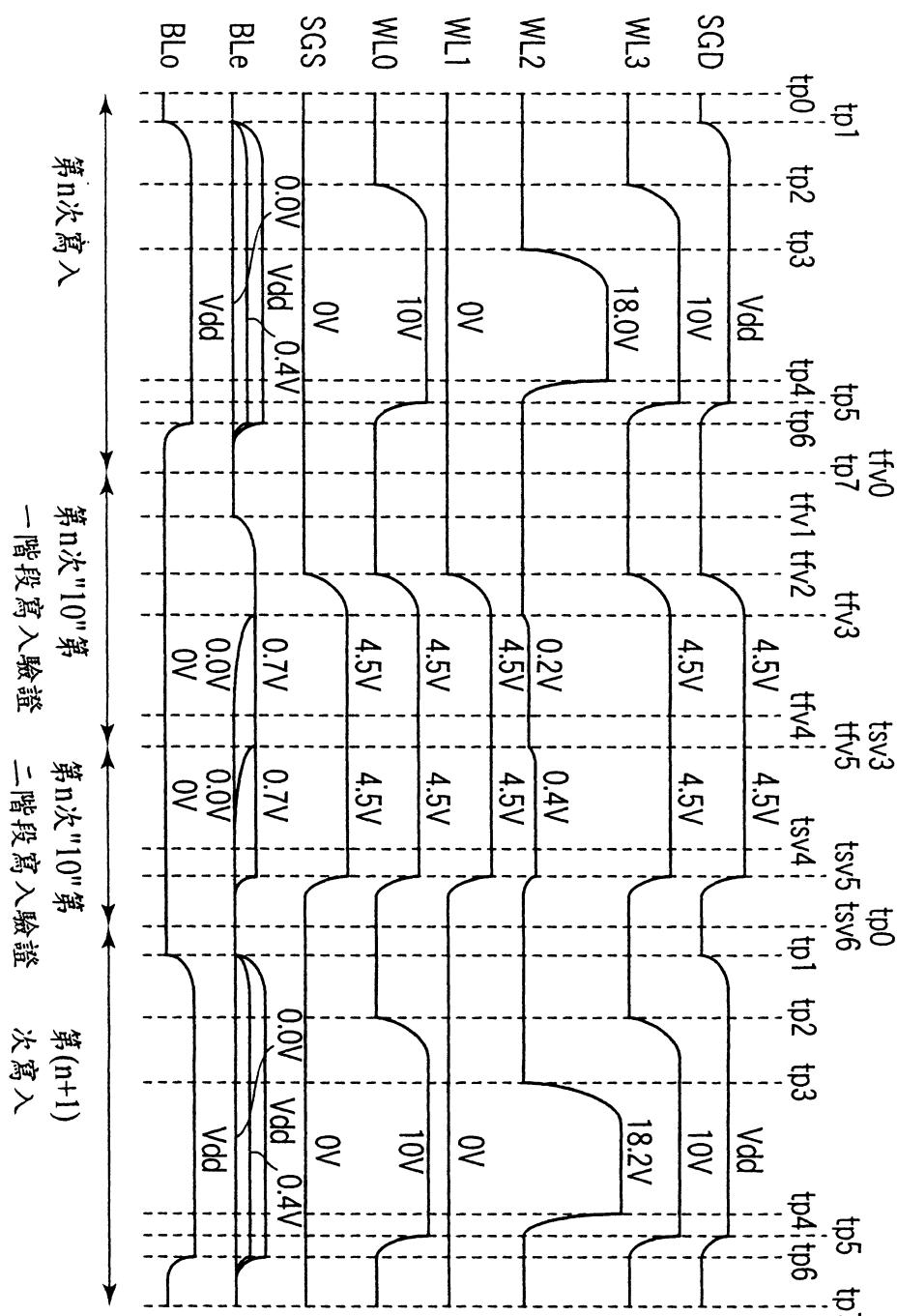


圖 18