

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：P413877P

※ 申請日期：P4.11.4 ※IPC 分類：H03M 13/41

一、發明名稱：(中文/英文)

等化裝置及方法 /

EQUALIZER AND EQUALIZING METHOD THEROF

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

瑞昱半導體股份有限公司 / REALTEK SEMICONDUCTOR CORP.

代表人：(中文/英文)

葉博任 / YEH, PO-LEN

住居所或營業所地址：(中文/英文)

新竹科學園區工業東九路二號 / 2 Industry E. Rd. IX, Science-Based
Industrial Park, HsinChu, Taiwan, R.O.C.

國籍：(中文/英文)

中華民國 / TWN

三、發明人：(共 4 人)

姓名：(中文/英文)

1. 林后唯 / LIN, HOU-WEI
2. 李宜霖 / LI, YI-LIN
3. 黃正壹 / HUANG, CHENG-YI
4. 顏光裕 / YEN, KUANG-YU

國籍：(中文/英文)

1. 中華民國 / TWN
2. 中華民國 / TWN
3. 中華民國 / TWN
4. 中華民國 / TWN

四、聲明事項：

主張專利法第二十二條第二項第一款或第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係提供一種等化裝置，尤指一種維特比等化裝置。

【先前技術】

在通訊系統中，符元間干擾（Inter Symbol Interference, ISI）是一種相當常見的現象，其主要成因是多路徑傳輸（multipath propagation）。當發射端傳送出一符元 D(1)時，符元 D(1)可能會行經不同路徑然後達到接收端，由於行經不同路徑的符元 D(1)對應至不同的延遲時間，因而接收端可能會在不同時間點上偵測到符元 D(1)的能量。如此一來，當發射端又依序傳送數個符元 D(2)、D(3)、D(4)給接收端時，符元 D(2)、D(3)、D(4)就可能會受到先前傳送的符元 D(1)所影響。

為詳細說明多路徑傳輸的現象，請參閱第 1 圖，第 1 圖係為多路徑通道之一等效模型 10 的示意圖。如圖中所示，等效模型 10 包含有複數個延遲單元 12、14、複數個乘法器 22、24、26 以及一加法單元 28。若傳送端所送出符元表示為 D(k)，多路徑通道之分接式延遲線模型的係數 a0、a1、...、an，則接收端所偵測到的訊號 R(k)可由下列方程式表示之：

$$R(k) = \sum_{i=0}^n D(k-i) * a_i \quad \text{方程式 (一)}$$

依據方程式 (一)，假設分接式延遲線模型的係數 a0、a1、a2 分別

等於 1、0.2、-0.4，其餘係數等於零，則符元 $D(k-1)$ 、 $D(k-2)$ 對接收訊號 $R(k)$ 所造成的影響即稱為符元間干擾。由於接收訊號 $R(k)$ 受到傳送符元 $D(k)$ 、 $D(k-1)$ 、 $D(k-2)$ 影響的比例為 1:0.2:-0.4，因此上述多路徑通道可表示為一具有係數 [1 0.2 -0.4] 的分接式延遲線模型 (tapped delay line module)，當分接式延遲線模型的長度越長 (即：其具有的非零係數越多) 時，則某一個傳送符元所造成的符元間干擾會持續越久。

等化器就是為了解決符元間干擾應運而生的產物，常見的等化器包含以下二種。第一種常見的等化器是決策回授等化器 (decision feedback equalizer)，請參閱第 2 圖。第 2 圖係為一決策回授等化器 (decision feedback equalizer) 30 的功能方塊圖。如圖中所示，決策回授等化器 30 包含有一減法器 32、一決策單元 34 以及一回授濾波器 60。回授濾波器 60 係用來產生一干擾重建訊號 S_I ，然後減法器 20 將接收到的接收訊號 S_R 減去該干擾重建訊號 S_I 以產生一運算訊號 S_R' ，最後決策單元 40 會依據運算訊號 S_R' 的數值產生一決策訊號 S_D ，此時決策訊號 S_D 即為決策回授等化器 30 所產生的等化訊號。而該等化訊號若能趨近未發生多路徑傳輸時的接收訊號，則表示該等化器的效能越好。

產生干擾重建訊號 S_I 的回授濾波器 60 包含有複數個延遲單元 62、64、66、68、複數個乘法器 72、74、76、78 以及一加法單元 82。而乘法器 78、76、74、72 所使用的運算係數 b_0 、 b_1 、 b_2 、...、

b_m 則可用通道估測(channel estimation)，或可適性濾波器(adaptive filter)等技術先行計算出來。請注意，為了簡化運算過程，下列敘述中運算係數 b_0 係設定為 1。此外，可使計算出的運算係數 b_0 、 b_1 、 b_2 、...、 b_m 盡量趨近環境中多路徑通道之分接式延遲線模型的係數(亦即第 1 圖所示之 a_0 、 a_1 、...、 a_n)。在此，為了使說明更清楚，假設 k 為零與 n 之間的任意整數， b_k 等於 a_k ，並且當 k 大於等於 $n+1$ 時， b_k 等於 0。如此一來，回授濾波器 60 便可利用複數個先前產生的決策訊號 S_D 以及運算係數 b_0 、 b_1 、 b_2 、...、 b_m 計算出一干擾重建訊號 $S_I(k)$ (亦即接收訊號 $S_R(k)$ 中的符元間干擾)。回授濾波器 60 的運作係由下列方程式表示之：

$$S_I(k) = \sum_{i=1}^m S_D(k-i) * b_i \quad \text{方程式 (二)}$$

然而，上述決策回授等化器 30 的缺點在於會將接收訊號中的所有干擾濾除，但實際上，保留部分的干擾可使接收到的訊號具有較多能量，且該些能量能幫助接收端進行更有準確的判斷，以得到更佳接收訊號。由於決策回授等化器 30 無法適度的濾除干擾，故其在實際應用上仍有待改進之處。

第二種常見的等化器係為維特比等化器 (Viterbi equalizer)，且其主要原理係依據上述多路徑通道的分接式延遲線模型產生一格狀樹 (trellis tree)，且該格狀數會有許多狀態(state)，然後依據最大相似度 (maximum likelihood) 演算法找出在某一段特定時間

內，哪一格狀樹的狀態具有與接收訊號最相似的路徑，然後依據所選擇的路徑產生一等化訊號，而該等化訊號即為該段特定時間內接收訊號的等化結果。維特比等化器的實作方式可參考下列著作：G.D. Forney, Jr.於 IEEE Trans. Inform. Theory, Vol. IT-18, No. 3, pp. 363-378, May 1972 所提出的‘Maximum-Likelihood Sequence Estimation of Digital Sequences in the Presence of Intersymbol Interference’、A.J. Viterbi and J.K. Omura 於 Tokyo: McGraw-Hill Kogakusha, Ltd., 1979 所提出的‘Principles of Digital Communication and Coding’、G. Ungerboeck 於 IEEE Trans. Inform. Theory, Vol. IT-28, No. 1, pp. 55-67, Jan. 1982 所提出的‘Channel Coding with Multilevel/Phase signals’、A. Duel-Hallen and C. Heegard 於 IEEE Trans. Commun., Vol. COM-37, No. 5, pp. 48-436, May 1989 所提出的 ‘Delayed Decision-Feedback Sequence Estimation’、於 IEEE Trans. Commun., Vol. 52, No. 9, pp. 1541-1562, Nov. 1973 所提出的 ‘Reduced-State Sequence Estimation with Set Partition and Decision Feedback’、J. Hagenauer and P. Hoeher 於 IEEE Globecom, pp. 1680-1686, 1989 所提出的“ A Viterbi Algorithm with soft-decision outputs and its application,”，須注意的是由於維特比等化器的實作方式繁多，以上僅列舉數種做法以茲參考。

此外，維特比等化器之格狀樹的架構會對應到多通道路徑中所有可能符元干擾 $[D(k-1) D(k-2) \dots D(k-N)]$ 的組合，例如： $[D(k-1)]$ 、 $[D(k-2)]$ 、 $[D(k-1) D(k-3)]$ 、或者 $[D(k-1) D(k-2) D(k-3)]$ 等不同組合，

故格狀樹的狀態數目會與分接式延遲線模型的長度呈指數關係，換句話說，當分接式延遲線模型的長度為 P ，且所有符元數目為 M 時，格狀樹的狀態數目將為 M^P 。由此可知，雖然使用越長的分接式延遲線模型越能充分涵蓋符元間干擾的能量，但是當多路徑通道的延遲擴散 (Delay spread) 越來越嚴重時，分接式延遲線模型的長度也必須隨之增長，如此一來格狀樹的複雜度勢必快速地升高，使得維特比等化器所花費的運算量大幅增加。

總而言之，維特比等化器是從所有可能產生的序列中找出與接收訊號最相近的序列，並依此產生等化結果。然而，雖然傳統維特比等化器可以充分利用接收訊號的能量，同時抗符元間干擾的效果比先前兩種等化器要好，但是當多路徑通道的延遲擴散越嚴重時，傳統維特比等化器的運算量會隨分接式延遲線模型的長度以指數型增加。

【發明內容】

因此，本發明的目的之一在於提供一維特比等化器及其相關方法，以大幅降低維特比等化器所花費運算量同時維持較佳的效能。

依據本發明之實施例，其係揭露一種等化裝置，用來等化一接收訊號，其中該接收訊號包含有一主要干擾訊號以及複數個次要干擾訊號。該等化裝置包含有：一濾波模組，用來濾掉該接收

訊號之該複數個次要干擾訊號以產生一濾波訊號；一序列/並列轉換器，耦接於該濾波模組，用來依據該濾波訊號平行輸出複數個序列；以及一維特比等化模組，耦接於該串列輸入平行輸出介面序列/並列轉換器，用來分別等化該複數個序列以產生複數個等化序列。

依據本發明之實施例，其係揭露一種等化方法，用來等化一接收訊號，其中該接收訊號包含有一主要干擾訊號以及複數個次要干擾訊號。該等化方法包含有：過濾該接收訊號，以濾掉該接收訊號中該複數個次要干擾訊號以產生一濾波訊號；提供一序列/並列轉換器，以依據一濾波訊號平行輸出複數個序列；以及分別等化該複數個序列以產生複數個等化序列以產生複數個等化序列。

依據本發明之實施例，另揭露一種等化裝置，用來消除一接收訊號之符元間干擾，其中該接收訊號係包含有分別由先後傳送過來之複數個符元所貢獻之複數個干擾量，該等化裝置包含有：一濾波模組，用來自該接收訊號中將該些干擾量中之至少一部份干擾量消除，以產生一中間訊號；以及一維特比等化模組，耦接於該濾波模組，用來對已經消除該部份干擾量之該中間訊號進行維特比等化處理，以產生一輸出訊號。

【實施方式】

請參閱第 3 圖，第 3 圖係為依據本發明一實施例之等化裝置 100 的功能方塊圖。本實施例中，等化裝置 100 包含有一前饋濾波器 (linear Feed-Forward Filter, FFF) 120、一濾波模組 140、一序列/並列轉換器(serial to parallel converter, 簡稱 S/P)160、一維特比等化模組 170、一並列/序列轉換器(parallel to serial converter, 簡稱 P/S)180 以及一控制單元 190。當一接收訊號 S_R 輸入至前饋型濾波器 120 後，前饋型濾波器 120 即對該接收訊號 S_R 進行過濾，並將過濾完成的訊號 S_R' 送至濾波模組 140，由於前饋型濾波器 120 的運作與架構皆為業界所熟知，故不在此贅述。

前饋濾波器 120 輸出的訊號 S_R' 中包含有多通道路徑所產生的干擾訊號，其中對訊號 S_R' 影響最大的干擾訊號稱為主要干擾訊號，而其他干擾訊號則稱為次要干擾訊號。由於濾波模組 140 主要係用來過濾掉訊號 S_R' 中複數個次要干擾訊號以產生一濾波訊號 S_F ，故訊號 S_R' 以及濾波訊號 S_F 可由下列方程式表示之：

$$S_R'(k) = D(k) + \sum_{i=1}^m a_i \cdot D(k-i), m \geq n \quad \text{方程式(三)}$$

$$S_F(k) = D(k) + a_n \cdot D(k-n), a_n = \max\{a_i | 1 \leq i \leq m\} \quad \text{方程式(四)}$$

由方程式(四)可知， $a_n \cdot D(k-n)$ 即為訊號 S_R' 的主要干擾訊號，且濾波訊號 $S_F(k)$ 只會受到濾波訊號 $S_F(k-n)$ 所對應的傳送符元 $D(k-n)$ 所干擾，同理，濾波訊號 $S_F(k)$ 所對應的傳送符元 $D(k)$ 也只會對濾波訊號 $S_F(k+n)$ 造成干擾。

接下來，序列/並列轉換器 160 會將濾波訊號 S_F 進行取樣，以產生複數個取樣值 $S_F(1)$ 、 $S_F(2)$ 、...、 $S_F(4n)$ ，並且將複數個取樣值並列輸出至該維特比等化模組 170。上述並列輸出機制於第 3 圖中雖顯示為三個平行輸出的序列 ($n=3$)，但亦可擴張為 n 個平行輸出的序列，其中第一個序列為 $S_F(1)$ 、 $S_F(1+n)$ 、 $S_F(1+2n)$ 、 $S_F(1+3n)$ 、...；第二個前置訊號為 $S_F(2)$ 、 $S_F(2+n)$ 、 $S_F(2+2n)$ 、 $S_F(2+3n)$ 、...；依此類推，第 n 個前置訊號為 $S_F(n)$ 、 $S_F(2n)$ 、 $S_F(3n)$ 、 $S_F(4n)$ 、...。請注意，由於前述濾波模組的運作，則平行輸出之每一序列中，任何一個取樣值 $S_F(k)$ 只會對自己所屬的序列中下一個取樣值 $S_F(k+n)$ 造成干擾，且不會干擾到其他序列中的取樣值，因此每一序列可視為一組獨立的訊號，且任一序列中的符元間干擾情形可以用分接式延遲線模型 [1 bn] 來表示。相較於訊號 S_R 所對應的分接式延遲線模型為 [1 b1 b2 ... bm]，由序列/並列轉換器 160 所輸出的序列的符元間干擾情形被大幅簡化了。

在濾波模組 140 將複數個存在訊號 S_R 的次要干擾訊號濾除掉之後，維特比等化模組 170 即進一步對接收到的 n 個序列分別予以等化以濾除上述的主要干擾訊號，並產生 n 個相對應的等化序列。請注意，維特比等化模組 170 所使用的等化技術可為業界所熟知之維特比等化器所使用的任一架構，故不在此一一贅述。而於實作上，維特比等化模組 170 中可包含有分別對應於該 n 個序列之 n 組維特比等化模組電路，或者僅使用少於 n 組（如 1 組）之硬體，而配合足夠的資料暫存空間以分時多工之方式完成。

須注意的是，當濾波訊號 S_F 被序列/並列轉換器 160 分為 n 個序列後，維特比等化模組 170 在處理每一序列時，所對應的分接式延遲線模型之長度只有傳統維特比等化器的 $1/m$ ，且因為維特比等化模組 170 的電路複雜度與分接式延遲線模型之長度成指數關係，故上述實施例藉由減少分接式延遲線模型之長度以達到大幅簡化維特比等化模組 170 之架構的目的。最後，並列/序列轉換器 180 會接收維特比等化模組 170 傳來的複數個等化序列，並將其重新排列並序列輸出一等化訊號 S_{eq} ，如此一來，呈序列形式的等化訊號 S_{eq} 即是接收訊號 S_R 的等化結果。

以下將進一步說明濾波模組 140 的運作與細部架構。本實施例中，濾波模組 140 包含有一決策回授等化器 142、一回授濾波器 144 以及一減法器 146。決策回授等化器 142 又包含有一減法器 202、一決策單元 204 以及一回授濾波器 206。由於決策回授等化器 142 的架構與運作可採用與前述第 2 圖所示者相同，而為熟習此項技術者所廣泛悉知，故其詳細運作不在此一一贅述。

請注意，本實施例中回授濾波器 144 與回授濾波器 206 皆係為有限脈衝響應(Finite Impulse Response, FIR) 濾波器且其運作大致相同，唯一不同之處在於所使用的運算係數。舉例來說，若回授濾波器 206 所使用的複數個運算係數為 $[0 \ 0.2 \ -0.4 \ 0.1]$ ，則在取完絕對值後該些運算係數中最大運算係數為“-0.4”，因此運算係數“-0.4”即為上述主要干擾訊號，其他非零的運算係數則對應至上述

複數個次要干擾訊號。由於濾波訊號 S_F 必須保留主要干擾訊號的成分，也就是說，回授濾波器 144 所輸出的干擾重建訊號 S_I 只包含有複數個次要干擾訊號的成分，所以回授濾波器 144 所使用的複數個運算係數中對應主要干擾訊號的運算係數會被設為零，其他運算係數皆與回授濾波器 206 所使用的運算係數相同，因此，回授濾波器 144 所使用的複數個運算係數為 $[0 \ 0.2 \ 0 \ 0.1]$ 。接下來，減法器 146 便將接收訊號 S_R 減去干擾重建訊號 S_I 以產生濾波訊號 S_F 。

此外，控制單元 190 係用來依據回授濾波器 206 所使用的運算係數指派合適的運算係數給回授濾波器 144，並且決定是否致能 (enable) 回授濾波器 144、減法器 146、序列/並列轉換器 160、維特比等化模組 170 以及並列/序列轉換器 180。當上述元件皆致能時，維特比等化器 100 所輸出的等化訊號 S_{eq} 即為等化裝置 100 的輸出結果；然而，當外在環境的多路徑傳輸現象不甚明顯時，控制單元 190 可選擇不致能上述元件，則此時決策回授等化器 142 所輸出的決策訊號 S_D 即為接收訊號 S_R 的等化結果。

上述序列/並列轉換器 160 輸出的序列個數並不以上述實施例為限，若濾波訊號 S_F 對應至 P 個取樣值，則任何可將 P 整除之數值 Q 皆可為序列/並列轉換器 160 輸出序列的個數。此外，由於係將濾波訊號 S_F 的 P 個取樣值轉換成 Q 個序列，故維特比等化模組不僅可消除與所欲訊號 (desired signal) 相差 Q 時序的干擾訊號，其

他與所欲訊號相差 $Q \cdot i$ 個時序的干擾訊號亦可被消除，其中 i 為任意整數。

上述等化裝置 100 係利用一濾波模組過濾掉接收訊號中複數個次要干擾訊號並保留一主要干擾訊號以產生一濾波訊號，然後利用序列/並列轉換器將一連串的濾波訊號轉換成複數個較短的序列，並且將複數個序列平行輸出至維特比等化模組以產生複數個等化序列，最後再將複數等化序列整合成一等化訊號。由於上述序列中符元間干擾的情形較單純，因此所使用的維特比等化模組的架構得大幅簡化，進而大幅降低維特比等化模組的運算量。

【圖式簡單說明】

第 1 圖係為多路徑通道之一等效模型的示意圖。

第 2 圖係為一決策回授等化器的功能方塊圖。

第 3 圖係為依據本發明一實施例之維特比等化裝置的功能方塊圖。

【主要元件符號說明】

- 10 多路徑通道之等效模型
- 12、14、62、64、66、68 延遲單元
- 22、24、26、72、74、76、78 乘法器
- 28、82 加法單元
- 30、142 決策回授等化器
- 32、146、202 減法器
- 34、204 決策單元
- 60、144、206 回授濾波器
- 100 等化裝置
- 120 前饋濾波器
- 140 濾波模組
- 160 序列/並列轉換器
- 170 維特比等化模組
- 180 並列/序列轉換器
- 190 控制單元

五、中文發明摘要：

本發明係提供一種等化裝置與等化方法，用來等化一接收訊號，其中該接收訊號包含有一主要干擾訊號以及複數個次要干擾訊號。該等化裝置包含有：一濾波模組，用來濾掉該接收訊號之該複數個次要干擾訊號以產生一濾波訊號；一序列/並列轉換器，耦接於該濾波模組，用來依據該濾波訊號產生複數個序列；以及一維特比等化模組，耦接於該序列/並列轉換器，分別等化該複數個序列以產生複數個等化序列。

六、英文發明摘要：

The invention relates to an equalizer and an equalizing method thereof for equalizing a received signal, where the received signal comprises a primary interference and a plurality of secondary interferences. The Viterbi equalizer includes a filter module for filtering off the secondary interferences from the received signal to generate a filtered signal, a serial to parallel interface, coupled to the filter module, for generating a plurality of sequences according to the filtered signal, and a Viterbi equalizing module, coupled to the serial to parallel interface, for respectively equalizing the plurality of sequences to generate a plurality of equalized sequences.

十、申請專利範圍：

1. 一種等化裝置，用來等化一接收訊號，其中該接收訊號包含有一主要干擾訊號以及複數個次要干擾訊號，該等化裝置包含有：
 - 一濾波模組，用來濾掉該接收訊號之該複數個次要干擾訊號以產生一濾波訊號；
 - 一序列/並列轉換器(serial to parallel interface)，耦接於該濾波模組，用來依據該濾波訊號平行輸出複數個序列；以及
 - 一維特比等化模組，耦接於該串列輸入平行輸出介面序列/並列轉換器，用來分別等化該複數個序列以產生複數個等化序列。

2. 如申請專利範圍第 1 項所述之等化裝置，其另包含有：
 - 一並列/序列轉換器，耦接於該維特比等化模組，用來整合該複數個等化序列以產生一等化訊號作為該等化裝置之輸出訊號。

3. 如申請專利範圍第 1 項所述之等化裝置，其中該濾波模組包含有：
 - 一決策回授等化器(decision feedback equalizer)，用來依據複數個運算係數濾掉該接收訊號之該主要干擾訊號以及該複數次要干擾訊號以產生一決策訊號；
 - 一回授濾波器，耦接於該決策回授等化器，用來依據該複數個

運算係數以及該決策訊號來產生對應於該複數個次要干擾訊號之一干擾重建訊號；以及
一減法器，耦接於該決策回授等化器，用來依據該接收訊號以及該干擾重建訊號之差量產生該濾波訊號。

4. 如申請專利範圍第 3 項所述之等化裝置，其中該回授濾波器係降低該複數個運算係數中對應於該主要干擾訊號之一特定運算係數，以利用該複數個運算係數以及該決策訊號產生該干擾重建訊號。
5. 如申請專利範圍第 3 項所述之等化裝置，其另包含有：
一前饋濾波器（Feed-Forward Filter, FFF），用來過濾該接收訊號，並且將過濾後之該接收訊號傳送至該減法器以及該決策回授等化器。
6. 如申請專利範圍第 1 項所述之等化裝置，其中若一第一接收訊號之一主要干擾訊號係對應於一第二接收訊號，且該第二接收訊號係超前於該第一接收訊號 n 個輸入時序，則該維特比等化模組包含有 n 個維特比等化單元，以及該串列輸入平行輸出介面序列/並列轉換器係平行輸出 n 個序列，並且將該 n 個序列分別輸入至該維特比等化模組。
7. 如申請專利範圍第 1 項所述之等化裝置，其中該序列/並列轉換

器係依據該濾波訊號之複數個個取樣值並列輸出以產生該複數個序列。

8. 一種等化方法，用來等化一接收訊號，其中該接收訊號包含有一主要干擾訊號以及複數個次要干擾訊號，該等化方法包含有：
過濾該接收訊號，以濾掉該接收訊號中該複數個次要干擾訊號以產生一濾波訊號；
提供一序列/並列轉換器(serial to parallel interface)，以依據一濾波訊號平行輸出複數個序列；以及
分別等化該複數個序列以產生複數個等化序列以產生複數個等化序列。

9. 如申請專利範圍第 8 項所述之等化方法，其另包含有：
提供一並列/序列轉換器，用來整合該複數個等化序列以產生一等化訊號作為該等化方法之輸出訊號。

10. 如申請專利範圍第 8 項所述之等化方法，其中過濾該接收訊號之步驟包含有：
依據複數個運算係數濾掉該接收訊號之該主要干擾訊號以及該複數個次要干擾訊號以產生一決策訊號；
依據該複數個運算係數以及該決策訊號來產生對應於該複數個次要干擾訊號之一干擾重建訊號；以及
依據該接收訊號以及該干擾重建訊號之差量產生該濾波訊號。

11. 如申請專利範圍第 10 項所述之等化方法，其中產生該干擾重建訊號之步驟包含有：
降低該複數個運算係數中對應於該主要干擾訊號之一特定運算係數；以及
利用該複數個運算係數以及該決策訊號產生該干擾重建訊號。
12. 如申請專利範圍第 8 項所述之等化方法，其另包含有：
利用一前饋濾波方法過濾該接收訊號。
13. 如申請專利範圍第 8 項所述之等化方法，其中若一第一接收訊號之一主要干擾訊號係對應於一第二接收訊號，且該第二接收訊號係超前於該第一接收訊號 n 個輸入時序，則該串列輸入平行輸出介面序列/並列轉換器係平行輸出 n 個序列。
14. 如申請專利範圍第 8 項所述之等化方法，其中平行輸出複數個序列之步驟包含有：
取樣該濾波訊號以產生複數個個取樣值；以及
將該複數個個取樣值並列輸出以產生該複數個序列。
15. 一種等化裝置，用來消除一接收訊號之符元間干擾，其中該接收訊號係包含有分別由先後傳送過來之複數個符元所貢獻之複數個干擾量，該等化裝置包含有：
一濾波模組，用來自該接收訊號中將該些干擾量中之至少一部

份干擾量消除，以產生一中間訊號；以及
一維特比等化模組，耦接於該濾波模組，用來對已經消除該部份干擾量之該中間訊號進行維特比等化處理，以產生一輸出訊號。

16.如申請專利範圍第 15 項所述之等化裝置，其中該濾波模組係包含有：

一第一邏輯，用來產生一第一訊號，其中該第一訊號係包含有所欲消除之該部份干擾量；以及
一減法器，耦接於該第一邏輯，用來對該接收訊號及該第一訊號進行減法運算，以產生該中間訊號。

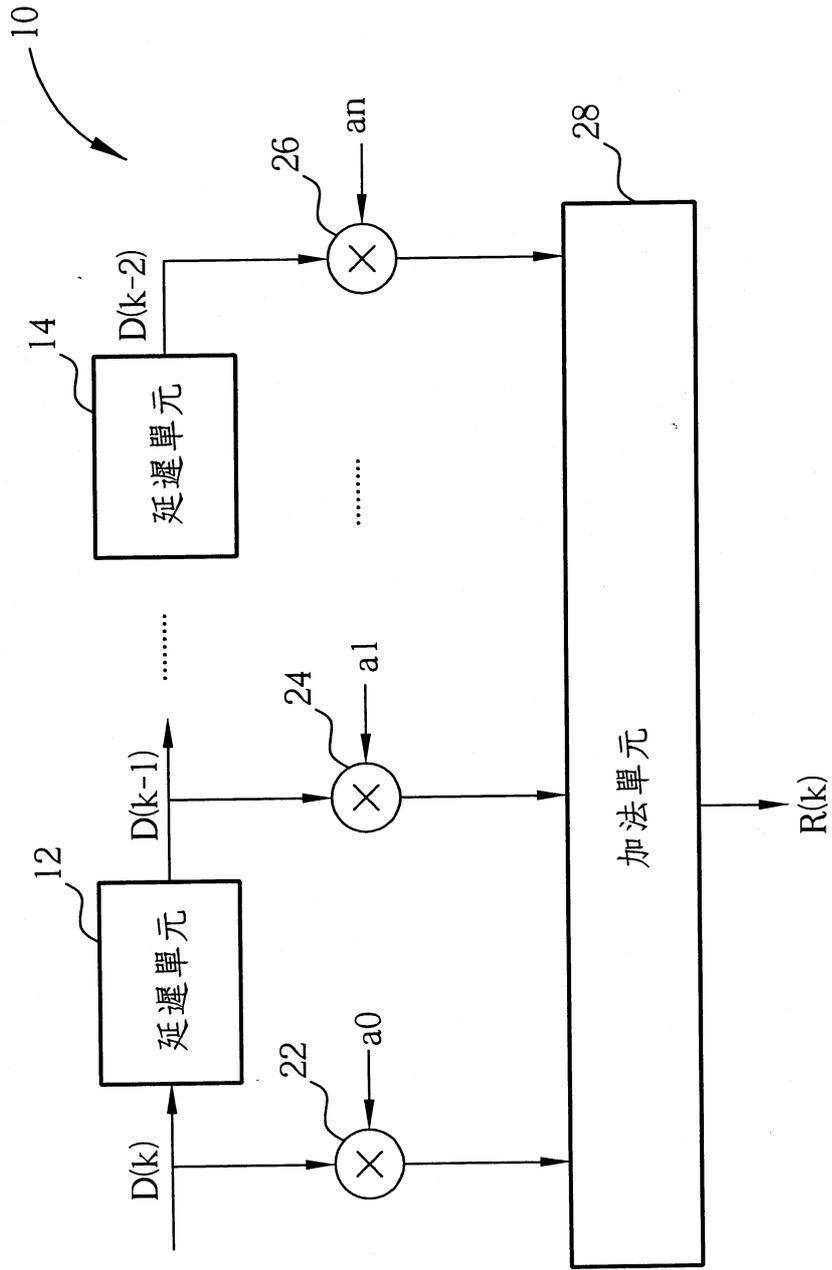
17.如申請專利範圍第 16 項所述之等化裝置，其中該濾波模組另包含有一決策回授等化器，耦接於該第一邏輯，該決策回授等化器包含有一減法器、一決策單元、以及一第二有限脈衝響應 (Finite Impulse Response, FIR) 濾波器。

18.如申請專利範圍第 17 項所述之等化裝置，其中該第一邏輯係為一第一 FIR 濾波器，其中該第一 FIR 濾波器之運算係數與該第二 FIR 濾波器之運算係數之間之差別，係對應於該濾波模組所未消除之干擾量。

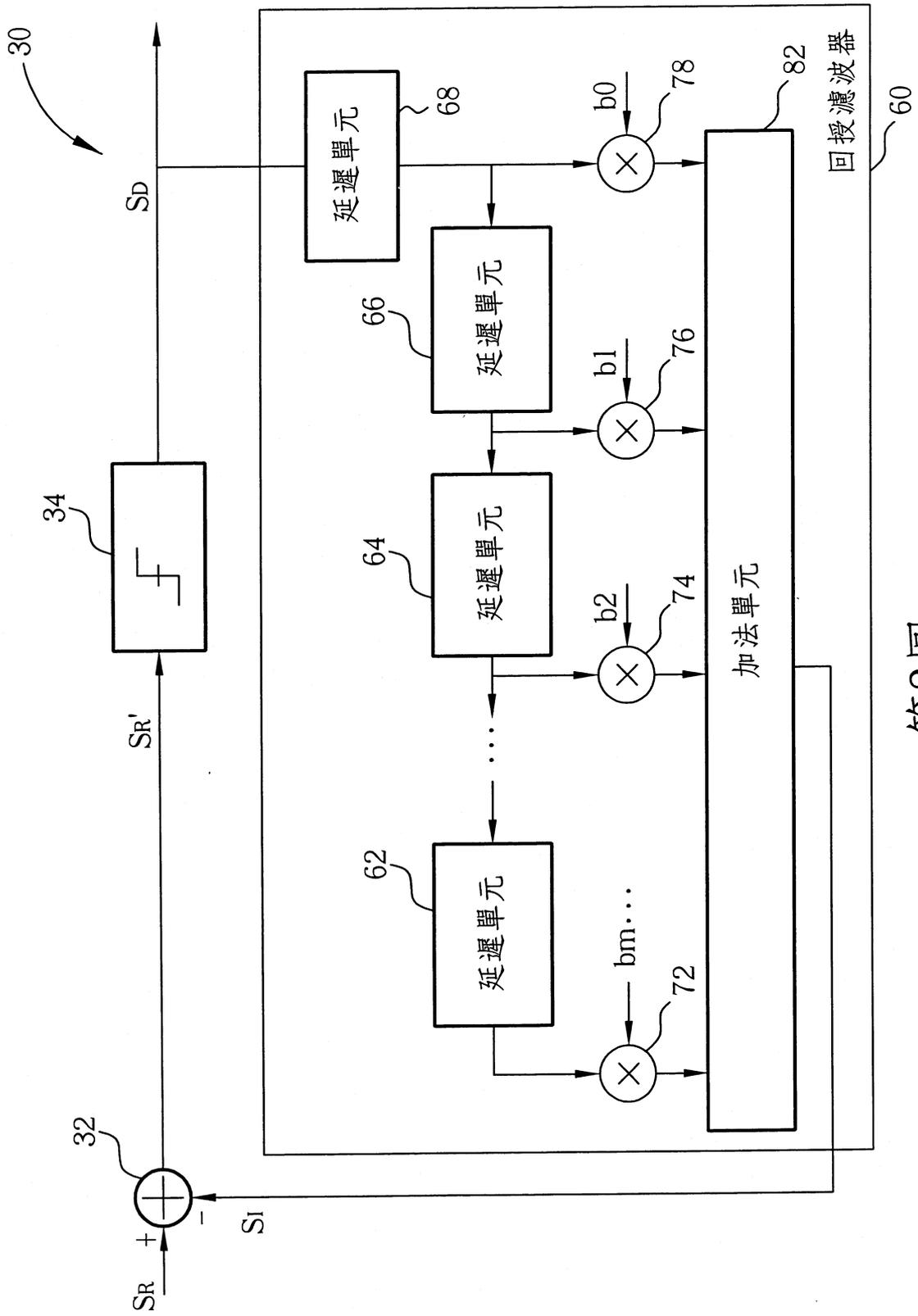
19.如申請專利範圍第 15 項所述之等化裝置，其另包含有：

一序列/並列轉換器，耦接於該維特比等化模組之前；以及
一並列/序列轉換器，耦接於該維特比等化模組之後。

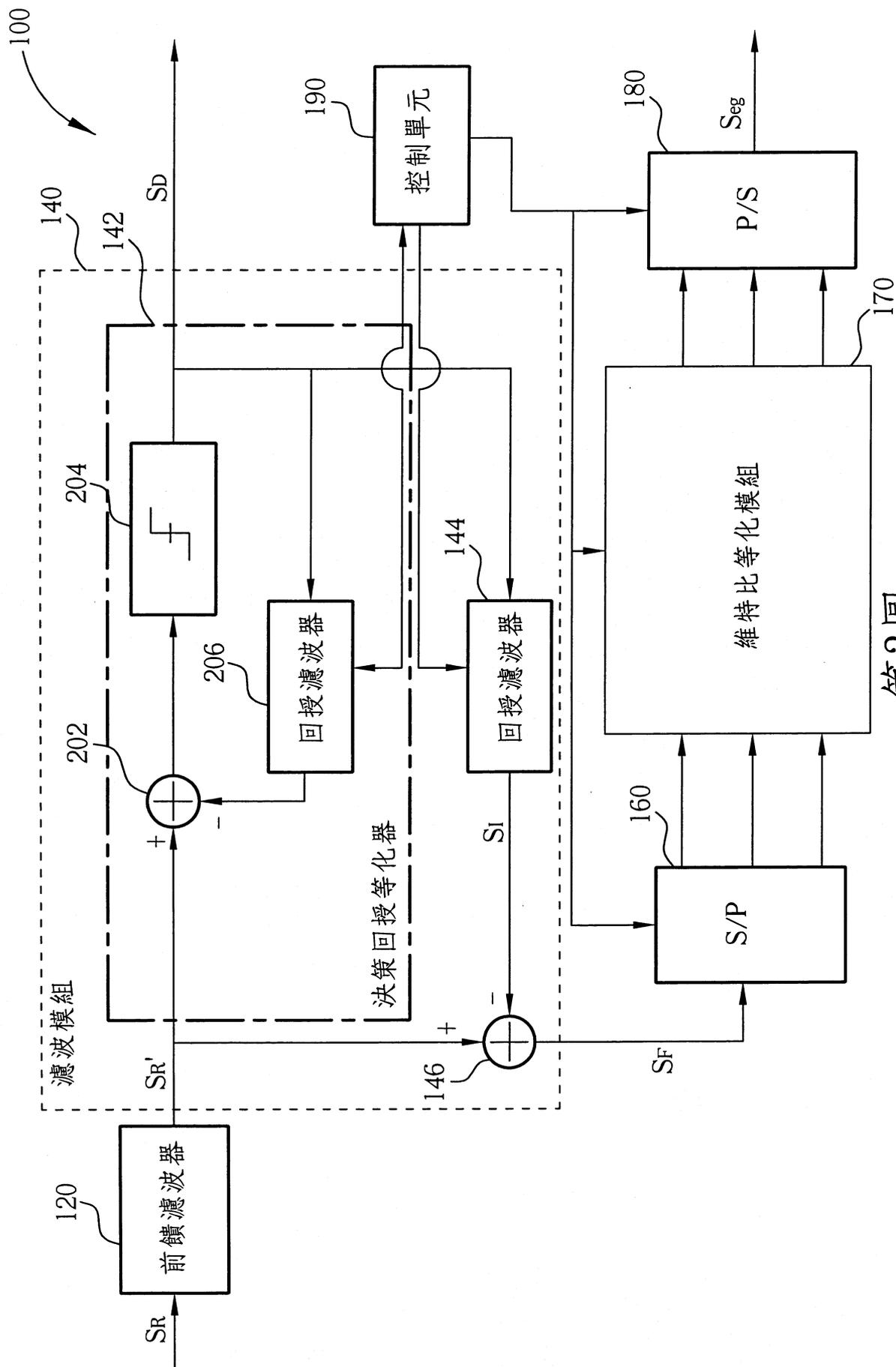
十一、圖式：



第1圖



第2圖



第3圖

七、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

100	等化裝置	120	前饋濾波器
140	濾波模組	142	決策回授等化器
144、206	回授濾波器	146、202	減法器
160	序列/並列轉換器	170	維特比等化模組
180	並列/序列轉換器	190	控制單元
204	決策單元		

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無