

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5009085号
(P5009085)

(45) 発行日 平成24年8月22日(2012.8.22)

(24) 登録日 平成24年6月8日(2012.6.8)

(51) Int.Cl.

H01L 23/473 (2006.01)

F I

H01L 23/46

Z

請求項の数 5 (全 13 頁)

<p>(21) 出願番号 特願2007-207962 (P2007-207962)</p> <p>(22) 出願日 平成19年8月9日(2007.8.9)</p> <p>(65) 公開番号 特開2009-43978 (P2009-43978A)</p> <p>(43) 公開日 平成21年2月26日(2009.2.26)</p> <p>審査請求日 平成22年3月25日(2010.3.25)</p>	<p>(73) 特許権者 000190688 新光電気工業株式会社 長野県長野市小島田町80番地</p> <p>(74) 代理人 100091672 弁理士 岡本 啓三</p> <p>(72) 発明者 春原 昌宏 長野県長野市小島田町80番地 新光電気 工業株式会社内</p> <p>(72) 発明者 東 光敏 長野県長野市小島田町80番地 新光電気 工業株式会社内</p> <p>審査官 坂本 薫昭</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

シリコン基板、ガラス基板、及びシリコン基板とガラス基板とが接合された基板のいずれかの下側基板と、

前記下側基板に形成され、その上面から下面まで貫通する貫通電極と、

前記下側基板に形成され、その一端側の側面から他端側の側面まで貫通する冷却流路と

前記下側基板の上に形成され、前記貫通電極に接続されたビルドアップ配線とを備えた配線基板と、

前記配線基板の上に実装され、前記ビルドアップ配線に接続された複数の半導体素子と

10

前記配線基板の下に実装され、前記貫通電極に接続された下側半導体素子とを有し、

前記配線基板上の前記複数の半導体素子は前記冷却流路に沿って配置されており、前記複数の半導体素子のうち、前記冷却流路の流入側に配置される半導体素子は前記冷却流路の流出側に配置される半導体素子よりも発熱量が小さいことを特徴とする半導体装置。

【請求項2】

前記冷却流路の流入側に配置される半導体素子はメモリ素子であり、前記冷却流路の流出側に配置される半導体素子はロジック素子であることを特徴とする請求項1に記載の半導体装置。

【請求項3】

20

前記複数の半導体素子は3つ以上実装され、前記冷却流路の流入側から流出側にかけて、発熱量の小さい順に配置されることを特徴とする請求項1又は請求項2に記載の半導体装置。

【請求項4】

前記冷却流路の流入側から流出側にかけて、DRAMチップ、フラッシュメモリチップ、CPUチップが順に配置されることを特徴とする請求項3に記載の半導体装置。

【請求項5】

前記冷却流路を通過した冷却水は、熱交換器によって冷却されて循環することを特徴とする請求項1乃至4のいずれか一項に記載の半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、半導体素子の温度上昇を抑制する冷却機構を備えた複数の半導体素子が実装される半導体装置に関する。

【背景技術】

【0002】

従来、電子機器の高性能化・小型化を図るため、配線基板の上に複数の半導体素子を実装して構成されるマルチチップモジュール(MCM)やスタックパッケージなどの半導体装置が開発されている。

【0003】

20

そのような半導体装置では、放熱性を向上させるために、ヒートシンクに代表される放熱板やファンを取り付けて半導体素子を冷却するようにしている。

【0004】

このような冷却機構に関連する技術として、特許文献1には、半導体素子の上方に設けた流路に冷却水を流して冷却するマルチチップモジュールが開示されており、発熱特性の異なる複数の半導体素子の温度を一様に効率良く冷却するために半導体素子の発熱量に基づいて放熱板の厚さを変えた冷却機構が記載されている。

【特許文献1】特開2001-15675号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0005】

上記したような半導体装置では、ロジック素子やASICなどの消費電力の大きな半導体素子とDRAMなどの熱に弱い半導体素子が混載されることがある。一般的に、複数の半導体素子は一つの放熱板にその熱が拡散されるように実装される。このため、発熱量の大きな半導体素子は効率よく冷却されるが、その熱が放熱板を介して熱に弱い半導体素子に逆に伝導し、その半導体素子の温度が上昇して誤動作や熱破壊が起こることがある。

【0006】

本発明は以上の問題点を鑑みて創作されたものであり、発熱特性の異なる複数の半導体素子が実装される場合であっても、複数の半導体素子を効率よく冷却できる半導体装置を提供することを目的とする。

40

【課題を解決するための手段】

【0007】

上記課題を解決するために、シリコン基板、ガラス基板、及びシリコン基板とガラス基板とが接合された基板のいずれかの下側基板と、前記下側基板に形成され、その上面から下面まで貫通する貫通電極と、前記下側基板に形成され、その一端側の側面から他端側の側面まで貫通する冷却流路と、前記下側基板の上に形成され、前記貫通電極に接続されたビルドアップ配線とを備えた配線基板と、前記配線基板の上に実装され、前記ビルドアップ配線に接続された複数の半導体素子と、前記配線基板の下に実装され、前記貫通電極に接続された下側半導体素子とを有し、前記配線基板上の前記複数の半導体素子は前記冷却流路に沿って配置されており、前記複数の半導体素子のうち、前記冷却流路の流入側に配

50

置される半導体素子は前記冷却流路の流出側に配置される半導体素子よりも発熱量が小さいことを特徴とする半導体装置が提供される。

【0011】

上記課題を解決するために、配線基板に対して水平方向に水を流すための冷却流路を備えた前記配線基板と、前記配線基板の上に実装された複数の半導体素子とを有し、前記配線基板は、シリコン基板、ガラス基板、又はシリコン基板とガラス基板とが接合された貫通電極が設けられた基板の上にビルドアップ配線が設けられて構成され、前記複数の半導体素子は前記冷却流路に沿って配置されており、前記複数の半導体素子のうち、前記冷却流路の流入側に配置される半導体素子は前記冷却流路の流出側に配置される半導体素子よりも発熱量が小さいことを特徴とする半導体装置が提供される。

10

【0012】

また、上記形態の半導体装置において、前記複数の半導体素子は、前記配線基板の上側又は下側の少なくとも一方に実装されるようにしてもよい。

【0013】

本発明の半導体装置では、貫通電極が設けられた基板の上にビルドアップ配線が設けられて構成されるインターポーザに冷却流路を設けている。そして、半導体素子のうち、発熱量が小さく熱に弱い半導体素子を冷却流路の流入側側に配置し、発熱量が大きく熱に強い半導体素子を冷却流路の流出側側に配置している。

【0014】

本発明では、冷却流路を備えた半導体装置において、発熱量が小さく熱に弱い半導体素子と発熱量が大きく熱に強い半導体素子が効率良く冷却されるように工夫されている。冷却流路に流れる水の温度は、冷却流路の流入側側の温度が低く、流出側側の温度が高くなるように分布する。この現象を利用して、熱に弱い半導体素子を流入側側に配置することにより、その半導体素子の温度を集中的に下げることが可能となる。これにより、熱に弱い半導体素子の熱による誤動作を防止して、長期間安定して動作させることが可能となる。

20

【0015】

また、インターポーザの上側だけでなく、下側にも半導体素子が実装される場合には、インターポーザの上下両側に実装される半導体素子を同時に冷却することができる。

【発明の効果】

30

【0016】

以上説明したように、本発明の半導体装置では、発熱特性の異なる複数の半導体素子を実装して構成される半導体装置において、熱に弱い半導体素子を集中的に冷却することができる。

【発明を実施するための最良の形態】

【0017】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0018】

(1) 第1の実施形態

第1の実施形態の半導体装置を説明する前に、MCM(Multi Chip Module)構造を有する関連技術の半導体装置の問題点について説明する。

40

【0019】

図1は、関連技術の半導体装置の構造の一例を示した図である。図1(a)に半導体装置の上面図を示し、図1(b)に図1(a)のI-I線に沿った断面図を示す。

【0020】

図1(b)に示すように、関連技術の半導体装置100は、所要のビルドアップ配線(不図示)が設けられた多層配線基板1の上に複数の半導体素子2a, 2b, 2cが実装され、その上に放熱板6が配置されて基本構成される。

【0021】

各半導体素子2a, 2b, 2cの bumps 3が多層配線基板1の接続部にフリップチップ

50

接続されている。例えば、半導体素子 2 a 及び 2 c は D R A M 等のメモリ素子であり、半導体素子 2 b は C P U 等のロジック素子である。

【 0 0 2 2 】

また、各半導体素子 2 a、2 b、2 c と多層配線基板 1 との間にはアンダーフィル樹脂 4 が充填されている。また、多層配線基板 1 の下面には、はんだボールなどからなる外部接続端子 9 が設けられている。

【 0 0 2 3 】

各半導体素子 2 a、2 b、2 c の上部及び多層配線基板 1 の上部には放熱板 6 が配置されている。放熱板 6 はヒートスプレッド 6 a とヒートシンク 6 b で構成される。ヒートスプレッド 6 a の中央部にはキャビティ C 1 が設けられており、その周縁の突起状接合部 6 x が多層配線基板 1 の周縁部に導電性接着剤 7 によって接合されている。

10

【 0 0 2 4 】

半導体素子 2 a、2 b、2 c はヒートスプレッド 6 a のキャビティ C 1 内に収容され、それらの上面がヒートスプレッド 6 a のキャビティ C 1 の内面に導電性接着剤 7 によって接合されている。また、ヒートスプレッド 6 a の上部に導電性接着剤 7 によってヒートシンク 6 b の下面が接合されている。

【 0 0 2 5 】

ヒートシンク 6 b の底面の面積は、ヒートスプレッド 6 a の上面の面積よりも広く、ヒートシンク 6 b の上面側は溝部を構成してヒートシンク 6 b 全体の表面積を広くすることにより熱の放出量を大きくしている。さらにヒートシンク 6 b の上部にファン 8 を設けて空冷を施すことで、半導体装置 1 0 0 全体を冷却するようにしている。

20

【 0 0 2 6 】

上記したように、半導体素子に対する冷却手段としては放熱板やファンが使用されている。半導体装置 1 0 0 に搭載される複数の半導体素子は、一般に、種類の異なる素子を使用され、各半導体素子から発生する発熱量は半導体素子の種類によって異なる。例えば、計算や判断処理を行う C P U 等の機能素子は動作時の発熱量が大きく、メモリ素子の発熱量は C P U の発熱量に比較してかなり小さい。

【 0 0 2 7 】

半導体素子 2 b (C P U) から発生した熱は放熱板 6 (ヒートスプレッド 6 a 及びヒートシンク 6 b) を介して外部に放熱されるが、ヒートスプレッド 6 a 内にも熱拡散して、隣接する半導体素子 2 a、2 c (D R A M) の上部にも熱が伝わる。その熱はメモリ素子が発する熱よりも高温であり、結果的に半導体素子 2 a、2 c (D R A M) の温度が上昇してしまい、誤動作や熱破壊が起こることがある。C P U は耐熱温度が比較的高いが、メモリ素子の耐熱温度は低いため、メモリ素子の温度上昇は極力避けることが要求される。

30

【 0 0 2 8 】

本願発明者は、半導体装置に実装される半導体素子の耐熱温度が相違することに着目し、熱に弱い半導体素子を熱に強い半導体素子よりも冷却効果を高くすることについて鋭意研究し、半導体素子の配列順序を考慮した水冷方式を使用することで本問題を解決できることを見出した。

【 0 0 2 9 】

以下に、第 1 の実施形態における半導体装置について説明する。図 2 は、第 1 の実施形態における半導体装置 1 0 の構造の一例を示す図である。図 2 (a) は半導体装置 1 0 の上面図を示し、図 2 (b) は、図 2 (a) の I I - I I 線に沿った断面図を示す。

40

【 0 0 3 0 】

図 2 (b) に示すように、第 1 の実施形態の半導体装置 1 0 では、3 層のビルドアップ配線層が形成された多層配線基板 1 1 の上に 3 つの半導体素子 1 7 a、1 7 b、1 7 c が実装され、その上部に放熱板 2 1 が配置されて基本構成されている。

【 0 0 3 1 】

多層配線基板 1 1 の配線層 1 2 a、1 2 b、1 2 c と層間絶縁膜 1 3 a、1 3 b は相互に積層されるように形成され、各配線層 1 2 a、1 2 b、1 2 c は、層間絶縁膜 1 3 a、

50

13bに設けられたビアホール14を介して相互接続されている。多層配線基板11の上部には、配線層12cの接続部上に開口部が設けられたソルダレジスト15が形成されている。そして、半導体素子17a, 17b, 17cの bumps 18が配線層12cの接続部にフリップチップ接続されている。各半導体素子17a, 17b, 17cと多層配線基板11との間にはアンダーフィル樹脂19が充填されている。

【0032】

また、多層配線基板11の下面にも配線層12aの接続部に開口部が設けられたソルダレジスト16が形成されている。配線層12aの接続部には、はんだボールを搭載するなどして形成された外部接続端子20が設けられている。

【0033】

さらに、各半導体素子17a, 17b, 17cの上部及び多層配線基板11の上部には放熱板21が配置されている。放熱板21は例えば銅(Cu)部材の表面にニッケル(Ni)層がコートされて構成される。放熱板21は、中央部にキャビティC2が設けられることで周縁部に突起状接合部21aが形成されており、その突起状接合部21aが多層配線基板11の周縁部に導電性接着剤23によって接合されている。導電性接着剤23としては、例えば銀ペーストが使用される。さらに、半導体素子17a, 17b, 17cの上面が導電性接着剤23によって放熱板21のキャビティC2の内面に接合されている。導電性接着剤23を使用することで半導体素子17a, 17b, 17cに放熱板21を固定するとともに、半導体素子17a, 17b, 17cから発生する熱を逃がすようにしている。

【0034】

このようにして、放熱板21のキャビティC2の内部に半導体素子17a, 17b, 17cが収容されて実装されている。

【0035】

多層配線基板11の上部には複数の半導体素子(図2(b)の例では3つ)が一行に実装されている。このうち半導体素子17aはCPU等のロジック素子であって熱に強く、発熱量が大きい。発熱量の大きな半導体素子17aとしては、CPUの他に、ASIC(ローパワーCPU)などのロジック素子がある。

【0036】

また、半導体素子17bはフラッシュメモリであって、半導体素子17aのロジック素子よりも発熱量が小さい。また、半導体素子17cはDRAMであって、3つの半導体素子17a, 17b, 17cのうち最も熱に弱く、発熱量が小さい。発熱量の小さな半導体素子17b, 17cとしては、フラッシュメモリやDRAMの他に、SRAMやFeRAMなどの各種のメモリ素子が含まれる。

【0037】

これら3つの半導体素子17a, 17b, 17cは所要の間隔を保って多層配線基板11の上部に配置されている。

【0038】

さらに、放熱板21には、一行に実装された半導体素子17a, 17b, 17cの上方に、この列に沿って水平方向に貫通して形成された冷却流路22が設けられている。冷却流路22に冷却水を流すことにより、半導体素子17a, 17b, 17cを冷却することができる。図2(b)に示した冷却流路22は右側が流入口Aになり左側が流出口Bになる。すなわち、発熱量が小さく熱に弱い半導体素子17cは冷却流路22の流入口A側に配置され、発熱量が大きく熱に強い半導体素子17aは冷却流路22の流出口B側に配置される。このようにして、複数の半導体素子17a, 17b, 17cが冷却流路22に沿って配置される。

【0039】

図2(a)及び(b)に示すように半導体素子17a, 17b, 17cを配置して冷却流路22に冷却水を流すことによって、半導体素子を効果的に冷却できることについて以下に説明する。

10

20

30

40

50

【 0 0 4 0 】

まず、発熱量の大きな1個の半導体素子(以下、チップともいう)がパッケージの中央に実装されたときに、冷却流路22に冷却水を流して半導体素子を冷却したときの水の温度分布について検討した。図3は温度分布のシミュレーション結果を示している。このシミュレーションでは、チップの発熱量を60Wとし、冷却流路22に流入する水の温度を40とした。

【 0 0 4 1 】

図3の一点鎖線で囲まれた領域はパッケージ31であり、破線で囲まれた領域はパッケージの中央部に実装されたチップ32である。パッケージ31の大きさは40mmであり、チップ32の大きさは10mmである。また、破線33a、33bで挟まれた領域は冷却流路22が配置された位置を示している。この冷却流路22は図3の下側が流入口Aとなり上側が流出口Bとなっている。

10

【 0 0 4 2 】

図3に示すように、冷却流路22上の流入口Aからチップ32のほぼ中央部までの領域は水温が40~45(右上がり斜線部)であった。また、チップ32の中央部からその近傍の流出口B側では水温が45~50(右下がり斜線部)から50~55(点ハッチング部)に上昇した。さらに、そこから流出口Bまでの領域では、水温が中央部で55~60(水平斜線部)で、その両端側で50~55(点ハッチング部)であった。このように、流入口Aから流出口B側に近づくにつれて水温が上昇することが確認された。

【 0 0 4 3 】

図3の結果から明らかなように、高熱を発するチップ32の冷却流路22の流出口B側になるほど水温が上昇する。そのため、冷却流路22の流出口B側に熱に弱いチップを配置すると、高熱によってチップが誤動作したり熱破壊するおそれがある。

20

【 0 0 4 4 】

次に、発熱量の異なる複数のチップをパッケージに実装した場合の温度シミュレーション結果について説明する。

【 0 0 4 5 】

図4(a)は、発熱量の大きな1つのチップと発熱量の小さな2つのチップを実装した半導体装置において、空冷または水冷を施したときのチップの温度をシミュレーションにより算出した結果を示している。

30

【 0 0 4 6 】

使用する3つのチップのうち、チップ1及びチップ2の発熱量を0.5Wとし、チップ3の発熱量を60Wとしている。これらのチップは水流方向に向けてチップ1、チップ2、チップ3の順に一直列に配置されるものとする。

【 0 0 4 7 】

図4(a)における空冷は、前述した図1に示した関連技術の半導体装置100を使用する場合であり、チップ1からチップ3の上部を放熱板及びファンにより全体的に冷却する場合である。また、水冷は、第1の実施形態の半導体装置10を使用する場合であり、冷却流路22の流入口A側から流出口B側に、チップ1、チップ2、チップ3の順に配置している。すなわち、発熱量が小さく熱に弱いチップ(チップ1)が冷却流路22の流入口A側に配置され、発熱量が大きく熱に強いチップ(チップ3)が冷却流路22の流出口B側に配置される。

40

【 0 0 4 8 】

図4(b)は、上記のようにチップを配置したときのチップの温度(図4(a)のデータ)をグラフ化した図である。破線は比較のため、チップの配置を同様にして図1に示した空冷を施したときのチップの温度を示した図である。

【 0 0 4 9 】

図4(a)及び(b)に示すように、チップ1の温度は空冷のときには76.38になったのに対し、水冷のときは45.09となった。また、チップ2の温度は空冷のときには81.51になったのに対し、水冷のときは63.12となった。また、チッ

50

チップ3の温度は空冷のときには100.33 になったのに対し、水冷のときは108.98 となった。このように、チップ1、チップ2の温度は空冷を施したときよりも温度がかなり低くなり、チップ3の温度は空冷を施したときよりも若干温度が高くなる程度である。

【0050】

熱に弱いチップ1、チップ2については、第1の実施形態の水冷を施した方が空冷を施したときよりも熱の上昇を抑えることができる。従って、熱に弱いチップは空冷のときよりも、誤動作することなく長時間安定して動作させることが可能となる。

【0051】

一方、熱に強いチップ3については、第1の実施形態の水冷を施すと、空冷を施したときよりもチップの温度が若干高くなってしまふものの、熱に強いチップ3は、ある程度の高熱に耐えられるように設計されており、許容範囲内の温度であれば実用上問題が発生しない。

10

【0052】

図5は、上記した水冷による冷却機構を備えた半導体装置10を含む全体構成の一例を示す模式図である。

【0053】

図5の半導体装置10の冷却流路22を流れる冷却水は、図5の矢印の方向に循環させて使用される。半導体装置10の右側の流入口Aから流入した冷却水は冷却流路22を左側へ移動するにつれて、半導体素子の発熱により水温が上昇する。この冷却水は冷却流路22の左側の流出口Bから流出し、ラジエータ55（熱交換器）によって所要の温度（例えば40）以下に水温が下げられ、タンク53に貯められる。タンク53内の冷却された水はポンプによって半導体装置10に再度送られ、半導体装置10の冷却流路22を通り、半導体素子を冷却する。このようにして冷却水を循環させることにより、冷却水の温度上昇が抑えられて半導体素子が安定して冷却される。

20

【0054】

以上説明したように第1の実施形態の半導体装置10では、冷却流路22を流れる水の温度の違いを積極的に利用し、水温の低い冷却流路22の流入口A側に熱に弱い半導体素子を配置して、その半導体素子の温度を集中的に下げるようにしている。これにより、熱に弱い半導体素子の温度を集中的に下げることができ、熱に弱い半導体素子が誤動作することなく長期間安定して動作させることが可能になる。また、熱の発生量が大きな半導体素子は耐熱性があるので、比較的温度が高くなる冷却流路22の流出口B側に配置しても十分な性能が得られる程度に冷却される。

30

【0055】

また、第1の実施形態の半導体装置10では、放熱板21に冷却流路22を設け、そこに冷却水を流して半導体素子を冷却しており、空冷式で使用されるサイズの大きなヒートシンクやファンは使用していない。このため、半導体装置10を薄型化、小型化することが可能となる。

【0056】

なお、上記説明では発熱量の小さな2つのチップと発熱量の大きな1つのチップの3つのチップについて検討した。この検討を基に、3つのチップがそれぞれ異なる発熱量の場合については、冷却流路22の流入口A側から流出口B側に発熱量の小さなチップの順に配置することにより、冷却流路22を流れる水の温度が流入口A側に近いほど低くなり、熱に弱いチップほど集中的に冷却できることがわかる。

40

【0057】

また、半導体素子の数が4つ以上の場合にも、冷却流路22の流入口A側から流出口B側の方向に、発熱量が小から大になるようにチップを配置すれば、熱に弱いチップほど集中的に冷却することが可能となる。

【0058】

また、上記説明では、冷却流路22が1本の場合について説明したが、これに限らず、

50

放熱板 2 1 に複数の冷却流路 2 2 を形成するようにしてもよい。例えば、冷却流路 2 2 が水平方向又は上下方向に平行になるように複数形成してもよい。

【 0 0 5 9 】

上記した第 1 の実施形態の冷却流路 2 2 を備えた放熱板 2 1 は以下のようにして形成される。

【 0 0 6 0 】

まず、放熱板 2 1 を構成する第 1 の金属板を用意し、第 1 の金属板に所要のサイズのキャビティを設ける。このキャビティは、金型を使用してプレス加工によって形成してもよいし、ドリル加工やレーザ加工によってキャビティを形成してもよい。次に、第 1 の金属板のキャビティが形成された面と反対側の面に、所要のサイズの溝を形成する。次に、第 2 の金属板と溝が形成された第 1 の金属板とを接合して、冷却流路 2 2 を備えた放熱板 2 1 を形成する。

【 0 0 6 1 】

このようにして形成された放熱板と半導体素子が搭載された多層配線基板とを接合することにより、半導体装置が製造される。

【 0 0 6 2 】

(2) 第 2 の実施形態

第 2 の実施形態では、半導体素子を冷却するための冷却水を流す冷却流路をインターポーザに形成する半導体装置について説明する。

【 0 0 6 3 】

図 6 (a) ~ (c) に冷却流路がインターポーザに形成された半導体装置 6 0 の一例を示す。図 6 (a) は半導体装置の上面図であり、図 6 (b) はその下面図である。また、図 6 (c) は、図 6 (a) の冷却流路 6 4 の中心線に沿って貫通電極 6 2 の手前側から見た断面図である。

【 0 0 6 4 】

図 6 (c) に示すように、第 2 の実施形態の半導体装置 6 0 は、冷却流路 6 4 が設けられた流路付き配線基板 6 1 a 及びその上に形成された多層配線部 6 1 b からなるインターポーザ 6 1 と、インターポーザ 6 1 の上下両側に実装された半導体素子 6 8 a , 6 8 b , 6 9 a , 6 9 b とによって基本構成される。

【 0 0 6 5 】

インターポーザ 6 1 の流路付き配線基板 6 1 a には、基板 5 の縦方向に貫通するスルーホール T H が設けられ、その内面にシリコン酸化膜からなる絶縁層 5 7 が形成されている。さらに、スルーホール T H 内に銅が充填されて貫通電極 6 2 が設けられている。貫通電極 6 2 は絶縁層 5 7 によって他の貫通電極 6 2 と電氣的に絶縁されている。

【 0 0 6 6 】

貫通電極 6 2 は、図 6 (a) 及び図 6 (b) を加えて参照すると、冷却流路 6 4 を避けて、その近傍の基板 5 の両端側に配置されている。冷却流路 6 4 の詳細については後述する。

【 0 0 6 7 】

また、インターポーザ 6 1 の下面側には配線層 7 4 が設けられ、配線層 7 4 の接続部に開口部が設けられたソルダレジスト 5 6 が形成されており、半導体素子 6 9 a , 6 9 b のパンプ 7 2 が配線層 7 4 にフリップチップ接続されている。インターポーザ 6 1 の下面側の半導体素子 6 9 a , 6 9 b の外側の配線層 7 4 にはんだボールなどが搭載されて外部接続端子 7 3 が設けられている。

【 0 0 6 8 】

なお、インターポーザ 6 1 の基板 5 は、好適には、シリコン基板 (厚さ 2 0 0 ~ 3 0 0 μm) が使用される。シリコン基板を使用することにより、微細加工が可能になるので、半導体装置の小型化、薄型化、高性能化などを実現するための高密度実装が可能となる。

【 0 0 6 9 】

多層配線部 6 1 b はビルドアップ配線から形成され、多層配線部 6 1 b の上に半導体素

10

20

30

40

50

子 6 8 a , 6 8 b が接続されている。図 6 (c) の例では基板 5 の上に 3 層のビルドアップ配線が形成されている。多層配線部 6 1 b の配線層 6 5 a , 6 5 b , 6 5 c と層間絶縁膜 6 6 a , 6 6 b は相互に積層されるように形成され、各配線層 6 5 a , 6 5 b , 6 5 c は、層間絶縁膜 6 6 a , 6 6 b に設けられたビアホール 5 9 を介して相互接続されている。多層配線部 6 1 b の上には、配線層 6 5 c の接続部に開口部が設けられたソルダレジスト 6 7 が形成されている。そして、半導体素子 6 8 a , 6 8 b のパンプ 7 1 が配線層 6 5 c にフリップチップ接続されている。また、半導体素子 6 8 a , 6 8 b と多層配線部 6 1 b との間にアンダーフィル樹脂 7 0 が充填されている。

【 0 0 7 0 】

多層配線部 6 1 b の配線層 6 5 a が貫通電極 6 2 の上部と接続され、貫通電極 6 2 の下部がインターポーザ 6 1 の下面側の配線層 7 4 と接続されている。このようにして、貫通電極 6 2 によって基板 5 の上面側の配線層 6 5 a ~ 6 5 c と下面側の配線層 7 4 とが相互接続されている。

【 0 0 7 1 】

次に、インターポーザ 6 1 の流路付き配線基板 6 1 a に形成される冷却流路 6 4 について説明する。

【 0 0 7 2 】

インターポーザ 6 1 の流路付き配線基板 6 1 a にはインターポーザ 6 1 の上部に形成される複数の半導体素子 6 8 a , 6 8 b 又はインターポーザ 6 1 の下部に形成される複数の半導体素子 6 9 a , 6 9 b が一列に配置される方向に貫通孔が形成され、これらの半導体素子 6 8 a , 6 8 b , 6 9 a , 6 9 b を冷却するための水の冷却流路 6 4 となっている。冷却流路 6 4 は図 6 (a) ~ (c) に示すようにインターポーザ 6 1 を一端側の側面から対向する他端側の側面まで、水平方向に貫通して設けられる。

【 0 0 7 3 】

図 6 (a) ~ (c) に示した冷却流路 6 4 はその右側が流入口 A になり左側が流出口 B になる。このようなインターポーザ 6 1 の上部に接続される半導体素子 6 8 a , 6 8 b のうち熱に弱い半導体素子 6 8 b (D R A M など) は図 6 (a) ~ (c) の右側に配置される。また、インターポーザ 6 1 の下部においても、半導体素子 6 9 a , 6 9 b のうち熱に弱い半導体素子 6 9 b は図 6 の右側に配置される。すなわち、熱に弱い半導体素子 6 8 b , 6 9 b は冷却流路 6 4 の流入口 A 側に配置され、熱に強い半導体素子 6 8 a , 6 9 a は冷却流路 6 4 の流出口 B 側に配置される。

【 0 0 7 4 】

なお、冷却流路 6 4 を通過した冷却水は、前述した図 5 での説明と同様に、流出口 B から流出した冷却水の水温を所要の温度に下げて、循環して使用される。

【 0 0 7 5 】

以上説明したように、第 2 の実施形態の半導体装置 6 0 では、熱に弱い半導体素子 6 8 b , 6 9 b を冷却流路 6 4 の流入口 A 側に配置することにより、第 1 の実施形態で説明した半導体装置 1 0 の場合と同様に、熱に弱い半導体素子に対する冷却効果を高めることができる。熱に弱い半導体素子の温度を集中的に下げることにより、熱に弱い半導体素子が誤動作することなく長期間安定して動作させることが可能になる。

【 0 0 7 6 】

また、インターポーザ 6 1 の上下両面に半導体素子を実装した場合には、上記した配置にすることによりインターポーザ 6 1 の上面側に接続された熱に弱い半導体素子だけでなく、インターポーザ 6 1 の下面側に接続された熱に弱い半導体素子に対しても冷却効果を高めることが可能となる。

【 0 0 7 7 】

なお、第 2 の実施形態ではインターポーザ 6 1 の基板 5 としてシリコンを使用する場合について説明したが、シリコンに限らず、例えばガラスを使用してインターポーザ 6 1 を形成するようにしてもよい。

【 0 0 7 8 】

10

20

30

40

50

また、図6(c)の半導体装置では、インターポーザ61の上下両面に半導体素子を実装される場合を示しているが、インターポーザ61の片面側のみ半導体素子を実装してもよいことは勿論である。

【0079】

また、図6ではインターポーザ61に冷却流路64が1つ形成された場合を示しているが、これに限らず、冷却流路64が水平方向又は上下方向に平行になるように複数形成してもよい。冷却流路64を水平方向に複数形成する場合には、冷却流路64の間に貫通電極62を配置することも可能となる。

【0080】

また、第2の実施形態では、インターポーザ61の基板5の内部に冷却流路64を形成して、そこに冷却水を流すことにより半導体素子を冷却するようにしているが、半導体素子に対する冷却効果をさらに高めるために、図6(c)の構成にさらに放熱板を付加するようにしてもよい。インターポーザ61の上面側に配置した半導体素子の上部に放熱板を配置することにより、放熱板の下の熱に弱い半導体素子に対する冷却効果をさらに高めることができる。

10

【0081】

さらに、第1の実施形態と同様に、半導体素子の上に配置された放熱板に冷却流路を設けることも可能である。

【0082】

なお、インターポーザ61の基板5の冷却流路64は以下のようにして形成される。

20

【0083】

まず、第1のシリコンウエハを用意し、第1のシリコンウエハにフォトリソグラフィとドライエッチングによって所要のサイズの溝を形成する。次に、第2のシリコンウエハと溝が形成された第1のシリコンウエハとを接着する。この接着はArプラズマ照射後、1000でアニールすることにより行う。

【0084】

また、インターポーザ61の基板5はシリコンに限らず、ガラスを用いてもよい。ガラスを用いる場合には、まず、第1のガラスを用意し、第1のガラスの上に所要の開口部を備えたマスクを形成し、その開口部に露出するガラスの部分をサンドブラスト法などによって加工して所要の溝を形成する。なお、所要の型に熔融したガラスを流し込むことによって、同様な構造にしてもよい。次に、第2のガラスと溝が形成された第1のガラスとを接着する。

30

【0085】

また、インターポーザ61はシリコンとガラスによって形成するようにしてもよい。上記方法によって所要の溝を形成したシリコンとガラスとを接着する。シリコンとガラスは陽極接合によって接合する。例えば、シリコン及びガラスを300~400に加熱した状態で、両者の間に500V~1kVの電圧を印加することにより、陽極接合することができる。

【0086】

上記したように冷却流路となる水平方向に貫通する貫通孔を備えた流路付き配線基板61aを形成した後、貫通電極や多層ビルドアップ配線などを形成する。

40

【図面の簡単な説明】

【0087】

【図1】図1は、関連技術のMCM構造を備えた半導体装置を示す構成図である。

【図2】図2は、本発明の第1の実施形態の半導体装置を示す構成図である。

【図3】図3は、半導体素子の放熱による温度分布のシミュレーション結果を示す図である。

【図4】図4は、複数の半導体素子の放熱による温度分布のシミュレーション結果を説明する図である。

【図5】図5は、本発明の第1の実施形態の半導体装置の冷却水の循環機構を示す模式図

50

である。

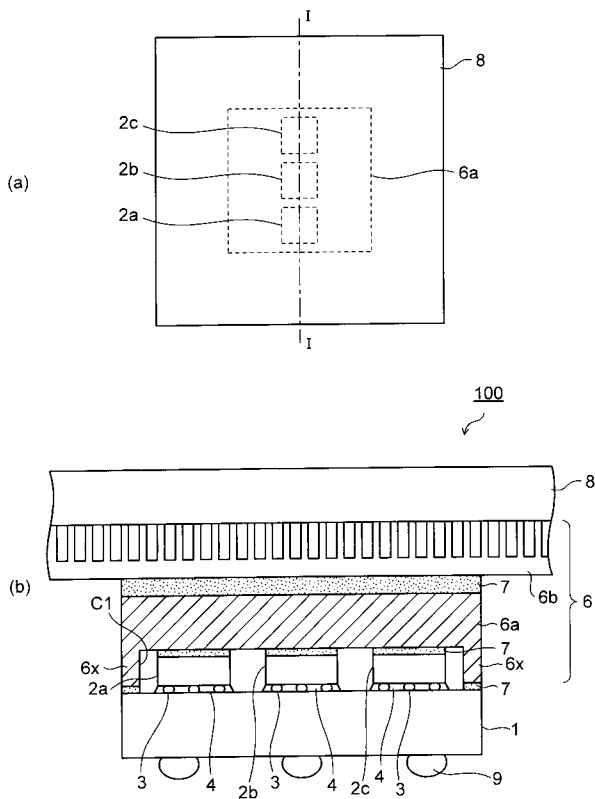
【図6】図6は、本発明の第2の実施形態の半導体装置を示す構成図である。

【符号の説明】

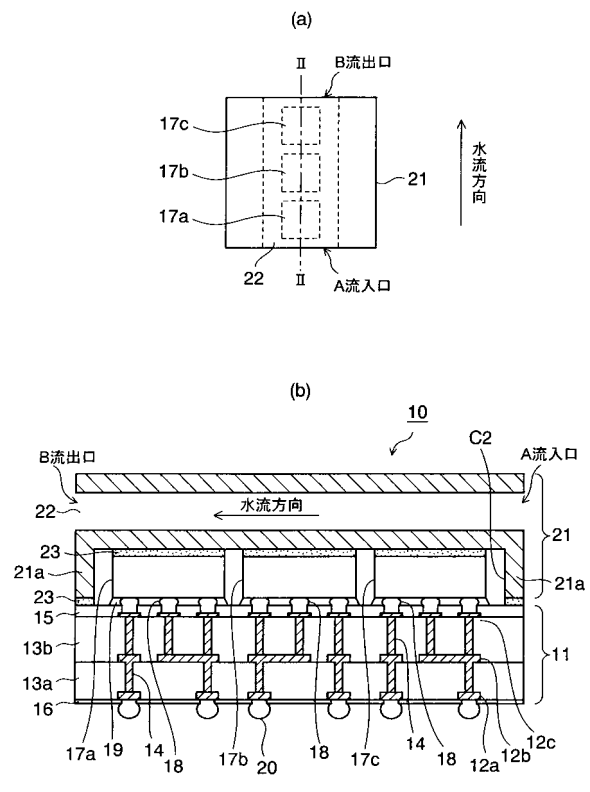
【0088】

1, 11...多層配線基板、10, 60...半導体装置、12, 65...配線層、13, 66...層間絶縁膜、14, 59...ビアホール、16, 56, 67...ソルダレジスト、17, 68, 69...半導体素子、18, 71...半田パンプ、19, 70...アンダーフィル樹脂、20, 73...外部接続端子、21...放熱板、22, 64...冷却流路、23...導電性接着剤、55...熱交換器、61...インターポーザ、62...貫通電極、C1, C2...キャピティ、TH...スルーホール。

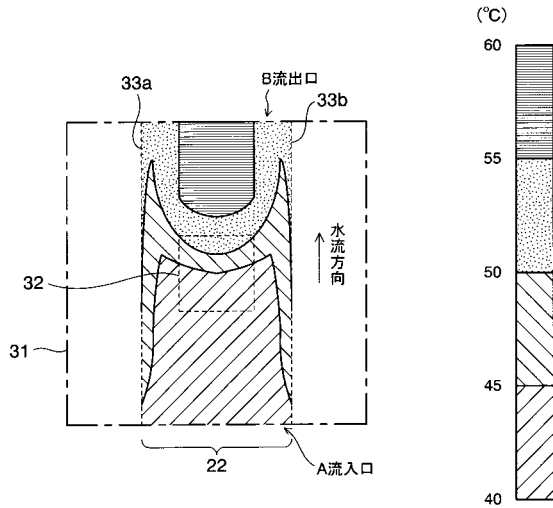
【図1】



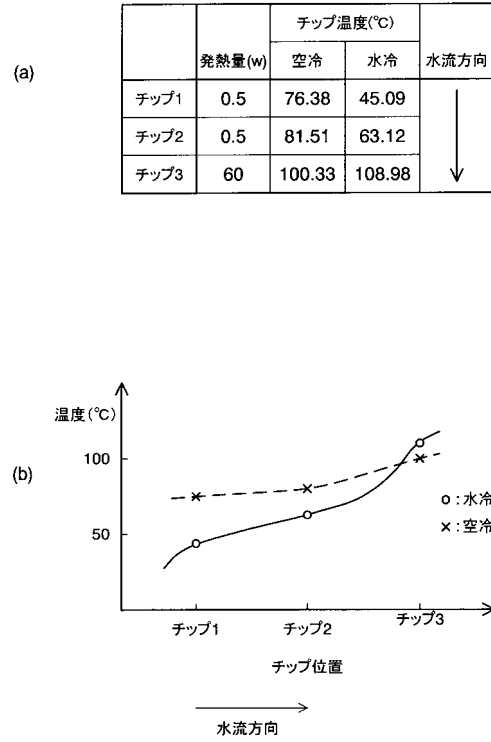
【図2】



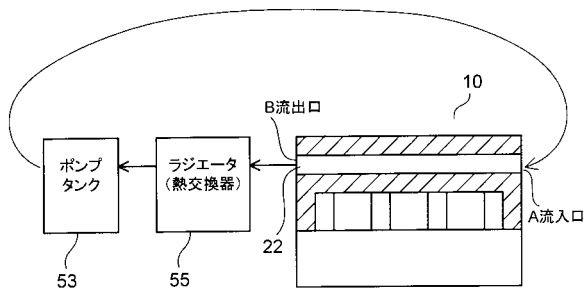
【図3】



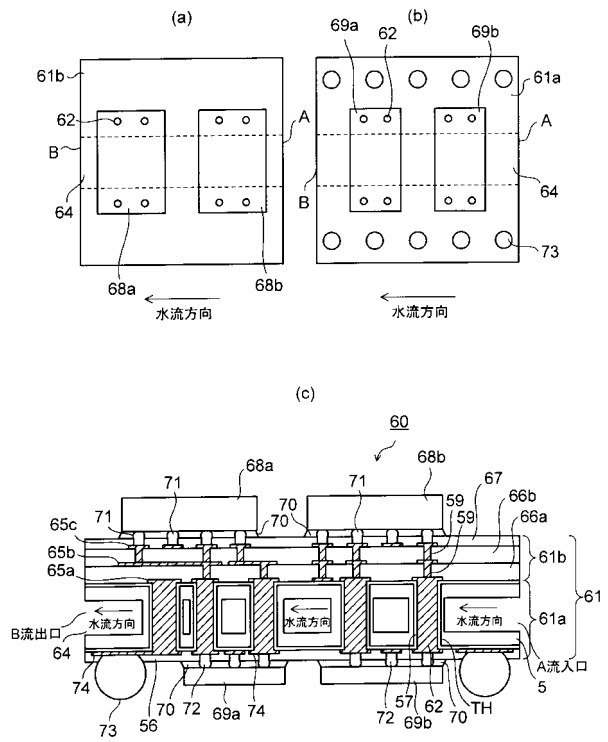
【図4】



【図5】



【図6】



フロントページの続き

- (56)参考文献 特開2007-073668(JP,A)
特開2002-368428(JP,A)
特開2002-270743(JP,A)
国際公開第2002/057921(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12, 34-473
H05K 3/46
H05K 7/20