



(21)申請案號：103138013

(22)申請日：中華民國 103 (2014) 年 11 月 03 日

(51)Int. Cl. : H01L23/043 (2006.01)

H01L21/52 (2006.01)

(71)申請人：矽品精密工業股份有限公司(中華民國) SILICONWARE PRECISION INDUSTRIES CO., LTD. (TW)

臺中市潭子區大豐路3段123號

(72)發明人：陳彥亨 CHEN, YAN HENG (TW)；林峻棠 LIN, CHUN TANG (TW)；詹慕萱 CHAN, MU HSUAN (TW)；賴昶存 LAI, CHANG TSUN (TW)；紀傑元 CHI, CHIEH YUAN (TW)

(74)代理人：陳昭誠

(56)參考文獻：

TW 419797

TW 200812040A

TW 201327739A

審查人員：李秋峰

申請專利範圍項數：19 項 圖式數：3 共 28 頁

(54)名稱

半導體封裝件及其製法

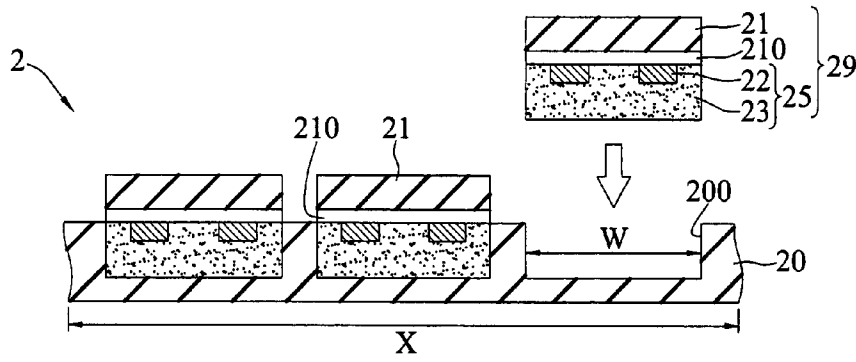
SEMICONDUCTOR PACKAGE AND METHOD OF MANUFACTURE

(57)摘要

一種半導體封裝件之製法，係先提供一具有複數凹槽之承載件及複數承載體，且各該承載體上分別設有一封裝體，各該封裝體具有複數電子元件及包覆該些電子元件之封裝材；接著，嵌置各該封裝體對於各該凹槽中，且使各該承載體凸出於該承載件上，之後移除各該承載體，以外露各該封裝體，最後沿該些凹槽進行分離製程，且移除該承載件。藉由該承載體與該凹槽之設計，以將整版面結構分割成所需尺寸之封裝區塊，而於後續可以現有機台進行切單製程，故能省去機台開發之成本。本發明復提供該半導體封裝件。

A method of manufacturing a semiconductor package is provided, including providing a carrier member having a plurality of recessed grooves formed thereon and a plurality of carrier bodies each having a package body disposed thereon, each package body having a plurality electronic components and a package material covering these electronic components; disposing each of the package bodies into respective recessed grooves to expose package bodies therefrom; performing a detaching process along these recessed grooves and removing the carrier member, thereby dividing the overall structure into the required package blocks which allows the existing machine to perform the singulation process without requiring new machines and thus save costs. The invention further provides the semiconductor package as described above.

指定代表圖：



第2C圖

符號簡單說明：

- 2 . . . 半導體封裝件
- 20 . . . 承載件
- 200 . . . 凹槽
- 21 . . . 承載體
- 210 . . . 黏著層
- 22 . . . 電子元件
- 23 . . . 封裝材
- 25 . . . 封裝體
- 29 . . . 電子單元
- W, X . . . 面積

## 發明摘要

※申請案號：103138013

※申請日：103. 11. 03

※IPC分類：

H01L 23/043 (2006.01)

H01L 21/52 (2006.01)

## 【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF  
MANUFACTURE

## 【中文】

一種半導體封裝件之製法，係先提供一具有複數凹槽之承載件及複數承載體，且各該承載體上分別設有一封裝體，各該封裝體具有複數電子元件及包覆該些電子元件之封裝材；接著，嵌置各該封裝體對於各該凹槽中，且使各該承載體凸出於該承載件上，之後移除各該承載體，以外露各該封裝體，最後沿該些凹槽進行分離製程，且移除該承載件。藉由該承載體與該凹槽之設計，以將整版面結構分割成所需尺寸之封裝區塊，而於後續可以現有機台進行切單製程，故能省去機台開發之成本。本發明復提供該半導體封裝件。

## 【英文】

A method of manufacturing a semiconductor package is provided, including providing a carrier member having a plurality of recessed grooves formed thereon and a plurality of carrier bodies each having a package body disposed thereon, each package body having a plurality electronic components and a package material covering these electronic components; disposing each of the package bodies into respective recessed grooves to expose package bodies therefrom; performing a detaching process along these recessed grooves and removing the carrier member, thereby dividing the overall structure into the required package blocks which allows the existing machine to perform the singulation process without requiring new machines and thus save costs. The invention further provides the semiconductor package as described above.

**【代表圖】**

**【本案指定代表圖】**：第（ 2C ）圖。

**【本代表圖之符號簡單說明】**：

2	半導體封裝件
20	承載件
200	凹槽
21	承載體
210	黏著層
22	電子元件
23	封裝材
25	封裝體
29	電子單元
W,X	面積

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

## 【發明名稱】(中文/英文)

半導體封裝件及其製法

SEMICONDUCTOR PACKAGE AND METHOD OF  
MANUFACTURE

## 【技術領域】

本發明係有關一種半導體封裝件之製法，尤指一種提高產能之半導體封裝件及其製法。

## 【先前技術】

隨著電子產業的蓬勃發展，電子產品也逐漸邁向多功能、高性能的趨勢。為了滿足半導體封裝件微型化 (miniaturization) 的封裝需求，係發展出晶圓級封裝 (Wafer Level Packaging, WLP) 的技術。

如第 1A 至 1E 圖，係為習知晶圓級半導體封裝件 1 之製法之剖面示意圖。

如第 1A 圖所示，形成一熱化離型膠層 (thermal release tape) 11 於一承載件 10 上。

接著，置放複數半導體元件 12 於該熱化離型膠層 11 上，該些半導體元件 12 具有相對之主動面 12a 與非主動面 12b，各該主動面 12a 上均具有複數電極墊 120，且各該主動面 12a 黏著於該熱化離型膠層 11 上。

如第 1B 圖所示，形成一封裝膠體 13 於該熱化離型膠層 11 上，以包覆該半導體元件 12，且使該半導體元件 12

之非主動面 12b 外露於該封裝膠體 13。

如第 1C 圖所示，於該封裝膠體 13 及該半導體元件 12 之非主動面 12b 上藉由一結合層 170 貼覆一支撐件 17，再烘烤該封裝膠體 13 以硬化該熱化離型膠層 11 而移除該熱化離型膠層 11 與該承載件 10，使該半導體元件 12 之主動面 12a 外露。之後，固化 (curing) 該封裝膠體 13。

如第 1D 圖所示，進行線路重佈層 (Redistribution layer, RDL) 製程，係形成一線路重佈結構 14 於該封裝膠體 13 與該半導體元件 12 之主動面 12a 上，令該線路重佈結構 14 電性連接該半導體元件 12 之電極墊 120。

接著，形成一絕緣保護層 15 於該線路重佈結構 14 上，且該絕緣保護層 15 外露該線路重佈結構 14 之部分表面，以供結合如鉚球之導電元件 16。

如第 1E 圖所示，沿如第 1D 圖所示之切割路徑 S 進行切單製程，以獲取複數個半導體封裝件 1 (即封裝單元)。

習知半導體封裝件 1 之製法係為晶圓級 (wafer form)，而為降低生產成本，係以整版面形式 (Panel form) 製作。目前製作之整版面形式之尺寸，其長與寬分別為 370 mm × 470 mm，目標發展為 600 mm × 700 mm。

惟，習知半導體封裝件 1 之製法中，目前現有切單機台最大僅能置放 100 mm × 240 mm，因而無法放置 370 mm × 470 mm 或更大尺寸，故現階段需先以人工方式切割成適合尺寸，再放入現有切單機中，導致難以提升產量。

再者，若要直接將 370 mm × 470 mm 或更大尺寸之版面進

行切單製程，需額外特製機台，導致產品製作成本提高。

因此，如何克服上述習知技術的種種問題，實已成目前亟欲解決的課題。

### 【發明內容】

鑑於上述習知技術之種種缺失，本發明係提供一種半導體封裝件，係為整版面結構，其包括：一承載件，係具有複數凹槽；以及複數電子單元，係嵌設於各該凹槽中。

前述之半導體封裝件中，該電子單元係包含：封裝材，係形成於該些凹槽中；複數電子元件，係嵌埋於各該凹槽中之封裝材中，且任一該凹槽中具有複數個該電子元件；以及承載體，係形成於該封裝材上，以使該承載體對應位於該凹槽上。再者，該電子元件具有相對之主動面與非主動面，且該承載體係覆蓋於該電子元件之主動面上。

前述之半導體封裝件中，該電子單元係包含：承載體，具有相對之第一側與第二側，且該第一側之面積大於該第二側之面積，該承載體以其第二側對應置放於該凹槽中；複數電子元件，係設於該承載體之第一側上，且任一該承載體上設有複數個該電子元件；以及封裝材，係形成於該承載件上，以包覆該些電子元件。再者，該電子元件具有相對之主動面與非主動面，且該電子元件以其主動面結合於該第一側上。又包括設於該封裝材上之支撐件。另外，該凹槽係為錐狀。

本發明復提供一種半導體封裝件之製法，係包括：提供一具有複數凹槽之承載件及複數承載體，且各該承載體



上分別設有一封裝體，各該封裝體具有複數電子元件及包覆該些電子元件之封裝材；嵌置各該封裝體於各該凹槽中，且使各該承載體凸出於該承載件上；移除各該承載體，以外露各該封裝體；以及沿該些凹槽進行分離製程，且移除該承載件。

前述之製法中，該電子元件具有相對之主動面與非主動面，且該電子元件以其主動面結合於該承載體上。

前述之製法中，於移除各該承載體後，使各該電子元件外露於該承載件。

前述之製法中，復包括於移除各該承載體後，形成一線路重佈結構於各該封裝體上，且該線路重佈結構電性連接該電子元件。

前述之製法中，復包括於進行該分離製程後，進行切單製程。

本發明復提供一種半導體封裝件之製法，係包括：提供一具有複數凹槽之承載件及複數承載體，各該承載體具有相對之第一側與第二側，且該第一側之面積大於該第二側之面積，該第一側上並設有複數電子元件；將各該承載體以其第二側對應置放於各該凹槽中，使各該電子元件凸出於該承載件上；形成封裝材於該承載件上，以包覆該些電子元件，以於各該承載體上形成複數封裝體；移除各該承載體與該承載件；以及依各該封裝體進行分離製程。

前述之製法中，該電子元件具有相對之主動面與非主動面，且該電子元件以其主動面結合於該承載體上。

前述之製法中，各該凹槽之形狀係對應該承載體之形狀。

前述之製法中，復包括於移除各該承載體與該承載件前，設置支撐件於該封裝材上。復包括於於進行分離製程後，移除該支撐件；復包括先移除該支撐件，再進行該分離製程。

前述之製法中，復包括於移除各該承載體與該承載件後，形成一線路重佈結構於該封裝材上，且該線路重佈結構電性連接該電子元件。

前述之製法中，復包括於進行該分離製程後，進行切單製程。

由上可知，本發明之半導體封裝件及其製法，係藉由該承載體與凹槽之設計，以於整版面結構中分離出所需尺寸之封裝區塊，而於後續製程中，可進行切單、封裝與組裝等製程，故藉此方法可依需求增加整版面之尺寸以提升產量，且能省去機台開發之成本。

### 【圖式簡單說明】

第 1A 至 1E 圖係為習知半導體封裝件之製法之剖面示意圖；

第 2A 至 2F 圖係本發明之半導體封裝件之製法之第一實施例的剖面示意圖；其中，第 2F' 圖係第 2F 圖之下視圖；以及

第 3A 至 3G 圖係本發明之半導體封裝件之製法之第二實施例的剖面示意圖；其中，第 3G' 圖係第 3G 圖之下視圖。

## 【實施方式】

以下藉由特定的具體實施例說明本發明之實施方式，熟悉此技藝之人士可由本說明書所揭示之內容輕易地瞭解本發明之其他優點及功效。

須知，本說明書所附圖式所繪示之結構、比例、大小等，均僅用以配合說明書所揭示之內容，以供熟悉此技藝之人士之瞭解與閱讀，並非用以限定本發明可實施之限定條件，故不具技術上之實質意義，任何結構之修飾、比例關係之改變或大小之調整，在不影響本發明所能產生之功效及所能達成之目的下，均應仍落在本發明所揭示之技術內容得能涵蓋之範圍內。同時，本說明書中所引用之如“上”及“一”等之用語，亦僅為便於敘述之明瞭，而非用以限定本發明可實施之範圍，其相對關係之改變或調整，在無實質變更技術內容下，當亦視為本發明可實施之範疇。

第 2A 至 2F 圖係為本發明之半導體封裝件 2 之製法的第一實施例之剖面示意圖。

如第 2A 至 2C 圖所示，提供一具有複數凹槽 200 之承載件 20 及複數承載體 21，且各該承載體 21 上設有封裝體 25，各該封裝體 25 具有複數電子元件 22 及包覆該些電子元件 22 之封裝材 23，以構成電子單元 29。接著，將各該電子單元 29 以其封裝體 25 對應置放於各該凹槽 200 中，使各該承載體 21 凸出於該承載件 20 上，藉此，完成整版面（panel）結構之半導體封裝件 2。

於本實施例中，該承載件 20 係為如晶圓、矽板之半導

體基板或玻璃基板，且該承載件 20 之頂側或底側之面積  $X$  係為  $610\text{ mm} \times 720\text{ mm}$ ，並於該單一承載體 21 上結合有複數該電子元件 22，而該承載體 21 藉由其表面上之黏著層 210 以結合該些電子元件 22，該黏著層 210 亦凸出於該承載件 20 上。

再者，該承載體 21 之頂側或底側之面積  $A$  與該凹槽 200 之開口之面積  $W$  係為  $100\text{ mm} \times 240\text{ mm}$ ，故該承載體 21 與該凹槽 200 係可作為拼圖式結構，亦即該承載體 21 之製作可為從一板體結構中切割分離出該承載件 20 與該承載體 21。

又，該電子元件 22 係為主動元件、被動元件或其組合者，且該主動元件係例如半導體晶片，而該被動元件係例如電阻、電容及電感。例如，該電子元件 22 具有相對之主動面 22a 與非主動面 22b，且該電子元件 22 以其主動面 22a 結合該黏著層 210。

另外，該封裝材 23 係以壓合 (Lamination) 方式或模壓 (molding) 方式形成於該承載體 21 之黏著層 210 上，且該封裝材 23 之材質係為封裝膠體、介電材感光絕緣材、乾膜型 (Dry Film Type) 環氧樹脂 (Epoxy) 或流體狀環氧樹脂、或有機材質，如 ABF (Ajinomoto Build-up Film) 樹脂等。

如第 2D 圖所示，移除各該承載體 21 及該黏著層 210，以外露各該封裝體 25 (如該電子元件 22 之主動面 22a)。

如第 2E 圖所示，進行線路重佈層 (Redistribution layer,

RDL) 製程，即形成一線路重佈結構 24 於該封裝材 23、承載件 20 與該些電子元件 22 上，且該線路重佈結構 24 電性連接各該電子元件 22。接著，結合如錫球之導電元件 26 於該線路重佈結構 24 之部分表面上，俾供接置其它電子裝置（如電路板）。

於本實施例中，該線路重佈結構 24 係包含相疊之至少一線路層 241 與至少一介電層 240，該介電層 240 係形成於該封裝材 23 上，且該線路層 241 係電性連接該電子元件 22。

如第 2F 及 2F' 圖所示，沿如第 2E 圖所示之分割路徑 L（即沿該些凹槽 200 之邊緣或該封裝體 25 之邊緣）進行分離製程，再完全移除該承載件 20 之底部。

於本實施例中，該分離製程係將整版面結構分割成複數封裝區塊（strip）2'，且該封裝區塊 2' 之尺寸係為 100 mm × 240 mm，其由複數封裝單元 2a（如第 2F' 圖所示之切單製程之切割路徑 S' 之範圍）構成。具體地，單一該封裝單元 2a 中之電子元件 22 之數量可依需求而定，即藉由調整切單製程之切割路徑 S'，例如，第 2F' 圖所示之單一該封裝單元 2a 中具有四個電子元件 22，而於其它實施例中，單一該封裝單元 2a 中亦可具有一個電子元件 22。

再者，於其它實施例中，亦可先移除該承載件 20 之底部，再進行該分離製程。

本發明之製法中，藉由該承載體 21 與凹槽 200 之設計，以將整版面結構分割成尺寸 100 mm × 240 mm 之封裝區塊

2'，而於後續製程中，可將該封裝區塊 2' 進行切單製程以獲得複數封裝單元 2a，故藉此方法可依需求增加整版面之尺寸，而變換整版面之尺寸，以提升產量。

再者，藉由該承載體 21 與凹槽 200 之設計，可將整版面結構分割成現有切單機所需之切單尺寸（即該封裝區塊 2' 之尺寸），即可進行量產，無需額外開發新機台，故能降低機台開發之成本。

又，藉由該承載體 21 與凹槽 200 之設計，能以自動化方式將整版面結構分離成所需尺寸之封裝區塊 2'，再放入現有切單機中，以提升產量。

第 3A 至 3G 圖係為本發明之半導體封裝件 3 之製法的第二實施例之剖面示意圖。

如第 3A 至 3C 圖所示，提供一具有複數凹槽 300 之承載件 30 及複數承載體 31，且各該承載體 31 具有相對之第一側 31a 與第二側 31b，且該第一側 31a 之面積 B 大於該第二側 31b 之面積 C，並於該第一側 31a 上設有複數電子元件 22，以構成電子單元 39。接著，將各該電子單元 39 以其承載體 31 之第二側 31b 對應置放於各該凹槽 300 中，使各該電子元件 22 凸出於該承載件 30 上。

於本實施例中，該承載件 30 係為如晶圓、矽板之半導體基板或玻璃基板，且該承載件 30 之頂側或底側之面積 X 係為 610 mm × 720 mm，並於該單一承載體 31 上結合有複數該電子元件 22，而該承載體 31 藉由其表面上之黏著層 310 以結合該些電子元件 22。例如，該承載件 30 也具有黏著

層 310'，以藉由該些黏著層 310,310'之佈設使整體結構之上側為平坦面。

再者，該凹槽 300 之深度  $h$  等於該承載體 31 之厚度  $t$ 。於其它實施例中，該凹槽 300 之深度  $h$  可大於該承載體 31 之厚度  $t$ ，以利於該承載體 31 置放於該凹槽 300 中。

又，該承載體 31 之第一側 31a 之面積  $B$  係為  $100\text{ mm} \times 240\text{ mm}$ ，且該承載體 31 係為梯形狀，以利於置放於該凹槽 300 中，而各該凹槽 300 之形狀係對應該承載體 31 之形狀，故該承載體 31 與該凹槽 300 係可作為拼圖式結構，亦即該承載體 31 之製作可為從一板體結構中切割分離出該承載件 30 與該承載體 31。

另外，該電子元件 22 係為主動元件、被動元件或其組合者，且該主動元件係例如半導體晶片，而該被動元件係例如電阻、電容及電感。例如，該電子元件 22 具有相對之主動面 22a 與非主動面 22b，該電子元件 22 以其主動面 22a（即具有電極墊 220 之側）結合該黏著層 310。

如第 3D 圖所示，形成封裝材 23 於該承載件 20 上，以包覆該些電子元件 22，以於對應各該承載體 31 上形成複數封裝體 25。藉此，完成整版面（panel）結構之半導體封裝件 3。

於本實施例中，該封裝材 23 係以壓合（Lamination）方式或模壓（molding）方式形成於該承載件 30 上，且該封裝材 23 之材質係為封裝膠體、介電材感光絕緣材、乾膜型（Dry Film Type）環氧樹脂（Epoxy）或流體狀環氧樹脂、

或有機材質，如 ABF (Ajinomoto Build-up Film) 樹脂等。

再者，可結合一支撐件 27 於該封裝材 23 上（於該電子元件 22 之非主動面 22b 上方），且該支撐件 27 係藉由結合層 270 設於該封裝材 23 上。

例如，該結合層 270 係為黏性材質（如乾膜型環氧樹脂），且該支撐件 27 之材質係為無機材質或有機材質，該無機材質係例如玻璃、矽 (Si)、陶瓷、碳化矽 (SiC)、二氧化矽 (SiO<sub>2</sub>)、砷化鎵 (gallium arsenide, GaAs)、磷砷化鎵 (gallium arsenide phosphide, GaAsP)、磷化銦 (indium phosphide, InP)、砷化鋁鎵 (gallium aluminum arsenide, GaAlAs) 或磷化銦鎵 (indium gallium phosphide, InGaP) 等，該有機材質係例如塑膠、玻璃纖維強化樹脂（如 bismaleimide-triazine, 簡稱 BT）、玻璃纖維強化環氧樹脂 (fiberglass reinforced epoxy resin)（如 FR-4）或環氧樹脂 (epoxy) 等。

又，可先以如旋塗 (spin coating) 方式形成該結合層 270 於該支撐件 27 上，再將該結合層 270 結合於該封裝材 23 上。

另外，亦可先形成該結合層 270 於該封裝材 23 上，再將該支撐件 27 結合於該結合層 270 上。

如第 3E 圖所示，移除該承載件 30、各該承載體 31 及該黏著層 310,310'，以外露各該封裝體 25（如該電子元件 22 之主動面 22a）。

如第 3F 圖所示，進行線路重佈層 (Redistribution layer,



RDL) 製程，即形成一線路重佈結構 24 於該封裝材 23 與該些電子元件 22 上，且該線路重佈結構 24 電性連接各該電子元件 22。接著，結合如錫球之導電元件 26 於該線路重佈結構 24 之部分表面上，俾供接置其它電子裝置（如電路板）。

於本實施例中，該線路重佈結構 24 係包含相疊之至少一線路層 241 與至少一介電層 240，該介電層 240 係形成於該封裝材 23 上，且該線路層 241 係電性連接該電子元件 22 之電極墊 220。

再者，藉由該承載體 31 係為梯形狀之設計，可避免於進行 RDL 製程時，該承載體 31 發生偏移的問題，故能避免後續製程對位不準的問題。

如第 3G 及 3G' 圖所示，沿如第 3F 圖所示之分割路徑 L（即沿該些封裝體 25 之邊緣）進行分離製程，再完全移除該支撐件 27 與結合層 270。

於本實施例中，該分離製程係將整版面結構分割成複數封裝區塊（strip）3'，且該封裝區塊 3' 之尺寸係為 100 mm × 240 mm，其由複數封裝單元 3a（如第 3G' 圖所示之切單製程之切割路徑 S'' 之範圍）構成。具體地，單一該封裝單元 3a 中之電子元件 22 之數量可依需求而定，即藉由調整切單製程之切割路徑 S''，例如，第 3G' 圖所示之單一該封裝單元 3a 中具有一個電子元件 22，而於其它實施例中，單一該封裝單元 3a 中亦可具有四個電子元件 22。

再者，於其它實施例中，亦可先移除該支撐件 27 與結

合層 270，再進行該分離製程。

本發明之製法中，藉由該承載體 31 與凹槽 300 之設計，以將整版面結構分割成尺寸 100 mm×240 mm 之封裝區塊 3'，而於後續製程中，可將該封裝區塊 3' 進行切單製程以獲得複數封裝單元 3a，故藉此方法可依需求增加整版面之尺寸，而變換整版面之尺寸，以提升產量。

再者，藉由該承載體 31 與凹槽 300 之設計，可將整版面結構分割成現有切單機所需之切單尺寸（即該封裝區塊 3' 之尺寸），即可進行量產，無需額外開發新機台，故能降低機台開發之成本。

又，藉由該承載體 31 與凹槽 300 之設計，能以自動化方式將整版面結構分離成所需尺寸之封裝區塊 3'，再放入現有切單機中，以提升產量。

本發明復提供一種半導體封裝件 2，係為整版面結構，其包括：具有複數凹槽 200 之一承載件 20、形成於該些凹槽 200 中之封裝材 23、嵌埋於各該凹槽 200 中之封裝材 23 中的複數電子元件 22、以及形成於該封裝材 23 上之複數承載體 21。

所述之電子元件 22 具有相對之主動面 22a 與非主動面 22b，且該承載體 21 係覆蓋該電子元件 22 之主動面 22a 上。

所述之各該承載體 21 係對應位於各該凹槽 200 上。

本發明亦提供一種半導體封裝件 3，係為整版面結構，其包括：具有複數凹槽 300 之一承載件 30、設於各該凹槽 300 中之複數承載體 31、設於各該承載體 31 上之複

數電子元件 22、以及形成於該承載件 30 上以包覆該些電子元件 22 之封裝材 23。

所述之承載體 31 具有相對之第一側 31a 與第二側 31b，且該第一側 31a 之面積 B 大於該第二側 31b 之面積 C，各該承載體 31 以其第二側 31b 對應置放於各該凹槽 300 中。

所述之電子元件 22 係具有相對之主動面 22a 與非主動面 22b，且該電子元件 22 之主動面 22a 結合於該第一側 31a 上，而單一該承載體 31 上設有複數個該電子元件 22。

於一實施例中，復包括一支撐件 27，係形成於該封裝材 23 上。

綜上所述，本發明之半導體封裝件及其製法，主要藉由拼圖式之承載體與凹槽之設計，以於整版面結構分離出所需尺寸之封裝區塊，以於後續製程中，可使用現有機台進行生產，故不僅能省去機台開發之成本，且藉此可依需求增加整版面之尺寸以提升產量。

上述實施例係用以例示性說明本發明之原理及其功效，而非用於限制本發明。任何熟習此項技藝之人士均可在不違背本發明之精神及範疇下，對上述實施例進行修改。因此本發明之權利保護範圍，應如後述之申請專利範圍所列。

### 【符號說明】

1,2,3	半導體封裝件
10,20,30	承載件

11	熱化離型膠層
12	半導體元件
12a,22a	主動面
12b,22b	非主動面
120,220	電極墊
13	封裝膠體
14,24	線路重佈結構
15	絕緣保護層
16,26	導電元件
17,27	支撐件
170,270	結合層
2',3'	封裝區塊
2a,3a	封裝單元
200,300	凹槽
21,31	承載體
210,310,310'	黏著層
22	電子元件
23	封裝材
240	介電層
241	線路層
25	封裝體
29,39	電子單元
31a	第一側
31b	第二側

S,S',S''	切割路徑
L	分割路徑
A,B,C,W,X	面積
h	深度
t	厚度



## 申請專利範圍

105年5月19日修正  
劃線頁(本)

1. 一種半導體封裝件，係為整版面結構，其包括：
  - 一承載件，係具有複數凹槽；以及
  - 複數電子單元，係嵌設於各該凹槽中，且各該電子單元係包含：
    - 封裝材，係形成於該些凹槽中；
    - 複數電子元件，係嵌埋於各該凹槽中之封裝材中以位於該凹槽中，且任一該凹槽中具有複數個該電子元件；及
    - 承載體，係形成於該封裝材上並對應位於該凹槽外。
2. 如申請專利範圍第 1 項所述之半導體封裝件，其中，該電子元件具有相對之主動面與非主動面，且該承載體係覆蓋於該電子元件之主動面上。
3. 一種半導體封裝件，係包括：
  - 一承載件，係具有複數凹槽；以及
  - 複數電子單元，係嵌設於各該凹槽中，且各該電子單元係包含：
    - 承載體，係具有相對之第一側與第二側，且該第一側之面積大於該第二側之面積，該承載體以其第二側對應置放於該凹槽中；
    - 複數電子元件，係設於該承載體之第一側上並位於該凹槽外，且任一該承載體上設有複數個該電子元件；及

封裝材，係形成於該承載件上，以包覆該些電子元件。

4. 如申請專利範圍第 3 項所述之半導體封裝件，其中，該電子元件具有相對之主動面與非主動面，且該電子元件以其主動面結合於該第一側上。
5. 如申請專利範圍第 3 項所述之半導體封裝件，復包括設於該封裝材上之支撐件。
6. 如申請專利範圍第 3 項所述之半導體封裝件，其中，該凹槽係為錐狀。
7. 一種半導體封裝件之製法，係包括：

提供一具有複數凹槽之承載件及複數承載體，且各該承載體上分別設有一封裝體，各該封裝體具有複數電子元件及包覆該些電子元件之封裝材；

嵌置各該封裝體於各該凹槽中，使該電子元件與該封裝材位於該凹槽中，且使各該承載體凸出於該承載件上而位於該凹槽外；

移除各該承載體，以外露各該封裝體；以及

沿該些凹槽進行分離製程，且移除該承載件。

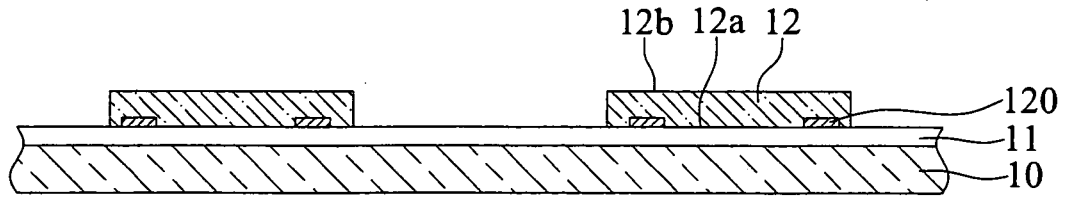
8. 如申請專利範圍第 7 項所述之半導體封裝件之製法，其中，該電子元件具有相對之主動面與非主動面，且該電子元件以其主動面結合於該承載體上。
9. 如申請專利範圍第 7 項所述之半導體封裝件之製法，其中，於移除各該承載體後，使各該電子元件外露於該承載件。

10. 如申請專利範圍第 7 項所述之半導體封裝件之製法，復包括於移除各該承載體後，形成一線路重佈結構於各該封裝體上，且該線路重佈結構電性連接該電子元件。
11. 如申請專利範圍第 7 項所述之半導體封裝件之製法，復包括於進行該分離製程後，進行切單製程。
12. 一種半導體封裝件之製法，係包括：
  - 提供一具有複數凹槽之承載件及複數承載體，各該承載體具有相對之第一側與第二側，且該第一側之面積大於該第二側之面積，該承載體之第一側上並設有複數電子元件；
  - 將各該承載體以其第二側對應置放於各該凹槽中，使各該電子元件凸出於該承載件上而僅位於該凹槽外；
  - 形成封裝材於該承載件上，以包覆該些電子元件，以於各該承載體上形成複數封裝體；
  - 移除各該承載體與該承載件；以及
  - 依各該封裝體進行分離製程。
13. 如申請專利範圍第 12 項所述之半導體封裝件之製法，其中，該電子元件具有相對之主動面與非主動面，且該電子元件以其主動面結合於該承載體上。
14. 如申請專利範圍第 12 項所述之半導體封裝件之製法，其中，各該凹槽之形狀係對應該承載體之形狀。
15. 如申請專利範圍第 12 項所述之半導體封裝件之製法，

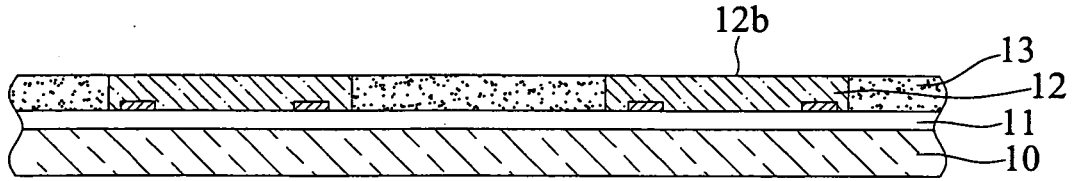


- 復包括於移除各該承載體與該承載件前，設置支撐件於該封裝材上。
16. 如申請專利範圍第 15 項所述之半導體封裝件之製法，復包括於進行分離製程後，移除該支撐件。
  17. 如申請專利範圍第 15 項所述之半導體封裝件之製法，復包括先移除該支撐件，再進行該分離製程。
  18. 如申請專利範圍第 12 項所述之半導體封裝件之製法，復包括於移除各該承載體與該承載件後，形成一線路重佈結構於該封裝材上，且該線路重佈結構電性連接該電子元件。
  19. 如申請專利範圍第 12 項所述之半導體封裝件之製法，復包括於進行該分離製程後，進行切單製程。

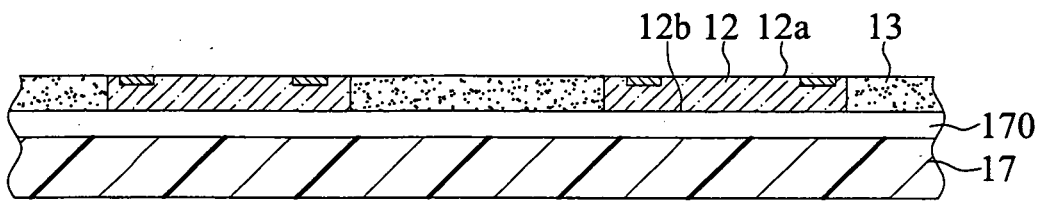
# 圖式



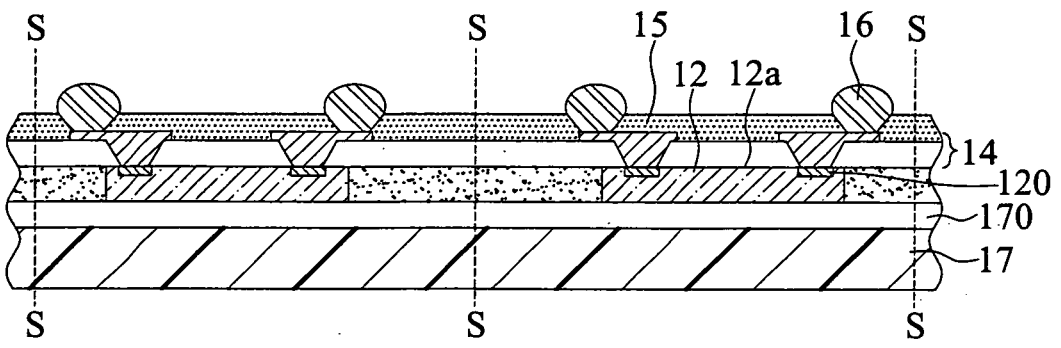
## 第1A圖



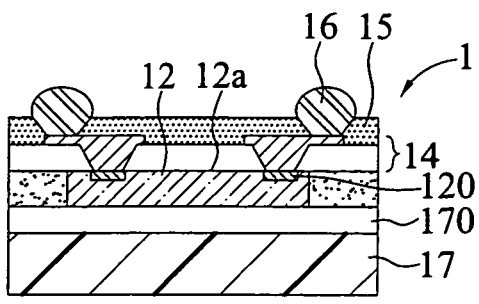
## 第1B圖



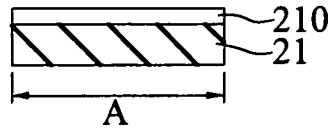
## 第1C圖



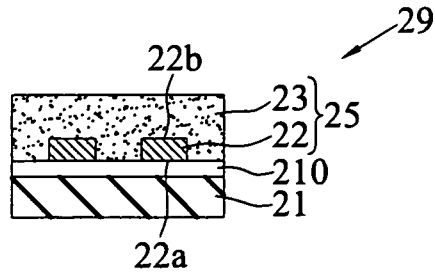
## 第1D圖



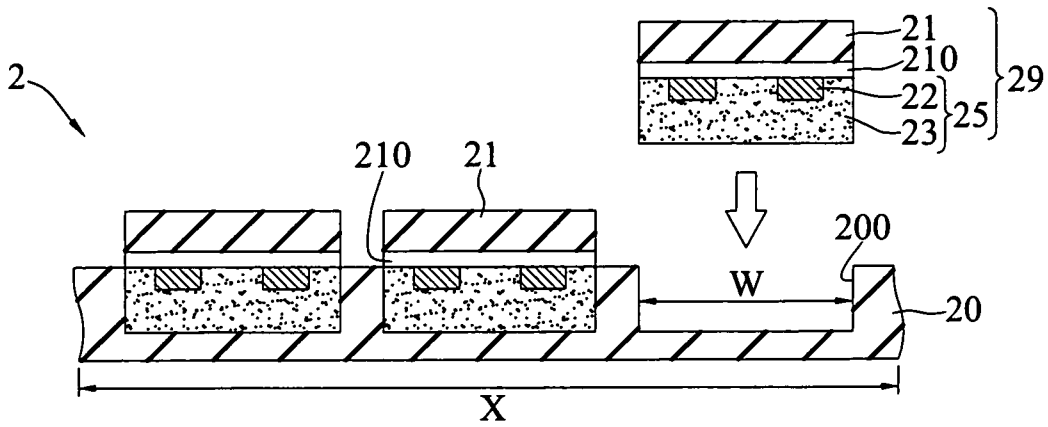
## 第1E圖



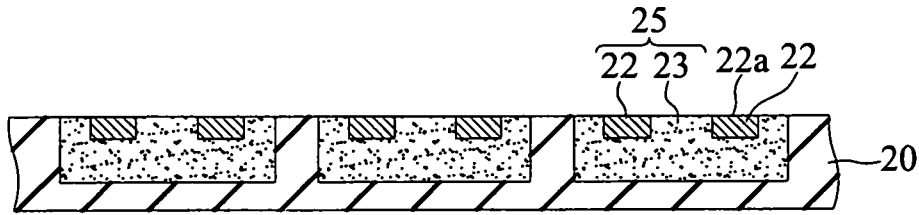
第2A圖



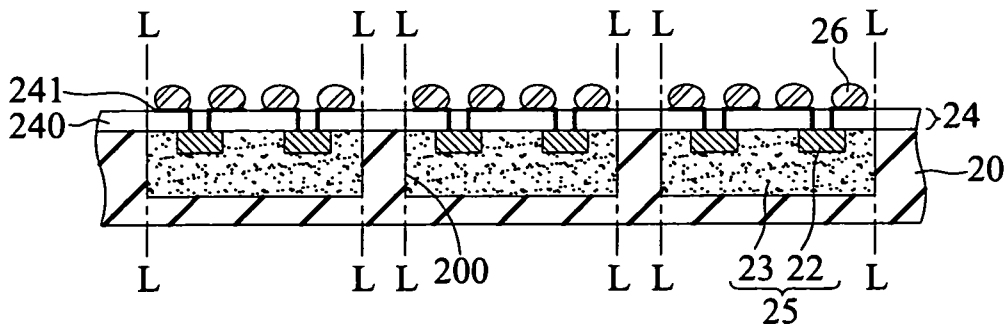
第2B圖



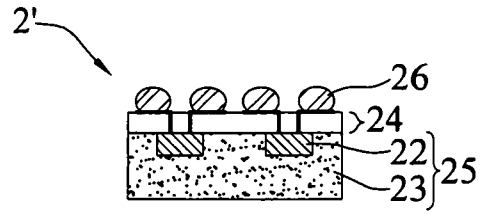
第2C圖



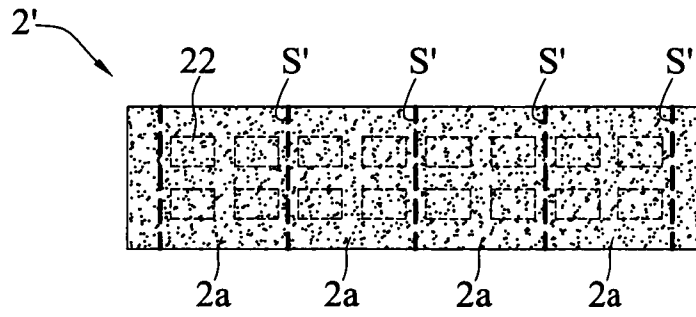
第2D圖



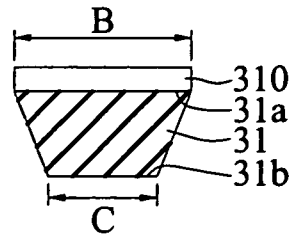
第2E圖



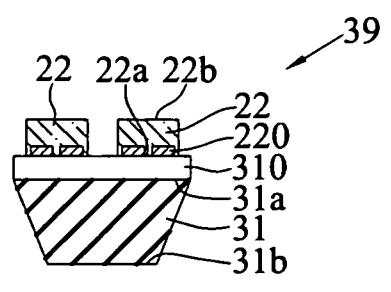
第2F圖



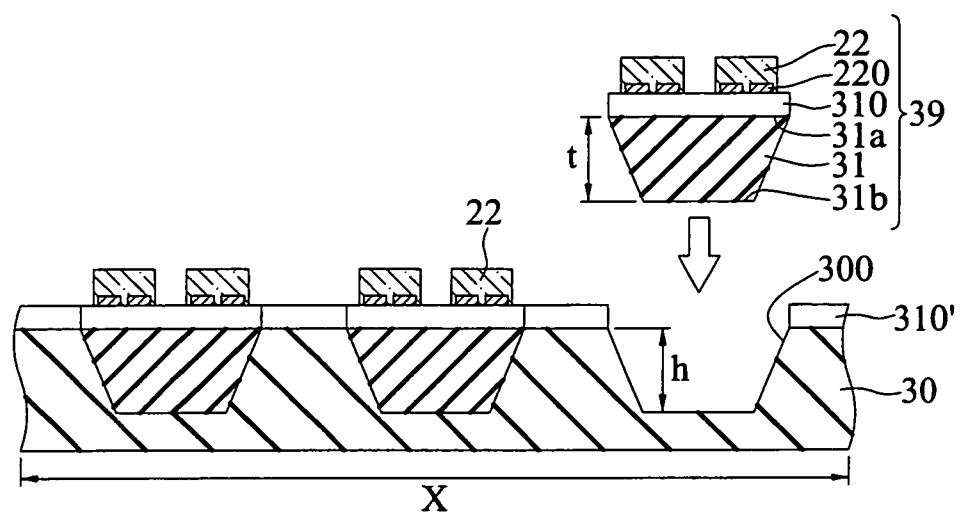
第2F'圖



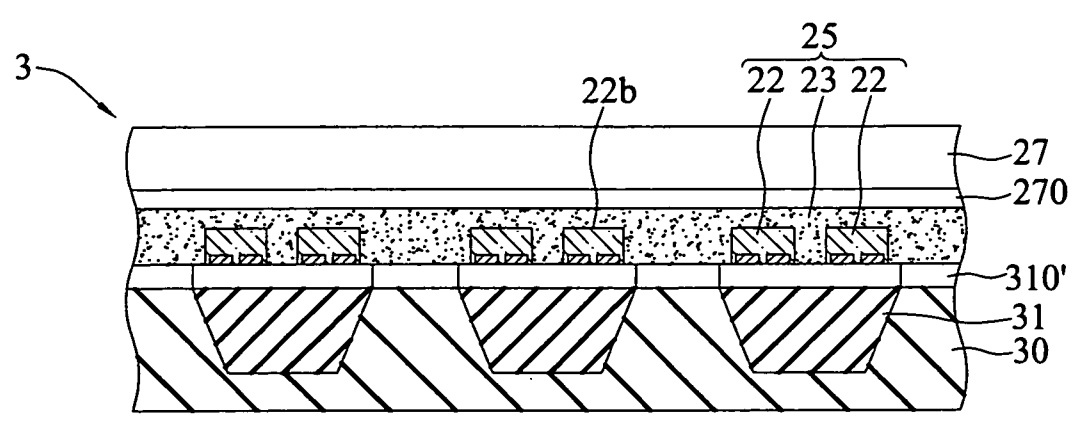
第3A圖



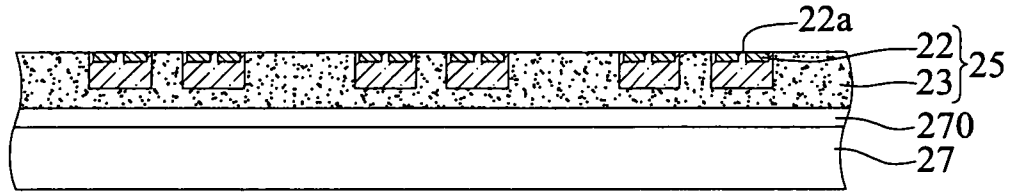
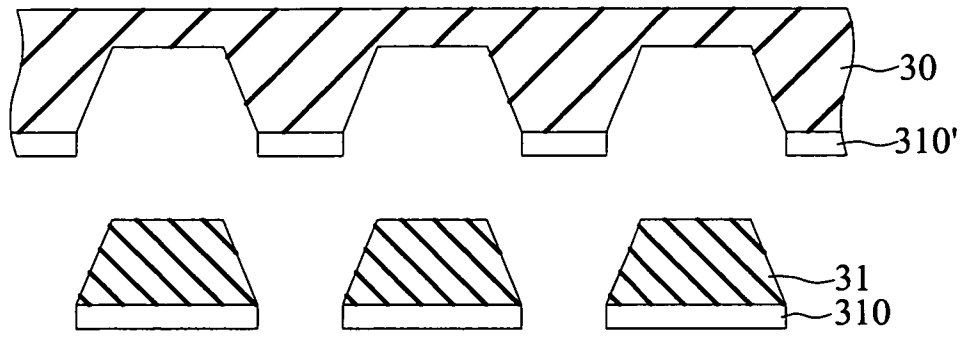
第3B圖



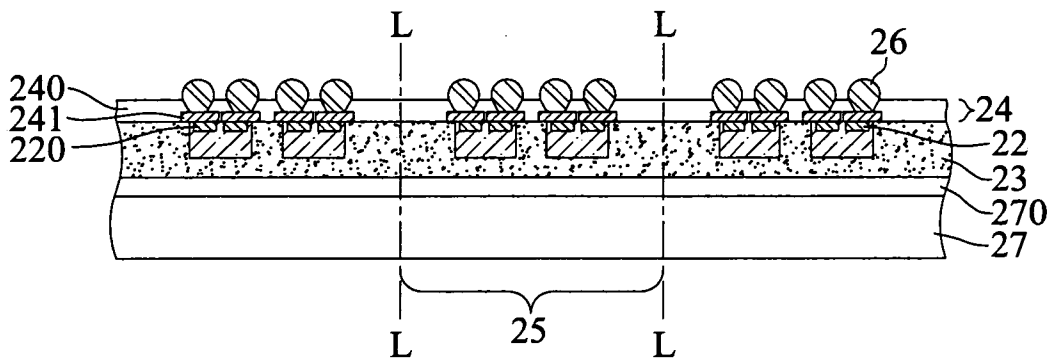
第3C圖



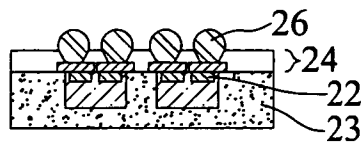
第3D圖



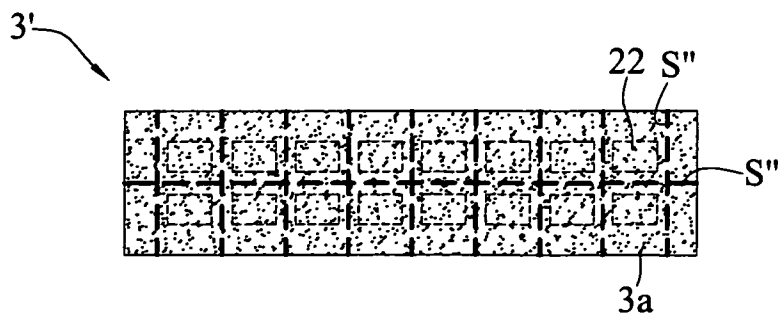
第3E圖



第3F圖



第3G圖



第3G'圖