



DEMANDE INTERNATIONALE PUBLIEE EN VERTU DU TRAITE DE COOPERATION EN MATIERE DE BREVETS (PCT)

<p>(51) Classification internationale des brevets ⁷ : G07F 7/10</p>	<p>A1</p>	<p>(11) Numéro de publication internationale: WO 00/51087 (43) Date de publication internationale: 31 août 2000 (31.08.00)</p>
<p>(21) Numéro de la demande internationale: PCT/FR00/00465 (22) Date de dépôt international: 24 février 2000 (24.02.00) (30) Données relatives à la priorité: 99/02363 25 février 1999 (25.02.99) FR (71) Déposant (pour tous les Etats désignés sauf US): STMICRO-ELECTRONICS SA [FR/FR]; 7, avenue Galliéni, F-94250 Gentilly (FR). (72) Inventeurs; et (75) Inventeurs/Déposants (US seulement): SONZOGNI, Jacques [FR/FR]; 14, rue Nationale, F-13710 Fuveau (FR). TRIMMER, Mark [GB/GB]; 21 Melbourne Close, Duffield, Belper DE5 64FX (GB). (74) Mandataire: BALLOT, Paul; Cabinet Ballot-Schmit, 7, rue Le Sueur, F-75116 Paris (FR).</p>		<p>(81) Etats désignés: JP, US, brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Publiée <i>Avec rapport de recherche internationale.</i></p>

(54) Title: DEVICE FOR SECURE ACCESS TO A CHIP CARD APPLICATIONS

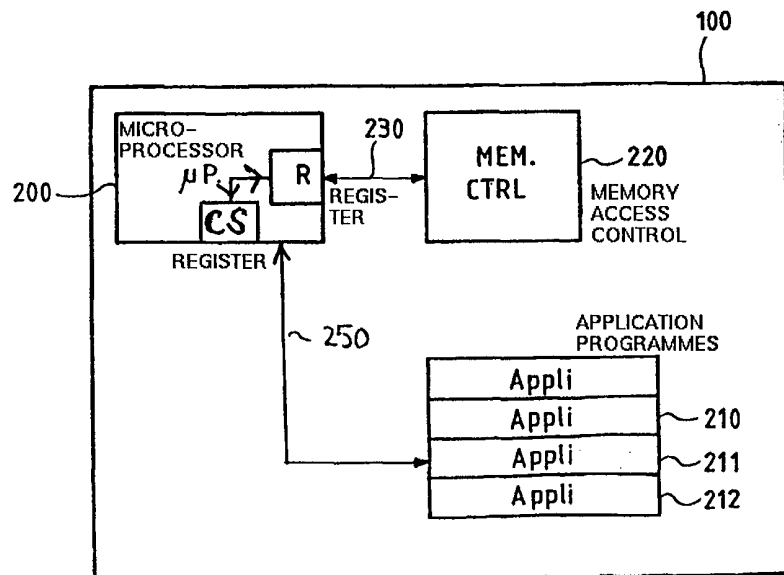
(54) Titre: DISPOSITIF D'ACCES SECURISE A DES APPLICATIONS D'UNE CARTE A PUCE

(57) Abstract

The invention concerns a device for secure access to a chip card (100) applications comprising instructions constantly providing information on rights, substantially concerning access to the chip card storage unit, of a software component or a hardware intervention executed in the chip card, wherein a register (R) of the chip card microprocessor (200) stores, for each new software component or hardware intervention occurrence, a specific code enabling to control the authorised nature of access to the chip card storage unit carried out by the new software component of hardware intervention.

(57) Abrégé

L'invention concerne un dispositif d'accès sécurisé à des applications d'une carte à puce (100) faisant intervenir des instructions informant à chaque instant sur les droits, essentiellement en terme d'accès à la mémoire de la carte à puce, d'une composante logicielle ou d'une intervention matérielle exécutée dans la carte à puce, dans lequel un registre (R) du microprocesseur (200) de la carte à puce mémorise, à chaque nouvelle composante logicielle ou intervention matérielle intervenant, un code spécifique permettant de contrôler le caractère autorisé des accès à la mémoire de la carte à puce effectués par la nouvelle composante logicielle ou intervention matérielle.



UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AL	Albanie	ES	Espagne	LS	Lesotho	SI	Slovénie
AM	Arménie	FI	Finlande	LT	Lituanie	SK	Slovaquie
AT	Autriche	FR	France	LU	Luxembourg	SN	Sénégal
AU	Australie	GA	Gabon	LV	Lettonie	SZ	Swaziland
AZ	Azerbaïdjan	GB	Royaume-Uni	MC	Monaco	TD	Tchad
BA	Bosnie-Herzégovine	GE	Géorgie	MD	République de Moldova	TG	Togo
BB	Barbade	GH	Ghana	MG	Madagascar	TJ	Tadjikistan
BE	Belgique	GN	Guinée	MK	Ex-République yougoslave de Macédoine	TR	Turkménistan
BF	Burkina Faso	GR	Grèce	ML	Mali	TT	Trinité-et-Tobago
BG	Bulgarie	HU	Hongrie	MN	Mongolie	UA	Ukraine
BJ	Bénin	IE	Irlande	MR	Mauritanie	UG	Ouganda
BR	Brésil	IL	Israël	MW	Malawi	US	Etats-Unis d'Amérique
BY	Bélarus	IS	Islande	MX	Mexique	UZ	Ouzbékistan
CA	Canada	IT	Italie	NE	Niger	VN	Viet Nam
CF	République centrafricaine	JP	Japon	NL	Pays-Bas	YU	Yougoslavie
CG	Congo	KE	Kenya	NO	Norvège	ZW	Zimbabwe
CH	Suisse	KG	Kirghizistan	NZ	Nouvelle-Zélande		
CI	Côte d'Ivoire	KP	République populaire démocratique de Corée	PL	Pologne		
CM	Cameroun	KR	République de Corée	PT	Portugal		
CN	Chine	KZ	Kazakstan	RO	Roumanie		
CU	Cuba	LC	Sainte-Lucie	RU	Fédération de Russie		
CZ	République tchèque	LI	Liechtenstein	SD	Soudan		
DE	Allemagne	LK	Sri Lanka	SE	Suède		
DK	Danemark	LR	Libéria	SG	Singapour		
EE	Estonie						

DISPOSITIF D'ACCES SECURISE A DES APPLICATIONS D'UNE
CARTE A PUCE

La présente invention se rapporte à un dispositif
5 d'accès sécurisé à des applications d'une carte à puce.

Plus particulièrement, l'invention concerne un
dispositif d'accès sécurisé à des applications d'une
carte à puce faisant intervenir notamment des
instructions, informant à chaque instant sur les
10 droits, essentiellement en terme d'accès à la mémoire
de la carte à puce, de la composante logicielle ou de
l'intervention matérielle qui est exécutée dans la
carte à puce.

Les cartes à puce les plus courantes comprennent un
15 microprocesseur qui gère une mémoire programme. La
mémoire programme est le plus souvent dédiée à une
unique application ou à un ensemble d'applications
chargées en même temps dans la carte à puce. Lorsque
plusieurs applications sont chargées dans une carte à
20 puce, elles présentent une relation étroite entre elles
et sont toutes destinées à un même type de service.
Ainsi, par exemple, une carte à puce ne peut pas
simultanément jouer le rôle de carte bancaire et le
rôle de carte de fidélité pour un quelconque commerce.

Afin de ne plus être limité à un unique type
25 d'application par carte à puce, de nouvelles
architectures logicielles sont envisagées. Ces
nouvelles architectures logicielles exploitent le
développement de langages de programmation standardisés
30 (par exemple, le langage "JAVA") qui résolvent les
problèmes de portabilité.

La figure 1 est une représentation simplifiée d'une
architecture logicielle des projets de cartes à puce
qui se développent actuellement. L'architecture
35 représentée à la figure 1 comprend notamment une

première partie 110 qui correspond à la partie dite système de l'architecture logicielle d'une carte à puce 100, et une deuxième partie 120 qui correspond à la partie dite applicative de l'architecture logicielle de la carte à puce 100. La partie système 110 de la carte à puce est essentiellement composée d'une librairie de programmes 112 du système d'exploitation de la carte à puce, d'une interface 114 pour gérer les interactions avec, par exemple, le microprocesseur de la carte à puce ou bien avec les différentes mémoires de la carte à puce, et d'un espace de gestion d'interruptions matérielles 116.

La partie applicative 120 de l'architecture logicielle est composée de différentes applications :

- une première, une deuxième, et une troisième applications principales, respectivement 122, 124 et 126;

- une première, une seconde et une troisième applications supplémentaires, respectivement 121, 123 et 125.

Les applications principales 122, 124 et 126 sont écrites dans un langage de programmation directement compréhensible par le processeur de la carte à puce.

Les applications supplémentaires 121, 123 et 125 sont typiquement des applications codées dans un langage standardisé. Ces applications peuvent être ajoutées à n'importe quel instant, à la partie système 110, dans la partie applicative 120 de l'architecture logicielle décrite. A la figure 1, les applications supplémentaires 121, 123 et 125 dépendent directement de la première application principale 122. La première application principale 122 sert ici d'interpréteur entre les applications supplémentaires et le système d'exploitation en transformant les codes des applications supplémentaires en un langage machine

compréhensible par les programmes du système d'exploitation 112.

Le dispositif d'accès sécurisé à des applications d'une carte à puce selon l'invention intervient dans
5 une architecture de ce type.

L'architecture logicielle qui vient d'être décrite est plus complexe que celle qui existe actuellement dans les cartes à puce en circulation. En effet, l'architecture décrite suppose que l'on peut ajouter
10 des applications dans un langage de programmation standardisé, éventuellement après la mise en circulation de la carte à puce. Un niveau satisfaisant de sécurité est par conséquent plus complexe à atteindre que lorsqu'une unique application, ou un
15 groupe d'applications dédiées à une unique fonction de la carte à puce, était chargée une fois pour toutes dans la carte à puce définitivement limitée en terme d'applications disponibles. Le risque qu'une nouvelle application vienne perturber le fonctionnement des
20 précédentes applications est en conséquence moins élevé.

La coexistence d'applications de natures diverses dans une même carte à puce peut poser un certain nombre de problèmes : par exemple, une architecture logicielle
25 comprenant simultanément une application dédiée à l'évaluation de la fidélité d'un client à une compagnie pétrolière et une application bancaire classique, doit garantir qu'une clef secrète servant dans l'application bancaire ne peut être lue lors de l'utilisation de
30 l'application associée à la compagnie pétrolière.

La présente invention a pour objet de pallier les problèmes qui viennent d'être décrits.

A cet effet, l'invention propose un dispositif permettant de gérer différentes applications
35 logicielles mises en place éventuellement à différents

instants, ou différents évènements matériels, d'une carte à puce, tout en assurant une grande sécurité. Ainsi le dispositif selon l'invention offre la possibilité de détecter lorsque l'utilisateur d'une application tente d'outre-passer ses droits, par exemple en tentant d'accéder à des données qui ne sont pas destinées à l'application en question.

Pour atteindre ces objectifs, l'invention propose la mise en place d'instructions spécifiques internes au microprocesseur de la carte à puce. Ces instructions spécifiques sont des instructions d'appel (DCALL) et de retour (DRETURN). Ces instructions d'appel et de retour sont associées selon l'invention à des registres particuliers qui permettent de s'assurer du caractère autorisé ou non des opérations effectuées par l'application en cours d'exécution dans la carte à puce.

L'invention concerne donc un dispositif d'accès à des applications d'une carte à puce comprenant un microprocesseur associé à un système d'exploitation fonctionnant avec un jeu d'instructions, une mémoire de programmes et une batterie d'applications dans une mémoire de la carte à puce, caractérisé en ce qu'il comprend

- 25 - un registre du microprocesseur pour mémoriser un code, sur plusieurs bits de contrôle, propre à une entité mise en jeu,
- une instruction d'appel et une instruction de retour du jeu d'instructions pour mettre à jour instantanément et automatiquement le registre lors de l'intervention d'une nouvelle entité,
- 30 - un dispositif de contrôle pour contrôler en fonction des bits de contrôle le caractère autorisé de l'accès à des zones de la mémoire de la carte à puce

par la nouvelle entité appelée ou intervenant dans la carte à puce,

- une première liaison pour transmettre les bits de contrôle du microprocesseur vers le dispositif de contrôle.

Selon une réalisation particulière du dispositif de l'invention, chaque nouvelle entité intervenant est activée à une adresse prédéfinie d'une mémoire de type mémoire ROM (Read Only Memory dans la littérature anglaise) de la carte à puce.

Selon différents modes de réalisation de l'invention, l'entité fonctionnant dans la carte à puce peut être une application de la batterie d'applications ou un évènement matériel, ou encore le système d'exploitation associé au microprocesseur de la carte à puce.

Les différents aspects et avantages de l'invention apparaîtront plus clairement dans la suite de la description en référence aux figures qui ne sont données qu'à titre indicatif et nullement limitatif de l'invention et qui sont à présent introduites :

- la figure 1, déjà décrite, est une représentation simplifiée d'une architecture logicielle des projets de cartes à puce qui se développent actuellement,

- la figure 2 est une représentation du principe de fonctionnement selon l'invention lors de l'exécution d'une application au sein de la carte à puce.

A la figure 2, un microprocesseur 200 d'une carte à puce 100 gère l'ensemble des opérations d'une batterie d'applications 210 de la carte à puce 100.

Un bus bi-directionnel 250 assure l'échange d'informations entre le microprocesseur 200 et une quelconque application de la batterie d'applications 210. Les informations échangées peuvent être des données, des adresses ou des instructions de commande.

Un contrôleur d'accès à la mémoire 220 échange des informations avec le microprocesseur 200, notamment au moyen d'une liaison 230 qui véhicule un signal, dit signal de contrôle entre le microprocesseur 200 et le

5 contrôleur d'accès à la mémoire 220.

Par exemple, quand une entité telle que l'application 211 requiert, au moyen du bus bi-directionnel 250, l'intervention d'une autre entité telle qu'une application 212, elle exécute une

10 instruction d'appel DCALL suivie d'une désignation de l'entité appelée.

Selon l'invention, un registre R est mis à jour lors de tels appels. Un certain nombre de bits du registre R prennent alors une valeur associée à

15 l'entité appelée par l'instruction d'appel DCALL. Cette valeur s'apparente à une étiquette ou à un code spécifique au procédé (process) associé à l'application et sera désignée ci-après « étiquette ». Le registre R est donc un moyen matériel du microprocesseur 200 qui

20 sert à mémoriser un code propre à l'entité de l'architecture logicielle qui est en train de s'exécuter, et à contrôler son domaine d'exécution.

Ainsi, l'instruction DCALL permet d'entrer dans le futur procédé à exécuter et d'affecter une étiquette

25 qui sera inscrite dans le registre R. A titre d'exemple, le futur procédé en cours peut être l'accès à une mémoire figée (ROM) ou à une mémoire vive (RAM), ainsi que le traitement de codes ou de données qui sont reportés dans différentes mémoires.

De plus, le dispositif selon l'invention peut également prendre en compte des instructions dites matérielles, par exemple du type ré-initialisation. Les instructions dites matérielles sont des événements qui peuvent survenir en temps réel sur une carte à puce et

30 qui génèrent des interruptions dans les

35

microprocesseurs de ces cartes à puce. Ce type d'événement est géré par le dispositif selon l'invention de la même façon que les instructions logicielles : les bits du registre R prennent une
5 valeur bien précise, appropriée à chaque événement en temps réel intervenant sur les cartes à puce, limitant et contrôlant ainsi les droits de ces évènements.

L'information fournie par le registre R est ainsi susceptible de contrôler une information, par exemple
10 au microprocesseur ou à toute autre entité extérieure à l'architecture logicielle, relative à l'identification de la zone de l'architecture logicielle concernée par l'application en cours d'exécution.

L'information fournie par le registre R permet de
15 contrôler la zone de la mémoire de la carte à puce dans laquelle l'application a le droit d'intervenir, c'est-à-dire l'espace mémoire auquel elle peut accéder. A cette fin, une deuxième étiquette est associée à chaque groupe de données en mémoire ou à des emplacements de
20 mémoire. Ces deuxièmes étiquettes sont préétablies lors de la programmation de la mémoire. Lorsqu'une instruction commande l'utilisation de données en mémoire, celles-ci sont lues avec la deuxième étiquette associée. Ces données seront accessibles que s'il y a
25 autorisation donnée par le module de contrôle.

Ainsi, un éventuel utilisateur qui tente d'utiliser de façon frauduleuse le système d'exploitation afin de récupérer des données d'une application particulière, se voit refuser l'accès à ces
30 données. En effet, les bits du registre d'état sont, dans ce cas, différents des bits qui correspondraient à un appel DCALL de l'application particulière en question. Une confrontation entre les deuxièmes étiquettes correspondant aux données auxquelles on
35 tente d'accéder et les bits du registre R (première

étiquette), communiqués par le microprocesseur au moyen de la liaison 230, est réalisée dans le contrôleur d'accès à la mémoire 220. Dans le cas où les adresses de la mémoire auxquelles on tente d'accéder ne sont pas des adresses appartenant au domaine autorisé de la dernière application ayant effectué un appel de type DCALL - cette condition étant alors déterminée à partir de la confrontation entre les étiquettes - une information d'accès illégal interdit l'accès à ces mémoires.

Le dispositif selon l'invention offre ainsi une grande sécurité dans le sens où des données qui sont destinées à une application ne peuvent pas être exploitées par une autre application.

Un second registre CS permet de garder en mémoire un code propre aux applications qui étaient actives au moment de la dernière instruction d'appel DCALL émise par l'application courante, c'est-à-dire celles qui sont à exécuter à la suite de l'application courante.

Le registre CS est destiné à garder en mémoire un code propre figurant dans le registre R de l'application qui était active lors de la dernière exécution de l'instruction d'appel DCALL. Ce registre CS sert donc de tampon (« buffer ») pour garder en mémoire la première étiquette qui était contenue dans le registre R du procédé qui était actif juste avant cette instruction DCALL.

Lorsque l'application courante a fini de s'exécuter, une instruction de retour DRET est exécutée par le microprocesseur, et les données contenues dans le second registre CS permettent de retourner à l'application qui s'exécutait précédemment et qui avait été activée par un appel DCALL. Le registre R est également mis à jour.

Ainsi, lorsque l'on exécute l'instruction DRET, on recharge dans le registre R la valeur qui est dans le registre CS.

5 Comme le montre la figure 2, le registre CS est contenu dans le microprocesseur 200 et est relié directement au registre R de manière à permettre l'évolution des données stockées telle que décrite.

10 On notera que par souci de sécurité, l'information mémorisée dans le registre CS ne peut être accédée que par le processeur lui-même, et ce qu'au cours de l'exécution des instructions DCALL et DRET.

15 Cependant, il est possible, selon un mode de réalisation optionnel de l'invention, de permettre de modifier le contenu du registre R par au moins un événement dit « matériel » ou en temps réel, qui peut agir directement et en temps réel sur le microprocesseur 200 pour appeler l'exécution d'un code. Ainsi un événement commandant une action ou la mise en éveil, ou l'acquittement de données, etc., peut mettre
20 à jour directement le registre R.

Dans ce cas, l'événement matériel va utiliser les registres R et/ou CS pour mettre en place un numéro de procédé. Cependant, le procédé en question ne sera pas un procédé appelé par une instruction DCALL, mais un
25 procédé « matériel ». Autrement dit, les instructions DCALL et DRET ne sont pas utilisées lors d'un tel événement matériel, et on utilise uniquement les registres R et CS avec une action qui est déjà pré-programmée dans le circuit et désignée par son procédé
30 (par exemple par affectation d'un numéro).

On note que de telles instructions matérielles sont en principe réalisées par des logiques câblées ou autres moyens matériels.

35 Le second registre CS ne peut être directement accédé par les applications de la carte à puce afin de

garantir l'intégrité du dispositif lors de sa mise en oeuvre lors de l'exécution d'une instruction de retour DRET.

5 Lorsque l'application courante a fini de s'exécuter, les bits du registre R prennent une valeur spécifique à l'application qui s'exécutait précédemment, lui restituant ainsi ses droits et ses limitations en terme d'accès mémoire.

10 Le dispositif d'accès à des zones mémoire, selon l'invention, permet d'assurer une grande sécurité en terme d'accès aux différentes zones de la mémoire, pour une architecture logicielle telle que celle présentée à la figure 1.

R E V E N D I C A T I O N S

1. Dispositif d'accès à des applications d'une
5 carte à puce (100) comprenant un microprocesseur (200)
associé à un système d'exploitation fonctionnant avec
un jeu d'instructions, une mémoire de programmes et une
batterie d'applications (210) dans une mémoire de la
carte à puce, caractérisé en ce qu'il comprend
- 10 - un registre (R) du microprocesseur pour mémoriser
un code, sur plusieurs bits de contrôle, propre à une
entité mise en jeu,
- une instruction d'appel (DCALL) et une
instruction de retour (DRET) du jeu d'instructions pour
15 mettre à jour instantanément et automatiquement le
registre (R) lors de l'intervention d'une nouvelle
entité,
- un dispositif de contrôle (220) pour contrôler en
fonction des bits de contrôle le caractère autorisé de
20 l'accès à des zones de la mémoire de la carte à puce
par la nouvelle entité appelée ou intervenant dans la
carte à puce,
- une première liaison (230) pour transmettre les
bits de contrôle du microprocesseur (200) vers le
25 dispositif de contrôle (220).
2. Dispositif d'accès à des applications d'une
carte à puce selon la revendication 1, caractérisé en
ce qu'il comprend un second registre (CS) pour
mémoriser un code propre aux applications actives au
30 moment de la dernière instruction d'appel (DCALL)
émise.
3. Dispositif d'accès à des applications d'une
carte à puce selon l'une des revendications 1 ou 2,
caractérisé en ce que l'entité appelée ou intervenant

dans la carte à puce est une application (211) de la batterie d'applications.

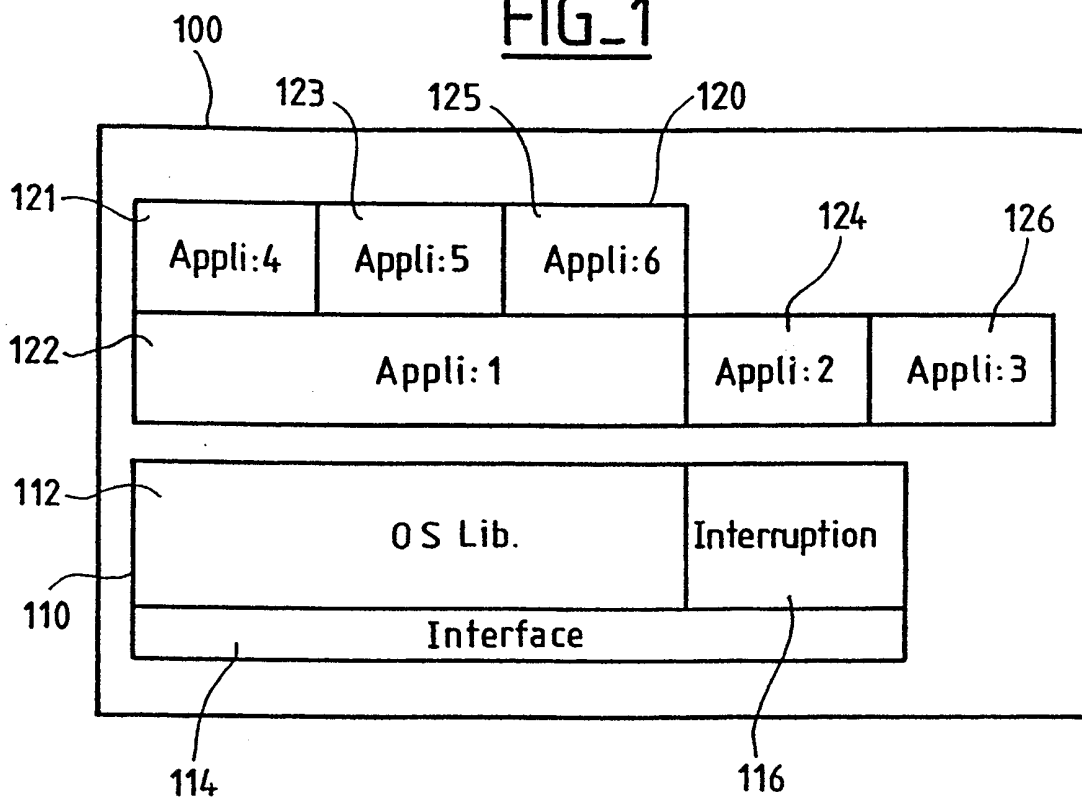
4. Dispositif selon l'une des revendications 1 ou 2, caractérisé en ce que l'entité est un évènement matériel, de manière que le registre (R) est mis à jour par cet évènement matériel.

5. Dispositif selon la revendication 4, caractérisé en ce que l'évènement matériel est réalisé par une logique câblée ou autre moyen matériel de manière à pouvoir inscrire dans le registre (R) l'entité propre à cet évènement sans l'utilisation de l'instruction d'appel (DCALL).

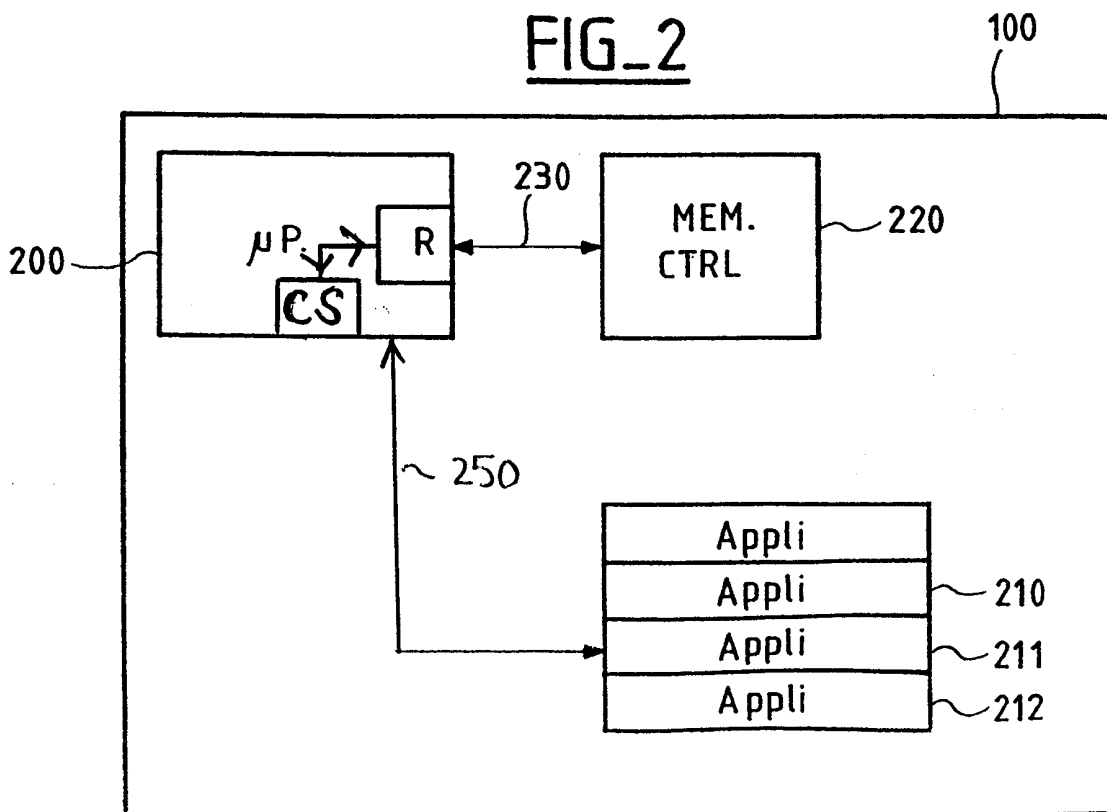
6. Carte à puce à applications multiples (100) caractérisée en ce qu'elle comporte un dispositif d'accès à des applications selon l'une quelconque des revendications 1 à 5.

7. Carte à puce selon la revendication 6, caractérisée en ce qu'elle comprend au moins une application principale (122, 124, 126) écrite dans un langage de programmation directement compréhensible par le processeur de la carte à puce et au moins une application supplémentaire (121, 123, 125) codée en langage standardisé compréhensible par le processeur de la carte au moyen d'un interpréteur.

FIG_1



FIG_2



INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/00465

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G07F/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G07F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	EP 0 766 211 A (IBM) 2 April 1997 (1997-04-02) column 1, line 5 - line 6 column 1, line 29 - line 33 column 6, line 22 - line 32 column 6, line 45 - column 7, line 30 column 10, line 47 - column 11, line 24 column 11, line 59 - column 12, line 19; claim 1; figures 2,3 abstract ---	1,3,4,6, 7 2,5
X A	US 4 930 129 A (TAKAHIRA KENICHI) 29 May 1990 (1990-05-29) column 3, line 1 - line 22 column 4, line 42 - column 5, line 19; claims 1,2; figure 1 abstract ---	1,4,6,7 2,3,5
	-/--	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *&* document member of the same patent family

Date of the actual completion of the international search

26 May 2000

Date of mailing of the international search report

05/06/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31 -70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31 -70) 340-3016

Authorized officer

Wauters, J

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 00/00465

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4 831 245 A (OGASAWARA NOBUO) 16 May 1989 (1989-05-16)	1,4,6,7
A	column 3, line 8 - line 13 column 4, line 35 - line 44; claim 1; figures 3,4B,6 abstract	2,3,5

A	US 4 985 921 A (SCHWARTZ HERMANN) 15 January 1991 (1991-01-15) column 3, line 42 -column 4, line 6; figures 1-4	1-7

A	US 4 797 542 A (HARA KAZUYA) 10 January 1989 (1989-01-10) column 1, line 6 - line 10 column 1, line 58 - line 65; figure 12	1-7

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 00/00465

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0766211 A	02-04-1997	DE 19536169 A	03-04-1997
		JP 9223200 A	26-08-1997
		US 5912453 A	15-06-1999
US 4930129 A	29-05-1990	JP 2514954 B	10-07-1996
		JP 63225886 A	20-09-1988
		DE 3807997 A	22-09-1988
		FR 2612316 A	16-09-1988
US 4831245 A	16-05-1989	JP 63073388 A	02-04-1988
		CA 1299288 A	21-04-1992
		DE 3789842 D	23-06-1994
		DE 3789842 T	01-09-1994
		EP 0261030 A	23-03-1988
		KR 9006732 B	20-09-1990
US 4985921 A	15-01-1991	AT 123347 T	15-06-1995
		DE 58909263 D	06-07-1995
		EP 0337185 A	18-10-1989
		ES 2072870 T	01-08-1995
US 4797542 A	10-01-1989	JP 62179994 A	07-08-1987

RAPPORT DE RECHERCHE INTERNATIONALE

Der. e Internationale No
PCT/FR 00/00465

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G07F7/10

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 G07F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X A	EP 0 766 211 A (IBM) 2 avril 1997 (1997-04-02) colonne 1, ligne 5 - ligne 6 colonne 1, ligne 29 - ligne 33 colonne 6, ligne 22 - ligne 32 colonne 6, ligne 45 - colonne 7, ligne 30 colonne 10, ligne 47 - colonne 11, ligne 24 colonne 11, ligne 59 - colonne 12, ligne 19; revendication 1; figures 2,3 abrégé	1, 3, 4, 6, 7 2, 5
X A	US 4 930 129 A (TAKAHIRA KENICHI) 29 mai 1990 (1990-05-29) colonne 3, ligne 1 - ligne 22 colonne 4, ligne 42 - colonne 5, ligne 19; revendications 1,2; figure 1 abrégé	1, 4, 6, 7 2, 3, 5
	--- -/--	

Voir la suite du cadre C pour la fin de la liste des documents Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée
- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *&* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée 26 mai 2000	Date d'expédition du présent rapport de recherche internationale 05/06/2000
---	---

Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Fonctionnaire autorisé Wauters, J
---	---

RAPPORT DE RECHERCHE INTERNATIONALE

Dem. Internationale No
PCT/FR 00/00465

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 4 831 245 A (OGASAWARA NOBUO) 16 mai 1989 (1989-05-16)	1,4,6,7
A	colonne 3, ligne 8 - ligne 13 colonne 4, ligne 35 - ligne 44; revendication 1; figures 3,4B,6 abrégé	2,3,5
A	----- US 4 985 921 A (SCHWARTZ HERMANN) 15 janvier 1991 (1991-01-15) colonne 3, ligne 42 -colonne 4, ligne 6; figures 1-4	1-7
A	----- US 4 797 542 A (HARA KAZUYA) 10 janvier 1989 (1989-01-10) colonne 1, ligne 6 - ligne 10 colonne 1, ligne 58 - ligne 65; figure 12 -----	1-7

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Dem. Internationale No

PCT/FR 00/00465

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
EP 0766211 A	02-04-1997	DE 19536169 A	03-04-1997
		JP 9223200 A	26-08-1997
		US 5912453 A	15-06-1999
US 4930129 A	29-05-1990	JP 2514954 B	10-07-1996
		JP 63225886 A	20-09-1988
		DE 3807997 A	22-09-1988
		FR 2612316 A	16-09-1988
US 4831245 A	16-05-1989	JP 63073388 A	02-04-1988
		CA 1299288 A	21-04-1992
		DE 3789842 D	23-06-1994
		DE 3789842 T	01-09-1994
		EP 0261030 A	23-03-1988
		KR 9006732 B	20-09-1990
US 4985921 A	15-01-1991	AT 123347 T	15-06-1995
		DE 58909263 D	06-07-1995
		EP 0337185 A	18-10-1989
		ES 2072870 T	01-08-1995
US 4797542 A	10-01-1989	JP 62179994 A	07-08-1987