



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년03월21일
 (11) 등록번호 10-0816162
 (24) 등록일자 2008년03월17일

(51) Int. Cl.

G11C 16/02 (2006.01) G11C 16/06 (2006.01)
 G11C 16/08 (2006.01) G11C 16/34 (2006.01)

(21) 출원번호 10-2007-0007051

(22) 출원일자 2007년01월23일

심사청구일자 2007년01월23일

(56) 선행기술조사문헌

KR1020060044239

(뒷면에 계속)

(73) 특허권자

주식회사 하이닉스반도체

경기 이천시 부발읍 아미리 산136-1

(72) 발명자

손지혜

서울 강서구 화곡1동 361-1 대림아파트 4-602

정준섭

경기 성남시 분당구 금곡동 125 청솔마을
 508-1504

김덕주

경기 이천시 대월면 사동리 현대사원@111-1503

(74) 대리인

신영무

전체 청구항 수 : 총 19 항

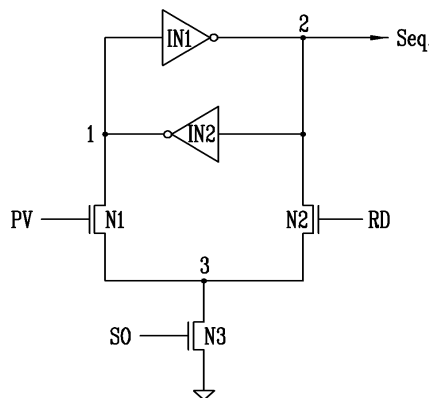
심사관 : 조명관

(54) 낸드 플래시 메모리 장치 및 셀 특성 개선 방법

(57) 요약

본 발명은 낸드 플래시 메모리 장치에 관한 것으로 복수의 비트 라인 쌍들과 복수의 워드 라인들에 각각 연결되는 메모리 셀들을 포함하는 메모리 셀 어레이; 상기 한 쌍의 비트라인에 각각 대응되게 배치되어 선택되는 메모리 셀에 데이터를 프로그램 또는 독출 하도록 동작하는 페이지 버퍼부; 상기 페이지 버퍼부의 센싱라인과 연결되어, 선택되는 메모리 셀에 대하여 독출전압과 프로그램 검증전압을 이용하여 메모리 셀의 분포 상태에 따른 제어 신호를 출력하는 셀 특성 검사 회로; 입력 어드레스에 따라 상기 메모리 셀 어레이의 워드라인을 선택하는 X 디코더 및 상기 선택된 메모리 셀의 데이터를 입출력하기 위한 경로를 제공하는 Y 디코더를 포함하며, 상기 셀 특성 검사 회로가 출력하는 제어신호에 따라, 선택된 메모리 셀을 해당 프로그램 검증전압에 대응되는 프로그램 전압을 이용해 프로그램하는 것을 특징으로 한다.

대표도 - 도4b



(56) 선행기술조사문헌

KR1020060070947

KR1020060002245

KR1020060070734

KR1020060067380

KR1020060073293

특허청구의 범위

청구항 1

복수의 비트 라인 쌍들과 복수의 워드 라인들에 각각 연결되는 메모리 셀들을 포함하는 메모리 셀 어레이;

상기 한 쌍의 비트라인에 각각 대응되게 배치되어 선택되는 메모리 셀에 데이터를 프로그램 또는 독출 하도록 동작하는 페이지 버퍼부;

상기 페이지 버퍼부의 센싱라인과 연결되어, 선택되는 메모리 셀에 대하여 독출전압과 프로그램 검증전압을 이용하여 메모리 셀의 분포 상태에 따른 제어신호를 출력하는 셀 특성 검사 회로;

입력 어드레스에 따라 상기 메모리 셀 어레이의 워드라인을 선택하는 X 디코더 및

상기 선택된 메모리 셀의 데이터를 입출력하기 위한 경로를 제공하는 Y 디코더를 포함하며,

상기 셀 특성 검사 회로가 출력하는 제어신호에 따라, 선택된 메모리 셀을 해당 프로그램 검증전압에 대응되는 프로그램 전압을 이용해 프로그램하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 2

제 1항에 있어서,

상기 셀 특성 검사 회로는,

상기 메모리 셀이 가질 수 있는 레벨 상태에 따른 독출전압과 프로그램 검증전압을 이용하여 메모리 셀이 정상 프로그램되었는지 여부를 판단하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 3

제 1항에 있어서,

상기 셀 특성 검사 회로는, 일정 시간 마다 주기적으로 동작하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 4

제 1항에 있어서,

상기 셀 특성 검사 회로는, 상기 낸드 플래시 메모리 장치의 베이크(bake) 이후에 동작하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 5

제 1항에 있어서,

상기 셀 특성 검사 회로는,

독출전압에 의해 상기 센싱노드와 연결되는 데이터를 읽어오기 위한 제 1 트랜지스터;

프로그램 검증전압에 의해 상기 센싱노드와 연결되는 데이터를 읽어오기 위한 제 2 트랜지스터; 및

상기 제 1 트랜지스터와 제 2 트랜지스터를 통해 상기 센싱노드와 연결되는 메모리 셀의 데이터 상태에 따른 래치동작을 수행하는 래치부

를 포함하는 낸드 플래시 메모리 장치.

청구항 6

제 5항에 있어서,

상기 래치부는,

제 1 및 제 2 인버터로 구성되어 제 1 노드 및 제 2 노드 사이에 연결되고, 상기 제 2 노드의 전압 레벨은 상기 제어신호로 출력되는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 7

제 6항에 있어서,

상기 제 1 노드와 제 3 노드 사이에 제 1 트랜지스터가 연결되고, 상기 제 2 노드와 상기 제 3 노드 사이에 제 2 트랜지스터가 연결되며,

상기 제 3 노드와 접지전압 사이에 센싱노드의 전압레벨에 따라 동작하는 제 3 트랜지스터가 연결되는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 8

제 1항에 있어서,

상기 셀 특성 검사 회로가 출력하는 제어신호에 의해, 해당 메모리 셀이 독출전압을 기준으로 프로그램되어 있으며, 프로그램 검출전압을 기준으로 프로그램되어 있지 않은 경우, 해당 메모리 셀에 대한 프로그램을 다시 수행하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 9

복수의 비트 라인 쌍들과 복수의 워드 라인들에 각각 연결되는 메모리 셀들을 포함하는 메모리 셀 어레이;

독출 제어신호에 응답하여 센싱노드의 전압을 센싱 하여 센싱된 데이터를 저장하여 출력하거나, 또는 입력데이터를 저장하여 상기 센싱 노드를 통해 출력하며, 제어 신호에 의해 셀의 프로그램 상태를 판단하는 제 1 래치부와 제 2 래치부를 각각 포함하는 페이지 버퍼;

입력 어드레스에 따라 상기 메모리 셀 어레이의 워드라인을 선택하는 X 디코더 및

상기 선택된 메모리 셀의 데이터를 입출력하기 위한 경로를 제공하는 Y 디코더를 포함하며,

상기 페이지 버퍼의 상위 비트 레지스터 또는 하위 비트 레지스터는 셀 전압 리프래시 명령에 의해 셀 특성을 검사하여 결과에 따른 신호를 출력하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 10

제 9항에 있어서,

상기 페이지 버퍼의 제 1 래치부 또는 제 2 래치부는 각각,

제 1 노드와 제 2 노드 사이에 연결되는 래치 회로와,

상기 제 1 노드와 제 3 노드 사이에 연결되고, 독출전압에 의해 상기 센싱노드와 연결되는 데이터를 읽어오기 위한 제 1 트랜지스터;

상기 제 2 노드와 상기 제 3 노드 사이에 연결되고, 프로그램 검출전압에 의해 상기 센싱노드와 연결되는 데이터를 읽어오기 위한 제 2 트랜지스터; 및

상기 제 3 노드와 접지전압 사이에 연결되고, 상기 센싱노드의 전압 레벨에 따라 동작하는 제 3 트랜지스터를 포함하고,

상기 제 2 노드의 전압 레벨에 따라 구동하여 셀 특성 검사 신호를 출력하는 제 4 트랜지스터를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 11

제 10항에 있어서,

상기 제 1 래치부는 상기 제 1 노드와 제 2 노드에 각각 연결되어 데이터 입력을 위해 동작하는 데이터 입력회로와;

상기 래치회로에 저장된 데이터를 상기 센싱노드로 출력하기 위한 출력회로를 더 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 12

제 10항에 있어서,
 상기 제 2 래치부는,
 상기 래치회로에 저장된 데이터를 상기 센싱노드로 출력하기 위한 출력회로를 더 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 13

제 9항에 있어서,
 상기 페이지 버퍼는,
 입력 어드레스에 따라 비트라인을 선택하기 위한 비트라인 선택부;
 상기 제 1 및 제 2 래치부의 데이터를 비교하여 프로그램 여부를 판단하고, 데이터 프로그램을 수행하도록 하는 비교 회로; 및
 상기 센싱 노드를 프리차지하기 위한 프리차지 회로;
 를 더 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치.

청구항 14

낸드 플래시 메모리 장치의 셀 특성 개선 방법에 있어서,
 셀 전압 리프래시 명령을 입력받는 단계;
 선택된 메모리 셀에 대해 독출 전압 및 검증 전압에 따라 셀 상태를 판단하는 단계;
 상기 판단 결과에 따라 선택된 메모리 셀에 대한 재 프로그램을 선택적으로 수행하는 단계
 를 포함하는 낸드 플래시 메모리 장치의 셀 특성 개선 방법.

청구항 15

제 14항에 있어서,
 상기 셀 상태는,
 독출 전압에 대해 프로그램되지 않은 상태로 판단되는 제 1 상태,
 독출 전압에 대해 프로그램 상태로 판단되고, 검증 전압에 대해 프로그램되지 않은 상태로 판단되는 제 2 상태,
 및
 독출전압과 검증 전압에 대해 프로그램 상태로 판단되는 제 3 상태
 를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 장치의 셀 특성 개선 방법.

청구항 16

제 15항에 있어서,
 상기 제 2 상태로 판단되는 메모리 셀에 대하여, 재 프로그램을 수행하는 것을 특징으로 하는 낸드 플래시 메모리 장치의 셀 특성 개선 방법.

청구항 17

제 16항에 있어서,
 상기 재 프로그램은,
 상기 셀 상태 판단 단계의 검증 전압을 이용하여 프로그램을 수행하는 것을 특징으로 하는 낸드 플래시 메모리 장치의 셀 특성 개선 방법.

청구항 18

제 14항에 있어서,

상기 셀 전압 리프래시 명령을 입력받은 이후,

셀 상태 판단을 위한 메모리 셀의 주소 정보를 입력받는 단계를 더 포함하는 낸드 플래시 메모리 장치의 셀 특성 개선 방법.

청구항 19

제 18항에 있어서,

상기 주소 정보는,

메모리 셀 주소 정보, 또는 페이지 주소 정보 또는 메모리 셀 블록 주소 정보인 것을 특징으로 하는 낸드 플래시 메모리 장치의 셀 특성 개선 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <14> 본 발명은 플래시 메모리 소자에 관한 것으로, 특히 셀 분포 특성을 개선시켜 플래시 메모리 소자의 셀 특성을 높일 수 있는 낸드 플래시 메모리 장치 및 셀 특성 개선 방법에 관한 것이다.
- <15> 플래시 메모리 소자는 메모리 셀을 그들의 소스, 드레인을 인접하는 것끼리 공용하는 모양으로 직렬 접속하여 하나의 단위로서 비트 선에 접속하는 것이다. 메모리 셀은 통상 플로팅 게이트와 제어 게이트가 적층된 트랜지스터 구조를 갖는다. 메모리 셀 어레이는 P형 기판 또는 N형 기판에 형성된 P형 웰내에 직접 형성된다. 낸드 셀의 드레인측은 선택 게이트를 통해서 비트 선에 접속되고, 소스측은 역시 선택 게이트를 통해서 소스 선에 접속된다. 메모리 셀의 제어 게이트는 행 방향으로 연속적으로 배치되어 워드선이 된다.
- <16> 이 낸드 플래시 메모리 소자의 동작은 다음과 같다. 데이터 기입 동작은 비트 선에서 가장 멀리 떨어진 위치의 메모리 셀로부터 차례로 행해진다. 선택된 메모리 셀의 제어 게이트에는 고전압(Vpp)을 인가하고, 그로부터 비트선측에 있는 메모리 셀의 제어 게이트 및 선택 게이트에는 중간 전위를 인가하고, 비트 선에는 데이터에 따라 0V 또는 중간 전위를 부여한다. 비트 선에 0V가 부여되었을 때, 그 전위는 선택 메모리 셀의 드레인까지 전달되어서, 드레인에서 플로팅 게이트에 전자 주입이 생긴다. 이로 인해 그 선택된 메모리 셀의 임계값은 정방향으로 시프트된다.
- <17> 또한 데이터 소거는 낸드 플래시 메모리 소자의 동일한 블록내의 모든 메모리 셀에 대해 동시에 행하여진다. 즉 모든 제어 게이트, 선택 게이트를 0V로 하고, 비트선 및 소스 선을 플로팅상태로 하여 P형 웰 및 N형 기판에 고전압을 인가한다. 이로 인해, 모든 메모리 셀에서 플로팅게이트의 전자가 P형 웰이 방출되어 임계값은 부방향으로 시프트한다.
- <18> 데이터 독출 동작은 선택된 메모리 셀의 제어 게이트를 0V로 하고, 그 이외의 메모리 셀의 제어 게이트 및 선택 게이트를 전원 전위로 선택 메모리 셀에서 전류가 흐르는지의 여부를 검출함으로써 행하여진다.
- <19> 도 1은 일반적인 셀 분포 특성을 나타낸 도면이고, 도 2는 프로그램 전압 증가에 따른 셀 문턱전압의 변경 모습을 나타낸 도면이다.
- <20> 도 1은 2비트의 데이터를 저장할 수 있는 멀티 레벨 셀들의 셀 분포 특성을 나타낸 것으로, 프로그램되어 있지 않은 상태(State 1; St1)와, 프로그램되어 있는 상태(St1 내지 St4)로 나타난다.
- <21> 일반적으로 상태(St1)는 '00'의 데이터를 나타내며, 상태(St2)는 '01'의 데이터를 나타낸다. 그리고 상태(St3)는 '11'의 데이터를 나타내고, 상태(St4)는 '10'의 데이터를 나타낸다.
- <22> 각각의 셀 분포에 따라 데이터를 독출 하기 위해서는 독출전압(RD1, RD2, RD3)을 인가하도록 하고, 데이터 프로

그램 검증시에는 검증전압(Program Verify; PV1, PV2, PV3)을 인가한다.

- <23> 상기한 셀 분포를 가지는 멀티 레벨 셀 플래시 메모리 소자가 프로그램과 독출 그리고 소거를 계속하여 수행하는 동안 특정 셀의 경우는 시프트 현상이 심화되어 도 1의 점선으로 나타난 부분과 같이 문턱전압값이 변경될 수 있다.
- <24> 이러한 현상을 셀 전압 시프트 현상이라 할 수 있으며, 메모리 셀이 데이터 프로그램 상태로 오랜 시간 경과하는 경우 유지보전성이 떨어져 와이드한 셀 분포를 가지게 되며 특히 프로그램 특성이 좋지 않은 셀들은 셀 특성이 취약하게 된다.
- <25> 도 2에 나타난 바와 같이, 셀 전압 시프트 현상은 프로그램 검증 레벨이 증가함에 따라 더욱더 심화되고 수 있으며, 이러한 셀들을 프로그램시키기 위해서 고전압이 요구되고 프로그램 시간도 늘어나야 한다.

발명이 이루고자 하는 기술적 과제

- <26> 따라서 본 발명이 이루고자 하는 기술적 과제는 플래시 메모리 소자의 유지상태 경과 등으로 인해 셀 전압 시프트 현상이 발생하는 경우에 셀 전압을 보정하여 셀 분포 특성을 개선시키는 낸드 플래시 메모리 장치 및 셀 특성 개선 방법을 제공하는데 있다.

발명의 구성 및 작용

- <27> 상기한 기술적 과제를 달성하기 위한 본 발명의 일면에 따른 낸드 플래시 메모리 장치는,
- <28> 복수의 비트 라인 쌍들과 복수의 워드 라인들에 각각 연결되는 메모리 셀들을 포함하는 메모리 셀 어레이; 상기한 쌍의 비트라인에 각각 대응되게 배치되어 선택되는 메모리 셀에 데이터를 프로그램 또는 독출 하도록 동작하는 페이지 버퍼부; 상기 페이지 버퍼부의 센싱라인과 연결되어, 선택되는 메모리 셀에 대하여 독출전압과 프로그램 검증전압을 이용하여 메모리 셀의 분포 상태에 따른 제어신호를 출력하는 셀 특성 검사 회로; 입력 어드레스에 따라 상기 메모리 셀 어레이의 워드라인을 선택하는 X 디코더 및 상기 선택된 메모리 셀의 데이터를 입출력하기 위한 경로를 제공하는 Y 디코더를 포함하며, 상기 셀 특성 검사 회로가 출력하는 제어신호에 따라, 선택된 메모리 셀을 해당 프로그램 검증전압에 대응되는 프로그램 전압을 이용해 프로그램하는 것을 특징으로 한다.
- <29> 상기 셀 특성 검사 회로는, 상기 메모리 셀이 가질 수 있는 레벨 상태에 따른 독출전압과 프로그램 검증전압을 이용하여 메모리 셀이 정상 프로그램되었는지 여부를 판단하는 것을 특징으로 한다.
- <30> 상기 셀 특성 검사 회로는, 일정 시간 마다 주기적으로 동작하는 것을 특징으로 한다.
- <31> 상기 셀 특성 검사 회로는, 상기 낸드 플래시 메모리 장치의 베이킹(bake) 이후에 동작하는 것을 특징으로 한다.
- <32> 상기 셀 특성 검사 회로는, 독출전압에 의해 상기 센싱노드와 연결되는 데이터를 읽어오기 위한 제 1 트랜지스터; 프로그램 검증전압에 의해 상기 센싱노드와 연결되는 데이터를 읽어오기 위한 제 2 트랜지스터; 및 상기 제 1 트랜지스터와 제 2 트랜지스터를 통해 상기 센싱노드와 연결되는 메모리 셀의 데이터 상태에 따른 래치동작을 수행하는 래치부를 포함하는 것을 특징으로 한다.
- <33> 상기 래치부는, 제 1 및 제 2 인버터로 구성되어 제 1 노드 및 제 2 노드 사이에 연결되고, 상기 제 2 노드의 전압 레벨은 상기 제어신호로 출력되는 것을 특징으로 한다.
- <34> 상기 제 1 노드와 제 3 노드 사이에 제 1 트랜지스터가 연결되고, 상기 제 2 노드와 상기 제 3 노드 사이에 제 2 트랜지스터가 연결되며, 상기 제 3 노드와 접지전압 사이에 센싱노드의 전압레벨에 따라 동작하는 제 3 트랜지스터가 연결되는 것을 특징으로 한다.
- <35> 상기 셀 특성 검사 회로가 출력하는 제어신호에 의해, 해당 메모리 셀이 독출전압을 기준으로 프로그램되어 있으며, 프로그램 검증전압을 기준으로 프로그램되어 있지 않은 경우, 해당 메모리 셀에 대한 프로그램을 다시 수행하는 것을 특징으로 한다.
- <36> 본 발명의 또 다른 특징에 따른 낸드 플래시 메모리 장치는,
- <37> 복수의 비트 라인 쌍들과 복수의 워드 라인들에 각각 연결되는 메모리 셀들을 포함하는 메모리 셀 어레이; 독출 제어신호에 응답하여 센싱노드의 전압을 센싱 하여 센싱된 데이터를 저장하여 출력하거나, 또는 입력데이터를 저장하여 상기 센싱 노드를 통해 출력하며, 제어 신호에 의해 셀의 프로그램 상태를 판단하는 제 1 래치부와 제

2 래치부를 각각 포함하는 페이지 버퍼; 입력 어드레스에 따라 상기 메모리 셀 어레이의 워드라인을 선택하는 X 디코더 및 상기 선택된 메모리 셀의 데이터를 입출력하기 위한 경로를 제공하는 Y 디코더를 포함하며, 상기 페이지 버퍼의 상위 비트 레지스터 또는 하위 비트 레지스터는 셀 전압 리프래시 명령에 의해 셀 특성을 검사하여 결과에 따른 신호를 출력하는 것을 특징으로 한다.

- <38> 상기 페이지 버퍼의 제 1 래치부 또는 제 2 래치부는 각각, 제 1 노드와 제 2 노드 사이에 연결되는 래치 회로와, 상기 제 1 노드와 제 3 노드 사이에 연결되고, 독출전압에 의해 상기 센싱노드와 연결되는 데이터를 읽어오기 위한 제 1 트랜지스터; 상기 제 2 노드와 상기 제 3 노드 사이에 연결되고, 프로그램 검증전압에 의해 상기 센싱노드와 연결되는 데이터를 읽어오기 위한 제 2 트랜지스터; 및 상기 제 3 노드와 접지전압 사이에 연결되고, 상기 센싱노드의 전압 레벨에 따라 동작하는 제 3 트랜지스터를 포함하고, 상기 제 2 노드의 전압 레벨에 따라 구동하여 셀 특성 검사 신호를 출력하는 제 4 트랜지스터를 포함한다.
- <39> 상기 제 1 래치부는 상기 제 1 노드와 제 2 노드에 각각 연결되어 데이터 입력을 위해 동작하는 데이터 입력회로와; 상기 래치회로에 저장된 데이터를 상기 센싱노드로 출력하기 위한 출력회로를 더 포함한다.
- <40> 상기 제 2 래치부는, 상기 래치회로에 저장된 데이터를 상기 센싱노드로 출력하기 위한 출력회로를 더 포함한다.
- <41> 상기 페이지 버퍼는, 입력 어드레스에 따라 비트라인을 선택하기 위한 비트라인 선택부; 상기 제 1 및 제 2 래치부의 데이터를 비교하여 프로그램 여부를 판단하고, 데이터 프로그램을 수행하도록 하는 비교 회로; 및 상기 센싱 노드를 프리차지하기 위한 프리차지 회로를 더 포함한다.
- <42> 본 발명의 특징에 따른 낸드 플래시 메모리 장치의 셀 특성 개선 방법은,
- <43> 낸드 플래시 메모리 장치의 셀 특성 개선 방법에 있어서, 셀 전압 리프래시 명령을 입력받는 단계; 선택된 메모리 셀에 대해 독출 전압 및 검증 전압에 따라 셀 상태를 판단하는 단계; 및 상기 판단 결과에 따라 선택된 메모리 셀에 대한 재 프로그램을 선택적으로 수행하는 단계를 포함한다.
- <44> 상기 셀 상태는, 독출 전압에 대해 프로그램되지 않은 상태로 판단되는 제 1 상태, 독출 전압에 대해 프로그램 상태로 판단되고, 검증 전압에 대해 프로그램되지 않은 상태로 판단되는 제 2 상태, 및 독출전압과 검증 전압에 대해 프로그램 상태로 판단되는 제 3 상태를 포함하는 것을 특징으로 한다.
- <45> 상기 제 2 상태로 판단되는 메모리 셀에 대하여, 재 프로그램을 수행하는 것을 특징으로 한다.
- <46> 상기 재 프로그램은, 상기 셀 상태 판단 단계의 검증 전압을 이용하여 프로그램을 수행하는 것을 특징으로 한다.
- <47> 상기 셀 전압 리프래시 명령을 입력받은 이후, 셀 상태 판단을 위한 메모리 셀의 주소 정보를 입력받는 단계를 더 포함한다.
- <48> 상기 주소 정보는, 메모리 셀 주소 정보, 또는 페이지 주소 정보 또는 메모리 셀 블록 주소 정보인 것을 특징으로 한다.
- <49> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 예를 설명하기로 한다. 그러나 본 발명은 이하에서 개시되는 실시 예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시 예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <50> 도 3은 본 발명의 실시 예에 따른 낸드 플래시 메모리의 셀 특성 개선에 따른 셀 분포를 나타낸 도면이다.
- <51> 도 3을 참조하면, 독출전압(RD)과 검증전압(PV)에 따라 일정시간동안 데이터가 유지되는 동안 셀 전압 시프트가 발생한 셀 분포도의 일부를 도시한 것으로, 영역(C)이 정상적으로 프로그램되어 있는 셀들이 분포하는 영역이고, 영역(B)은 정상 영역에서 일정시간 이상 유지상태를 유지함으로써 셀 전압이 시프트된 셀들의 분포영역이다. 그리고 영역(A)에 있는 셀들은 프로그램이 전혀 되지 않은 셀들이 된다.
- <52> 도 4a는 본 발명의 제 1 실시 예에 따른 낸드 플래시 메모리 장치의 블록도이다.
- <53> 도 4a를 참조하면, 본 발명의 제 1 실시 예에 따른 낸드 플래시 메모리 장치(400)는 데이터 프로그램을 위한 메모리 셀 어레이(410)와, 상기 메모리 셀 어레이(410)에 데이터 프로그램 또는 독출을 위한 페이지 버퍼(420)와, 입력되는 어드레스에 따라 상기 메모리 셀 어레이(410)의 메모리 셀을 선택하는 X 디코더(430)와 Y 디코더(44

0)와, 상기 페이지 버퍼(420)의 센싱라인과 연결되어 셀의 프로그램 상태를 검사하는 셀 특성 검사 회로(450) 및 상기 셀 특성 검사 회로(450)가 출력하는 셀 특성 검사 결과에 따라 메모리 셀의 재 프로그램을 수행하도록 하는 제어부(460)를 포함한다.

- <54> 상기 셀 특성 검사 회로(450)는 페이지 버퍼(420)의 센싱 노드와, 프로그램 전압 및 독출 전압을 이용하여 선택되는 메모리 셀이 도 3의 어떤 영역에 속하는지에 따라 시퀀스(Seq.) 신호를 출력한다.
- <55> 상기 시퀀스 신호에 따라 제어부(460)는 셀이 도 2의 영역(B)에 속하는 경우, 해당 메모리 셀에 프로그램을 다시 수행하도록 제어한다.
- <56> 상기의 본 발명의 제 1 실시 예에 따른 셀 특성 검사 회로(450)는 다음의 도 4b와 같이 구성된다.
- <57> 도 4b는 도 4a의 셀 특성 검사 회로를 나타낸 회로도이다.
- <58> 도 4b는 상기 도 3의 영역(B)에 속하는 셀들을 다시 프로그램하여 영역(C)으로 시프트시킬 수 있도록, 셀들의 상태를 검사할 수 있는 회로를 나타낸다.
- <59> 본 발명의 실시 예에 따른 셀 특성 검사 회로(450)는, 제 1 및 제 2 인버터(IN1, IN2)와, 제 1 내지 제 3 NMOS 트랜지스터(N1 내지 N3)를 포함한다.
- <60> 제 1 인버터(IN1)는 제 1 노드(1)와 제 2 노드(2)의 사이에 연결되며, 제 1 노드(1)의 신호가 제 1 인버터(IN1)로 입력되어 제 2 노드(2)로 출력된다. 그리고 제 2 인버터(IN2)는 제 2 노드(2)와 제 1 노드(1) 사이에 제 1 인버터(IN1)와 반대 방향으로 연결된다. 상기 제 1 및 제 2 인버터(IN1, IN2)는 래치회로를 이룬다.
- <61> 제 1 NMOS 트랜지스터(N1)는 제 1 노드(1)와 제 3 노드(3) 사이에 연결되고, 제 1 NMOS 트랜지스터(N1)의 게이트에는 프로그램 검증 전압(PV)이 입력된다.
- <62> 또한 제 2 NMOS 트랜지스터(N2)는 제 2노드(2)와 제 3 노드(3) 사이에 연결되고, 제 2 NMOS 트랜지스터(N2)의 게이트에는 독출전압(RD)이 입력된다.
- <63> 또한 제 3 NMOS 트랜지스터(N3)는 제 3 노드(3)와 접지전압 사이에 연결되고, 제 3 NMOS 트랜지스터(N3)의 게이트에는 메모리 셀(미도시)과 페이지 버퍼(미도시)의 사이의 센싱노드(S0)가 연결된다.
- <64> 상기 제 1 인버터(IN1)의 출력, 즉 제 2 노드(2)의 상태를 셀 상태를 알 수 있는 시퀀스(Sequence; Seq.) 신호로 한다.
- <65> 상기와 같은 본 발명의 실시 예와 같은 셀 특성 검사 회로는 다음과 같이 동작한다.
- <66> 상기의 셀 특성 검사 회로는 일정 시간을 주기로 하여 유지상태를 유지하고 있는 메모리 셀에 대한 특성 검사를 실시하고, 셀 전압 시프트가 많이 발생한 셀에 대해 재프로그램을 할 수 있도록 한다.
- <67> 먼저 셀 특성을 검사하기 위해 센싱노드(S0)를 프리차지하여 제 3 NMOS 트랜지스터(N3)를 턴 온 시키고, 프로그램 검증전압(PV)을 인가하여 제 1 NMOS 트랜지스터(N1)를 턴 온 시킨다. 제 1 및 제 3 NMOS 트랜지스터(N1, N3)가 턴 온 됨에 따라, 제 1 노드(1)는 로우 레벨(L)이 되고, 제 2 노드(2) 즉, 시퀀스(Seq.)는 하이 레벨(H)로 리셋 된다.
- <68> 그리고 독출전압(RD)을 제 2 NMOS 트랜지스터(N2)에 인가하면, 프로그램된 셀의 경우 제 2 노드(2)가 하이 레벨(H)을 유지하고, 소거셀의 경우 제 2 노드(2)가 로우 레벨(L)로 변경된다.
- <69> 좀 더 자세히 설명하면, 프로그램 셀이면, 센싱노드(S0)에는 전류가 흐르지 않아 플로팅 상태로서, 제 3 NMOS 트랜지스터(N3)가 턴오프 되고, 따라서 독출전압(RD)에 의해 제 2 NMOS 트랜지스터(N2)가 턴 온 된다 하더라도 제 2 노드(2)의 상태는 초기의 하이레벨(H)을 유지한다.
- <70> 또한, 소거셀의 경우 센싱노드(S0)에 전류가 흐르고, 제 3 NMOS 트랜지스터(N3)는 턴 온 된다. 따라서 독출전압(RD)에 의해 제 2 NMOS 트랜지스터(N2)가 턴 온 되면, 제 2 노드(2)는 로우 레벨(L)로 변경된다.
- <71> 상기한 제 2 노드(2)의 상태, 즉 시퀀스(Seq.) 상태에 의해 정상적인 경우 도 3에 나타난 바와 같이 독출 전압(RD)을 기준으로 영역(A)은 소거셀로 인식하고, 영역(B 및 C)은 프로그램 셀로 인식하여 로우레벨(L)이 된다.
- <72> 그리고 다시 프로그램 검증전압(PV)을 인가하면, 영역(C)에 있는 셀의 경우 제 2 노드(2)는 하이 레벨(H)로 변경되며, 영역(B)에 있는 셀의 경우는 소거셀로 인식되어 제 2 노드(2)가 로우 레벨(L)로 변경된다.

- <73> 따라서 영역(B)에 있는 셀로 판단이 되면, 다시 프로그램을 수행해 줌으로써 영역(B)의 셀을 영역(C)으로 시프트시킨다.
- <74> 다음은 상기 독출전압(RD) 및 프로그램 검증전압(PV)의 인가에 따른 시퀀스(Seq.) 상태를 이용하여 셀 영역을 판단할 수 있도록 하는 검증표이다.

표 1

| Seq. | A | B | C |
|------|---|---|---|
| 리셋 | H | H | H |
| RD | H | L | L |
| PV | H | L | H |

- <75>
- <76> 상기 표 1에 나타난 바와 같이, 처음 리셋 상태에서 시퀀스(Seq.)는 하이 레벨(H)로 초기화된다. 그리고 독출전압(RD)에 의해 영역(A)은 하이 레벨을 유지하고, 영역(B 및 C)은 로우 레벨(L)로 변경된다.
- <77> 그리고 두 개의 영역(B, C)을 구분하기 위하여 프로그램 검증전압(PV)을 인가하면, 영역(B)의 셀은 시퀀스(Seq.)가 로우레벨을 그대로 유지하고, 영역(C)의 셀들은 하이 레벨(H)로 변경된다.
- <78> 따라서 독출전압(RD)과 프로그램 검증전압(PV)을 인가한 후 시퀀스(Seq.)가 로우 레벨(L)로 나오는 셀들에 대해 다시 프로그램을 수행하여 영역(C)으로 셀들을 이동시킴으로써 셀 특성을 개선시켜 에러를 방지한다. 상기의 셀 특성 검사 회로를 이용하여 각각의 메모리 셀에 대하여 독출전압과 프로그램 검증전압을 이용한 상태 검사를 하여 특성이 열화된 셀에 대해 재 프로그램을 수행함으로써 특성을 개선시킨다.
- <79> 한편, 셀 특성 검사 회로를 별도로 구비하지 않고, 페이지 버퍼의 회로를 이용하여 셀 상태를 판단하고, 특성 개선을 수행하는 것도 가능하다.
- <80> 도 5는 본 발명의 제 2 실시 예에 따른 낸드 플래시 메모리 장치의 페이지 버퍼의 회로도이다.
- <81> 도 5를 참조하면, 본 발명의 제 2 실시 예에 따른 낸드 플래시 메모리 장치의 페이지 버퍼는 비트라인 선택부(510)와, 제 1 래치부(520) 및 제 2 래치부(530)를 포함한다.
- <82> 비트라인 선택부(510)는 입력 어드레스에 따라 이븐(Even) 또는 오드(Odd) 비트라인을 선택하는 곳으로, 제 1 내지 제 4 NMOS 트랜지스터(MN 1 내지 MN4)를 포함하고, 제 1 래치부(520)는 제 5 내지 제 13 NMOS 트랜지스터(MN5 내지 MN13)와 제 1 내지 제 2 인버터(IN1, IN2) 및 제 2 PMOS 트랜지스터(MP2)를 포함한다.
- <83> 그리고 제 2 래치부(530)는 제 14 내지 제 20 NMOS 트랜지스터(MN14 내지 MN20)와, 제 3 내지 제 4 인버터(IN3, IN4) 및 제 3 PMOS 트랜지스터(MP3)를 포함한다. 또한, 상기 페이지 버퍼는 프리차지를 위한 제 1 PMOS 트랜지스터(MP1)를 포함한다.
- <84> 상기 비트라인 선택부(510)와 제 1 및 제 2 래치부(520, 530)는 센싱 노드(SO)로 연결된다. 그리고 제 1 PMOS 트랜지스터(MP1)가 센싱노드(SO)와 전원전압 사이에 연결되어 프리차지 신호(PRECHb)에 의해 동작하여 센싱노드(SO)를 프리차지시킨다.
- <85> 한편, 제 1 래치부(510)는 다음과 같이 구성된다.
- <86> 제 5 NMOS 트랜지스터(MN5)가 센싱 노드와 A 노드(QA) 사이에 연결되며, 데이터 전송 신호(DATTRANS)에 의해 동작한다. 그리고 제 6 및 제 7 NMOS 트랜지스터(MN6, MN7)가 센싱노드와 A 노드(QA) 사이에 직렬로 연결된다.
- <87> 제 6 NMOS 트랜지스터(MN6)는 멀티 레벨 셀 프로그램 신호(MLCPRG)에 의해 동작하고 제 7 NMOS 트랜지스터(MN7)는 제 2 래치부(530)의 B 반전 노드(QBb)의 레벨에 따라 동작한다.
- <88> 그리고 제 1 및 제 2 인버터(IN1, IN2)는 제 1 래치(L1)로 구성되어 A 노드(QA)와, A 반전 노드(QAb) 사이에 연결되며, 제 2 PMOS 트랜지스터(MP2)는 A 노드(QA)의 전압레벨에 따라 동작하여 데이터 검증 신호(nWDO) 또는 셀 특성 검사 반전신호(CC_N; Cell Characteristics)를 출력한다.

- <89> 그리고 제 8 및 제 9 NMOS 트랜지스터(MN8, MN9)는 A 반전 노드(QAb)와 접지전압 사이에 직렬로 연결되며, 제 8 NMOS 트랜지스터(MN8)는 레프트 프로그램전압(PV_L)에 의해 동작하며, 제 9 NMOS 트랜지스터(MN9)는 센싱노드(SO)의 전압 레벨에 따라 동작한다.
- <90> 제 10 NMOS 트랜지스터(MN10)는 A 반전노드(QAb)와 제 3 노드(N3)사이에 연결되어 데이터 입력 반전신호(DATALOAD_N)에 의해 동작하고, 제 11 NMOS 트랜지스터(MN11)는 A 노드(QA)와 제 3 노드(N3) 사이에 연결되어 데이터 입력신호(DATALOAD)에 의해 동작한다.
- <91> 그리고 제 12 NMOS 트랜지스터(MN12)는 A 노드(QA)와 제 2 노드(N2)사이에 연결되어 레프트 독출전압(RD_N) 레벨에 따라 동작하며, 제 13 NMOS 트랜지스터(MN13)는 A 노드(QA)와 제 3 노드(N3) 사이에 연결되어 제 1 래치(L1)의 데이터를 출력하기 위한 패스 신호(QAPASS)에 의해 동작한다.
- <92> 상기 제 1 래치(L1)와, 제 8 NMOS 트랜지스터(MN8) 및 제 12 NMOS 트랜지스터(MN12) 및 제 9 NMOS 트랜지스터(MN9)는 본 발명의 제 2 실시 예에 따른 낸드 플래시 메모리 장치의 내부 컨트롤러(미도시)에 입력되는 Vt 리프래시(refresh) 명령에 의해 셀의 특성을 검사하는 회로로서 동작할 수 있다.
- <93> 그리고 제 2 래치부(530)는 다음과 같이 구성된다.
- <94> 제 14 및 제 15 NMOS 트랜지스터(MN14, MN15)는 센싱노드(SO)와 B 반전노드(QBb)사이에 직렬로 연결되며, 제 14 NMOS 트랜지스터(MN14)는 멀티 레벨 셀 프로그램(MLCPROG)에 의해 동작하고, 제 15 NMOS 트랜지스터(MN15)는 A 노드(QA)의 전압 레벨에 따라 동작한다.
- <95> 제 16 NMOS 트랜지스터(MN16)는 센싱노드(SO)와 B 반전노드(QBb) 사이에 연결되며, 싱글 레벨 셀 프로그램(SLCPROG) 신호에 의해 동작한다. 그리고 제 3 및 제 4 인버터(IN3, IN4)는 B 노드(QB)와 B 반전 노드(QBb) 사이에 연결되는 제 2 래치(L2)로 구성된다.
- <96> 그리고 제 3 PMOS 트랜지스터(MP3)는 B 반전 노드(QBb)의 전압 레벨에 따라 전원전압을 검증신호(nWDO) 또는 셀 특성 반전신호(CC_N)로 출력한다. 제 17 NMOS 트랜지스터(MN17)는 B 반전노드(QBb)와 제 4 노드(N4) 사이에 연결되고, 제 17 NMOS 트랜지스터(MN17)는 라이트 독출전압(RD_R)에 의해 동작한다.
- <97> 제 18 NMOS 트랜지스터(MN18)는 B 노드(QB)와 제 4 노드(N4) 사이에 연결되어 라이트 검증전압(PV_R)에 의해 동작한다. 제 19 NMOS 트랜지스터(MN19)는 제 4 노드(N4)와 접지전압 사이에 연결되어 센싱노드(SO)의 전압 레벨에 따라 동작한다.
- <98> 상기 제 2 래치(L2)와, 제 17 NMOS 트랜지스터(MN17) 및 제 18 NMOS 트랜지스터(MN18) 및 제 19 NMOS 트랜지스터(MN19)는 본 발명의 제 2 실시 예에 따른 낸드 플래시 메모리 장치의 내부 컨트롤러(미도시)에 입력되는 Vt 리프래시(refresh) 명령에 의해 셀의 특성을 검사하는 회로로서 동작할 수 있다.
- <99> 즉, 페이지 버퍼에서 제 1 래치부(520)와, 제 2 래치부(530)에는 각각 셀 특성 검사를 할 수 있는 회로가 구성되어 있다.
- <100> 상기와 같은 페이지 버퍼를 포함하는 본 발명의 제 2 실시 예에 따른 낸드 플래시 메모리 장치는 외부로부터 입력되는 Vt 리프래시 명령에 의해 셀의 특성을 검사하여 시프트된 셀의 문턱전압값을 개선할 수 있다.
- <101> 이때, 상기 셀 특성의 검사는 입력되는 주소에 따라 페이지 단위, 메모리 셀 어레이의 블록 단위 또는 특정 셀 단위로 선택하여 수행할 수 있다.
- <102> 상기 페이지 버퍼에 포함되는 셀 특성 회로의 동작을 좀 더 자세히 설명하면 다음과 같다. 이때 상기 도 3의 셀 분포를 참조하여 상기 제 1 래치부(510)에 포함되는 셀 특성 회로를 예로 들어 설명하기로 한다.
- <103> 본 발명의 제 2 실시 예에 따른 낸드 플래시 메모리 장치는 입력되는 Vt 리프래시 명령에 따라 셀의 특성을 검사하기 위해, 먼저 페이지 버퍼에 프리차지 신호(PREChb)를 로우 레벨로 인가하여 제 1 PMOS 트랜지스터(MP1)를 턴 온 시켜 전원전압을 센싱노드(SO)에 프리차지시킨다. 그리고 레프트 검증전압(PV_L)을 하이 레벨로 인가하여 A 반전노드(QAb)를 로우 레벨로 리셋 한다. 상기 B 반전노드(QBb)가 로우 레벨이 됨에 따라 A 노드(QA)는 하이 레벨이 되고, 제 2 PMOS 트랜지스터(MP2)가 턴오프 되어 셀 특성 반전신호(CC_N)가 로우 레벨로 출력된다.
- <104> 이후에 입력되는 주소에 따라 선택되는 셀이 비트라인 선택부(510)를 통해 연결되고, 레프트 독출 전압(RD_L)에 의해 셀을 독출 한다. 이때 상기 레프트 독출 전압(RD_L)에 의해 제 12 NMOS 트랜지스터(MN12)가 턴 온 되고, 셀이 프로그램되어 있는 상태라면 센싱 노드(SO)는 프리차지된 하이 레벨을 유지하여 제 9 NMOS 트랜지스터가 턴

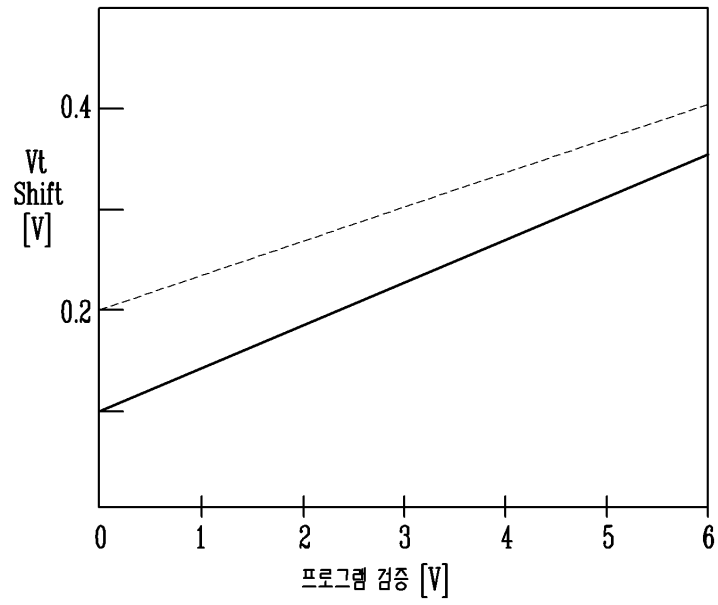
온 된다. 따라서 A 노드(QA)는 로우 레벨로 변경되고, 이에 따라 제 2 PMOS 트랜지스터(MP2)가 턴 온 되어 셀 특성 반전신호(CC_N)가 하이 레벨로 출력된다.

- <105> 상기와 같이 레프트 독출 전압(RD_L)에 의해 셀 특성 반전신호(CC_N)가 하이 레벨로 출력되는 셀들은 레프트 독출 전압(RD_L)에 대해 프로그램이 되었음을 의미하므로, 도 3의 B, C 영역이 셀들이라 할 수 있다.
- <106> 반대로 프로그램되지 않은 셀들의 경우는 센싱 노드(SO)가 로우 레벨로 떨어져 제 9 NMOS 트랜지스터(MN9)가 턴 오프 되므로 A 노드(QA)가 하이레벨을 그대로 유지하여 셀 특성 반전신호(CC_N)도 로우 레벨을 유지하게 된다.
- <107> 상기 레프트 독출 전압(RD_L)에 의해 분류된 B와 C 영역을 나누기 위해서는 레프트 검증전압(PV_L)을 이용한다.
- <108> 즉 B와 C의 영역의 셀은 레프트 독출 전압(RD_L)에 의해 A 노드가 로우 레벨이고, A 반전 노드(QAb)는 하이 레벨로 변경되어 있는 상태이다. 이때 다시 레프트 검증전압(PV_L)에 대한 독출 동작을 수행하면 레프트 검증전압(PV_L)에 대해 B 영역의 셀은 프로그램되지 않은 셀로 인식되고, C 영역의 셀은 프로그램된 셀로 인식된다.
- <109> 즉, B 영역의 셀인 경우 센싱노드(SO)는 로우 레벨로 변경되어 제 9 NMOS 트랜지스터(MN9)가 턴오프 되기 때문에 A 반전 노드(QAb)의 전압레벨은 변경되지 않는다. 따라서 A 노드(QA)도 계속하여 로우 레벨을 유지하고, 셀 특성 반전신호(CC_N)도 하이 레벨을 출력한다.
- <110> 그러나 C 영역의 셀인 경우는 센싱노드(SO)는 하이 레벨을 유지하고, 제 9 NMOS 트랜지스터(MN9)가 턴 온 되므로, A 반전 노드(QAb)는 로우 레벨로 변경되고, A 노드(QA)는 하이 레벨로 변경되어 제 2 PMOS트랜지스터(MP2)를 턴오프 시킨다. 따라서 셀 특성 반전신호(CC_N)가 로우 레벨로 출력된다.
- <111> 상기와 같은 셀 특성 회로의 동작에 따라 B 영역에 있는 셀로 확인된 셀에 대해 프로그램 전압으로 재 프로그램을 수행하여 C 영역으로 이동시킴으로서 셀 특성을 개선할 수 있다.
- <112> 도 6은 본 발명의 제 2 실시 예에 따른 낸드 플래시 메모리의 셀 특성 개선 방법의 동작 순서도이다.
- <113> 도 6을 참조하면, 본 발명의 제 2 실시 예에 따른 낸드 플래시 메모리는 셀 특성의 개선을 위해 Vt 리프래시 명령을 입력받고(S601), 셀 특성 개선을 위한 주소와 실행 명령을 입력받는다(S602, S603).
- <114> 이때 본 발명의 제 2 실시 예에 따른 낸드 플래시 메모리 장치는 Vt 리프래시에 대한 명령어에 대해 동작하도록 하는 프로세스가 컨트롤러에 입력되어 있으며 이에 대해 앞서 언급한 페이지 버퍼의 셀 특성 검사 회로를 제어한다.
- <115> 또한 단계 S602에서 입력받는 주소는 특정 셀의 주소 또는 블록의 주소 또는 페이지 주소 등으로 다양화하여 셀 하나 또는 블록, 페이지 단위의 셀을 선택하여 셀 특성 개선을 할 수 있도록 하는 것이 가능하다.
- <116> 상기 Vt 리프래시 명령에 따라 센싱노드(SO)를 프리차지하고, 센싱검사 회로를 초기화 한다(S604). 센싱 검사 회로의 초기화 방법은 앞서 언급한 바와 같이 제 1 래치부(520)의 경우 레프트 검증 전압(PV_L)을 인가하여 A 반전 노드(QAb)를 로우 레벨로 세팅한다. 제 2 래치부(530)의 경우에는 라이트 검증 전압(PV_R)을 인가하여 B 노드(QB)를 로우 레벨로 세팅한다.
- <117> 그리고 검증 전압(PV)과 독출전압(PV)에 따라 셀의 상태를 판단하여(S605), B 영역의 셀에 대해 재 프로그램을 수행한다(S606, S607).
- <118> 본 발명의 제 2 실시 예에 따라 낸드 플래시 메모리 장치에 별도의 장치를 추가 구성하지 않고, 셀 특성을 개선시킬 수 있다.
- <119> 또한, 상기의 셀 특성 검사 회로의 동작은 플래시 메모리 소자가 동작하는 동안 주기적으로 동작하도록 하거나, 또는 메모리 소자를 베이크(bake)한 후에 동작하도록 하는 것이 가능하다. 또한 사용자가 임의의 목적으로 동작하도록 제어 하는 것도 가능하다.
- <120> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시 예에서 구체적으로 기술되었으나, 상기한 실시 예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

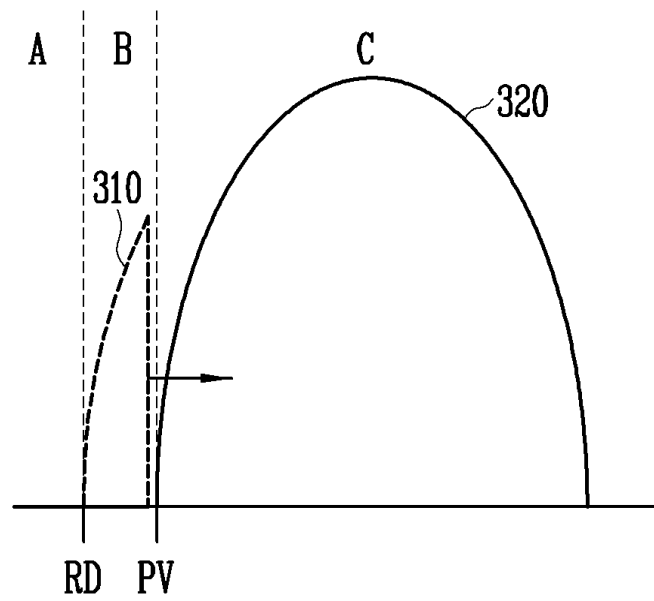
발명의 효과

- <121> 이상에서 설명한 바와 같이, 본 발명에 따른 낸드 플래시 메모리 장치는, 일정기간 이상 데이터 프로그램 상태를 유지하는 과정에서 발생하는 셀 전압 시프트를 감지하여 이를 보정해 주어 셀 분포 특성을 개선시킨다.

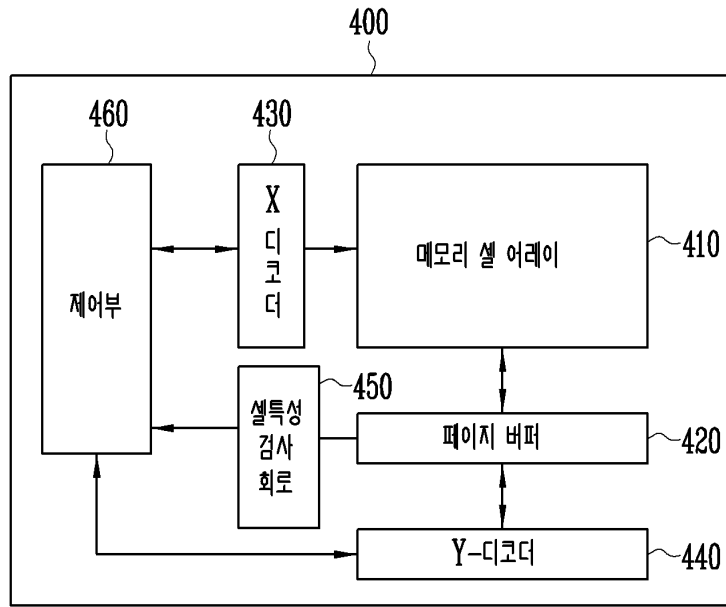
도면2



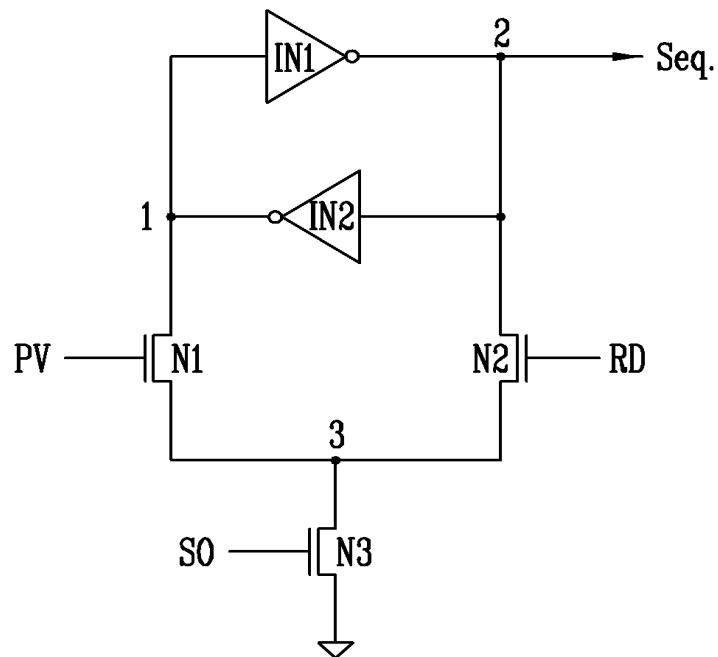
도면3



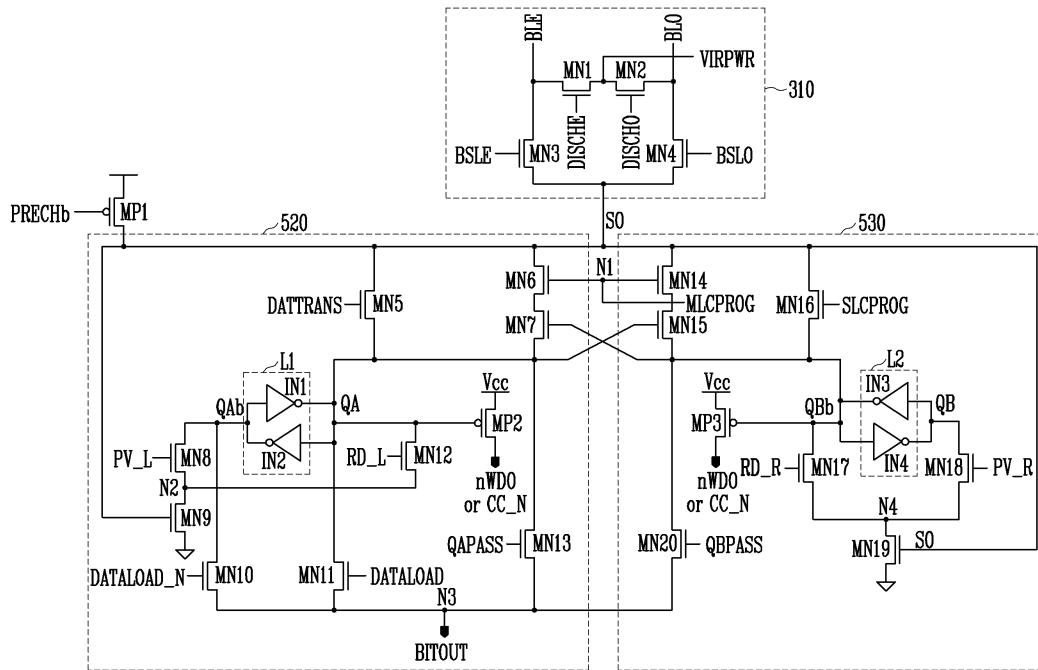
도면4a



도면4b



도면5



도면6

