(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H04L 25/03

(45) 공고일자 1995년05월18일
(11) 공고번호 특1995-0005115

(21) 출원번호	특1986-0001006	(65) 공개번호	특1986-0006884
(22) 출원일자	1986년02월13일	(43) 공개일자	1986년09월15일

(30) 우선권주장 85-26029 1985년02월13일 일본(JP)

(71) 출원인 소니 가부시끼가이샤 오오가 노리오
일본국 도오꾜도 시나가와꾸 기다시나가와 6죠메 7반 35고

(72) 발명자 고지마 유이찌
일본국 도오꾜도 시나가와꾸 기다시나가와 6죠메 7반 35고 소니 가부시끼가이샤 나이
지바 요시유끼
일본국 도오꾜도 시나가와꾸 기다시나가와 6죠메 7반 35고 소니 가부시끼가이샤 나이

(74) 대리인 이병호, 최달용

심사관 : 함상준 (책자공보 제3974호)

(54) 디지탈 신호 전송 장치용 파형 정형 회로

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

디지탈 신호 전송 장치용 파형 정형 회로

[도면의 간단한 설명]

제1도는 본 발명의 파형 정형 회로를 이용하는 디지탈 데이타 전송 장치의 한 예를 도시한 회로의 블럭 다이어그램.

제2도 내지 제4도는 종래 기술의 파형 정형 회로의 예를 각각 도시하는 회로의 블럭 다이어그램.

제5도는 본 발명에 따른 파형 정형 회로의 실시예를 도시하는 회로의 블럭 다이어그램.

제6도는 본 발명에 따른 파형 정형 회로의 다른 실시예를 도시하는 회로의 블럭 다이어그램.

* 도면의 주요부분에 대한 부호의 설명

7 : 출력단자 8: 데이타 입력 단자

9 : 시프트 레지스터 10 : 입력단자

12 : 출력단자 $13_1, 13_2$: ROM

14 : 디지탈-아나로그 변환기 15 : 주파수 분할기

16 : 위상 시프터 17 : 디지탈 가산기

[발명의 상세한 설명]

[발명의 분야]

본 발명은 파형 정형 회로에 관한 것으로, 특히 디지탈 통신 시스템의 디지탈 신호 전송 장치에 사용하는 정형회로에 관한 것이다.

[종래기술]

디지탈 통신 시스템의 종래 기술을 이용한 디지탈 신호 전송 장치는 일반적으로 제1도에 도시된 바와 같이 구성된다. 제1도를 참조해 보면, 신호원(1)으로부터의디지탈 신호는 파형 정형(2)를 거쳐 변조기(3)로 제공된다. 변조기(3)에서 변조된 신호는 전송 라인(4)을 거쳐 수신측을 구성하는 복조기(5)로 제공된다. 그후 복조기(5)에서 복조된 신호는 슬라이서(6)를 거쳐 출력 단자(7)로 제공된다. 상기 경우에 있어서 높은 효율의 디지탈 신호 전송을 실현하기 위해서는 부호간 간섭(inter symbol interference) 및 인접 채널간의 간섭이 최소화 되어야 한다. 나이퀴스트(Nyquist) 전송시스템에 의하면 부호간 간섭은 식별 식점에서 이론상으로 0으로 최소화될수 있고 요구된 대역외의 전력도 역시 억압될수 있으므로, 상기 나이퀴스트 전송 시스템을 실현하기 위해소 제1도에서의 파형 정형 회로(2)는 제2도에 도시된 바와 같이 2진의 횡 필터(binary transversal filter)로 구성된다. 사이 2진 횡 필터는 직접 시간 영역에서 설계 가능하므로 높은 정밀도를 기대할수 있다.

제2도를 참조해보면, 참고번호(8)는 데이타 입력 단자를 나타내며, 전송될 디지탈 데이타 신호가 상기단자에 인가된다. 참고 번호(9a),(9b),...(9h)는 각각 시프ㅌ 레지스터(9)를 구성하는 플립-플롭 회로를 나타내며, 상기 시프트 레지스트(9)는 데이타 입력 단자(8)로부터 디지탈 데이타 신호를 제공받는다. 또한 참고번호(10)는 클럭 입력 단자를 나타내며, 데이타 전송 속도의 2배의 속도를 갖는 클럭 신호가 상기 입력 단자에 인가된다. 상기 클럭 신호 입력 단자(10)에 인가된 클러 신호는 시프트 레시스터(9)를 구성하는 플립-플롭 회로(9a),(9b),...(9h)에서 시프트 신호로서 인가된다. 참고번호 (11a),(11b),...(11h)는 가중 회로(weighting circuit)를 구성하는 레지스터를 각각 나타낸다. 참고번호(12)는 출력단자를 나타낸다. 제2도에 도시된 2진 횡 필터가 제1도의 파형 정형 회로(2)에 사용될 때, 요구된 임펄스 응답은 계단파형으로 근사될수 있으며, 상기 계단파형은 저역 통과 필터를 통해 평활화가 이루어지며 그래서 나이퀴스트 전송시스템이 구성될수 있다.

그러나 상기 파형 정형 회로(2)를 구성하는 2진 횡 필터에 의하면, 입력 데이타 신호가 인가된 시프트 레지스터(9)는 데이타 전송 속도의 두배의 주파수를 갖는 클럭 신호에서 작동되며, 시프트 레지스터(9)를 구성하는 각 플립-플롭회로(9a),(9b),...(9h)로부터의 출력 신호는 가중 저항 (11a),(11b),...(11h)의 저항 값에 의해 가중된다. 상기 2진 횡 필터는 가중 회로로서 저항 (11a),(11b),...(11h)를 사용하므로, 파형 정형의 정확도를 증가시키려면 미세 조정 회로를 시프트 레지스터의 각 탭(tap) 혹은 각 단(stage)에 설치해야 한다. 더우기 상기 2진 횡 필터는, 시프트 레지스터(9) 출력의 논리 진폭 변동에 의해 직접적으로 영향을 받게 되는 결점이 있다.

상기 문제점을 해결하기 위해, 파형 정형회로에는, 가중 회로를 구성하는 저항(11a),(11b),...(11h)대신 제3도에 도시된 판독 전용 메모리(ROM)(13) 및 D/A(디지탈-아나로그) 변환 회로(14)가 설치된다. 제3도를 참고해보면, 8개의 플립-플롭 회로(9a),(9b),...(9h)로 구성된 시프트 레지스터(9)의 8개의 출력 단자들은 어드레스 제어 단자를 갖는 판독 전용 메모리(13)의 어드레스 제어 단자에 각각 접속되며, 어드레스 제어 단자의 갯수는 출력 단자의 수와 일치한다. 상기 경우에 있어서, 판독 전용 메모리(13) 마련된 소정 테이블에 의해 2^8=256워드(한 워드는 8비트로 구성됨)의 가중 연산이 수행된다. 구후 판독 전용 메모리(13)는 입력 패턴에 상응하는 데이타를 8비트 디지탈 값으로 발생한다. 판독 전용 메모리(13)으로부터 이 8비트 디지탈 출력 신호는 D/A변환 회로(14)에 인가되며 입력 단자(10)로부터의 클럭 신호도 역시 D/A변환 회로(14)에 인가된다. 상기 D/A변환 회로(14)의 출력측은 출력 단자(12)에 접속된다. 다른 회로 소자들은 제2도와 같이 구성된다. 제3도에 도시된 예에서는 판독 전용 메모리(13)가 사용되었으므로, 시프트 레지스터(9)의 각 탭의 가중은 테이블로서 준비되며, 데이타 신호의 입력 패턴에 상응하는 값은 디지탈 값으로 발생되고, 상기 디지탈 값은 D/A변환 회로(14)에 의해 상기 요구된 아나로그 파형으로 변환되므로, 저항이 가중 회로로서 사용되는 결점을 제거할수 있다는 이점이 있다.

그러나 제3도에 도시된 파형 정형 회로의 예에서, 판독 전용 메모리(13)의 용량에는 한계가 있으므로 시프트 레지스터(9)의 단수가 증가할 때는 상기 파형 정형 회로가 실현될수 없다는 결점이 존재한다.

그러므로 상기 파형 정형 회로는 제4도에 도시된 바와 같이 구성된다. 제4도에 도시된 바와 같이, 데이타 입력 단자(8)에 인가된 데이타 신호는 복수의 시프트 레지스터, 예컨대 두개의 시프트 레지스터(9_1) 및 (9_2)에 공급되고, 각 시프트 레지스터는 소정의 단, 예컨대 4단의 플립-플롭회로 (9a),(9b),(9c) 및 (9d)으로 구성된다. 상기 두개의 시프트 레지스터(9_1) 및 (9_2) 각각의 4개의 출력 단자는 두개의 가중 판독 전용 메모리(13_1) 및 (13_2)의 어드레스 제어 단자에 각각 접속되며, 각각의 어드레스 제어 단자의 갯수의 출력 단자의 수와 일치하여 구성된다. 클럭 입력 단자(10)에 인가되는, 데이타 전송 속도의 두개의 주파수를 갖는 클럭 신호(P1)는 1/2주파수 분할기(15)에 인가된다. 데이타 전송 속도와 동일한 주파수를 가지며 1/2 주파수 분할기(15)의 출력에서 발생된 클럭 신호(P2)는, 시프트 레지스터(9_1)의 각 플립-플롭 회로(9a),(9b),(9c) 및 (9d)에 시프트 신호로서 인가된다. 이와 동시에, 상기 클럭 신호(P2)는, 클럭 신호(P2)의 위상을 π만큼 시프트시키는 π위상 시프트(16)을 거쳐 시프트 레지스터(9_2)를 구성하는 각각의 플립-플롭회로(9a),(9b),(9c) 및 (9)에 시프트 신호로서 인가된다. 판독 전용 메모리(13_1) 및 (13_2)로 부터의 8비트 출력 신호는 각각 D/A변환회로(14_1) 및 (14_2)에 인가되며, 클럭 입력 단자(10)로부터의 신호(P1)는 상기 D/A변환회로(14_1) 및 (14_2)에 인가된다. 그 후에 D/A변환회로(14_1) 및 (14_2)의 아나로그 출력 신호는 서로 합산되어 출력 단자(12)에 인가된다. 상기 경우에 있어서, 시프트 레지스터(9_1)는, 데이타 전송 속도와 동등한 주파수를 갖는 클럭 신호(P2)를 이용함으로써 구동되며, 시프트 레지스터(9_2)는, π위상 시프터(16)에 의해 π만큼 위상이 시프트된 클럭 신호(P2)에 의해 구동되므로, 시프트 레지스터(9_1) 및 (9_2)는, 데이타 전송 속도의 두배의 주파수를 갖는 클럭 신호에 의해 대등하게 구동된다. 상기 경우

에 있어서, 판독 전용 메모리(13_1) 및 (13_2)에 마련된 소정 테이블에 의해 예를들어 2^4=16워드(1워드는 8비트로 구성된다)의 가중을 수행하는 것으로 충분하다. 따라서 각각 작은 용량을 갖는 판독 전용 메모리(13_1) 및 (13_2)을 사용할수 있게 된다.

그러나, 제4도에 도시된 실시예에서는, 위상 시프터 회로(16)를 사용하므로, 파형 정형이 클럭 신호의 위상 에러에 의해 영향받게될 위험이 존재한다. 또한, D/A변환 회로 (14_1) 및 (14_2)의 수는 판독 전용 메모리(13_1) 및 (13_2)의 수와 일치하게 구성되어야 하므로 회로 장치가 그만큼 크게되는 단점이 존재한다.

[발명의 개요]

따라서 본 발명의 목적은, 고정밀도로 신호를 파형 정형할수 있으며 소형으로 제조될수 있는 파형 정형 회로를 제공하는데 있다.

본 발명의 또 다른 목적은 단일 D/A변환기를 사용하는 파형 정형 회로를 제공하는데 있다.

본 발명의 일예에 따라, 디지탈 신호 전송 장치에 사용되는 파형 정형 회로는 (a) 디지탈 데이타 입력단자의 제1 및 제2세트의 출력 단자를 갖는 N단 시프트 레지스터로서, 상기 디지탈 입력 단자에서 파형 정형되는 디지탈 데이타가 제공되는 N단 시프트 레지스터와, (b) 다수의 어드레스 제어 단자 및 출력 단자를 구비하는 제1판독 전용 메모리와, (c) 다수의 어드레스 제어 단자 및 출력 단자를 구비하는 제2판독 전용 메모리와, (d) 상기 제1판독 전용 메모리의 각 어드레스 제어단자를 상기 시프트 레지스터 출력 단자의 제1세트에 접속시키며, 또한 상기 제2판독 전용 메모리의 각 어드레스 제어 단자를 상기 시프트 레지스터 출력 단자의 제2세트에 접속시키기 위한 회로 수단과, (e) 상기 제1 및 제2판독 전용 메모리의 출력단자에 접속된 입력 단자들과, 상기 제1 및 제2판독 전용 메모리의 출력의 가산된 디지탈 신호인 디지탈 출력 신호를 발생하기 위한 출력 단자를 구비하는 가산기와, (f) 상기 디지탈 데이타에 상응하는 파형 정형된 출력 신호를 발생하도록, 상기 가산기로부터의 디지탈 출력 신호가 제공된 D/A 변환기로 구성된다.

본 발명에 따른 파형 정형 회로의 실시예가 제5도를 참조하여 다음에 기술된다. 제5도에서 제2도 내지 제4도와 일치하는 유사부분은 동일한 참고번호로 표시되었으며 상세히 설명되지는 않을 것이다.

제5도를 참조해보면, 데이타 입력 단자(8)에 전송되어 인가되는 디지탈 데이타 신호는, 예를들어 8개의 플립-플롭 회로(9a),(9b),…(9h)로 구성된 시프트 레지스터(9)에 인가된다. 상기 시프트 레지스터(9)의 8개 출력 단자는 둘로 분할되어서, 4개의 플립-플롭 회로(9a),(9b),(9c) 및 (9d)의 출력 단자는, 4개의 어드레스를 갖는 제1판독 전용 메모리(13_1)의 어드레스 제어 단자에 접속되는 한편, 연속하는 4개의 플립-플롭 회로 (9e),(9f),(9g) 및 (9h)의 출력 단자는 4개의 어드레스를 갖는 제2판독 전용 메모리(13_2)의 어드레스 제어 단자에 각각 접속된다. 그후, 데이타 전송 속도의 두배의 주파수를 가지며 클럭 입력 단자(10)에 인가된 클럭 신호(P1)는, 시프트 레지스터(9)를 형성하는 각 플립-플롭 회로(9a),(9b),…(9h)에 인가된다.

상기 경우에 있어서, 제1 및 제2판독 전용 메모리(13_1) 및 (13_2) 에 마련된 소정 테이블에 의해 2^4=16워드(1워드는 8비트로 구성됨)의 가중 연산이 수행되며, 제1 및 제2판독 전용 메모리(13_1) 및 (13_2)로의 입력 패턴에 상응하는 데이타가 8비트의 디지탈 값으로 발생된다.

제1 및 제2판독 전용 메모리(13_1) 및 (13_2)로부터의 8비트 디지탈 출력 신호는 둘다 8비트의 디지탈 가산기(17)에 인가되어 서로 가산된다. 디지탈 가산기(17)로부터의 출력 신호는 D/A 변환 회로(14)에 인가되며, D/A변환 회로(14)의 출력측은 출력 단자(12)에 접속된다. 또한 상기 D/A변환 회로(14)는, 클럭 입력 단자(10)에 인가된 데이타 전송 속도의 두배의 주파수를 갖는 클럭 신호(P1)에 의해서 작동된다.

상기 실시예에 의하면 복수의 판독 전용 메모리(13_1) 및 (13_2)가 설치되므로 판독 전용 메모리(13_1) 및 (13_2)로부터의 출력 신호는 디지탈 방식으로 가산된 다음 디지탈 신호에서 아나로그 신호로 변환되며, 시프트 레지스트(9)의 단수(탭의 수)가 증가될 지라도, 다수의 단을 구비하는 파형 정형 회로는 적당한 수의 판독 전용 메모리와 디지탈 가산기(17)를 설치함으로써 실현 가능하다. 상기 경우에 있어서 가중 회로는 복수 판독 전용 메모리(13_1) 및 (13_2)와 D/A 변환 회로(14)로 구성되므로, 높은 정밀도로 신호를 파형 정형할수 있는 파형 정형 회로를 실현할수 있다. 더우기 복수 판독 전용 메모리(13_1) 및 (13_2)로부터의 출력 신호가 디지탈적으로 가산되고 나서 디지탈 신호에서 아나로그 신호로 변환되므로, 단일 D/A 변환 회로(14)를 설치하는 것으로도 그 만큼 장치가 소형화될수 있다.

제6도는 본 발명에 따른 파형 정형 회로의 또 다른 실시예를 나타낸다. 상기 실시예는 시프트 레지스터의 단수가 예전 것보다 더욱 증가된 변형예이다. 제6도에서, 제4도 및 제5도의 일치하는 유사부분은 동일한 부호로 표시되며 상세히 설명되지는 않을 것이다.

제6도에 도시된 바와 같이, 데이타 입력 단자(8)에 인가된 데이타 신호는 두개의 시프트 레지스터 (9_1) 및 (9_2)에 인가되며, 각 시프트 레지스터는 예를들어 8개의 플립-플롭(9a),(9b),…(9h)으로 구성된다. 하나의 시프트 레지스터(9_1)의 8개의 출력 단자들은 두 부분으로 분할되어서, 첫번째 4개의 플립-플롭 회로(9a),(9b),(9c) 및 (9d)의 4개 출력 단자들은, 4개의 어드레스를 갖는 제1판독 전용 메모리(13_1)의 어드레스 제어 단자에 각각 접속되는 반면에, 4개의 플립-플롭 회로(9e),(9f),(9g) 및 (9h)의 4개 출력 단자들은 4개의 어드레스를 갖는 제2판독 전용 메모리(13_2)의 어드레스 제어 단자에 각각 접속된다. 또 다른 시프트 레지스터(9_2)의 8개의 단자들은 두 부분으로 분할되어서, 첫번째 플립-플롭 회로(9a),(9b),(9c) 및 (9d)의 4개 출력 단자들은, 4개의 어드레스를 갖는 제3의 판독

전용 메모리(13_3)의 어드레스 제어 단자에 각각 접속되는 반면에, 4개의 플립-플롭 회로 (9e),(9f),(9g) 및 (9h)의 4개 출력 단자들은 4개의 어드레스를 갖는 제4판독 전용 메모리(13_4)의 어드레스 제어 단자에 각각 접속된다. 클럭 입력 단자(10)에 인가된 데이타 전송 속도의 두배의 주파수를 갖는 클럭 신호 (P1)은 1/2 주파수 분할기(15)에 인가된다. 상기 1/2 주파수 분할기(15)의 출력에서 얻어지며 데이타 전송 속도와 동일한 주파수를 갖는 클럭 신호(P2)는, 시프트 레지스터(9_1)를 구성하는 각각의 플립-플롭 회로(9a),(9b),…(9h)에 시프트 신호로서 인가된다. 상기 클럭 신호(P2)는 클럭 신호(P2)를 π만큼 위상-시프트하는 π위상 시프터(16)를 통해서 시프트 레지스터(9_2)의 각 플립-플롭 회로(9a),(9b),…,(9h)에 시프트 신호로서 제공된다.

상기 경우에 있어서, 제1-4의 판독 전용 메모리(13_1) - (13_4) 각각에 의해 마련된 소정 테이블에 의해 2^4=16워드(1워드는 8비트로 구성됨)의 가중 연산이 수행된다. 그뒤, 제1-4의 판독 전용 메모리(13_1) - (13_4)의 입력 패턴을 상응하는 데이타는 각각 8비트의 디지탈 값으로 발생된다.

제1 및 제2판독 전용 메모리(13_1) 및 (13_2)로부터의 8비트 디지탈 출력 신호들은 8비트 디지탈 가산기(17_1)에 공급되어 가산되는 반면에, 제3 및 제4판독 전용 메모리(13_3) 및 (13_4)로부터의 8비트 디지탈 출력 신호는 8비트 디지탈 가산기(17_2)에 제공되어 서로 가산된다. 디지탈 가산기(17_1) 및 (17_2)로부터의 8비트 디지탈 출력 신호는 8비트 디지탈 가산기(18)에 제공되어서 서로 가산된다. 상기 디지탈 가산기(18)로부터의 출력 신호는 D/A변환 회로(14)를 거쳐 출력 단자(12)에 제공되는 반면에, 상기 D/A 변환 회로(14)는, 클럭 입력 단자(10)에서 발생된 데이타 전송 속도의 두배의 주파수를 갖는 클럭 신호(P1)에 의해서 작동된다. 제6도에 도시된 상기 실시예에서, 데이타 전송 속도와 동일한 주파수를 갖는 클럭 신호(P2)를 사용함으로써 시프트 레지스터(9_1)가 구동되고 π위상 시프터에 의해 π만큼 위상 시프트되는 클럭 신호(P2)에 의해 시프트 레지스터 (9_2)가 구동되므로, 데이타 전송 속도의 두배의 주파수에서 시프트 레지스터가 대등하게 구동되고 판독 전용 메모리(13_1), (13_2), (13_3) 및 (13_4)의 용량은 제5도에서의 실시예와 유사하게 소형이될수 있다. 더우기 제6도에 도시된 본 발명의 제2실시예에 의하면, 판독 전용 메모리(13_1) 및 (13_2)로부터의 각 출력 신호는 제1디지탈 가산기(17_1)에 의해 가산되며, 판독 전용 메모리(13_3) 및 (13_4)로부터의 각 출력은 제2디지탈 가산기(17_2)에 의해 서로 가산되며, 상기 디지탈 가산기(17_1) 및 (17_2)로부터의 출력 신호는 디지탈 가산기(18)에 의해 서로 가산되어서 D/A 변환기(14)에 의해 디지탈 신호로부터 아나로그 신호로 변환되므로, 단일의 D/A 변환기(14)만으로도 충분하다.

또한 제6도의 제2실시예는 제5도에서의 제1실시예와 동일한 작용 및 효과를 발휘할수 있다는 것을 알수 있다.

상술된 본 발명에 의하면, 판독 전용 메모리(13_1) 및 (13_2)는 복수로 분할되므로 복수 판독 전용 메모리(13_1) 및 (13_2)로부터의 출력 신호는 디지탈적으로 가산되어서, 단일 D/A변환기에 의해 디지탈 신호에서 아나로그 신호로 변환되며, 시프트 레지스터(9)의 단수가 증가된다 할지라도, 적절한 수의 판독 전용 메모리 및 디지탈 가산기를 사용함으로써 다수 단을 갖는 파형 정형 회로를 실현할 수 있다.

부가적으로, 본 발명에 의하면, 가중 회로는 복수의 판독 전용 메모리(13_1) 및 (13_2)와 D/A 변환 회로(14)로 구성되므로, 높은 정밀도를 갖는 파형 정형 회로를 얻는 것이 가능하다. 더우기 복수의 판독 전용 메모리(13_1) 및 (13_2)로부터의 출력 신호는 디지탈적으로 서로 가산되고 나서 디지탈 신호에서 아나로그 신호로 변환되므로 단일 D/A 변환기(14)만으로도 충분하다. 그러므로 본 발명의 파형 정형 회로는 소형으로 제작할수 있다.

본 발명의 양호한 실시예에 의하여 설명하였지만, 당업자라면, 발며의 신규 개념의 정신이나 범위로부터 이탈되지 않고서 다양한 수정 및 변경이 가해질수 있고 그래서 발명의 범위는 첨부된 특허청구에 의해서만 결정되어야 한다.

(57) 청구의 범위

청구항 1

디지탈 신호 전송 장치용 파형 정형 회로로서 (a) 파형 정형될 디지탈 데이타가 공급되는 디지탈 데이타 입력 단자(8)와 제1 및 제2세트의 출력 단자를 갖는 제1의 N단 시프트 레지스트(9_1)와, (b) 출력단자 및 복수의 어드레스 제어 단자를 갖는 제1판독 전용 메모리(13_1)와, (c) 출력 단자 및 복수의 어드레스 제어 단자를 갖는 제1판독 전용 메모리(13_2)와, (d) 상기 제1판독 전용 메모리의 각 어드레스 제어 단자를 상기 시프트 레지스터의 제1세트 출력 단자에 접속시키며, 또한 상기 제2판독 전용 메모리의 각 어드레스 제어 단자를 상기 시프트 레지스터의 제2세트 출력 단자에 접속시키기 위한 회로 수단과, (e) 상기 제1 및 제2판독 전용 메모리(13_1, 13_2)의 출력 단자에 접속된 입력 단자들과, 상기 제1 및 제2판독 전용 메모리의 가산된 디지탈 신호 출력인 디지탈 출력 신호를 발생하는 출력 단자를 갖는 제1가산기 수단(17_1)과, (f) 상기 디지탈 데이타가 공급되는 디지탈 데이타 입력 단자(8)와, 제1 및 제2세트의 출력 단자를 갖는 제2의 N단 시프트 레지스터(9_2)와, (g) 상기 제2의 N단 시프트 레지스터의 제1세트 출력 단자들에 접속된 복수의 어드레스 제어 단자와 출력 단자를 갖는 제3판독 전용 메모리(13_3)와, (h) 상기 제2의 N단 시프트 레지스터의 제2세트 출력 단자들에 접속된 복수의 어드레스 제어 단자와 출력 단자를 갖는 제4 판독 전용 메모리(13_4)와, (i) 상기 제3

및 제4판독 전용 메모리의 출력 단자에 접속된 입력 단자와, 상기 제3 및 제4판독 전용 메모리의 가산된 디지탈 신호 출력인 디지탈 출력 신호를 발생하는 출력 단자를 갖는 제2가산기 수단(17_1)과, (j) 상기 제1 및 제2 가산기 수단(17_1, 17_2)의 출력 단자에 접속된 입력 단자와, 디지탈 출력 신호를 발생하는 출력 단자를 갖는 제3가산기 수단(18)과, (k) 상기 디지탈 데이타에 일치하는 파형 정형된 출력 신호를 발생하도록 상기 제3가산기 수단(18)으로부터의 디지탈 출력 신호를 제공받는 D/A변환기(14)로 이루어진 것을 특징으로 하는 디지탈 신호 전송 장치용 파형 정형 회로.

청구항 2

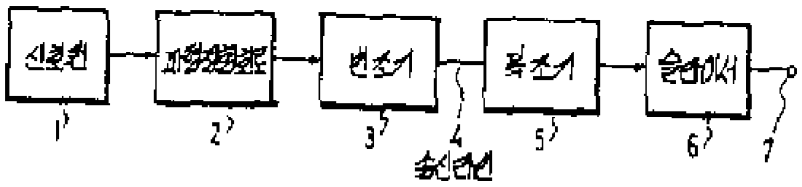
제5항에 있어서, 상기 제1 내지 제4판독 전용 메모리(17_1- 17_4)의 상기 어드레스 제어 단자들의 수가 서로 동일한 것을 특징으로 하는 디지탈 신호 전송 장치용 파형 정형 회로.

청구항 3

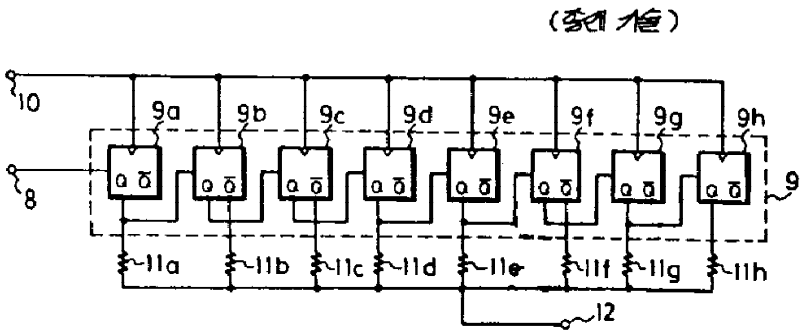
제5항에 있어서, 상기 제1 및 제2 시프트 레지스터(9_1, 9_2)에 서로 각각 상반되는 위상의 클럭 펄스 신호가 제공되는 것을 특징으로 하는 디지탈 신호 전송 장치용 파형 정형 회로.

도면

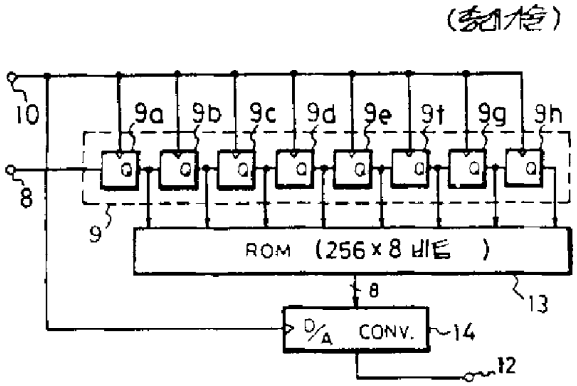
도면1



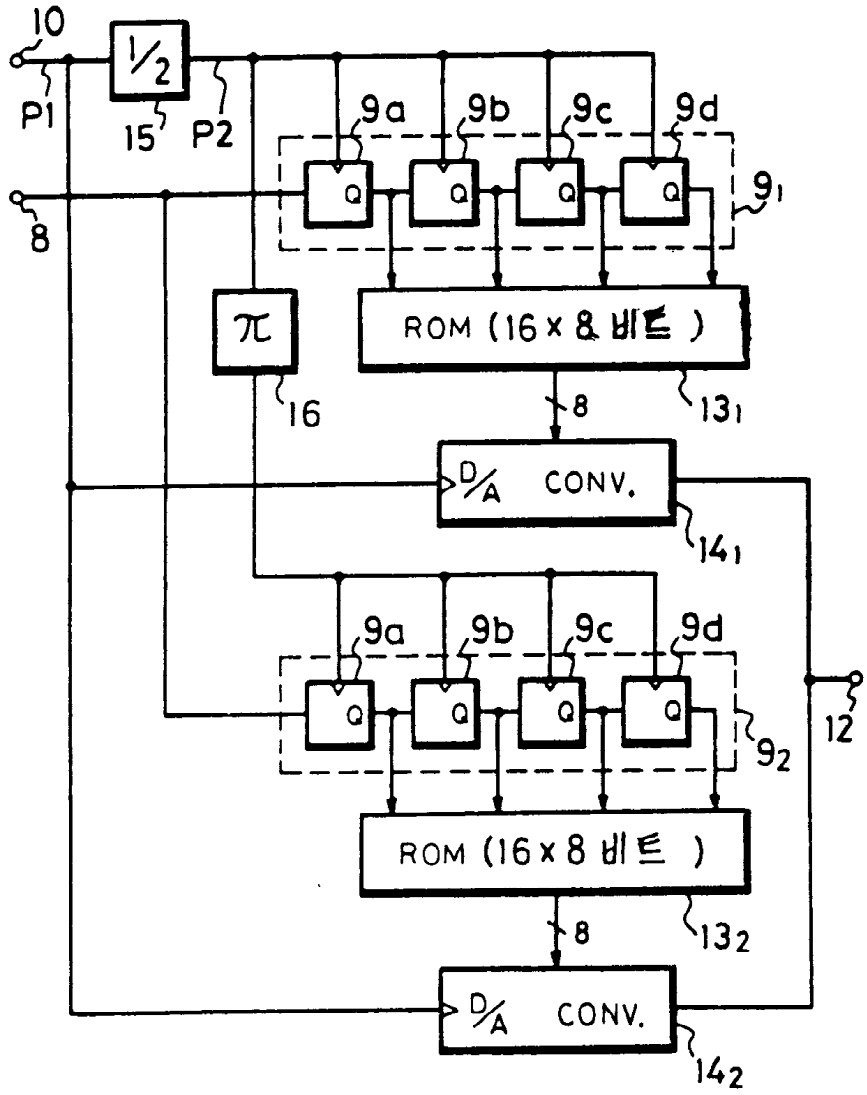
도면2



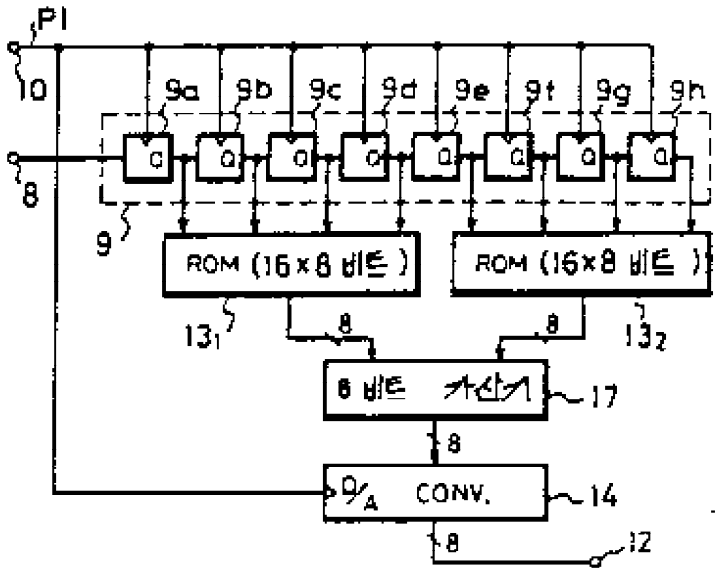
도면3



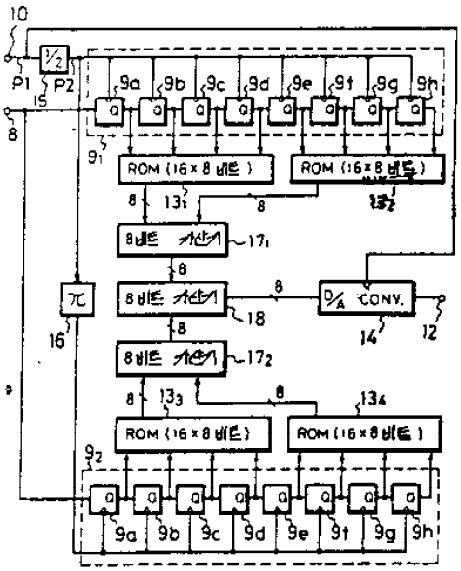
도면4


10
1/2
P1
15
P2
9a
9b
9c
9d
Q
91
8
π
16
ROM (16 x 8 비트)
8
131
D/A CONV.
141
9a
9b
9c
9d
Q
92
12
ROM (16 x 8 비트)
8
132
D/A CONV.
142

도면5


P1
10
9a
9b
9c
9d
9e
9f
9g
9h
8
9
ROM (16×8 비트)
ROM (16×8 비트)
13₁
13₂
8
8
8 비트 가산기
17
8
D/A CONV.
14
8
12

도면6


10
1/2
P1
P2
15
8
9a
9b
9c
9d
9e
9f
9g
9h
9₁
ROM (16×8 비트)
ROM (16×8 비트)
8
13₁
8
13₂
8 비트 가산기
17₁
8
8 비트 가산기
8
D/A CONV.
18
14
12
8
8 비트 가산기
17₂
16
8
13₃
8
13₄
ROM (16×8 비트)
ROM (16×8 비트)
9₂
9a
9b
9c
9d
9e
9f
9g
9h