

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年10月3日(03.10.2024)



(10) 国際公開番号

WO 2024/204472 A1

(51) 国際特許分類:
H01L 33/08 (2010.01) H01L 33/22 (2010.01)

(21) 国際出願番号: PCT/JP2024/012517

(22) 国際出願日: 2024年3月27日(27.03.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-049293 2023年3月27日(27.03.2023) JP
特願 2023-049380 2023年3月27日(27.03.2023) JP

(71) 出願人: 学 校 法 人 名 城 大 学 (MEIJO UNIVERSITY) [JP/JP]; 〒4688502 愛知県名古屋市中天白区塩釜口一丁目501番地 Aichi (JP).

(72) 発明者: 岩谷 素顕(IWAYA Motoaki); 〒4688502 愛知県名古屋市中天白区塩釜口一丁目501番地 学校法人名城大学内 Aichi (JP). 末広 好伸(SUEHIRO Yoshinobu); 〒4688502 愛知県名古屋市中天白区塩釜口一丁目501番地 学校法人

名城大学内 Aichi (JP). 今泉 雄太(IMAIZUMI Yuta); 〒4688502 愛知県名古屋市中天白区塩釜口一丁目501番地 学校法人名城大学内 Aichi (JP). 齋藤 竜成(SAITOU Tatsunari); 〒4688502 愛知県名古屋市中天白区塩釜口一丁目501番地 学校法人名城大学内 Aichi (JP). 長谷川 直希(HASEGAWA Naoki); 〒4688502 愛知県名古屋市中天白区塩釜口一丁目501番地 学校法人名城大学内 Aichi (JP).

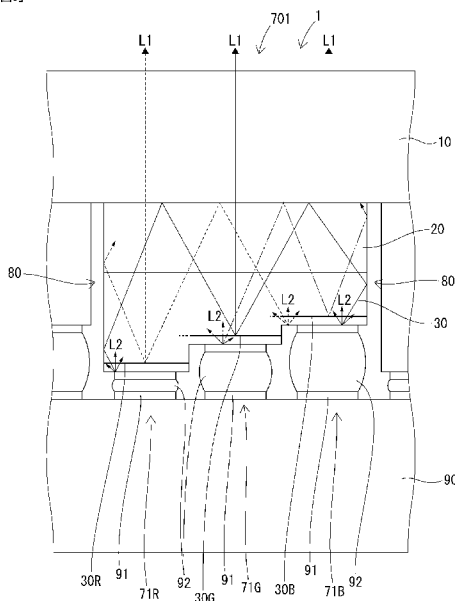
(74) 代理人: 田 ▲ 崎 ▼ 聡, 外 (TAZAKI Akira et al.); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU,

(54) Title: SEMICONDUCTOR LIGHT-EMITTING ELEMENT AND MANUFACTURING METHOD THEREFOR, AND MONOLITHIC LED ARRAY AND MANUFACTURING METHOD THEREFOR

(54) 発明の名称: 半導体発光素子、及びその製造方法、並びにモノリシックLEDアレイ及びその製造方法

[図8]



(57) Abstract: A semiconductor light-emitting element (1) comprises: a sapphire substrate (10); a buffer layer (20); and an epitaxial layer (30) having a first light-emitting layer (30B), a second light-emitting layer (30G), and a third light-emitting layer (30R) that have different emission wavelengths. The epitaxial layer (30) has a plurality of pixels (70) partitioned by partition grooves (80) which reach the sapphire substrate (10). The pixels (70) are provided with a plurality of sub-pixels (71) having different emission wavelengths. Each sub-pixel (71) is provided with an electrode (31) as a result of the following: removing a portion of the epitaxial layer (30) to the extent that the buffer layer (20) is not exposed; and exposing a power supply layer for supplying power to the first light-emitting layer (30B), the second light-emitting layer (30G), and the third light-emitting layer (30R). The sub-pixels (71) radiate, to the outside, light generated therein and incident light from adjacent sub-pixels (71).



LY, MA, MD, MG, MK, MN, MU, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,
SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 半導体発光素子 (1) は、サファイア基板 (10) と、バッファ層 (20) と、発光波長の異なる第1の発光層 (30B)、第2の発光層 (30G)、第3の発光層 (30R) を有したエピタキシャル層 (30) と、を備え、エピタキシャル層 (30) は、サファイア基板 (10) に至る区画溝 (80) によって区画された複数の画素 (70) を有し、画素 (70) は、発光波長が異なる複数の副画素 (71) を具備し、各副画素 (71) は、エピタキシャル層 (30) の一部がバッファ層 (20) を露出しない範囲で除かれ、第1の発光層 (30B)、第2の発光層 (30G)、第3の発光層 (30R) に電力を供給する電力供給層が露出されて電極 (31) が設けられており、副画素 (71) は、内部で生じた光と、隣接する副画素 (71) から入射した光と、を外部に放射する。

明 細 書

発明の名称：

半導体発光素子、及びその製造方法、並びにモノリシックＬＥＤアレイ及びその製造方法

技術分野

[0001] 本発明は、多色のディスプレイに用いる半導体発光素子、及びその製造方法、並びにモノリシックＬＥＤアレイ及びその製造方法に関するものである。

本願は、２０２３年３月２７日に、日本に出願された特願２０２３－０４９２９３号及び特願２０２３－０４９３８０に基づき優先権を主張し、その内容をここに援用する。

背景技術

[0002] 特許文献１には、基板上に異なる発光波長の光を生じるＬＥＤが配置された、隣合うＬＥＤの間に溝が形成された構成が開示されている。また、特許文献２には、複数のマイクロＬＥＤピクセルが行と列に配列された平面視で矩形状のマイクロＬＥＤパネルが開示されている。

先行技術文献

特許文献

[0003] 特許文献１：国際公開第２０１９／１２６７２８号公報

特許文献２：特開２０１８－１８５５１５号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、発光波長の異なるＬＥＤを組み合わせる一つの画素を構成する場合、視認者が発光波長の異なるＬＥＤの組み合わせを一つの画素と認識するためには、一つの画素を視認者の目の分解能程度の角度範囲内に構成する必要がある。

また、特許文献2のマイクロLEDパネルは、LEDで生じた光がn型半導体層を介して隣合うマイクロLEDピクセルに入り込み、点灯させていないマイクロLEDピクセルが点灯しているように視認される懸念がある。

[0005] 本発明は、上記従来の実情に鑑みてなされたものであって、一つの画素を構成する発光波長の異なるLEDの光の混色性を高めた半導体発光素子、及びその製造方法を提供することを解決すべき課題としている。

また、本発明は、点灯させていないマイクロLEDピクセルが点灯しているように視認される疑似点灯することを抑えたモノリシックLEDアレイ、及びその製造方法を提供することを解決すべき他の課題としている。

課題を解決するための手段

[0006] 第1の発明の半導体発光素子は、
基板と、
前記基板に積層された前記基板より高屈折率のバッファ層と、
前記バッファ層上に積層され、発光波長の異なる複数の発光層を有した前記基板より高屈折率のエピタキシャル層と、
を備え、
前記エピタキシャル層は、少なくとも前記バッファ層に至る区画溝によって区画された複数の画素を有し、
前記画素は、発光波長が異なる複数の副画素を具備し、
前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、所定の前記発光層に電力を供給する電力供給層が露出されて電極が設けられており、
前記副画素は、内部で生じた光と、隣接する前記副画素から入射した光と、を外部に放射する。

[0007] 第1の発明の半導体発光素子の副画素は、基板を介し、内部で（自身から）生じた光と、隣接する副画素で生じ、この副画素から入射した光と、を外部に放射する構成なので、画素内において個々の発光層で生じた異なる波長の光をそれぞれの副画素から外部に放射する。これによって、隣接する副画

素の間をサファイア基板に至る溝で区画され、隣接する副画素の間で光の行き来をすることが阻害される特許文献1に対して、混色性を高めることができる。

- [0008] 第2の発明の半導体発光素子の製造方法は、
基板と、
前記基板に積層された前記基板より高屈折率のバッファ層と、
前記バッファ層上に積層され、発光波長の異なる複数の発光層を有した前記基板より高屈折率のエピタキシャル層と、
を備え、
前記エピタキシャル層は、少なくとも前記バッファ層に至る区画溝によって区画された複数の画素を有し、
前記画素は、複数の副画素を具備し、
前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、所定の前記発光層に電力を供給する電力供給層が露出されて電極が設けられている、
半導体発光素子の製造方法において、
前記区画溝は、エッチング選択比が40以上となる積層マスクを用いる溝形成エッチング工程によって、前記基板に対して垂直に形成される。
- [0009] 従来の技術では溝幅がより広がり易く、画素の面素密度を高めることに支障が生じる。また、画素密度が決まっている場合、溝幅が広くなると、発光面積が狭くなり、電気・光学特性への影響懸念が生じることになる。しかし、第2の発明の構成によれば、区画溝がエッチング選択比が40以上となる積層マスクを用いるエッチング工程によって、基板に対して垂直な溝形成を行うので、テーパ角が生じ平面視で溝幅が広くなることを避けることができるので、電気・光学特性への影響の懸念も生じにくい。

- [0010] 第3の発明のモノリシックLEDアレイは、
基板と、
前記基板に積層されたバッファ層と、

前記バッファ層上に積層され、発光層を有したエピタキシャル層と、
を備え、

前記エピタキシャル層は、前記基板に至る区画溝によって区画された複数の画素を有し、

前記区画溝に配置され、前記発光層から生じた光を吸収する光吸収部材をさらに備えている。

[0011] この構成によれば、基板に至る区画溝が設けられ、さらにこの溝に光吸収部材が配置されているので、バッファ層やエピタキシャル層を介して隣の画素に光が至ることを抑制しつつ、区画溝の光吸収部材に照射された光を吸収することができる。これによって、疑似点灯を抑えることができる。

[0012] 第4の発明のモノリシックLEDアレイの製造方法は、
基板と、
前記基板に積層されたバッファ層と、
前記バッファ層上に積層され、発光層を有したエピタキシャル層と、
を備え、
前記エピタキシャル層は、前記基板に至る区画溝によって区画された複数の画素を有し、
前記区画溝に配置され、前記発光層から生じた光を吸収する光吸収部材をさらに備えている、モノリシックLEDアレイの製造方法において、
前記光吸収部材の前記区画溝への配置工程は、前記モノリシックLEDアレイの実装工程より先に行われる。

[0013] 上記の課題を達成するために、本発明は以下の構成を採用した。

[1] 基板と、
前記基板に積層された前記基板より高屈折率のバッファ層と、
前記バッファ層上に積層され、発光波長の異なる複数の発光層を有した前記基板より高屈折率のエピタキシャル層と、
を備え、
前記エピタキシャル層は、少なくとも前記バッファ層に至る区画溝によっ

て区画された複数の画素を有し、

前記画素は、発光波長が異なる複数の副画素を具備し、

前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、所定の前記発光層に電力を供給する電力供給層が露出されて電極が設けられており、

前記副画素は、内部で生じた光と、隣接する前記副画素から入射した光と、を外部に放射する、半導体発光素子。

[2] 前記画素の前記区画溝は、前記基板に達し、

各前記画素は、前記基板に島状に形成されている、[1]に記載の半導体発光素子。

[3] 前記電力供給層から電力を供給される前記発光層は、隣接する前記副画素に連続している、[1]又は[2]に記載の半導体発光素子。

[4] 前記電力供給層から電力を供給される前記発光層は、隣接する前記副画素に連続していない、[1]又は[2]に記載の半導体発光素子。

[5] 各前記副画素は、一方向に長く延びて形成されており、前記一方向に交差する方向に並んでいる、[1]～[3]のいずれかに記載の半導体発光素子。

[6] 前記基板は、凹凸状に形成されている、[1]～[4]のいずれかに記載の半導体発光素子。

[7] 基板と、

前記基板に積層された前記基板より高屈折率のバッファ層と、

前記バッファ層上に積層され、発光波長の異なる複数の発光層を有した前記基板より高屈折率のエピタキシャル層と、

を備え、

前記エピタキシャル層は、少なくとも前記バッファ層に至る区画溝によって区画された複数の画素を有し、

前記画素は、複数の副画素を具備し、

前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない

い範囲で除かれ、所定の前記発光層に電力を供給する電力供給層が露出されて電極が設けられている、半導体発光素子において、

前記区画溝は、エッチング選択比が40以上となる積層マスクを用いる溝形成エッチング工程によって、前記基板に対して垂直に形成される、半導体発光素子の製造方法。

[8] さらに、フッ化物ガスを用いて前記積層マスクを形成する積層マスク形成工程を備え、

前記積層マスクは、前記エピタキシャル層に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された酸化膜と、前記酸化膜に積層される Ni 、 Pt 、 Cr のいずれかで形成された金属膜と、の組み合わせで構成される、[7]に記載の半導体発光素子の製造方法。

[9] 基板と、

前記基板に積層されたバッファ層と、

前記バッファ層上に積層され、発光層を有したエピタキシャル層と、
を備え、

前記エピタキシャル層は、前記基板に至る区画溝によって区画された複数の画素を有し、

前記区画溝に配置され、前記発光層から生じた光を吸収する光吸収部材をさらに備えている、モノリシックLEDアレイ。

[10] 前記エピタキシャル層は、発光波長の異なる複数の前記発光層を有し、

前記画素は、前記発光波長が異なる複数の副画素を具備し、

前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、前記発光層に電力を供給する電力供給層が露出されて電極が設けられている、[9]に記載のモノリシックLEDアレイ。

[11] 前記電力供給層から電力を供給される前記発光層は、隣接する前記副画素に連続していない、[10]に記載のモノリシックLEDアレイ。

[12] 前記基板は、前記バッファ層が積層される側に凹凸形状が形成さ

れている、[9] から [11] のいずれか1項に記載のモノリシックLEDアレイ。

[13] 基板と、

前記基板に積層されたバッファ層と、

前記バッファ層上に積層され、発光層を有したエピタキシャル層と、

を備え、

前記エピタキシャル層は、前記基板に至る区画溝によって区画された複数の画素を有し、

前記区画溝に配置され、前記発光層から生じた光を吸収する光吸収部材をさらに備えている、モノリシックLEDアレイにおいて、

前記光吸収部材の前記区画溝への配置工程は、前記モノリシックLEDアレイの実装工程より先に行われる、モノリシックLEDアレイの製造方法。

[14] 前記エピタキシャル層は、発光波長の異なる複数の前記発光層を有し、

前記画素は、前記発光波長が異なる複数の副画素を具備し、

前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、前記発光層に電力を供給する電力供給層が露出されて電極が設けられている、[13] に記載のモノリシックLEDアレイの製造方法。

[15] 前記区画溝は、エッチング選択比が40以上となる積層マスクを用いる溝形成エッチング工程によって、前記基板に対して垂直に形成される、[13] 又は [14] に記載のモノリシックLEDアレイの製造方法。

[16] さらに、フッ化物ガスを用いて前記積層マスクを形成する積層マスク形成工程を備え、

前記積層マスクは、前記エピタキシャル層に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された酸化膜と、前記酸化膜に積層される Ni 、 Pt 、 Cr のいずれかで形成された金属膜と、の組み合わせで構成される、[15] に記載のモノリシックLEDアレイの製造方法。

[1 7] バッファ層と、前記バッファ層上に積層され、発光波長の異なる複数の発光層を有したエピタキシャル層と、を備え、

前記エピタキシャル層は、少なくとも前記バッファ層に至る区画溝によって区画された複数の画素を有し、

前記画素は、発光波長が異なる複数の副画素を具備し、

前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、所定の前記発光層に電力を供給する電力供給層が露出されて電極が設けられており、

前記副画素は、内部で生じた光と、隣接する前記副画素から入射した光と、を外部に放射する、半導体発光素子。

[1 8] 実装基板上に、前記画素が独立して配列されている、[1] 又は[1 7] に記載の半導体発光素子。

[1 9] [1] 又は[1 7] に記載の半導体発光素子の製造方法であって、

前記区画溝は、エッチング選択比が4 0以上となる積層マスクを用いる溝形成エッチング工程によって、前記エピタキシャル層の積層方向に形成される、半導体発光素子の製造方法。

[2 0] さらに、フッ化物ガスを用いて前記積層マスクを形成する積層マスク形成工程を備え、

前記積層マスクは、前記エピタキシャル層に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された酸化膜と、前記酸化膜に積層される Ni 、 Pt 、 Cr のいずれかで形成された金属膜と、の組み合わせで構成される、[1 9] に記載の半導体発光素子の製造方法。

発明の効果

[0014] 本発明によれば、一つの画素を構成する発光波長の異なるLEDの光の混色性を高めた半導体発光素子、及びその製造方法を提供することができる。

また、本発明によれば、点灯させていないマイクロLEDピクセルが点灯しているように視認される疑似点灯することを抑えたモノリシックLEDア

レイ、及びその製造方法を提供することができる。

図面の簡単な説明

[0015] [図1] V Rゴーグルに設けられた、実装基板に実装した半導体発光素子と、視認者の目との位置関係を示す模式図である。

[図2] 実施例 1 A の半導体発光素子の構造を示す側面図である。

[図3] 実施例 1 A の半導体発光素子の構造を示す斜視図である。

[図4] 実施例 1 A の半導体発光素子の画素を拡大した部分拡大平面図である。

[図5] 実施例 1 A の半導体発光素子を製造する工程を示す模式図である。

[図6] 区画溝を形成する工程を示す模式図である。

[図7] 実施例 1 A の半導体発光素子を実装基板に実装した状態を示す側面図である。

[図8] 実装基板に実装された半導体発光素子の各発光層から生じた光の経路を示す模式図である。

[図9] 実施例 2 A の半導体発光素子のサファイア基板の様子を示し (A) は、凸部が形成されたサファイア基板の平面図であり、(B) は、凸部が形成されたサファイア基板の側面図である。

[図10] 実施例 2 A の半導体発光素子において、各発光層から生じた光の経路を示す模式図である。

[図11] 他の実施例の半導体発光素子の側面図であって、隣合う副画素の間に区画溝が形成された状態を示す側面図である。

[図12] 実施例 1 B のモノリシック L E D アレイの構造を示す側面図である。

[図13] 実施例 1 B のモノリシック L E D アレイの構造を示す斜視図である。

[図14] 実施例 1 B のモノリシック L E D アレイの画素を拡大した部分拡大平面図である。

[図15] 実施例 1 B のモノリシック L E D アレイを製造する工程を示す模式図である。

[図16] 区画溝を形成する工程を示す模式図である。

[図17] 実施例 1 B のモノリシック L E D アレイを実装基板に実装した状態を

示す側面図である。

[図18]実装基板に実装されたモノリシックLEDアレイの発光層から生じた光の経路を示す模式図である。

[図19]実施例2BのモノリシックLEDアレイの構造を示す側面図である。

[図20]実施例2BのモノリシックLEDアレイの構造を示す斜視図である。

[図21]実施例2BのモノリシックLEDアレイの画素を拡大した部分拡大平面図である。

[図22]実施例2BのモノリシックLEDアレイを製造する工程を示す模式図である。

[図23]実施例2BのモノリシックLEDアレイを実装基板に実装した状態を示す側面図である。

発明を実施するための形態

[0016] 本発明における好ましい実施の形態を説明する。

[0017] 第1の発明において、画素の区画溝は、基板に達し、複数の画素は、基板に島状に形成され得る。この場合、隣合う画素へ光が漏れることを抑制することができる。

[0018] 第1の発明において、電力供給層から電力を供給される発光層は、隣接する副画素に連続し得る。この場合、隣接する副画素でもこの発光層からの光が生じる。このため、光の混色性を高めることができる。

[0019] 第1の発明において、電力供給層から電力を供給される発光層は、隣接する副画素に連続していなくてもよい。この場合、ダイナミック点灯に限らずスタティック点灯も可能になる。

[0020] 第1の発明において、各副画素は、一方向に長く延びて形成されており、一方向に交差する方向に並び得る。この場合、各副画素同士が隣接する面積を増やすことができ、これによって隣接する副画素同士の間で光のやり取りが行われ易くすることができるので、副画素における、内部で（自身から）生じた光と、隣接する副画素で生じ、この副画素から入射した光と、を外部に放射する作用を高めやすい。これに対して、特許文献1のものは、隣接する

副画素の間をサファイア基板に至る溝で区画されているので、隣接する副画素の間で光の行き来が大きく制約される。

[0021] 第1の発明において、基板は、凹凸状に形成され得る。この場合、凹凸状に形成されることによって画素内において光を拡散させやすい。

[0022] 第2の発明において、さらに、フッ化物ガスを用いて積層マスクを形成する積層マスク形成工程を備え、積層マスクは、エピタキシャル層に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された酸化膜と、酸化膜に積層される Ni 、 Pt 、 Cr のいずれかで形成された金属膜と、の組み合わせで構成され得る。この場合、テーパがより生じ難く基板に対して垂直な溝形成をより良好に行うことが可能となる。

[0023] 次に、本発明の半導体発光素子を具体化した実施例1Aについて、図1から図8を参照しつつ説明する。

[0024] <実施例1A>

実施例1Aの半導体発光素子1は、VRゴーグル等の表示装置に用いられる。図1に示すように、VRゴーグル200に用いられた半導体発光素子1は、レンズ201を挟んで、視認者の目202の前方に配置される。半導体発光素子1と視認者の目202との距離は、およそ5cmである。実施例1Aの半導体発光素子1は、図2に示すように、基板であるサファイア基板10、バッファ層20、エピタキシャル層30を備えている。サファイア基板10に対し、エピタキシャル層30が視認者の目202の反対の側となるように、半導体発光素子1は、配置される（図2参照）。エピタキシャル層30で発した光は、サファイア基板10を透過し、視認者の目202に至る。

[0025] [サファイア基板の構成]

サファイア基板10は両面が研磨されて平坦な面とされた板状のサファイアである。サファイア基板10の厚みは、例えば300 μm である。以下の説明において、サファイア基板10における視認者の目202の反対の側の面を上面という。また、各層における視認者の目202の反対の側の面も上面という。

[0026] [バッファ層の構成]

バッファ層20は、サファイア基板10に積層されている。バッファ層20の厚みは、例えば2 μ mである。バッファ層20には、低温で成長されたAlNや、GaN等が用いられる。

[0027] [エピタキシャル層の構成]

エピタキシャル層30は、バッファ層20の上面に積層される。エピタキシャル層30は、第1のn型層301と、第1の発光層30B（発光層）と、第1のp型層302と、第1のトンネル接合層303と、第2のn型層304と、第2の発光層30G（発光層）と、第2のp型層305と、第2のトンネル接合層306と、第3のn型層307と、第3の発光層30R（発光層）と、第3のp型層308と、第3のトンネル接合層309と、第4のn型層310と、を有しており、これらの層がこの順に積層されている。

[0028] 第1のn型層301は、バッファ層20の上面に積層されている。第1のn型層301の厚みは、例えば、2 μ mである。第1のn型層301は、例えば、Si等のn型不純物が添加されたGaNで形成されている。

[0029] 第1の発光層30Bは、第1のn型層301の上面に積層されている。第1の発光層30Bは、例えば、多重量子井戸として形成されている。第1の発光層30Bの厚みは、例えば50 nmである。第1の発光層30Bは、青色（Blue）に相当する発光波長（例えば、450～470 nm）の光を生じ得る構成とされている。

[0030] 第1のp型層302は、第1の発光層30Bの上面に積層されている。第1のp型層302の厚みは、例えば180 nmである。第1のp型層302は、例えば、Mg等のp型不純物が添加されたGaNで形成されている。

[0031] 第1のトンネル接合層303は、第1のp型層302の上面に積層されている。第1のトンネル接合層303の厚みは、例えば、25 nmである。第1のトンネル接合層303は、Siが高濃度に添加されたn++GaN層と、Mgが高濃度に添加されたp++GaN層と、が積層されて形成されている。ここで、n++とはn型不純物が高濃度に添加された状態を意味し、p

++とはp型不純物が高濃度に添加された状態を意味する。なお、n型半導体とp型半導体の間にトンネル接合層を設けることによって、n型半導体からp型半導体へ電流を流すことが可能になる。

[0032] 第2のn型層304は、第1のトンネル接合層303の上面に積層されている。第2のn型層304の厚みは、例えば400nmである。第2のn型層304は、例えば、Si等のn型不純物が添加されたGaNで形成されている。

[0033] 第2の発光層30Gは、第2のn型層304の上面に積層されている。第2の発光層30Gは、例えば、多重量子井戸として形成されている。第2の発光層30Gの厚みは、例えば50nmである。第2の発光層30Gは、緑色（Green）に相当する発光波長（例えば、500～570nm）の光を生じ得る構成とされている。

[0034] 第2のp型層305は、第2の発光層30Gの上面に積層されている。第2のp型層305の厚みは、例えば180nmである。第2のp型層305は、例えば、Mg等のp型不純物が添加されたGaNで形成されている。

[0035] 第2のトンネル接合層306は、第2のp型層305の上面に積層されている。第2のトンネル接合層306の厚みは、例えば、25nmである。第2のトンネル接合層306は、Siが高濃度に添加されたn++GaN層と、Mgが高濃度に添加されたp++GaN層と、が積層されて形成されている。

[0036] 第3のn型層307は、第2のトンネル接合層306の上面に積層されている。第3のn型層307の厚みは、例えば400nmである。第3のn型層307は、例えば、Si等のn型不純物が添加されたGaNで形成されている。

[0037] 第3の発光層30Rは、第3のn型層307の上面に積層されている。第3の発光層30Rは、例えば、多重量子井戸として形成されている。第3の発光層30Rの厚みは、例えば50nmである。第3の発光層30Rは、赤色（Red）に相当する発光波長（例えば600～650nm）の光を生じ

得る構成とされている。

[0038] 第3のp型層308は、第3の発光層30Rの上面に積層されている。第3のp型層308の厚みは、例えば180nmである。第3のp型層308は、例えば、Mg等のp型不純物が添加されたGa_{0.9}N_{0.1}で形成されている。

[0039] 第3のトンネル接合層309は、第3のp型層308の上面に積層されている。第3のトンネル接合層309の厚みは、例えば、25nmである。第3のトンネル接合層309は、Siが高濃度に添加されたn++Ga_{0.9}N_{0.1}層と、Mgが高濃度に添加されたp++Ga_{0.9}N_{0.1}層と、が積層されて形成されている。

[0040] 第4のn型層310は、第3のトンネル接合層309の上面に積層されている。第4のn型層310の厚みは、例えば300nmである。第4のn型層310は、例えば、Si等のn型不純物が添加されたGa_{0.9}N_{0.1}で形成されている。

[0041] [画素の構成]

半導体発光素子1は、図4に示すように、区画溝80によって区画された画素701を有している。画素701は複数の副画素71を有している。副画素71は、赤色発光ダイオード71Rと、緑色発光ダイオード71Gと、青色発光ダイオード71Bと、を有している。半導体発光素子1を上方から見た平面視において、画素701は正方形形状に形成されている。赤色発光ダイオード71Rと、緑色発光ダイオード71Gと、青色発光ダイオード71Bと、の各々の副画素71は、一方向に長く延びて形成されている。そして、赤色発光ダイオード71Rと、緑色発光ダイオード71Gと、青色発光ダイオード71Bとは、一方向に直交する方向に隣接して形成されている。

[0042] 区画溝80は、第4のn型層310の上面からサファイア基板10に向けて（積層方向81に）凹んで形成されており、底面がサファイア基板10の上面に達している。区画溝80は、サファイア基板10に対して垂直に形成されている。各画素701の外周部は、図4に示すように、区画溝80によってサファイア基板10の上面に島状に形成されている。サファイア基板1

0の上面には、島状に形成された複数の画素701が、一方向と、一方向に直交する方向とに整列して配置されている。区画溝80の積層方向81（図2参照）における深さ寸法（第4のn型層310の上面からの深さ寸法）は、およそ6 μ mである。

[0043] 図3に示すように、赤色発光ダイオード71Rは、発光本体部72と、非発光部73と、を有している。発光本体部72は、第4のn型層310の上面（エピタキシャル層30の最上面）が露出している。非発光部73は、発光本体部72に対して一方向に並ぶように隣接している。非発光部73は、第3の発光層30Rから第4のn型層310までが除去されており、第3のn型層307が露出している。発光本体部72の上面（第3の発光層30Rへのp型層側からの電力供給層となる第4のn型層310の上面）には、電極31である正電極31pが積層して設けられている。非発光部73の上面（第3の発光層30Rへのn型層側からの電力供給層となる第3のn型層307が露出した面）には、電極31である負電極31nが積層して設けられている。赤色発光ダイオード71Rには、第4のn型層310に設けられた正電極31pと、第3のn型層307に設けられた負電極31nとによって、第3の発光層30Rに通電する回路が形成されている。

[0044] 緑色発光ダイオード71Gは、発光本体部74と、非発光部75と、を有している。発光本体部74は、第3の発光層30Rから第4のn型層310までが除去されており、第3のn型層307が露出している。非発光部75は、発光本体部74に対して一方向に並ぶように隣接している。非発光部75は、第2の発光層30Gから第4のn型層310までが除去されており、第2のn型層304が露出している。発光本体部74の上面（第2の発光層30Gへのp型層側からの電力供給層となる第3のn型層307が露出した面）には、電極31である正電極31pが積層して設けられている。非発光部75の上面（第2の発光層30Gへのn型層側からの電力供給層となる第2のn型層304が露出した面）には、電極31である負電極31nが積層して設けられている。緑色発光ダイオード7

1 Gには、第3のn型層307に設けられた正電極31pと、第2のn型層304に設けられた負電極31nと、によって、第2の発光層30Gに通電する回路が形成されている。ここで、第2の発光層30Gは、隣接する副画素71である赤色発光ダイオード71Rに連続し、赤色発光ダイオード71Rの領域にも含まれている。

[0045] 青色発光ダイオード71Bは、発光本体部76と、非発光部77と、を有している。発光本体部76は、第2の発光層30Gから第4のn型層310までが除去されており、第2のn型層304が露出している。非発光部77は、発光本体部76に対して一方向に並ぶように隣接している。非発光部77は、第1の発光層30Bから第4のn型層310までが除去されており、第1のn型層301が露出している。発光本体部76の上面（第1の発光層30Bへのp型層側からの電力供給層となる第2のn型層304が露出した面）には、電極31である正電極31pが積層して設けられている。非発光部77の上面（第1の発光層30Bへのn型層側からの電力供給層となる第1のn型層301が露出した面）には、電極31である負電極31nが積層して設けられている。青色発光ダイオード71Bには、第2のn型層304に設けられた正電極31pと、第1のn型層301に設けられた負電極31nと、によって、第1の発光層30Bに通電する回路が形成されている。ここで、第1の発光層30Bは、隣接する副画素71である緑色発光ダイオード71Gに連続し、緑色発光ダイオード71G及び赤色発光ダイオード71Rの領域にも含まれている。

[0046] こうして、各副画素71は、エピタキシャル層30の一部がバッファ層20を露出しない範囲で除かれている。また、各副画素71は、第1の発光層30B、第2の発光層30G、及び第3の発光層30Rそれぞれのp型層側とn型層側から電流を供給する電力供給層が露出されている。そして、露出された電力供給層には、電極31が設けられている。なお、電力供給層をn型層としても、トンネル接合層によってn型半導体からp型半導体へ電流を流すことができる。トンネル接合層を設けない場合には、電力供給層として

p型層を露出して、電極31を形成するなどの対応が必要となる。

[0047] [半導体発光素子の製造方法]

半導体発光素子1の製造方法について、図5と図6を用いて説明する。半導体発光素子1は、積層工程と、区画溝の形成工程と、画素形成工程と、を実行することによって製造される。まず、積層工程において、サファイア基板10の上面側に、MOVPE法（有機金属気相成長法）を用いて、図5（A）に示すように、バッファ層20とエピタキシャル層30を結晶成長して積層する。

[0048] 次に、区画溝の形成工程において、図5（B）に示すように、区画溝80を形成する。区画溝の形成工程は、垂直な溝形成を行うための積層マスク形成工程と、溝形成エッチング工程と、で構成されている。

[0049] [積層マスク形成工程]

積層マスク形成工程は、まず、図6（A）に示すように、エピタキシャル層30の上面の全面に、下層膜51としてSiO₂膜を形成する。次に、図6（B）に示すように、下層膜51上の区画溝80を形成する以外の領域に、上層膜52としてNi膜を積層する。下層膜51は、例えばスパッタ装置を用いて製膜することができる。上層膜52は、例えば蒸着装置を用いて製膜することができる。

[0050] 下層膜51と上層膜52とによって構成される積層マスク50は、後述する下層膜51のエッチング工程において、上層膜52の材質に対する下層膜51の材質のエッチング選択比が40以上になる組み合わせとする。SiO₂とNiとの組み合わせの場合、エッチング選択比は、およそ50である。下層膜51としては、SiO₂以外にAl₂O₃等の酸化物、Si₃N₄等の窒化物などを用いることができる。上層膜52としては、Ni以外にPt、Crなどを用いることができる。

[0051] 所定の領域に上層膜52を積層して形成するためには、一般に用いられているリソグラフィーで形成するレジストマスクを用いることができる。具体的には、下層膜51の上面にレジスト材料を塗布してレジスト膜を形成した

後に、区画溝80を形成する領域のレジストマスクを形成する。そして、露出した下層膜51の上面、及びレジストマスクの上面に上層膜52を蒸着して積層する。そして、レジストマスクを除去することによって、図6(B)に示すように、区画溝80を形成する以外の領域に上層膜52を積層することができる。

[0052] さらに、フッ化物ガスである CF_4 を用いたドライエッチングによって、図6(C)に示すように、上層膜52に覆われていない、区画溝80を形成する領域の下層膜51を除去する。この際、上層膜52に対して下層膜51のエッチングレートが大きいので、積層マスク50の側面は、テーパが極めて小さく垂直に切り立つように形成される。こうして、積層マスク50が形成される。なお、 CF_4 に替えて、 SF_6 や CHF_3 などのフッ化物ガスを用いて、区画溝80を形成する領域の下層膜51を除去するエッチングを行ってもよい。

[0053] [溝形成エッチング工程]

溝形成エッチング工程は、 Cl_2 を用いたドライエッチングにより、図6(D)のように、積層マスク50に覆われずに露出した領域のバッファ層20とエピタキシャル層30を除去する。エッチングは、サファイア基板10の上面に至る深さまで行い、サファイア基板10の上面に至ったところで止める。これにより、図5(B)に示すように、画素701の外周がサファイア基板10の上面に至る区画溝80によって、サファイア基板10上に島状となった画素701が形成される。この際、積層マスク50を用いたエッチングによって、区画溝80は、深く垂直に切り立つような形状にすることができる。

[0054] そして、フッ酸処理によって、積層マスク50を除去する。こうして、区画溝80の形成工程を完了する。こうして、区画溝80を形成して、島状の画素701を複数形成する。なお、発明者らの実験では、サファイア基板10の上面に対して区画溝80の壁面がなす角度は、89度以上となり、ほぼ垂直に切り立った区画溝80の形成を確認できている。

[0055] [画素形成工程]

次に、画素形成工程において、図5（C）から図5（E）に示すように、副画素71を形成する面を露出させる。まず、エピタキシャル層30において、発光本体部72を形成する領域にレジストマスクを積層した後、 Cl_2 を用いたドライエッチングにより、第3の発光層30Rから第4のn型層310までを除去する。この結果、図5（C）に示すように、レジストマスクが積層された領域は、発光本体部72が突出した形状として残り、レジストマスクが積層されていない領域は、第3のn型層307が露出する。なお、レジストマスクとしては上層膜52を積層する際に用いたものを用いることができる。

[0056] 次に、発光本体部72と、非発光部73と、発光本体部74と、を形成する領域にレジストマスクを積層する。そして、 Cl_2 を用いてドライエッチングを実行し、レジストマスクが積層されていない領域のエピタキシャル層30において、第2の発光層30Gから第3のn型層307までを除去する。この結果、図5（D）に示すように、レジストマスクが積層されていない領域は、第2のn型層304が露出する。

[0057] 次に、発光本体部72、非発光部73、発光本体部74、非発光部75、及び発光本体部76を形成する領域にレジストマスクを積層する。そして、 Cl_2 を用いてドライエッチングを実行し、レジストマスクが積層されていない領域のエピタキシャル層30において、第1の発光層30Bから第2のn型層304までを除去する。この結果、図5（E）に示すように、レジストマスクが積層されていない領域は、第1のn型層301が露出して非発光部77となる。

[0058] こうして露出された各面に電極31を形成することによって、副画素71が形成される。

[0059] こうして形成された半導体発光素子1は、図7に示すように、実装基板90に実装される。実装基板90には、例えばSi等が用いられる。図7は、図4におけるA-A断面に対応している。実装基板90には、Cuで形成さ

れた配線 9 1 が形成されている。半導体発光素子 1 は、赤色発光ダイオード 7 1 R、緑色発光ダイオード 7 1 G、及び青色発光ダイオード 7 1 B の各々の正電極 3 1 p 及び負電極 3 1 n が金属バンプ 9 2 を介して配線 9 1 に電氣的に接続される。金属バンプ 9 2 には、例えば Au と Sn の合金等が用いられる。なお、図 7 には負電極 3 1 n は表れていない。

[0060] 半導体発光素子 1 は、ダイナミック点灯方式で駆動する。実装基板 9 0 を介して半導体発光素子 1 のエピタキシャル層 3 0 の所定の電力供給層に電圧を印加する。各発光層（第 1 の発光層 3 0 B、第 2 の発光層 3 0 G、第 3 の発光層 3 0 R）の所定の発光層に電流が流れると、所定の発光層から光が生じる。ダイナミック点灯方式では、短時間にそれぞれの副画素を順次点灯させる。視認者はそれをそれぞれが同時に点灯しているように視認する。

[0061] 半導体発光素子 1 において所定の副画素 7 1 の発光層を点灯させると、この発光層の副画素 7 1 からのみでなく、画素 7 0 1 内の他の副画素 7 1 からの光が、視認者に至る光となる。さらに、他の所定の副画素 7 1 の発光層も点灯させ、複数色の点灯とすると、複数色の発光波長の光が同一の副画素 7 1 から視認者に至る。

[0062] 例えば、第 2 の発光層 3 0 G を点灯させた場合、図 8 の実線で示すように、副画素 7 1 のひとつである緑色発光ダイオード 7 1 G の内部の第 2 の発光層 3 0 G で生じた光の一部（L 1）は、バッファ層 2 0 とサファイア基板 1 0 を透過して、直接、緑色発光ダイオード 7 1 G から視認者の目に至る。これ以外に、第 2 の発光層 3 0 G で生じた光の一部は、隣接する副画素 7 1 である赤色発光ダイオード 7 1 R や青色発光ダイオード 7 1 B へ入射する。そして、画素 7 0 1 内のバッファ層 2 0 やエピタキシャル層 3 0 内で反射する。その光の一部（L 2）は、赤色発光ダイオード 7 1 R や青色発光ダイオード 7 1 B で図 8 の上方向へ反射して、隣接する副画素 7 1 からバッファ層 2 0 とサファイア基板 1 0 を透過して、例えば破線及び二点鎖線で示す光 L 1 として視認者の目に至る。なお、第 2 の発光層 3 0 G は赤色発光ダイオード 7 1 R に連続しており、赤色発光ダイオード 7 1 R でも発光する。この光の

一部は、赤色発光ダイオード71Rから視認者の目に至る。

[0063] さらに、第1の発光層30Bと第3の発光層30Rを点灯させる。すると、第2の発光層30Gを点灯させた場合と同様に、副画素71の内部で生じた光の一部(L1)と、画素内の隣接する副画素71から入射した光の一部(L2)が、視認者の目に至る。そして、それぞれの副画素71から、青色と緑色と赤色の光が視認者の目に至る。

[0064] バッファ層20は、AlN（屈折率2.2）やGaN（屈折率2.4）で形成されているので、サファイア（屈折率1.7）との界面で反射が生じる。また、エピタキシャル層30はGaN（屈折率2.4）で形成され、区画溝80は空気（屈折率1.0）であるので、これらの界面で反射が生じる。どちらの場合も、発光層が形成されているエピタキシャル層30は、その周囲のサファイア基板10や区画溝80より屈折率が高い。このため、臨界角以上の角度で入射した光は、全反射する。

[0065] 本発明の半導体発光素子1は、隣合う副画素71同士の間には区画溝が形成されておらず、隣合う副画素71が高屈折率のAlNやGaNで連続している。このため、各副画素71で生じた光は、隣合う副画素71に進入しやすい。一方、サファイア基板10に至る区画溝80によって、各副画素71で生じた光は、画素701内に留まりやすい。そして、各色の副画素71で生じた光は、画素701内で反射を繰り返しやすい。このため、光が生じた副画素71以外の副画素71からも、視認者の目に至りやすくなる。

[0066] このように、半導体発光素子1は、各副画素71から画素701内の他の副画素71で生じた光を放射するため、混色性を高めることができる。そして、一つの画素701を視認者の目の分解能程度の角度範囲内に構成する制約を抑えて、画素サイズを大きくしても混色できる半導体発光素子1とすることができる。

[0067] 次に、上記実施例における作用を説明する。

半導体発光素子1は、サファイア基板10と、サファイア基板10に積層されたサファイア基板10より高屈折率のバッファ層20と、バッファ層2

0上に積層され、発光波長の異なる複数の発光層（第1の発光層30B、第2の発光層30G、第3の発光層30R）を有したサファイア基板10より高屈折率のエピタキシャル層30と、を備え、エピタキシャル層30は、積層方向81に凹み、サファイア基板10に至る区画溝80によって区画された複数の画素701を有し、画素701は、発光波長が異なる複数の副画素71を具備し、各副画素71は、エピタキシャル層30の一部がバッファ層20を露出しない範囲で除かれ、所定の発光層（第1の発光層30B、第2の発光層30G、第3の発光層30R）に電力を供給する電力供給層となるn型層（第1のn型層301、第2のn型層304、第3のn型層307、第4のn型層310）が露出されて電極31が設けられており、副画素71は、内部で（自身から）生じた光と、隣接する副画素71で生じ、この副画素71から入射した光と、を外部に放射する。

[0068] 半導体発光素子1の副画素71は、内部で（自身から）生じた光と、隣接する副画素71で生じ、この副画素71から入射した光と、を外部に放射する構成なので、画素701内において個々の発光層（第1の発光層30B、第2の発光層30G、第3の発光層30R）で生じた異なる波長の光をそれぞれの副画素71から外部に放射する。これによって、隣接する副画素の間をサファイア基板に至る溝で区画され、隣接する副画素の間で光の行き来をすることが阻害される特許文献1に対して、混色性を高めることができる。

[0069] 画素701の区画溝80は、サファイア基板10の上面に達し、複数の画素701は、サファイア基板10に島状に形成されている。このため、隣合う画素701へ光が漏れることを抑制することができる。

[0070] 電力供給層から電力を供給される第1の発光層30B、及び第2の発光層30Gは、隣接する副画素71に連続している。この場合、隣接する副画素71でもこの発光層30からの光が生じる。このため、光の混色性を高めることができる。

[0071] 各副画素71は、サファイア基板10の上面に沿った一方向に長く延びて形成されており、一方向に交差する方向に並んでいる。この構成によれば、

各副画素 7 1 同士が隣接する面積を増やすことができ、これによって隣接する副画素 7 1 同士の間で光のやり取りが行われ易くすることができるので、副画素 7 1 における、内部で（自身から）生じた光と、隣接する副画素 7 1 で生じ、この副画素 7 1 から入射した光と、を外部に放射する作用を高めやすい。これに対して、特許文献 1 のものは、隣接する副画素の間をサファイア基板に至る溝で区画されているので、隣接する副画素の間で光の行き来が大きく制約される。

[0072] 半導体発光素子の製造方法は、サファイア基板 1 0 と、サファイア基板 1 0 に積層されたサファイア基板 1 0 より高屈折率のバッファ層 2 0 と、バッファ層 2 0 上に積層され、発光波長の異なる複数の発光層（第 1 の発光層 3 0 B、第 2 の発光層 3 0 G、第 3 の発光層 3 0 R）を有したサファイア基板 1 0 より高屈折率のエピタキシャル層 3 0 と、を備え、エピタキシャル層 3 0 は、積層方向 8 1 に凹み、サファイア基板 1 0 に至る区画溝 8 0 によって区画された複数の画素 7 0 1 を有し、画素 7 0 1 は、複数の副画素 7 1 を具備し、各副画素 7 1 は、エピタキシャル層 3 0 の一部がバッファ層 2 0 を露出しない範囲で除かれ、所定の発光層（第 1 の発光層 3 0 B、第 2 の発光層 3 0 G、第 3 の発光層 3 0 R）に電力を供給する電力供給層となる n 型層（第 1 の n 型層 3 0 1、第 2 の n 型層 3 0 4、第 3 の n 型層 3 0 7、第 4 の n 型層 3 1 0）が露出されて電極 3 1 が設けられている半導体発光素子 1 において、区画溝 8 0 は、エッチング選択比が 4 0 以上となる積層マスク 5 0 を用いる溝形成エッチング工程によって、エピタキシャル層 3 0 の積層方向 8 1 に形成される。より具体的には、区画溝 8 0 は、サファイア基板 1 0 に対して垂直に形成される。

[0073] 従来の技術では溝形成の際にテーパが生じやすいので溝幅が拡がり易く、画素の面素密度を高めることに支障が生じる。また、画素密度が決まっている場合、溝幅が広くなると、発光面積が狭くなり、電気・光学特性への影響懸念が生じることになる。しかし、この半導体発光素子の製造方法によれば、区画溝 8 0 がエッチング選択比が 4 0 以上となる積層マスク 5 0 を用い

るエッチング工程によって、サファイア基板 10 に対して垂直な溝形成を行うので、テーパ角が生じ平面視で溝幅が広くなることを避けることができるので、電気・光学特性への影響の懸念も生じにくい。

[0074] 半導体発光素子の製造方法において、さらにフッ化物ガスを用いて積層マスク 50 を形成する積層マスク形成工程を備え、積層マスク 50 は、エピタキシャル層 30 に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された下層膜 51 と、下層膜 51 に積層される Ni 、 Pt 、 Cr のいずれかで形成された上層膜 52 と、の組み合わせで構成される。このため、テーパがより生じ難くサファイア基板 10 に対して垂直な溝形成をより良好に行うことが可能となる。

[0075] <実施例 2 A>

実施例 2 A の半導体発光素子 2 は、サファイア基板 110 の上面 114 が凹凸状に形成されている点が実施例 1 A とは異なり、その他の点で共通する。実施例 2 A では、実施例 1 A と同じ構成については同じ符号を付し、詳しい説明を省略する。

[0076] 図 9 に示すように、サファイア基板 110 の上面 114 には、円錐状をなした凸部 111 が複数形成されており、サファイア基板 110 の上面 114 が凹凸状に形成されている。例えば、各凸部 111 の外形寸法は、直径 $2.8\mu\text{m}$ 、高さ $1.8\mu\text{m}$ である。隣合う凸部 111 同士のピッチ（中心軸間の距離）は、 $3\mu\text{m}$ である。凸部 111 の斜面 112 の傾斜角度 113 は、図 9 (B) に示すように、サファイア基板 110 の上面 114 に対して、 $90 - \theta_c$ 以上であることが好ましい。ここで、 θ_c は、 AlN とサファイアとの界面における、 AlN 側からこの界面に入射する光の臨界角である。

[0077] これら凸部 111 は、バッファ層によって埋め込まれる。図 10 に示すように、半導体発光素子 2 において、各発光層（第 1 の発光層 30 B、第 2 の発光層 30 G、第 3 の発光層 30 R）で生じた光は、複数の凸部 111 によって画素 701 内で拡散される。図 10 は、図 4 における A-A 断面に相当する位置に対応している。ここで、各凸部 111 は、サファイア基板 110

の上面 114 から発光層（第 1 の発光層 30B、第 2 の発光層 30G、第 3 の発光層 30R）側に向けて突出している。このため、赤色発光ダイオード 71R、緑色発光ダイオード 71G、及び青色発光ダイオード 71B の各々で生じた光は、各凸部 111 に当たり易い。サファイア基板 110 を用いた半導体発光素子 2 によれば、凹凸状に形成されることによって画素 701 内において光を拡散させやすい。

[0078] 実施例 1A の半導体発光素子 1 では、画素 701 内で反射を繰り返した光が、光が生じた副画素 71 以外の副画素 71 から視認者の目に至る光となる。これに加えて、実施例 2A の半導体発光素子 2 の構成によれば、サファイア基板 110 の上面 114 に到達して散乱した光が、光が生じた副画素 71 以外の副画素 71 から視認者の目に至る光となる。これによって、さらに混色効果を高めることができる。

[0079] ただし、このようなサファイア加工基板は、サファイア基板 110 の上面 114 で光が散乱する。そして、散乱光が隣接する他の画素 701 へ侵入する懸念がある。このため、隣接する他の画素 701 への光の侵入を軽減するため、サファイア基板 110 に達する画素 701 の区画溝 80 を併用することが好ましい。

[0080] 凸部の形状は、円錐形状に限らず、多角錐状や、半球状、又は不規則な凹凸状であってもよい。また、円錐の頂部を球面状にしてもよい。円錐の頂部を球面状にした場合、凸部の斜面の傾斜角度は、サファイア基板の上面に対して、 $90 - \theta_c$ 以上であることが好ましい。

[0081] 本発明は上記記述及び図面によって説明した実施例 1A や実施例 2A に限定されるものではなく、例えば次のような実施例も本発明の技術的範囲に含まれる。

（1）図 2 に示した実施例 1A の半導体発光素子 1 とは異なり、図 11 に示す半導体発光素子 3 のように、電力供給層から電力を供給される発光層は、隣接する副画素 71 に連続しないように分断してもよい。図 11 では、一つの画素 701 において、赤色発光ダイオード 71R 及び緑色発光ダイオード

71 Gの間と、緑色発光ダイオード71 G及び青色発光ダイオード71 Bの間に、副画素71の区画溝180を形成している。これらの区画溝180は、それぞれ、緑色発光ダイオード71 Gの第2のn型層304と、青色発光ダイオード71 Bの第1のn型層301の露出面の形成工程で形成される。区画溝180の底面は、第2のn型層304や第1のn型層301と同じ高さであり、バッファ層20を露出しない範囲の深さである。この場合でも、バッファ層20とエピタキシャル層30を介して、隣合う副画素71の間で光のやり取りをすることが可能であり、副画素71は、内部で生じた光と、隣接する副画素71から入射した光と、を外部に放射する作用を奏し得る。

さらに、第2の発光層30 Gや第1の発光層30 Bが隣接する副画素71に連続しない構成とすることで、ダイナミック点灯に限らずスタティック点灯も可能になる。実施例1 Aでは、赤色発光ダイオード71 Rの非発光部73と緑色発光ダイオード71 Gの発光本体部74、及び、緑色発光ダイオード71 Gの非発光部75と青色発光ダイオード71 Bの発光本体部76は、第3のn型層307や第2のn型層304を介して電氣的に繋がっていた。これに対して、これらが絶縁されるためである。

(2) 一つの画素における赤色発光ダイオード、緑色発光ダイオード、及び青色発光ダイオードの並び順は、実施例1 Aの並び順に限らない。特に、赤色の光と青色の光は混色し難いため、赤色発光ダイオードと青色発光ダイオードとを隣接させることが好ましい。

(3) 一つの画素における赤色発光ダイオード、緑色発光ダイオード、及び青色発光ダイオードの各々の数は、1つでなくてもよい。また、一つの画素に赤色発光ダイオード、緑色発光ダイオード、及び青色発光ダイオードのうちの二つが含まれた構成であってもよい。つまり、一つの画素は、赤色発光ダイオード、緑色発光ダイオード、及び青色発光ダイオードのうちの少なくとも二つを含む構成であればよい。

(4) 第1の発光層、第2の発光層、及び第3の発光層の積層順は、実施例1 Aの積層順に限らない。

(5) 実施例 1 A とは異なり、副画素が延びる一方向に対し、副画素を一方方向に交差する方向に並べてもよい。つまり、副画素の並べ方は、一方方向に対して直交する方向に限らない。

(6) 実施例 1 A とは異なり、画素の周囲に形成される区画溝の深さは、少なくともバッファ層の上面に至っていればよい。言い換えると、画素の周囲に形成される区画溝の深さは、バッファ層の上面よりもサファイア基板に至っていればよい。

(7) 実施例 1 A とは異なり、半導体発光素子はサファイア基板を備えていなくてもよい。例えば、半導体発光素子を実装基板に実装した後に、レーザーリフトオフによりサファイア基板を除いてもよい。この場合でも、隣合う副画素が高屈折率のバッファ層とエピタキシャル層で連続しているので、同様の効果を得ることができる。

[0082] 以下、第 3 の発明に係るモノリシック L E D アレイについて説明する。

第 3 の発明において、エピタキシャル層は、発光波長の異なる複数の発光層を有し、画素は、発光波長が異なる複数の副画素を具備し、副画素は、エピタキシャル層の一部がバッファ層を露出しない範囲で除かれ、発光層に電力を供給する電力供給層が露出されて電極が設けられることが好ましい。

[0083] 第 3 の発明において、電力供給層から電力を供給される発光層は、隣接する副画素に連続していないことが好ましい。

[0084] 第 3 の発明において、基板は、バッファ層が積層される側に凹凸形状が形成されることが好ましい。

[0085] 第 4 の発明に係るモノリシック L E D アレイの製造方法においては、エピタキシャル層は、発光波長の異なる複数の発光層を有し、画素は、発光波長が異なる複数の副画素を具備し、副画素は、エピタキシャル層の一部がバッファ層を露出しない範囲で除かれ、発光層に電力を供給する電力供給層が露出されて電極が設けられることが好ましい。

[0086] 第 4 の発明において、区画溝は、エッチング選択比が 4 0 以上となる積層マスクを用いる溝形成エッチング工程によって、基板に対して垂直に形成さ

れることが好ましい。

[0087] 第4の発明において、さらに、フッ化物ガスを用いて積層マスクを形成する積層マスク形成工程を備え、積層マスクは、エピタキシャル層に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された酸化膜と、酸化膜に積層される Ni 、 Pt 、 Cr のいずれかで形成された金属膜と、の組み合わせで構成されることが好ましい。

[0088] 次に、本発明のモノリシックLEDアレイを具体化した実施例1Bについて、図1及び図12から図18を参照しつつ説明する。

[0089] <実施例1B>

実施例1BのモノリシックLEDアレイ1は、VRゴーグル等の表示装置に用いられる。

図1に示すように、VRゴーグル200に用いられたモノリシックLEDアレイ1は、レンズ201を挟んで、視認者の目202の前方に配置される。モノリシックLEDアレイ1と視認者の目202との距離は、およそ5cmである。実施例1のモノリシックLEDアレイ1は、図12に示すように、基板であるサファイア基板10、バッファ層20、エピタキシャル層30、及び光吸収部材40を備えている。サファイア基板10に対し、エピタキシャル層30が視認者の目202の反対の側となるように、モノリシックLEDアレイ1は、配置される（図12参照）。エピタキシャル層30で発した光は、サファイア基板10を透過し、視認者の目202に至る。

[0090] [サファイア基板の構成]

サファイア基板10は両面が研磨されて平坦な面とされた板状のサファイアである。サファイア基板10の厚みは、例えば300 μm である。以下の説明において、サファイア基板10における視認者の目202の反対の側の面を上面という。また、各層における視認者の目202の反対の側の面も上面という。

[0091] [バッファ層の構成]

バッファ層20は、サファイア基板10に積層されている。バッファ層2

0の厚みは、例えば2 μm である。バッファ層20には、低温で成長されたAlNや、GaN等が用いられる。

[0092] [エピタキシャル層の構成]

エピタキシャル層30は、バッファ層20の上面に積層される。エピタキシャル層30は、第1のn型層301と、発光層30Bと、p型層302と、トンネル接合層303と、第2のn型層304と、を有しており、これらの層がこの順に積層されている。

[0093] 第1のn型層301は、バッファ層20の上面に積層されている。第1のn型層301の厚みは、例えば、2 μm である。第1のn型層301は、例えば、Si等のn型不純物が添加されたGaNで形成されている。

[0094] 発光層30Bは、第1のn型層301の上面に積層されている。発光層30Bは、例えば、多重量子井戸として形成されている。発光層30Bの厚みは、例えば50 nmである。発光層30Bは、所定の発光波長の光を生じ得る構成とされている。

[0095] p型層302は、発光層30Bの上面に積層されている。p型層302の厚みは、例えば180 nmである。p型層302は、例えば、Mg等のp型不純物が添加されたGaNで形成されている。

[0096] トンネル接合層303は、p型層302の上面に積層されている。トンネル接合層303の厚みは、例えば、25 nmである。トンネル接合層303は、Siが高濃度に添加されたn++GaN層と、Mgが高濃度に添加されたp++GaN層と、が積層されて形成されている。ここで、n++とはn型不純物が高濃度に添加された状態を意味し、p++とはp型不純物が高濃度に添加された状態を意味する。なお、n型半導体とp型半導体の間にトンネル接合層を設けることによって、n型半導体からp型半導体へ電流を流すことが可能になる。

[0097] 第2のn型層304は、トンネル接合層303の上面に積層されている。第2のn型層304の厚みは、例えば400 nmである。第2のn型層304は、例えば、Si等のn型不純物が添加されたGaNで形成されている。

[0098] [画素の構成]

モノリシックLEDアレイ1は、図14に示すように、区画溝80によって区画された複数の画素702を有している。各画素702は、一方向に長く延びて形成されている。各画素702は、一方向に直交する方向に隣接して形成されている。

[0099] 区画溝80は、第2のn型層304の上面からサファイア基板10に向けて（積層方向81に）凹んで形成されており、底面がサファイア基板10の上面に達している。区画溝80は、サファイア基板10に対して垂直に形成されている。各画素702の外周部は、図14に示すように、区画溝80によってサファイア基板10の上面に島状に形成されている。サファイア基板10の上面には、島状に形成された複数の画素702が、一方向と、一方向に直交する方向とに整列して配置されている。

[0100] 光吸収部材40は、区画溝80を埋めるように配置されている。光吸収部材40は、例えば、金属錯塩染料である、酸性アゾ染料や塩基性アゾ染料等が用いられる。

[0101] 図13に示すように、画素702は、発光本体部72と、非発光部73と、を有している。発光本体部72は、第2のn型層304の上面（エピタキシャル層30の最上面）が露出している。非発光部73は、発光本体部72に対して一方向に並ぶように隣接している。非発光部73は、発光層30Bから第2のn型層304までが除去されており、第1のn型層301が露出している。発光本体部72の上面（電力供給層となる第2のn型層304の上面）には、電極31である正電極31pが積層して設けられている。非発光部73の上面（電力供給層となる第1のn型層301が露出した面）には、電極31である負電極31nが積層して設けられている。

[0102] こうして、各画素702は、エピタキシャル層30の一部がバッファ層20を露出しない範囲で除かれ、電極31が設けられて形成されている。なお、電力供給層をn型層としても、トンネル接合層303によってn型半導体からp型半導体へ電流を流すことができる。

[0103] [モノリシックLEDアレイの製造方法]

モノリシックLEDアレイ1の製造方法について、図15と図16を用いて説明する。モノリシックLEDアレイ1は、積層工程と、区画溝の形成工程と、画素形成工程と、光吸収部材塗布工程（配置工程）と、を実行することによって製造される。まず、積層工程において、サファイア基板10の上面側に、MOVPE法（有機金属気相成長法）を用いて、図15（A）に示すように、バッファ層20とエピタキシャル層30を結晶成長して積層する。

[0104] 次に、区画溝の形成工程において、図15（B）に示すように、区画溝80を形成する。区画溝の形成工程は、垂直な溝形成を行うための積層マスク形成工程と、溝形成エッチング工程と、で構成されている。

[0105] 積層マスク形成工程は、まず、図16（A）に示すように、エピタキシャル層30の上面の全面に、下層膜51としてSiO₂膜を形成する。次に、図16（B）に示すように、下層膜51上の区画溝80を形成する以外の領域に、上層膜52としてNi膜（金属膜）を積層する。下層膜51は、例えばスパッタ装置を用いて製膜することができる。上層膜52は、例えば蒸着装置を用いて製膜することができる。

[0106] 下層膜51と上層膜52とによって構成される積層マスク50は、後述する下層膜51のエッチング工程において、上層膜52の材質に対する下層膜51の材質のエッチング選択比が40以上になる組み合わせとする。SiO₂とNiとの組み合わせの場合、エッチング選択比は、およそ50である。下層膜51としては、SiO₂以外にAl₂O₃等の酸化物、Si₃N₄等の窒化物などを用いることができる。上層膜52としては、Ni以外にPt、Crなどを用いることができる。

[0107] 所定の領域に上層膜52を積層して形成するためには、一般に用いられているリソグラフィーで形成するレジストマスクを用いることができる。具体的には、下層膜51の上面にレジスト材料を塗布してレジスト膜を形成した後に、区画溝80を形成する領域のレジストマスクを形成する。そして、露

出した下層膜 51 の上面、及びレジストマスクの上面に上層膜 52 を蒸着して積層する。そして、レジストマスクを除去することによって、図 16 (B) に示すように、区画溝 80 を形成する以外の領域に上層膜 52 を積層することができる。

[0108] さらに、フッ化物ガスである CF_4 を用いたドライエッチングによって、図 16 (C) に示すように、上層膜 52 に覆われていない、区画溝 80 を形成する領域の下層膜 51 を除去する。この際、上層膜 52 に対して下層膜 51 のエッチングレートが大きいので、積層マスク 50 の側面は、テーパが極めて小さく形成される。こうして、積層マスク 50 が形成される。なお、 CF_4 に替えて、 SF_6 や CHF_3 などのフッ化物ガスを用いて、区画溝 80 を形成する領域の下層膜 51 を除去するエッチングを行ってもよい。

[0109] 溝形成エッチング工程は、 Cl_2 を用いたドライエッチングにより、図 16 (D) のように、積層マスク 50 に覆われずに露出した領域のバッファ層 20 とエピタキシャル層 30 を除去する。エッチングは、サファイア基板 10 の上面に至る深さまで行い、サファイア基板 10 の上面に至ったところで止める。これにより、図 15 (B) に示すように、外周がサファイア基板 10 の上面に至る区画溝 80 によって、サファイア基板 10 上に島状となった画素 702 が形成される。この際、積層マスク 50 を用いたエッチングによって、区画溝 80 は、サファイア基板 10 に対し略垂直な形状にすることができる。

[0110] 例えば、バッファ層 20 とエピタキシャル層 30 の合計の厚さが $5\ \mu\text{m}$ として、エピタキシャル層 30 の上面の幅が $1\ \mu\text{m}$ で、サファイア基板 10 の上面に至る深さの区画溝 80 を形成するとする。この場合、区画溝 80 の側面はサファイア基板 10 に対し 84.3 度以上の角度である必要がある。モノリシック LED アレイ 1 は、数十 μm あるいは数 μm のサイズの画素 702 の幅が求められ、区画溝 80 は画素 702 の幅よりも狭くすることが求められる。これに対し、発明者らは、区画溝 80 の側面をサファイア基板 10 に対し、略垂直となる 88 度以上の角度にできることを確認している。そし

て、サファイア基板 10 の上面に至る、幅 $1\ \mu\text{m}$ 以下で深さ $5\ \mu\text{m}$ の区画溝 80 によって、サファイア基板 10 上に島状に幅 $5\ \mu\text{m}$ の画素 702 を集積度高く形成できることを確認している。

[0111] そして、フッ酸処理によって、積層マスク 50 を除去する。こうして、区画溝 80 の形成工程を完了する。こうして、区画溝 80 を形成して、島状の画素 702 を複数形成する。

[0112] 次に、画素形成工程において、図 15 (C) に示すように、画素 702 を形成する面を露出させる。エピタキシャル層 30 において、発光本体部 72 を形成する領域にレジストマスクを積層した後、 Cl_2 を用いたドライエッチングにより、発光層 30B から第 2 の n 型層 304 までを除去する。そして、発光本体部 72、非発光部 73 の上面に電極 31 を形成する。これらによって、画素 702 が形成される。

[0113] 次に、光吸収

部材塗布工程において、バッファ層 20 とエピタキシャル層 30 に形成された区画溝 80 へ金属錯塩染料を塗布する。金属錯塩染料は、例えば、サファイア基板 10 が鉛直下方向になるように配置された状態で、エピタキシャル層 30 の上から揮発性有機溶剤に混ぜられた金属錯塩染料を上から滴下し、スピンコート法によって塗布される。塗布された金属錯塩染料は、各画素 702 の発光本体部 72 及び非発光部 73 の上面を覆い、且つ区画溝 80 を埋める。そして、各画素 702 の発光本体部 72 及び非発光部 73 の上面に塗布された金属錯塩染料を除去する。区画溝 80 内に配置された金属錯塩染料は、除去されることなく光吸収部材 40 となる（図 15 (D) 参照）。

[0114] こうして形成されたモノリシック LED アレイ 1 は、図 17 に示すように、実装基板 90 に実装される（実装工程）。実装基板 90 には、例えば Si 等が用いられる。図 17 は、図 14 における A-A 断面に対応している。実装基板 90 には、Cu で形成された配線 91 が形成されている。モノリシック LED アレイ 1 は、各画素 702 の各々の正電極 31p 及び負電極 31n が金属バンプ 92 を介して配線 91 に電氣的に接続される。金属バンプ 92

には、例えばAuとSnの合金等が用いられる。また、例えば、金属バンプ92は、実装の際、隣接する画素702の金属バンプ92と短絡しない5 μ m以下の厚さとする。この場合、モノリシックLEDアレイ1と実装基板90との隙間も同様となる。なお、図17には負電極31nは表れていない。

[0115] 実装基板90を介して、モノリシックLEDアレイ1のエピタキシャル層30の電力供給層に電圧を印加する。発光層30Bに電流が流れると、発光層30Bから光が生じる。

[0116] モノリシックLEDアレイ1において1つの画素702の発光層30Bを点灯させると、図18に示す実線の矢印(L1)のように、発光層30Bで生じた光の一部は、バッファ層20とサファイア基板10を透過して、直接、視認者の目に至る。

[0117] 一方、図18に示す実線の矢印(L2)のように、発光層30Bで生じた光の他の一部は、画素702の側面(区画溝80)に達する。そして、その一部の光は画素702の内側へ反射される。その他の光は画素702の側面(区画溝80)から出射して、区画溝80に配置された光吸収部材40に吸収される。このように、周囲の画素702へ伝搬する光を抑えることができる。

[0118] 次に、上記実施例における作用を説明する。

モノリシックLEDアレイ1は、サファイア基板10と、サファイア基板10に積層されたバッファ層20と、バッファ層20上に積層され、発光層30Bを有したエピタキシャル層30と、を備え、エピタキシャル層30は、サファイア基板10に至る区画溝80によって区画された複数の画素702を有し、区画溝80に配置され、発光層30Bから生じた光を吸収する光吸収部材40をさらに備えている。この構成によれば、サファイア基板10に至る区画溝80が設けられ、さらに、この区画溝80に光吸収部材40が配置されているので、バッファ層20やエピタキシャル層30を伝搬して周囲の画素702に光が至ることを抑制しつつ、区画溝80の光吸収部材40に至った光を吸収することができる。これによって、疑似点灯を抑えること

ができる。

[0119] モノリシックLEDアレイの製造方法は、サファイア基板10と、サファイア基板10に積層されたバッファ層20と、バッファ層20上に積層され、発光層30Bを有したエピタキシャル層30と、を備え、エピタキシャル層30は、サファイア基板10に至る区画溝80によって区画された複数の画素702を有し、区画溝80に配置され、発光層30Bから生じた光を吸収する光吸収部材40をさらに備えているモノリシックLEDアレイ1において、光吸収部材40の区画溝80への配置工程は、モノリシックLEDアレイ1の実装工程より先に行われる。この製造方法によれば、区画溝80に対して光吸収部材40を安定に配置できる。

[0120] モノリシックLEDアレイの製造方法において、区画溝80は、エッチング選択比が40以上となる積層マスク50を用いる溝形成エッチング工程によって、サファイア基板10に対して垂直に形成される。この製造方法によれば、テーパ角が生じ平面視で溝幅が広くなることを避けることができるので、電気・光学特性への影響の懸念も生じにくい。

[0121] モノリシックLEDアレイの製造方法において、さらに、フッ化物ガスを用いて積層マスク50を形成する積層マスク形成工程を備え、積層マスク50は、エピタキシャル層30に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された下層膜51（酸化膜）と、下層膜51（酸化膜）に積層される Ni 、 Pt 、 Cr のいずれかで形成された上層膜52（金属膜）と、の組み合わせで構成される。この製造方法によれば、テーパがより生じ難くサファイア基板10に対して垂直な溝形成をより良好に行うことが可能となる。

[0122] <実施例2B>

実施例2BのモノリシックLEDアレイ2は、主に、エピタキシャル層130の構成と、画素170の構成が実施例1Bとは異なる。実施例2BのモノリシックLEDアレイ2のエピタキシャル層130は、3つのp型層と発光層とn型層が積層され、3つの発光層はそれぞれ異なる発光波長の光を発

する構成である。また、実施例 2 B のモノリシック L E D アレイ 2 の画素 1 7 0 は、それぞれの画素 1 7 0 に発光色の異なる複数の副画素 1 7 1 を有した構成である。実施例 2 B では、実施例 1 B と同じ構成については同じ符号を付し、詳しい説明を省略する。

[0123] [エピタキシャル層の構成]

図 1 9 に示すように、エピタキシャル層 1 3 0 は、バッファ層 2 0 の上面に積層される。エピタキシャル層 1 3 0 は、第 1 の n 型層 1 3 0 1 と、第 1 の発光層 1 3 0 B (発光層) と、第 1 の p 型層 1 3 0 2 と、第 1 のトンネル接合層 1 3 0 3 と、第 2 の n 型層 1 3 0 4 と、第 2 の発光層 1 3 0 G (発光層) と、第 2 の p 型層 1 3 0 5 と、第 2 のトンネル接合層 1 3 0 6 と、第 3 の n 型層 1 3 0 7 と、第 3 の発光層 1 3 0 R (発光層) と、第 3 の p 型層 1 3 0 8 と、第 3 のトンネル接合層 1 3 0 9 と、第 4 の n 型層 1 3 1 0 と、を有しており、これらの層がこの順に積層されている。

[0124] 第 1 の発光層 1 3 0 B は、青色 (B l u e) に相当する発光波長の光を生じ得る構成とされている。第 2 の発光層 1 3 0 G は、例えば、多重量子井戸として形成されている。第 2 の発光層 1 3 0 G の厚みは、例えば 5 0 n m である。第 2 の発光層 1 3 0 G は、緑色 (G r e e n) に相当する発光波長の光を生じ得る構成とされている。第 3 の発光層 1 3 0 R は、例えば、多重量子井戸として形成されている。第 3 の発光層 1 3 0 R の厚みは、例えば 5 0 n m である。第 3 の発光層 1 3 0 R は、赤色 (R e d) に相当する発光波長の光を生じ得る構成とされている。

[0125] [画素の構成]

モノリシック L E D アレイ 2 は、図 2 1 に示すように、区画溝 1 8 0 によって区画された画素 1 7 0 を有している。画素 1 7 0 は複数の副画素 1 7 1 を有している。副画素 1 7 1 は、赤色発光ダイオード 1 7 1 R と、緑色発光ダイオード 1 7 1 G と、青色発光ダイオード 1 7 1 B と、を有している。

[0126] 区画溝 1 8 0 は、第 4 の n 型層 1 3 1 0 の上面からサファイア基板 1 0 に向けて (積層方向 8 1 に) 凹んで形成されており、底面がサファイア基板 1

0の上面に達している。区画溝180は、サファイア基板10に対して略垂直に形成されている。各画素170は、図21に示すように、区画溝180によってサファイア基板10の上面に島状に形成されている。区画溝180の積層方向81（図19参照）における深さ寸法（第4のn型層1310の上面からの深さ寸法）は、バッファ層20とエピタキシャル層130の厚さの和に相当し、およそ6 μ mである。光吸収部材40は、区画溝180を埋めるように配置されている。

[0127] 図20に示すように、赤色発光ダイオード171Rは、発光本体部172と、非発光部173と、を有している。赤色発光ダイオード171Rには、第4のn型層1310（電力供給層）に設けられた正電極131pと、第3のn型層1307（電力供給層）に設けられた負電極131nとによって、第3の発光層130Rに通電する回路が形成されている。

[0128] 緑色発光ダイオード171Gは、発光本体部174と、非発光部175と、を有している。緑色発光ダイオード171Gには、第3のn型層1307に設けられた正電極131pと、第2のn型層1304に設けられた負電極131nと、によって、第2の発光層130Gに通電する回路が形成されている。ここで、第2の発光層130Gは、隣接する副画素171である赤色発光ダイオード171Rに連続し、赤色発光ダイオード171Rの領域にも含まれている。

[0129] 青色発光ダイオード171Bは、発光本体部176と、非発光部177と、を有している。青色発光ダイオード171Bには、第2のn型層1304（電力供給層）に設けられた正電極131pと、第1のn型層1301（電力供給層）に設けられた負電極131nと、によって、第1の発光層130Bに通電する回路が形成されている。ここで、第1の発光層130Bは、隣接する副画素171である緑色発光ダイオード171Gに連続し、緑色発光ダイオード171G及び赤色発光ダイオード171Rの領域にも含まれている。

[0130] こうして、各副画素 171 は、エピタキシャル層 130 の一部がバッファ層 20 を露出しない範囲で除かれている。

[0131] [モノリシック LED アレイの製造方法]

モノリシック LED アレイ 2 は、図 22 に示した工程で製造される。複数の副画素 171 を有する画素 170 の製造工程は、図 22 (B) から図 22 (E) に示すように、非発光部 173 と発光本体部 174、非発光部 175 と発光本体部 176、非発光部 177 を順次、エッチングで露出する。こうして露出された各面に電極 131 を形成することによって、複数の副画素 171 を有する画素 170 が形成される。そして、区画溝 180 に金属錯塩染料を塗布する光吸収部材塗布工程（配置工程）を実行することによって、図 22 (F) に示すモノリシック LED アレイ 2 が形成される。

[0132] こうして形成されたモノリシック LED アレイ 2 は、図 23 に示すように、実装基板 90 に実装される（実装工程）。図 23 は、図 21 における B-B 断面に対応している。モノリシック LED アレイ 2 は、赤色発光ダイオード 171 R、緑色発光ダイオード 171 G、及び青色発光ダイオード 171 B の各々の正電極 131 p 及び負電極 131 n が金属バンプ 92 を介して配線 91 に電氣的に接続される。なお、図 23 には負電極 131 n は表れていない。

[0133] モノリシック LED アレイ 2 は、ダイナミック点灯方式で駆動する。実装基板 90 を介してモノリシック LED アレイ 2 のエピタキシャル層 130 の所定の電力供給層に電圧を印加する。発光層（第 1 の発光層 130 B、第 2 の発光層 130 G、第 3 の発光層 130 R）に電流が流れると、発光層（第 1 の発光層 130 B、第 2 の発光層 130 G、第 3 の発光層 130 R）から光が生じる。ダイナミック点灯方式では、短時間にそれぞれの画素 170 を点灯させる。これにより、視認者は、各画素 170 が同時に点灯しているように視認する。

[0134] モノリシック LED アレイ 2 は、例えば、画素 170 のうち 1 つの緑色発光ダイオード 171 G の第 2 の発光層 130 G を点灯させると、エピタキシ

ャル層 130 の一部やバッファ層 20 を伝搬して、点灯した光が画素 170 内の他の副画素 171（赤色発光ダイオード 171R や青色発光ダイオード 171B）へ入射しやすい。このため、画素 170 内の他の発光色との混色性を高めることができる。一方で、実施例 1B と同様、点灯した光が周囲の画素 170 へ伝搬することを抑え、周囲の画素 170 が疑似発光することを抑えることができる。

[0135] バッファ層 20 や発光層（第 1 の発光層 130B、第 2 の発光層 130G、第 3 の発光層 130R）が形成されているエピタキシャル層 130 は、その周囲のサファイア基板 10 や区画溝 180 などより屈折率が大きい。バッファ層 20 は、AlN（屈折率 2.2）や GaN（屈折率 2.4）で形成され、エピタキシャル層 130 は、GaN（屈折率 2.4）で形成されている。区画溝 180 の光吸収部材 40 や空気は、サファイア（屈折率 1.7）より屈折率が小さい。このため、サファイア基板 10 上に島状に形成された画素 170 は、光が画素 170 の内部に留まりやすい。また、区画溝 180 の光吸収部材 40 に至った光は、光吸収部材 40 に吸収され、周囲の画素 170 へ伝搬することが抑えられる。

[0136] モノリシック LED アレイの構成において、エピタキシャル層 130 は、発光波長の異なる複数の発光層（第 1 の発光層 130B、第 2 の発光層 130G、第 3 の発光層 130R）を有し、画素 170 は、発光波長が異なる複数の副画素 171 を具備し、副画素 171 は、エピタキシャル層 130 の一部がバッファ層 20 を露出しない範囲で除かれ、発光層（第 1 の発光層 130B、第 2 の発光層 130G、第 3 の発光層 130R）に電力を供給する電力供給層が露出されて電極が設けられている。この構成によれば、発光波長の異なる複数の発光層を発光させることによって、画素 170 が多色発光機能を備える。さらに、画素 170 内の複数の副画素 171 が発する発光波長の異なる光が、画素 170 内で混色しやすい。なお、副画素 171 間での混色がなければ、視認者の分解能より小さなサイズの副画素 171 とすることで、視認者が混色されたと視認できるように

する。これに対し、副画素１７１間での混色を行うことで、副画素１７１を比較的大きくしても、視認者が混色されたと視認できる。そして、副画素１７１のサイズを大きくできることで、モノリシックＬＥＤアレイの製造や実装を容易にすることができる。

[0137] 本発明は上記記述及び図面によって説明した実施例１Ｂや実施例２Ｂに限定されるものではなく、例えば次のような実施例も本発明の技術的範囲に含まれる。

（１）光吸収部材は、モノリシックＬＥＤアレイが発した光を吸収する材料であれば、黒色のシリコン樹脂や黒色のエポキシ樹脂、あるいは黒色の塗料等、他の材料を用いてもよい。

（２）区画溝の光吸収部材は、区画溝に配置されていればよい。区画溝を埋めた状態の配置に限らず、区画溝の側面に塗布された状態であっても構わない。

また、バルク状や被膜状に限らず、粒子状の光吸収部材を区画溝に配置したものであっても構わない。

（３）区画溝への光吸収部材の配置方法は、スピンコート法を用いなくてもよい。また、例えば、減圧雰囲気での塗布を行ってもよい。あるいは、スパッタ蒸着などによる塗布であっても構わない。また、光吸収部材の配置工程は、モノリシックＬＥＤアレイの製造の最終工程に限らず、画素形成工程の前工程や、画素形成工程の電極形成の前工程に行ってもよい。

（４）区画溝に光吸収部材が配置された本発明のモノリシックＬＥＤアレイを実装基板に実装した後に、さらに、モノリシックＬＥＤアレイと実装基板との間に黒色のアンダーフィル材を配置したデバイスとしてもよい。これによって、微細な区画溝での光吸収を行うことにより、画素間での光影響を抑えるとともに、モノリシックＬＥＤアレイで発した光が、実装基板で反射する光影響を抑えることができる。なお、モノリシックＬＥＤアレイと実装基板との間に黒色のアンダーフィル材を配置する際に、モノリシックＬＥＤアレイの画素の区画溝に光吸収部材として黒色のアンダーフィル材の配置を行

ってもよい。ただし、モノリシックLEDアレイの場合、実装基板との間は狭く、画素の区画溝も微細である。このため、安定に画素の区画溝に光吸収部材の配置を行うためには、実装前のモノリシックLEDアレイに画素の区画溝に光吸収部材の配置を行うことが望ましい。

(5) サファイア基板は、バッファ層が積層される側に凹凸加工を施して凹凸形状を形成したものでよい。凹凸面の上にバッファ層を形成することによって、光取り出し効率を高めることができる。さらに、実施例2Bでは、混色性を高めることができる。そして、凹凸加工されたサファイア基板では散乱光が増すが、光吸収部材が配置された区画溝によって、周囲の画素への光影響を抑えることができる。

(6) 実施例2Bは各副画素を区画溝によって分割してもよい。例えば、非発光部と発光本体部を順次エッチングで露出する際に、副画素の区画溝を形成してもよい。エピタキシャル層の一部がバッファ層を露出しない範囲で除かれていれば、バッファ層とエピタキシャル層の一部での画素内の光伝搬があり、混色性を高めることができる。そして、この副画素の区画溝によって、例えば、電力供給層から電力を供給される発光層が隣接する副画素に連続していない構成として、隣接する副画素と電氣的に独立とすることで、ダイナミック点灯に限らずスタティック点灯も可能になる。なお、混色性を高めるためには、副画素の区画溝に光吸収部材を配置しないことが望ましい。

符号の説明

[0138] 1, 2, 3…半導体発光素子又はモノリシックLEDアレイ

10, 110…サファイア基板

31, 131…電極

20…バッファ層

30, 130…エピタキシャル層

30B, 130B…第1の発光層（発光層）

30G, 130G…第2の発光層（発光層）

30R, 130R…第3の発光層（発光層）

4 0 … 光吸収部材

5 0 … 積層マスク

8 0, 1 8 0 … 区画溝

7 0 1, 7 0 2, 1 7 0 … 画素

7 1, 1 7 1 … 副画素

1 1 1 … 凸部

1 1 4 … サファイア基板の上面

3 0 1, 1 3 0 1 … 第 1 の n 型層（電力供給層）

3 0 4, 1 3 0 4 … 第 2 の n 型層（電力供給層）

3 0 7, 1 3 0 7 … 第 3 の n 型層（電力供給層）

3 1 0, 1 3 1 0 … 第 4 の n 型層（電力供給層）

請求の範囲

- [請求項1] 基板と、
前記基板に積層された前記基板より高屈折率のバッファ層と、
前記バッファ層上に積層され、発光波長の異なる複数の発光層を有した前記基板より高屈折率のエピタキシャル層と、
を備え、
前記エピタキシャル層は、少なくとも前記バッファ層に至る区画溝によって区画された複数の画素を有し、
前記画素は、発光波長が異なる複数の副画素を具備し、
前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、所定の前記発光層に電力を供給する電力供給層が露出されて電極が設けられており、
前記副画素は、内部で生じた光と、隣接する前記副画素から入射した光と、を外部に放射する、半導体発光素子。
- [請求項2] 前記画素の前記区画溝は、前記基板に達し、
各前記画素は、前記基板に島状に形成されている、請求項1に記載の半導体発光素子。
- [請求項3] 前記電力供給層から電力を供給される前記発光層は、隣接する前記副画素に連続している、請求項1又は請求項2に記載の半導体発光素子。
- [請求項4] 前記電力供給層から電力を供給される前記発光層は、隣接する前記副画素に連続していない、請求項1又は請求項2に記載の半導体発光素子。
- [請求項5] 各前記副画素は、一方向に長く延びて形成されており、前記一方向に交差する方向に並んでいる、請求項1又は請求項2に記載の半導体発光素子。
- [請求項6] 前記基板は、凹凸状に形成されている、請求項1又は請求項2に記載の半導体発光素子。

[請求項7] 基板と、
前記基板に積層された前記基板より高屈折率のバッファ層と、
前記バッファ層上に積層され、発光波長の異なる複数の発光層を有した前記基板より高屈折率のエピタキシャル層と、
を備え、
前記エピタキシャル層は、少なくとも前記バッファ層に至る区画溝によって区画された複数の画素を有し、
前記画素は、複数の副画素を具備し、
前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、所定の前記発光層に電力を供給する電力供給層が露出されて電極が設けられている、半導体発光素子において、
前記区画溝は、エッチング選択比が40以上となる積層マスクを用いる溝形成エッチング工程によって、前記基板に対して垂直に形成される、半導体発光素子の製造方法。

[請求項8] さらに、フッ化物ガスを用いて前記積層マスクを形成する積層マスク形成工程を備え、
前記積層マスクは、前記エピタキシャル層に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された酸化膜と、前記酸化膜に積層される Ni 、 Pt 、 Cr のいずれかで形成された金属膜と、の組み合わせで構成される、請求項7に記載の半導体発光素子の製造方法。

[請求項9] 基板と、
前記基板に積層されたバッファ層と、
前記バッファ層上に積層され、発光層を有したエピタキシャル層と、
を備え、
前記エピタキシャル層は、前記基板に至る区画溝によって区画された複数の画素を有し、

前記区画溝に配置され、前記発光層から生じた光を吸収する光吸収部材をさらに備えている、モノリシックLEDアレイ。

[請求項10] 前記エピタキシャル層は、発光波長の異なる複数の前記発光層を有し、

前記画素は、前記発光波長が異なる複数の副画素を具備し、

前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、前記発光層に電力を供給する電力供給層が露出されて電極が設けられている、請求項9に記載のモノリシックLEDアレイ。

[請求項11] 前記電力供給層から電力を供給される前記発光層は、隣接する前記副画素に連続していない、請求項10に記載のモノリシックLEDアレイ。

[請求項12] 前記基板は、前記バッファ層が積層される側に凹凸形状が形成されている、請求項9から請求項11のいずれか1項に記載のモノリシックLEDアレイ。

[請求項13] 基板と、
前記基板に積層されたバッファ層と、
前記バッファ層上に積層され、発光層を有したエピタキシャル層と、
、
を備え、

前記エピタキシャル層は、前記基板に至る区画溝によって区画された複数の画素を有し、

前記区画溝に配置され、前記発光層から生じた光を吸収する光吸収部材をさらに備えている、モノリシックLEDアレイにおいて、

前記光吸収部材の前記区画溝への配置工程は、前記モノリシックLEDアレイの実装工程より先に行われる、モノリシックLEDアレイの製造方法。

[請求項14] 前記エピタキシャル層は、発光波長の異なる複数の前記発光層を有

し、

前記画素は、前記発光波長が異なる複数の副画素を具備し、

前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、前記発光層に電力を供給する電力供給層が露出されて電極が設けられている、請求項13に記載のモノリシックLEDアレイの製造方法。

[請求項15] 前記区画溝は、エッチング選択比が40以上となる積層マスクを用いる溝形成エッチング工程によって、前記基板に対して垂直に形成される、請求項13又は請求項14に記載のモノリシックLEDアレイの製造方法。

[請求項16] さらに、フッ化物ガスを用いて前記積層マスクを形成する積層マスク形成工程を備え、

前記積層マスクは、前記エピタキシャル層に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された酸化膜と、前記酸化膜に積層される Ni 、 Pt 、 Cr のいずれかで形成された金属膜と、の組み合わせで構成される、請求項15に記載のモノリシックLEDアレイの製造方法。

[請求項17] バッファ層と、前記バッファ層上に積層され、発光波長の異なる複数の発光層を有したエピタキシャル層と、を備え、

前記エピタキシャル層は、少なくとも前記バッファ層に至る区画溝によって区画された複数の画素を有し、

前記画素は、発光波長が異なる複数の副画素を具備し、

前記副画素は、前記エピタキシャル層の一部が前記バッファ層を露出しない範囲で除かれ、所定の前記発光層に電力を供給する電力供給層が露出されて電極が設けられており、

前記副画素は、内部で生じた光と、隣接する前記副画素から入射した光と、を外部に放射する、半導体発光素子。

[請求項18] 実装基板上に、前記画素が独立して配列されている、請求項1又は

請求項 17 に記載の半導体発光素子。

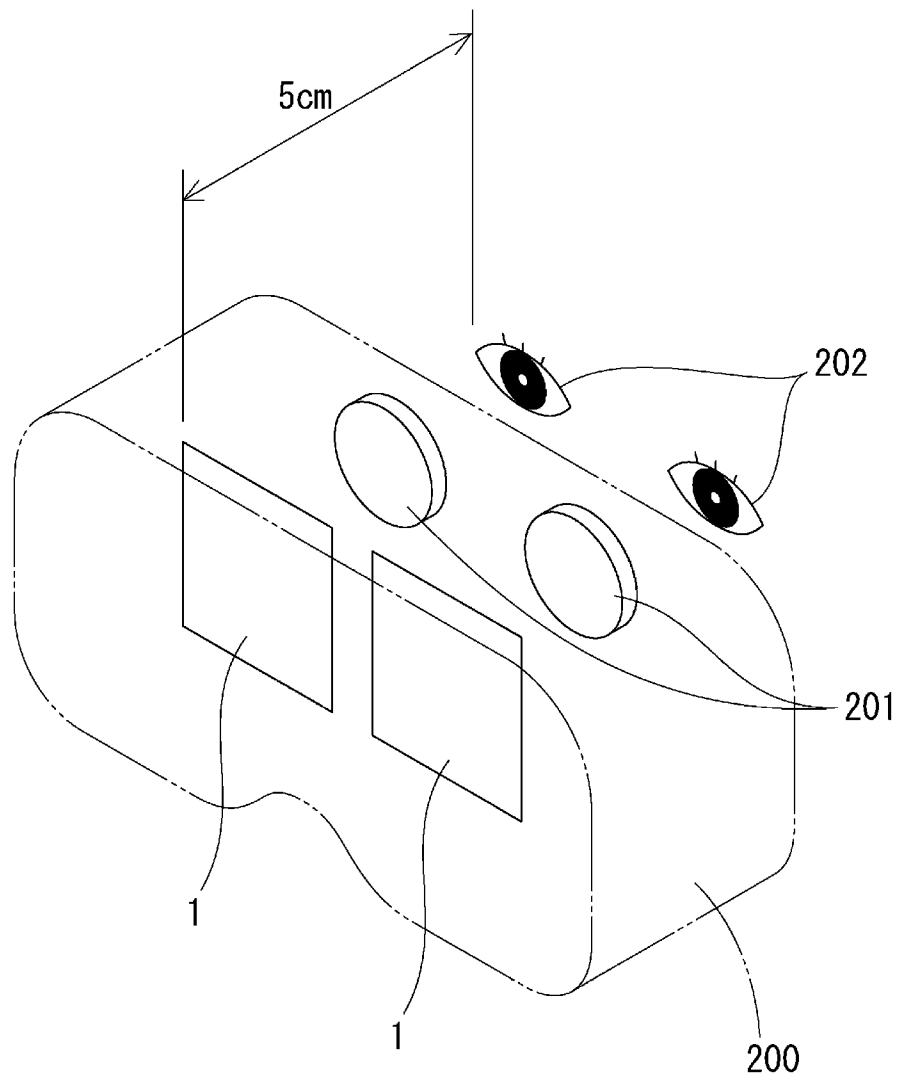
[請求項19] 請求項 1 又は請求項 17 に記載の半導体発光素子の製造方法であって、

前記区画溝は、エッチング選択比が 40 以上となる積層マスクを用いる溝形成エッチング工程によって、前記エピタキシャル層の積層方向に形成される、半導体発光素子の製造方法。

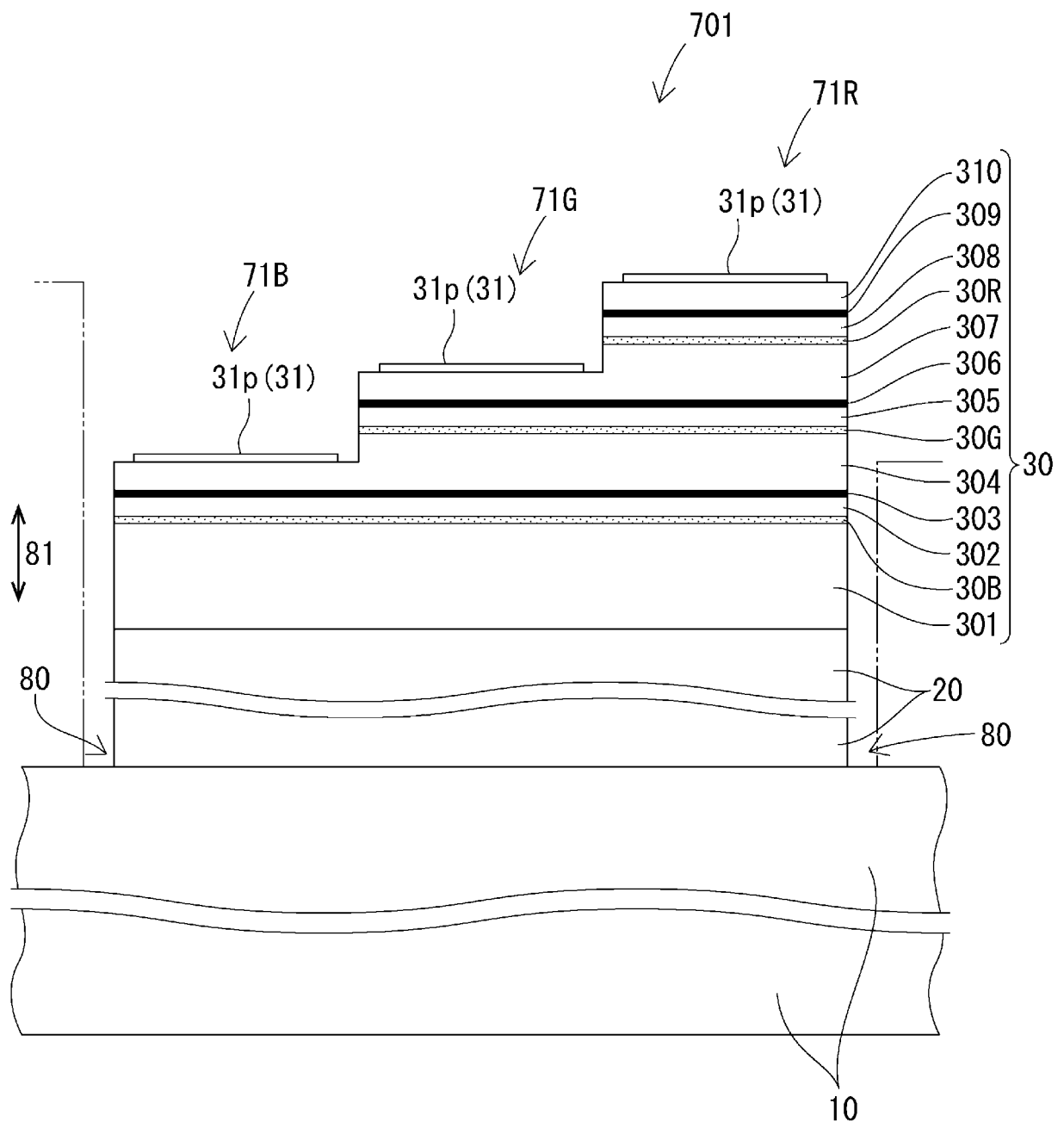
[請求項20] さらに、フッ化物ガスを用いて前記積層マスクを形成する積層マスク形成工程を備え、

前記積層マスクは、前記エピタキシャル層に積層される SiO_2 、 Al_2O_3 、 Si_3N_4 のいずれかで形成された酸化膜と、前記酸化膜に積層される Ni 、 Pt 、 Cr のいずれかで形成された金属膜と、の組み合わせで構成される、請求項 19 に記載の半導体発光素子の製造方法。

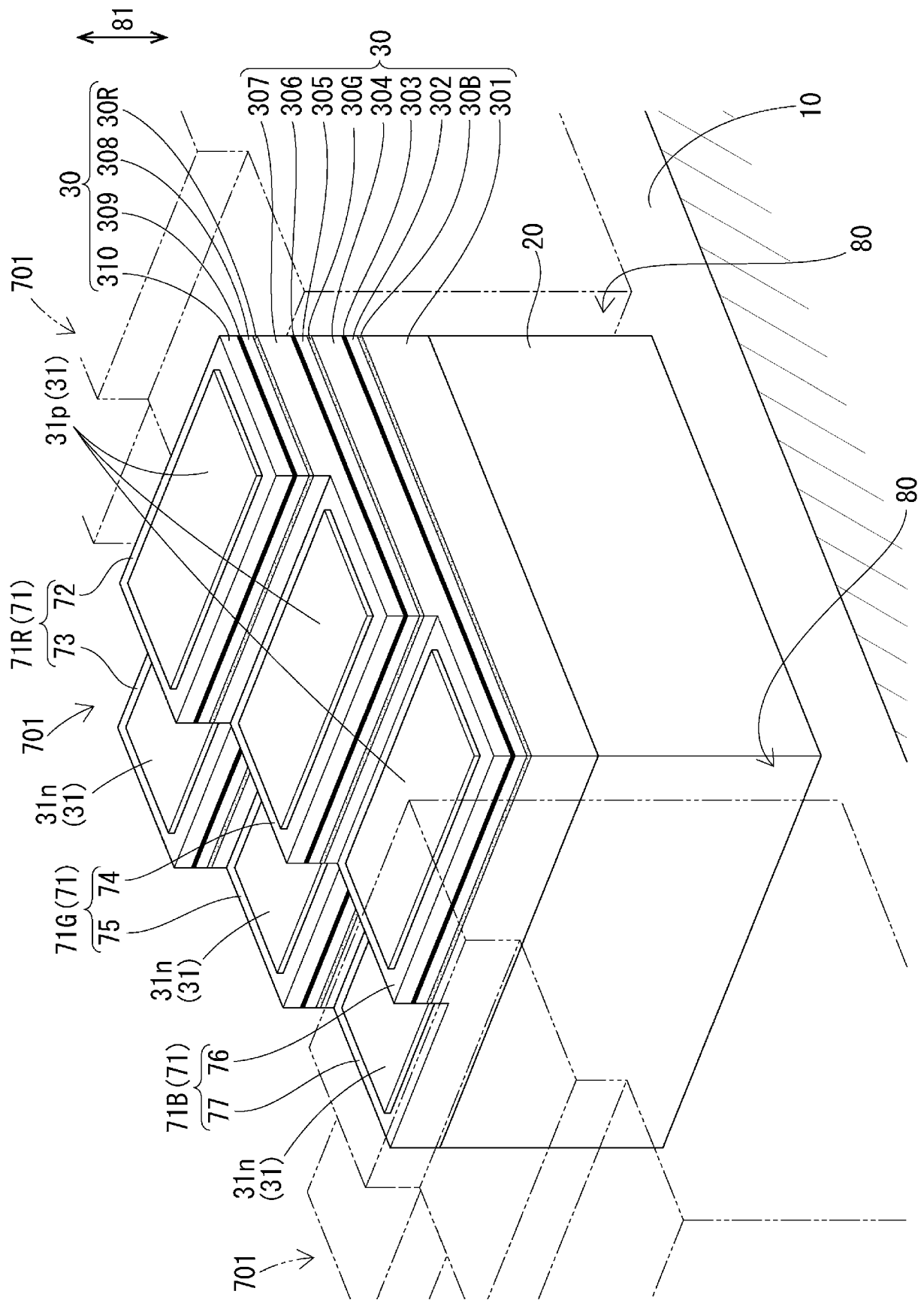
[図1]



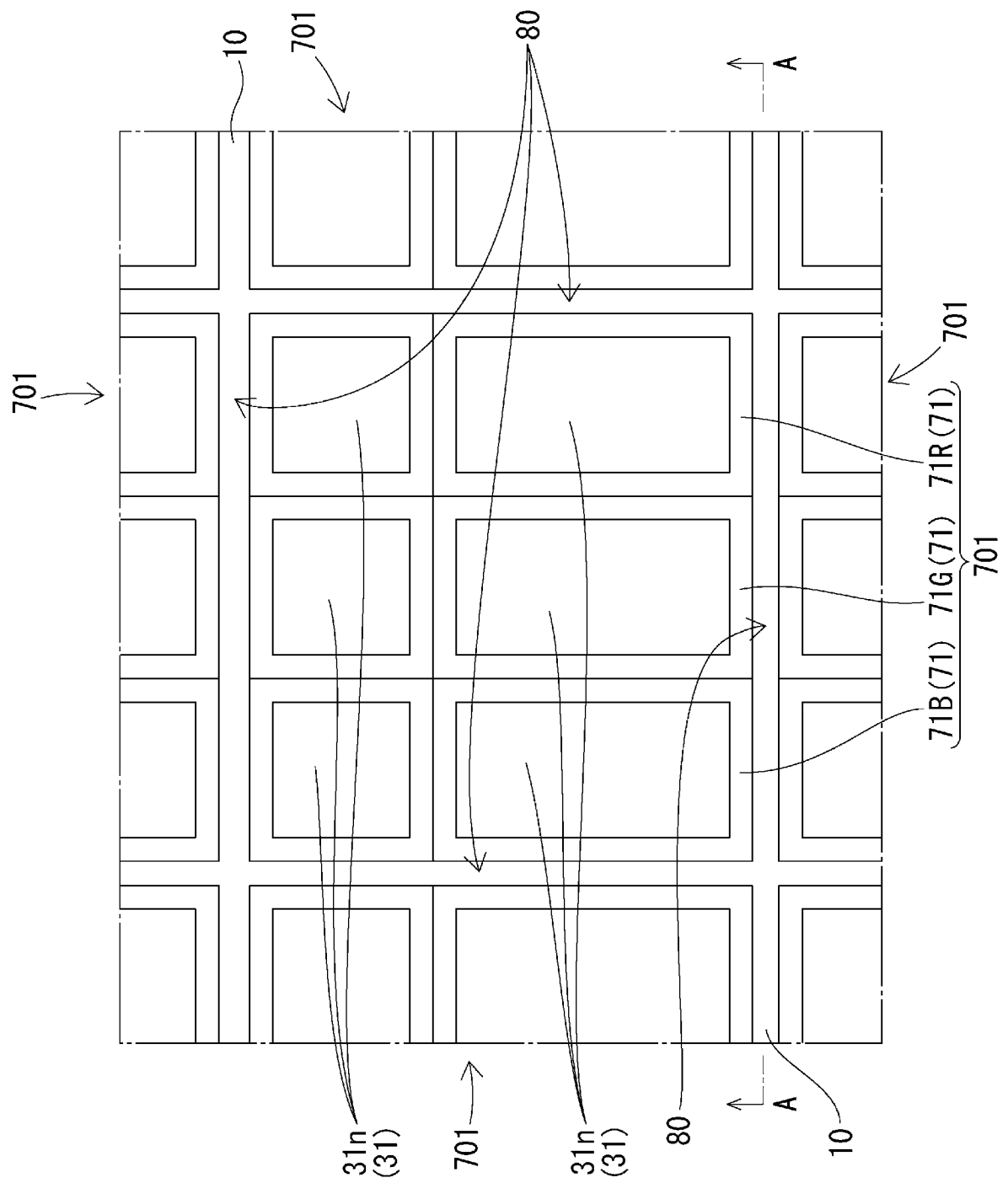
[図2]



[図3]



[図4]



[図5]

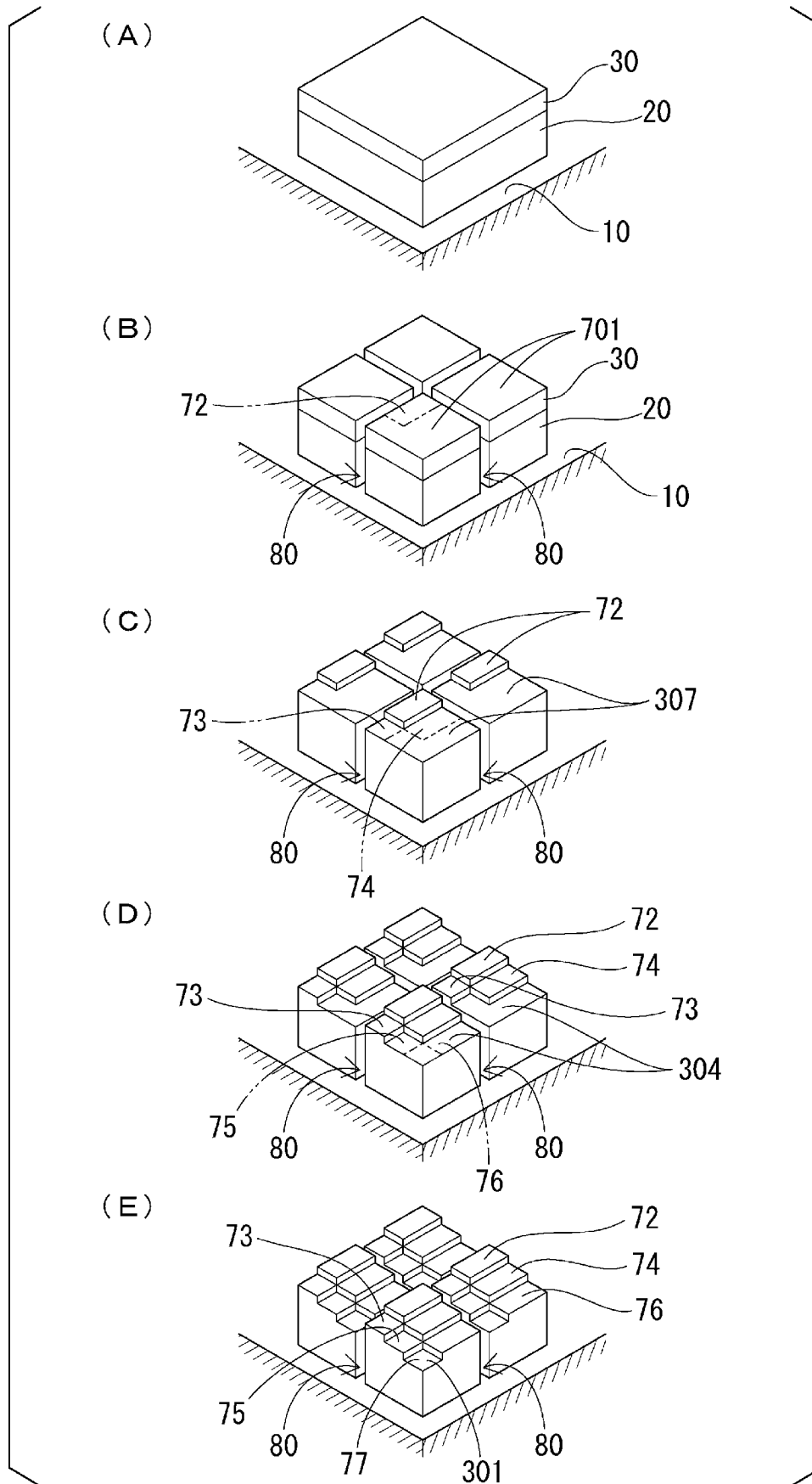
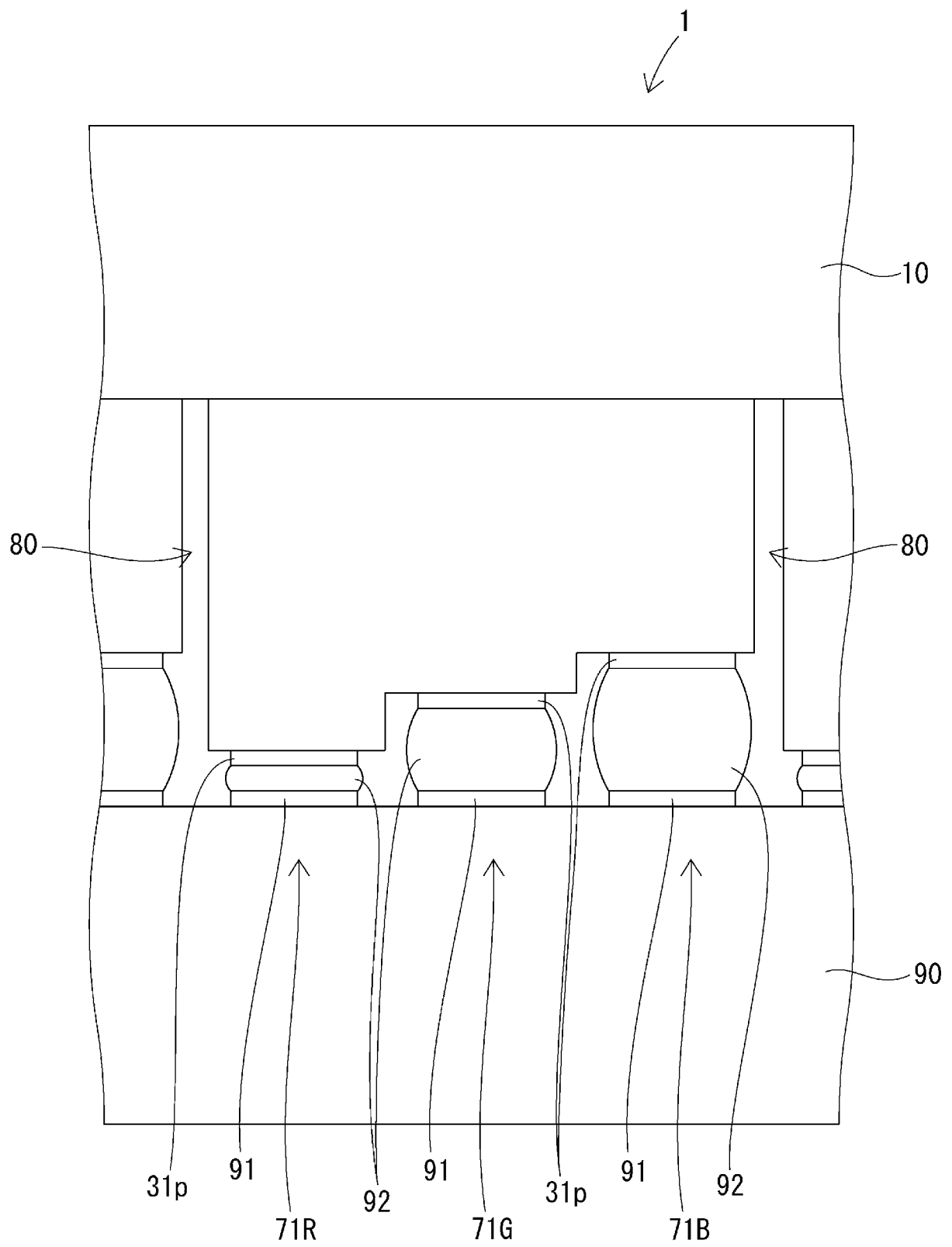
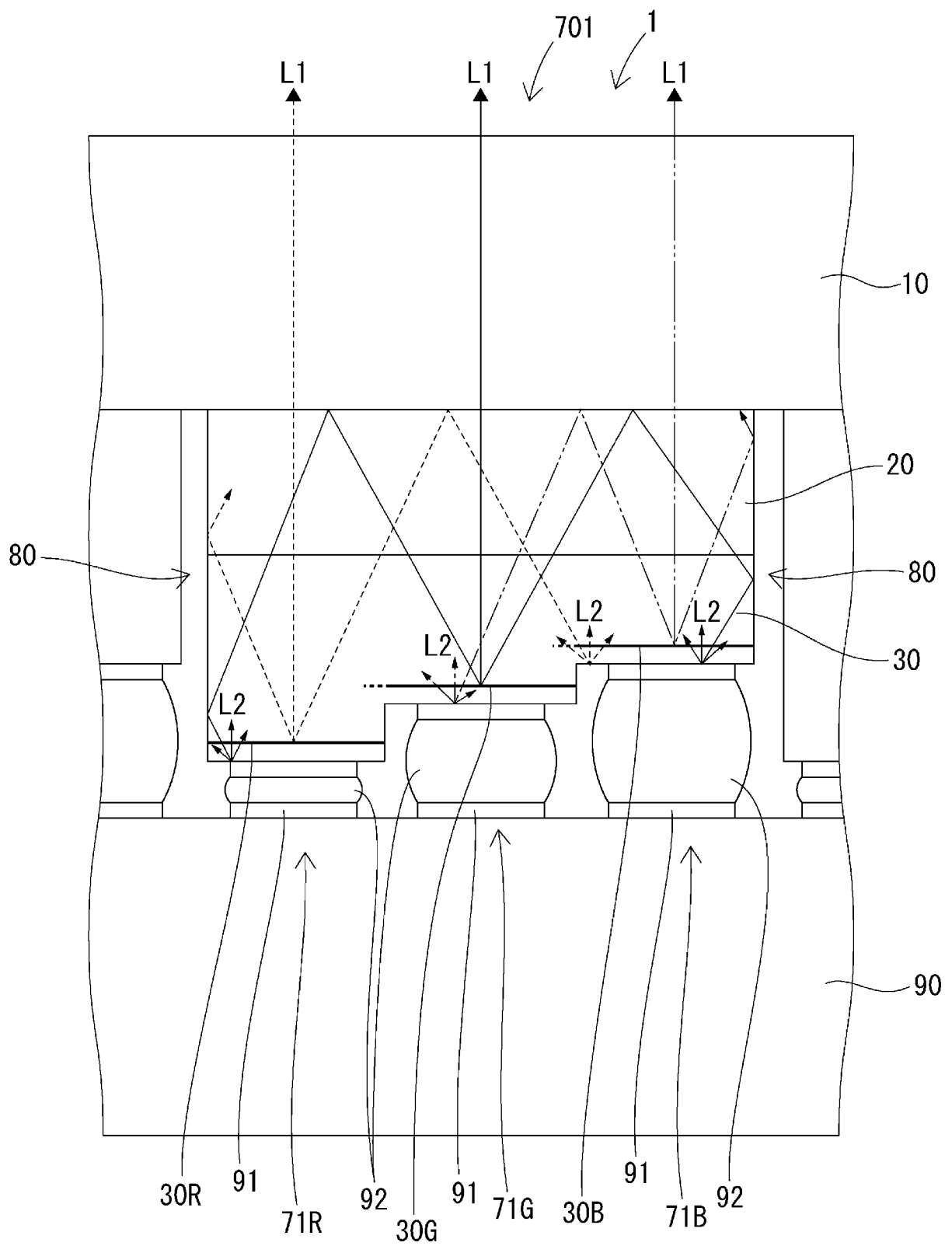


Figure 1 consists of four cross-sectional views (A, B, C, D) of a semiconductor device.
 (A) shows a stack of layers: 10 (bottom), 20, 30, and 51 (50) (top).
 (B) shows the addition of a second layer 52 on top of layer 51.
 (C) shows a gap 701 formed between the two stacks.
 (D) shows the final structure with a gap 80 between the two stacks, each having layers 10, 20, 30, 51, and 52. The gap 701 is indicated by arrows pointing to the space between the two stacks. The gap 80 is indicated by an arrow pointing to the space between the two stacks.

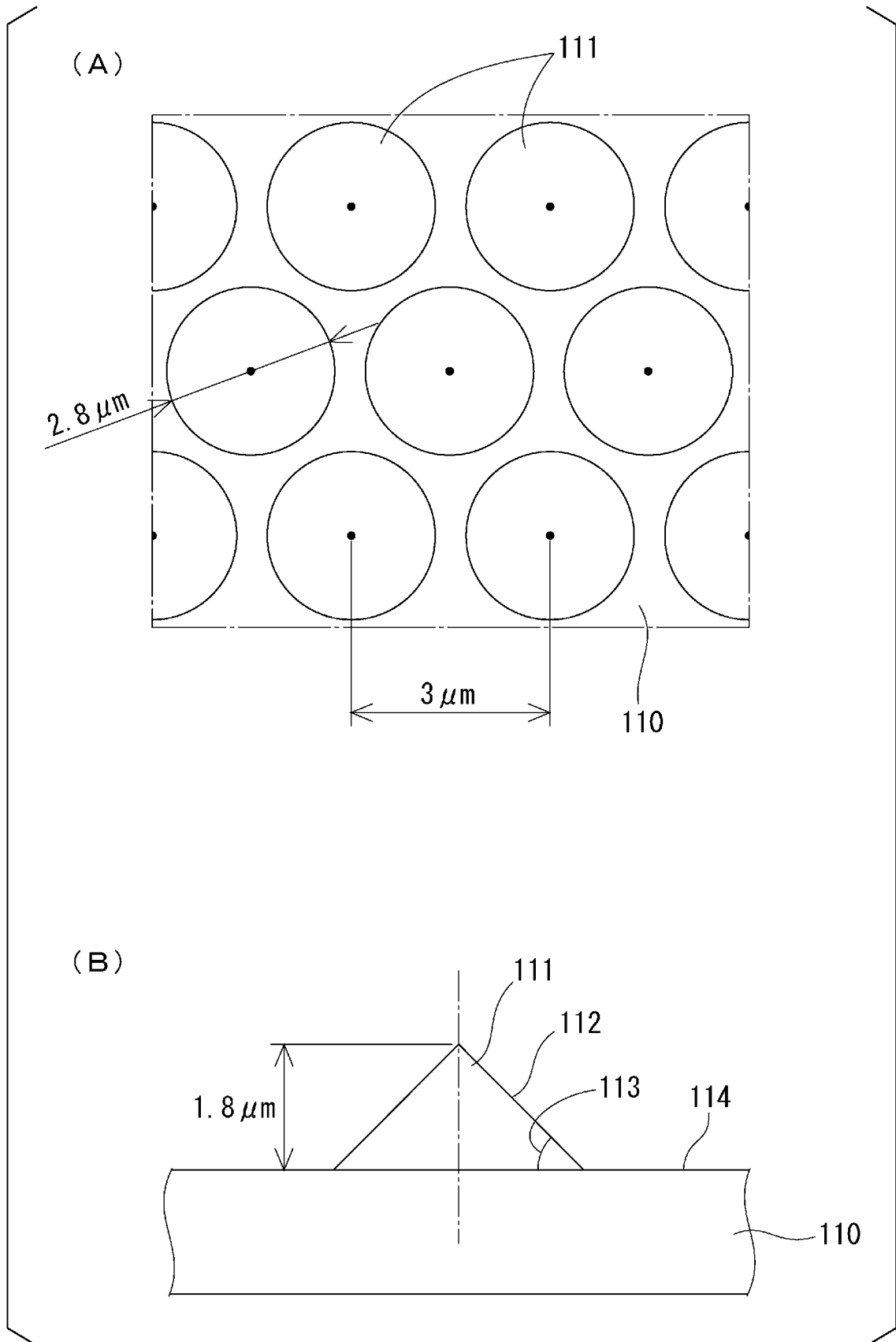
[図7]



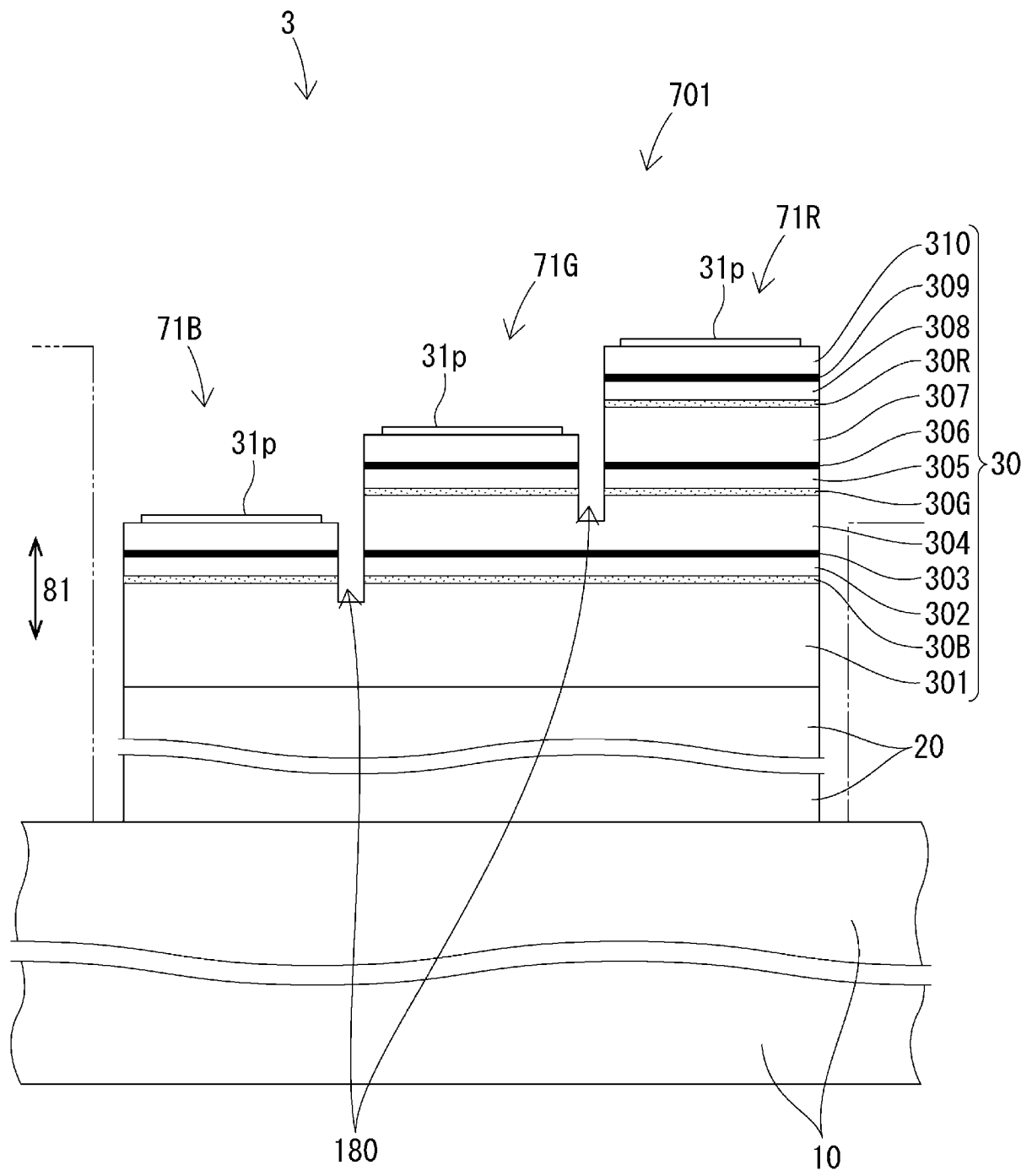
[図8]



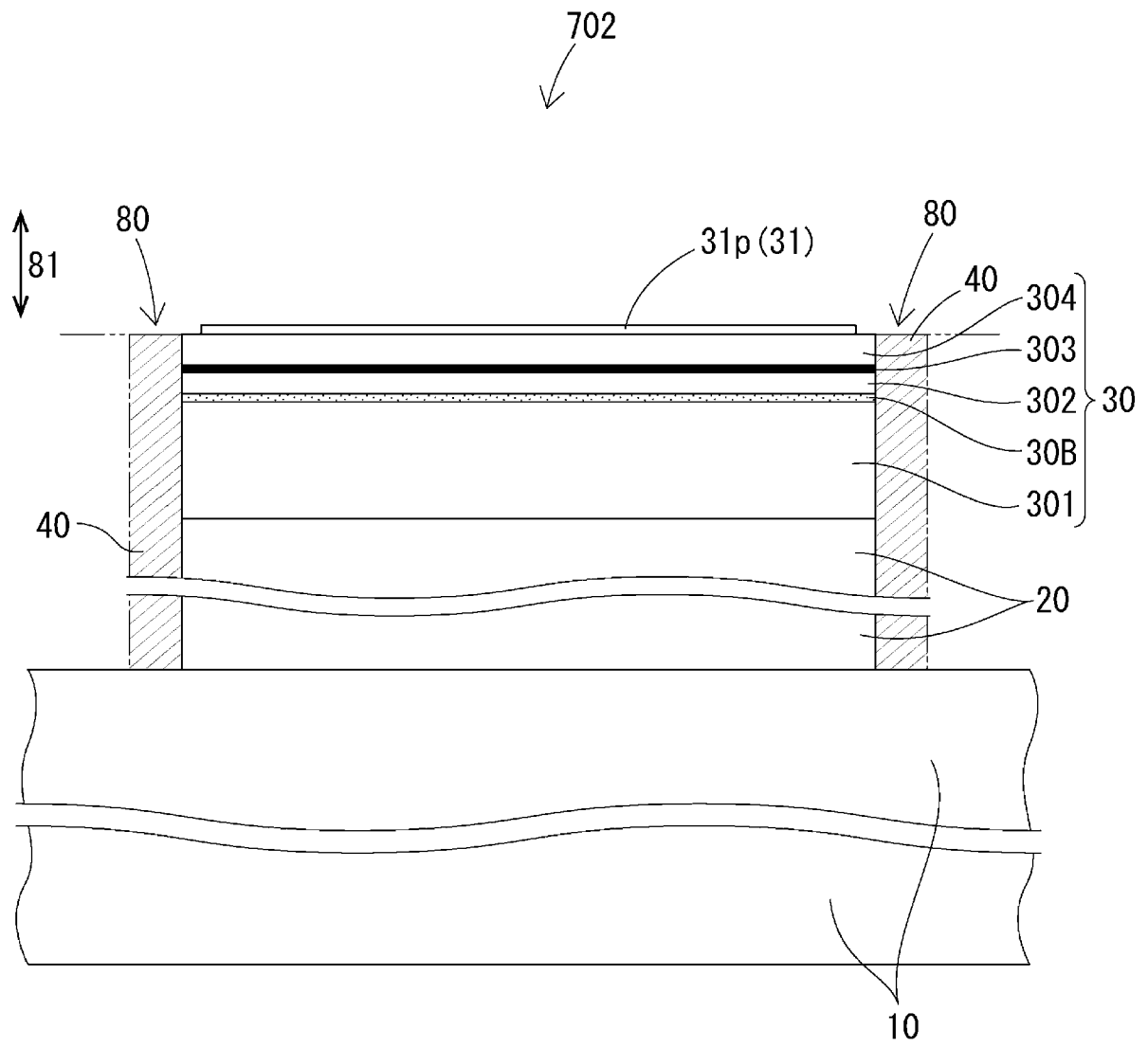
[図9]



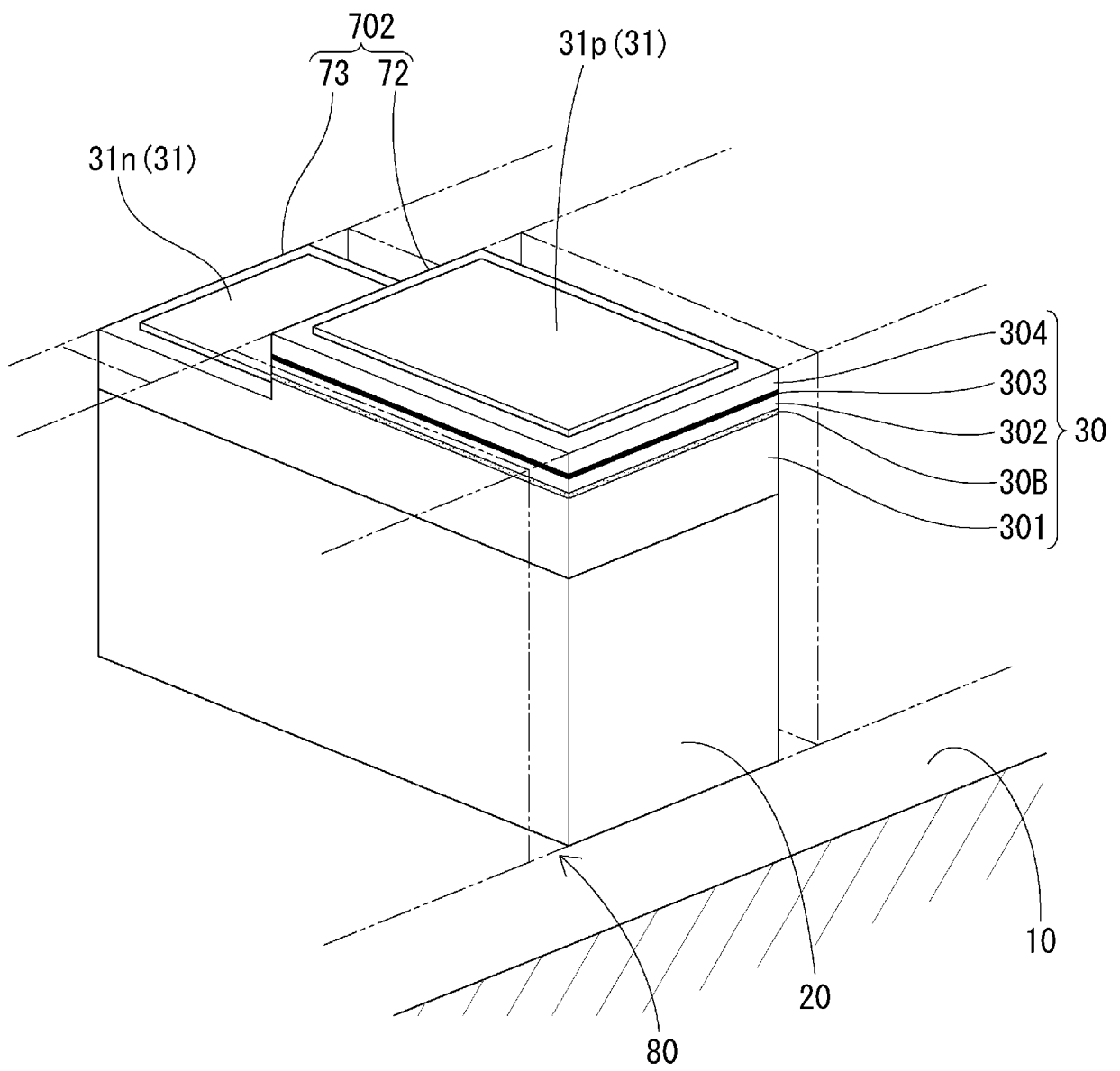
[図11]



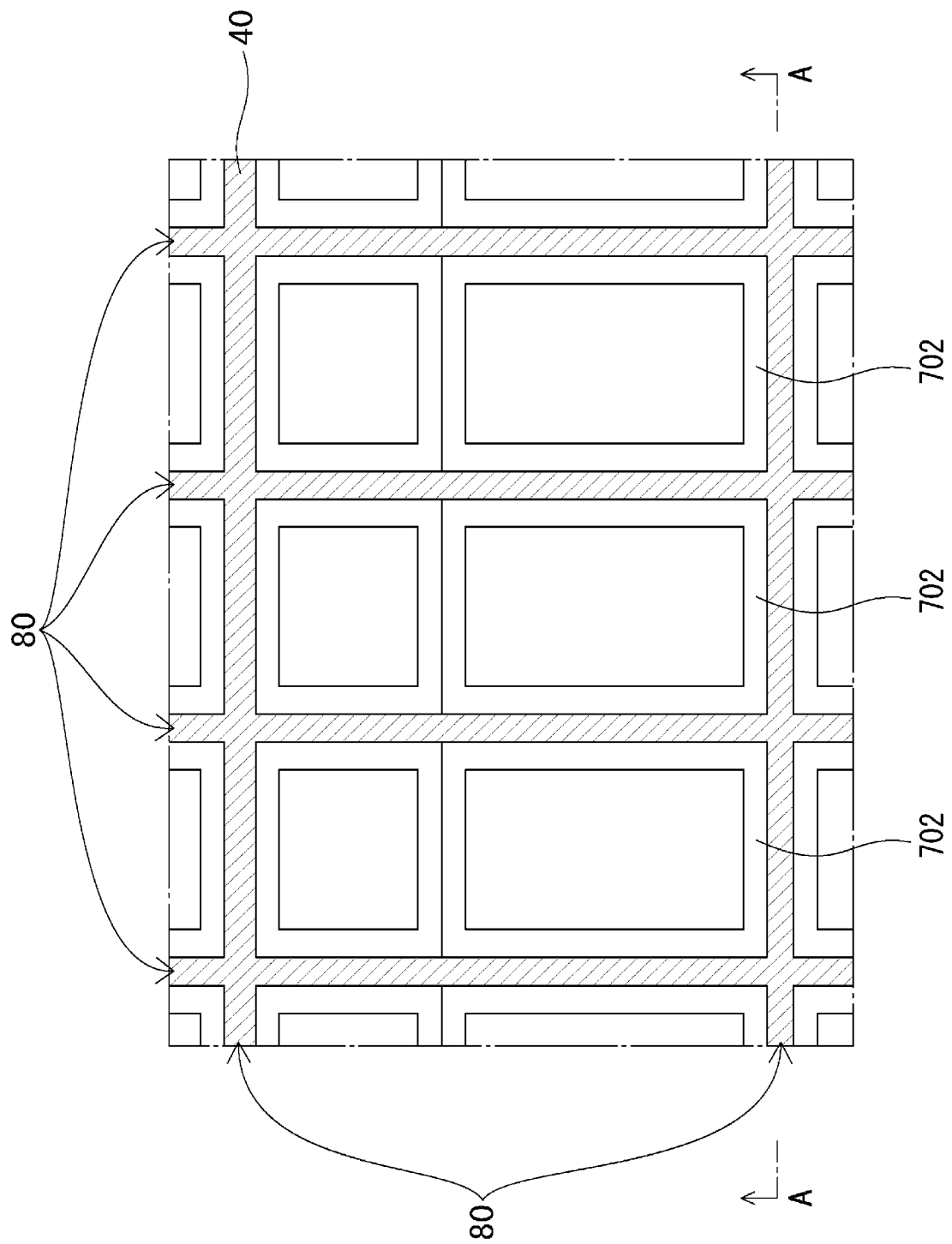
[図12]



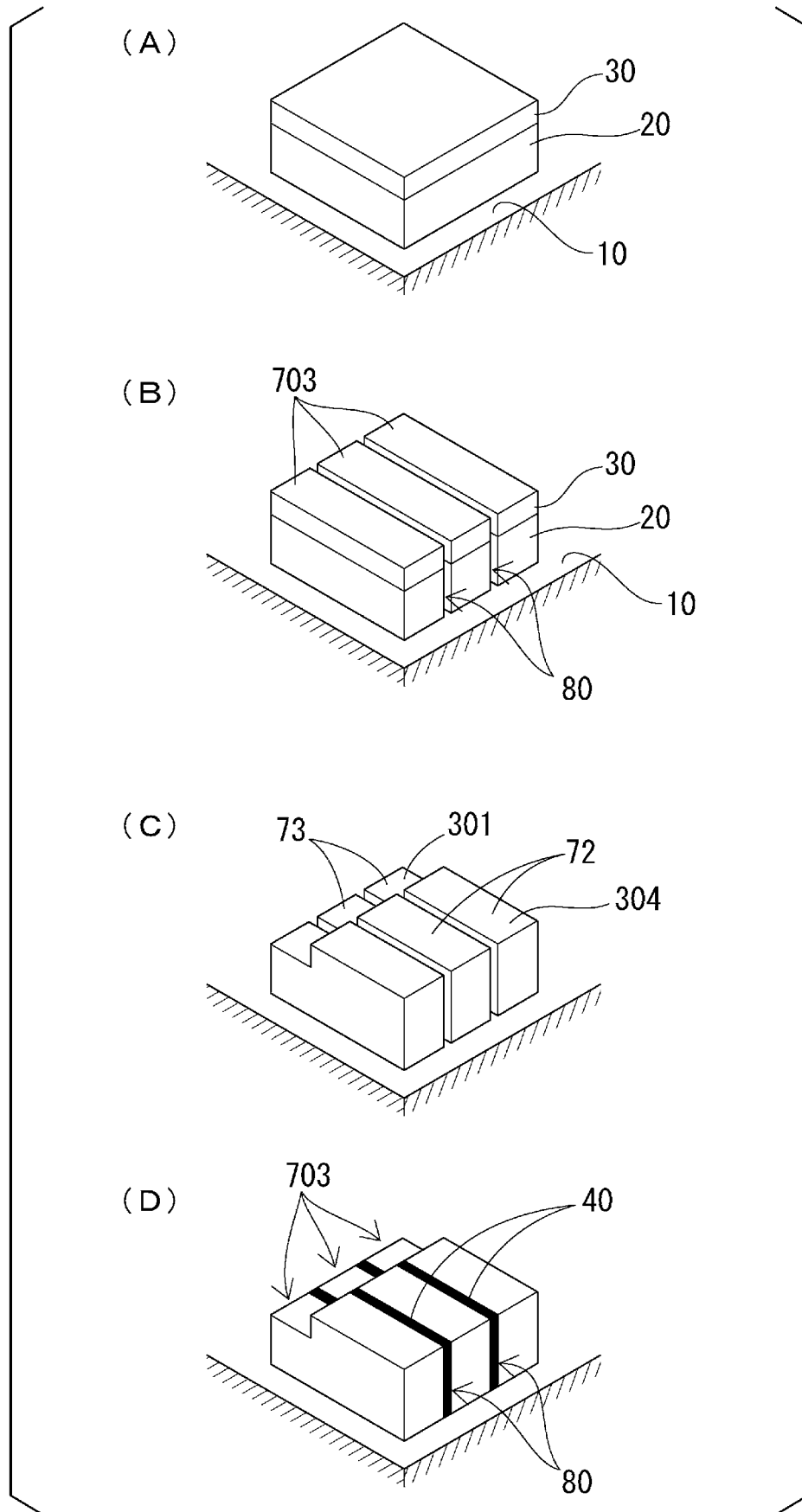
[図13]



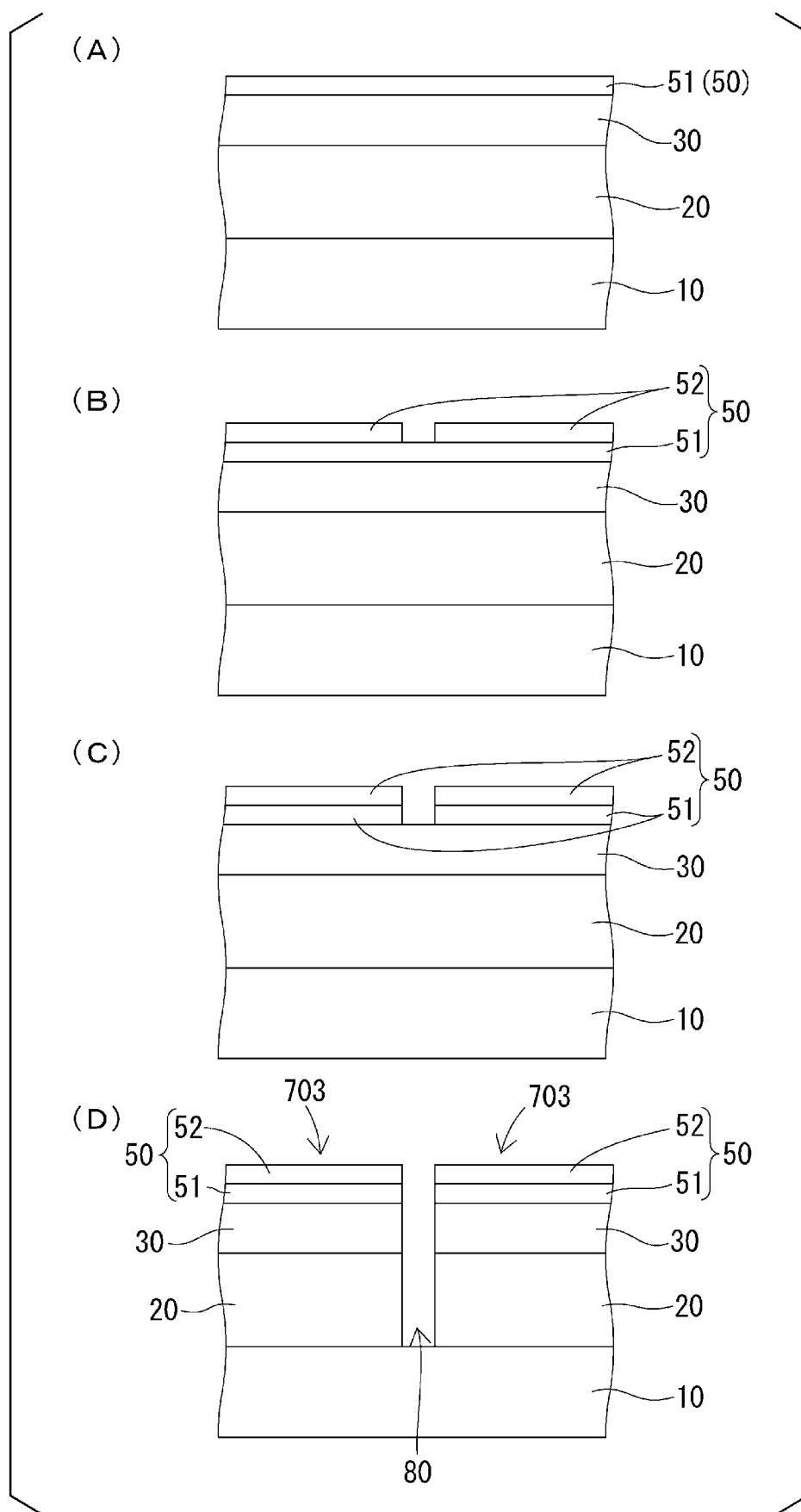
[図14]



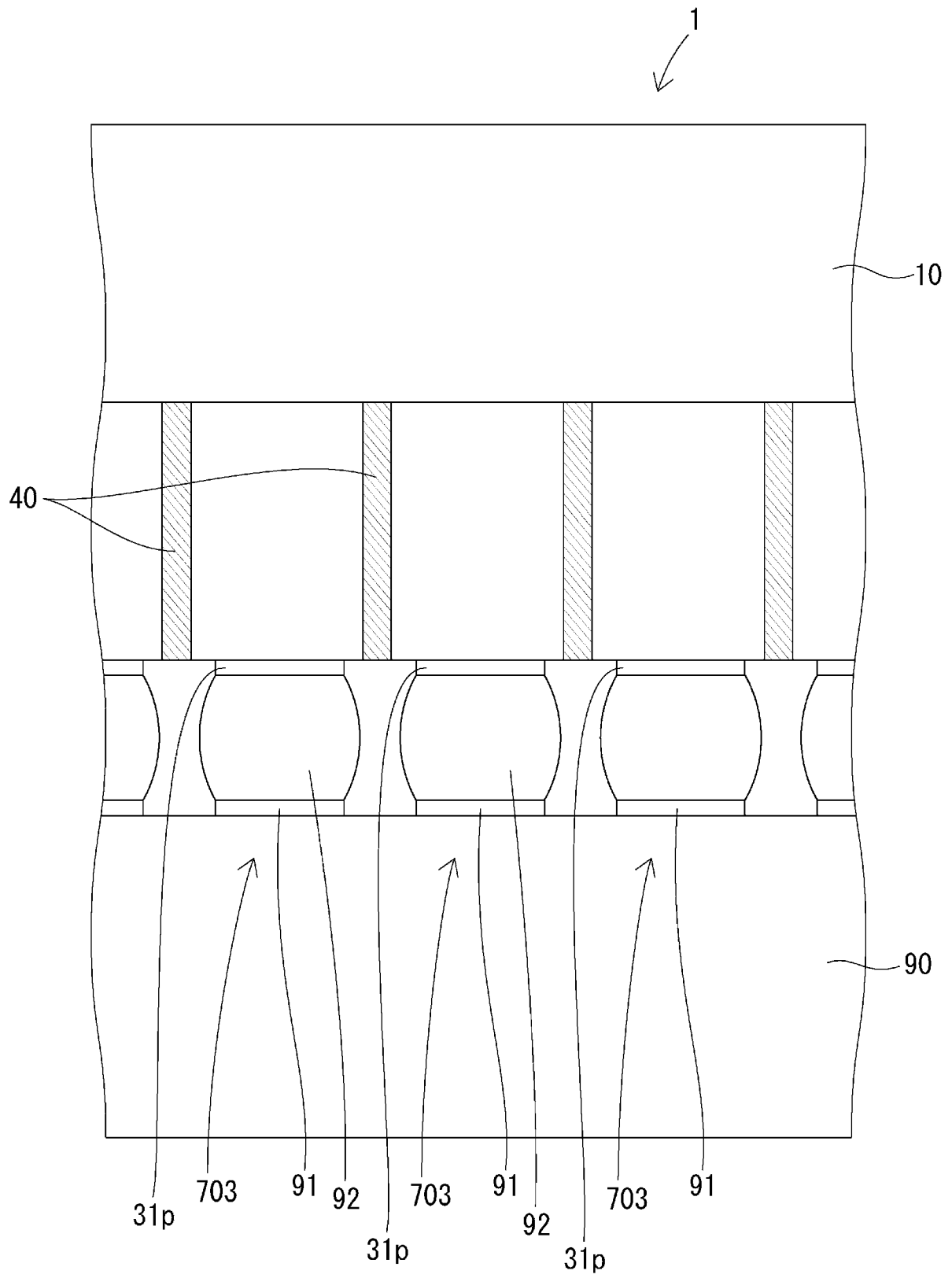
[図15]



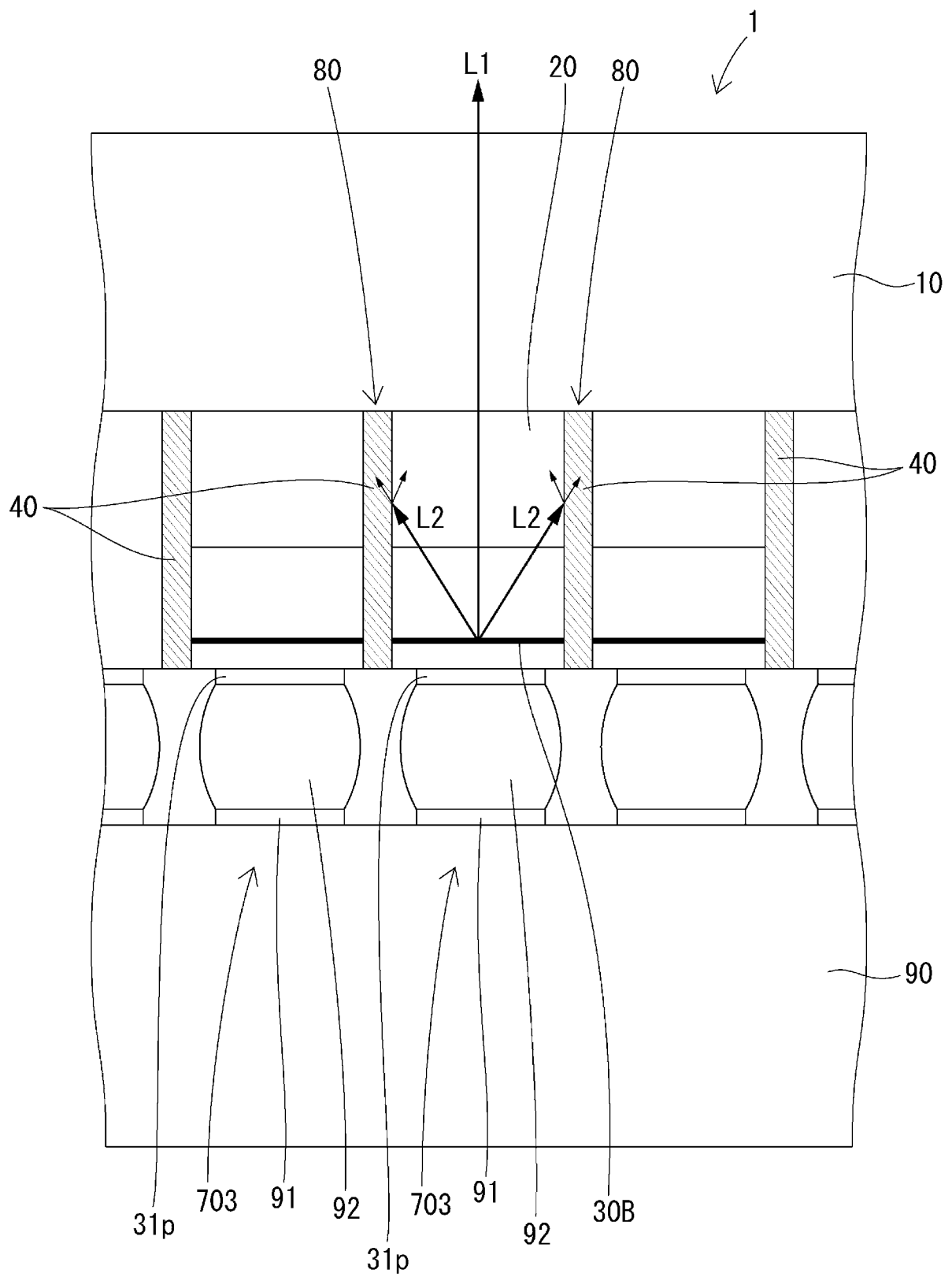
[図16]



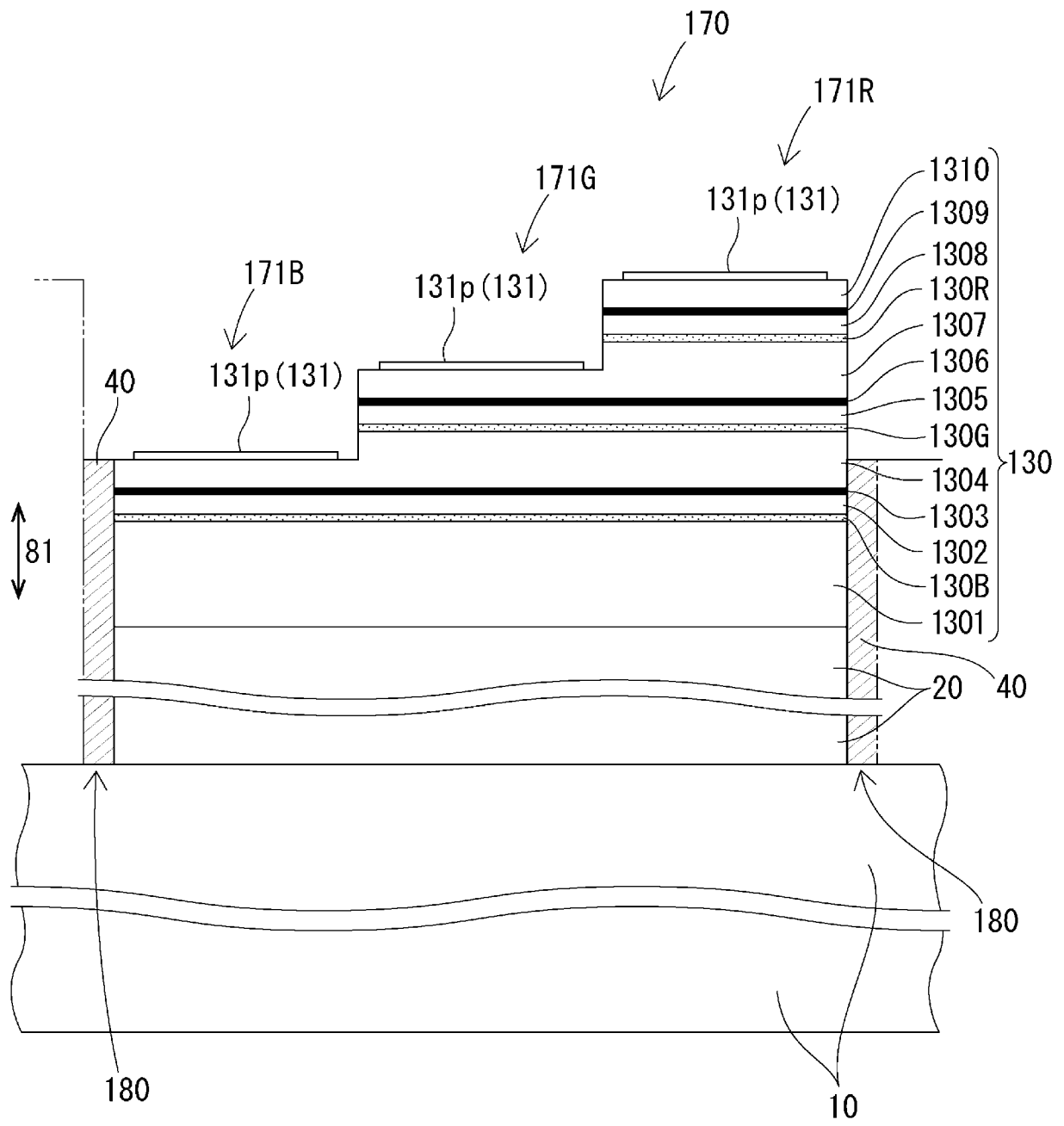
[図17]



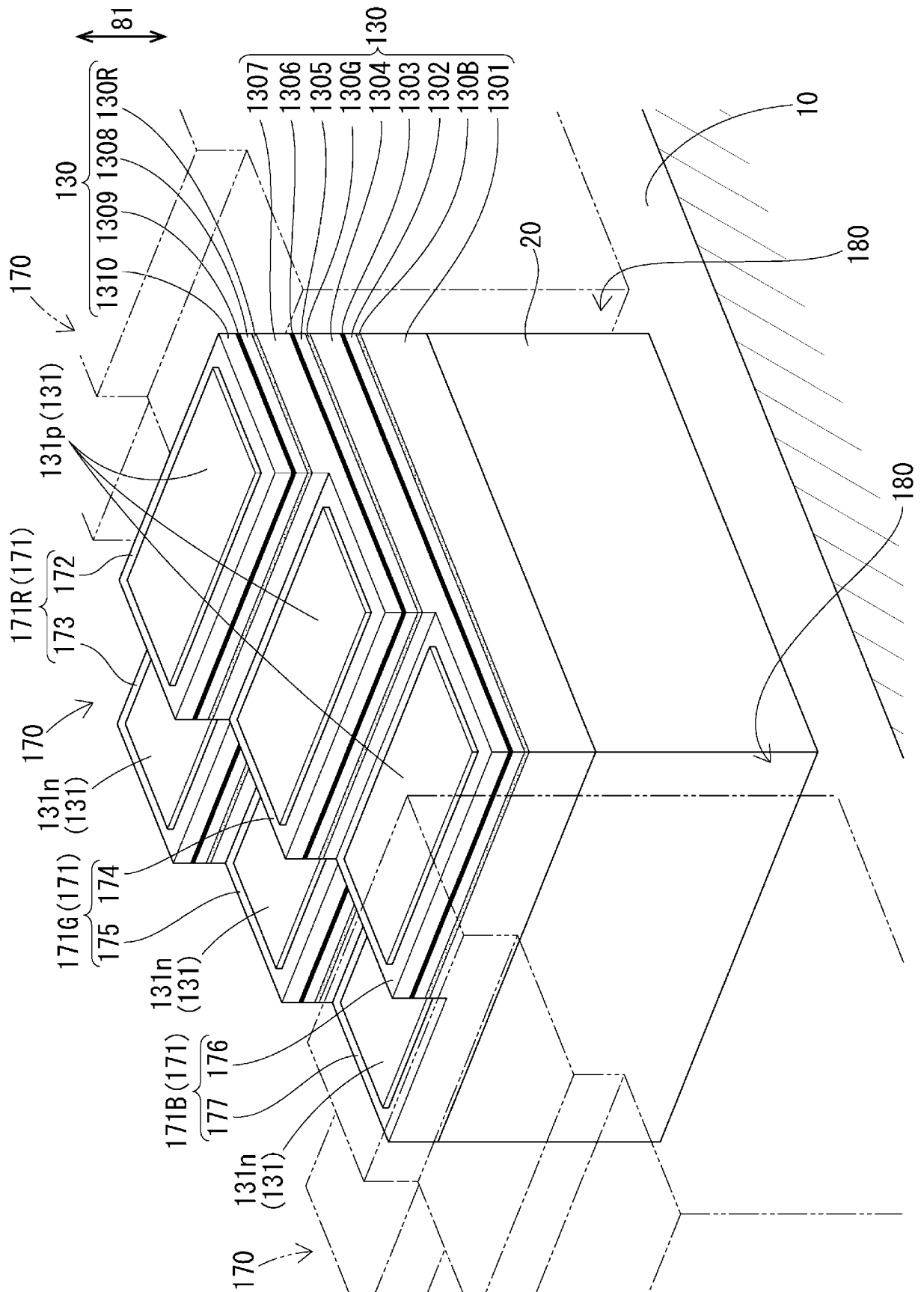
[図18]



[図19]

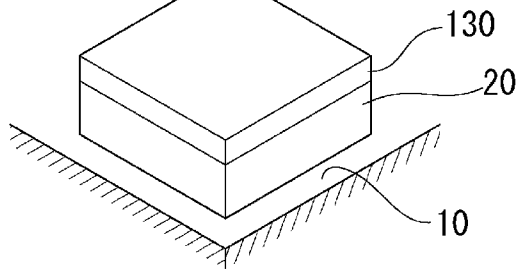


[図20]

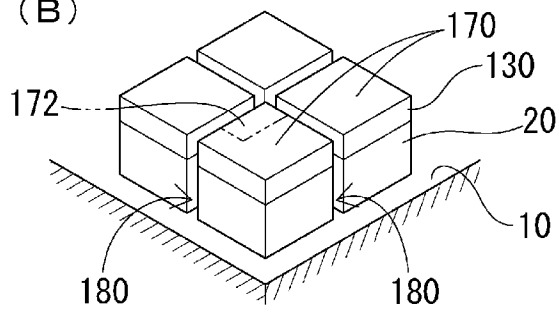


[図22]

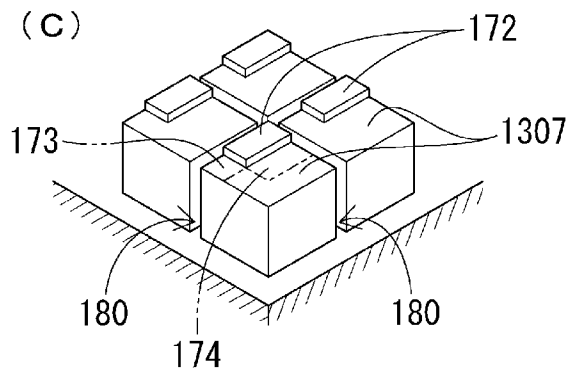
(A)



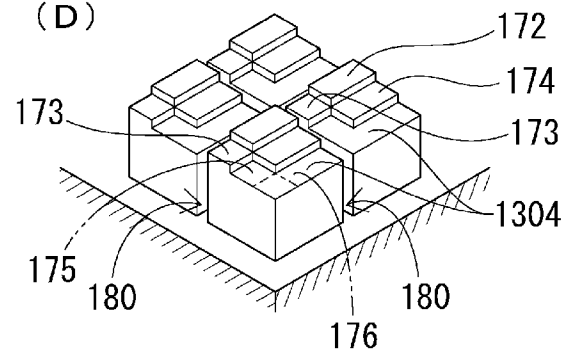
(B)



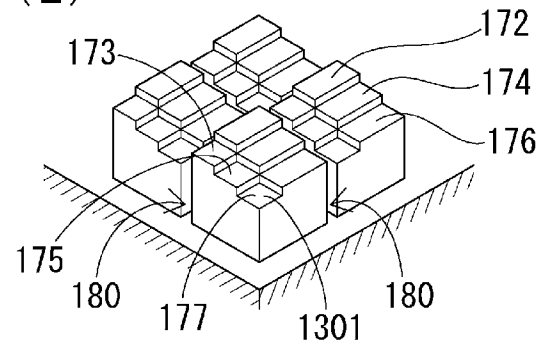
(C)



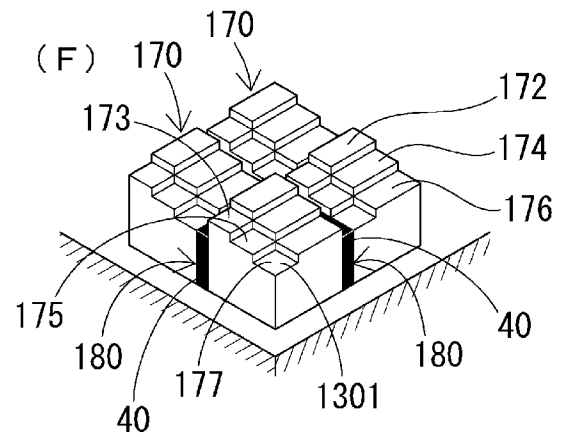
(D)



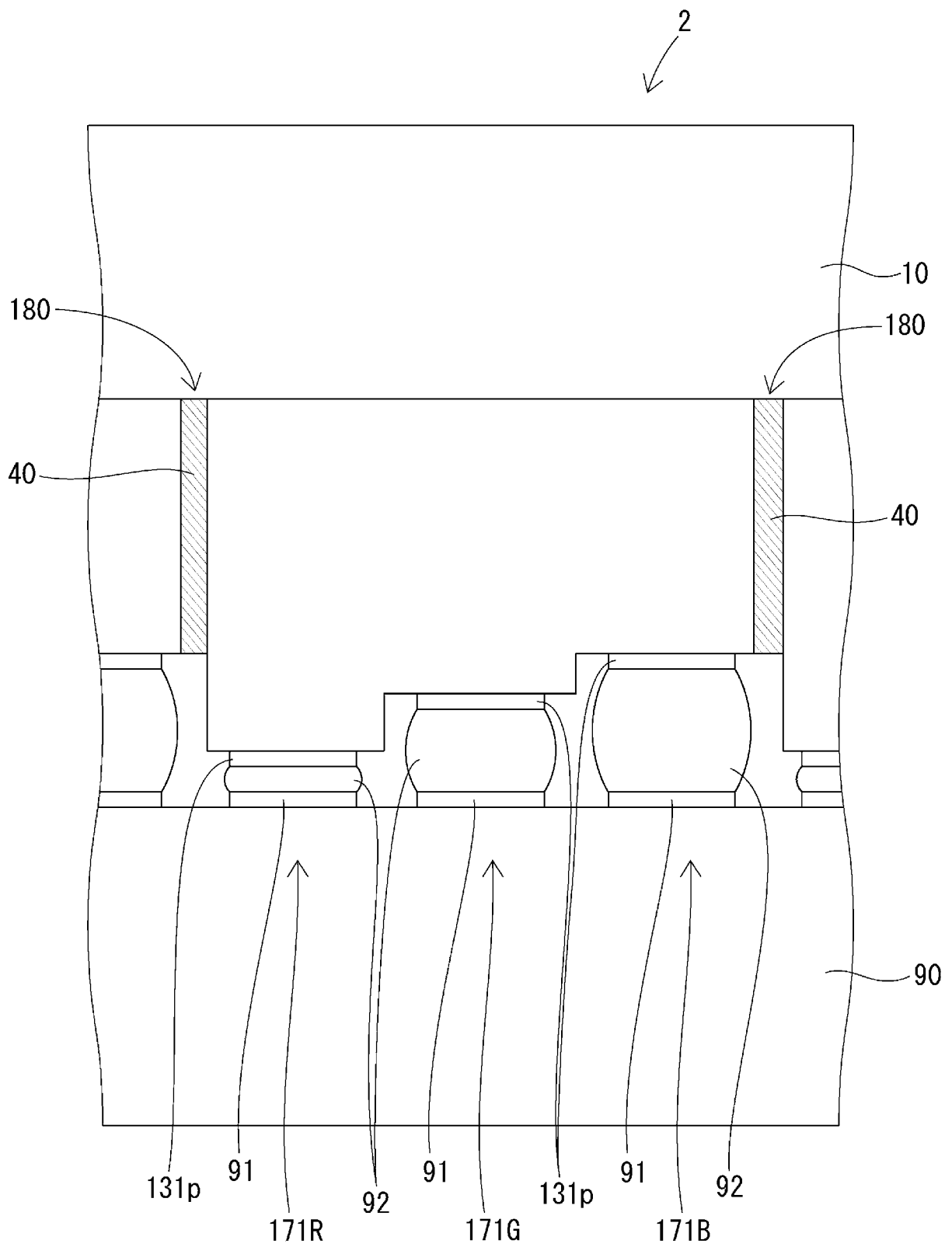
(E)



(F)



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/012517

A. CLASSIFICATION OF SUBJECT MATTER H01L 33/08 (2010.01)i; H01L 33/22 (2010.01)i FI: H01L33/08; H01L33/22 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L33/00-33/64; G09F9/00; G09F9/30-9/46 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2009/0078955 A1 (III-N TECHNOLOGY, INC.) 26 March 2009 (2009-03-26) paragraphs [0042]-[0072], fig. 1-7	1-20
Y	JP 2017-513225 A (CENTRE NATIONAL DE LA RECHERCHE SCIENTIFIQUE) 25 May 2017 (2017-05-25) paragraphs [0021]-[0037], fig. 1	1-6, 10-12, 17-20
Y	JP 2005-327845 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 24 November 2005 (2005-11-24) paragraph [0070]	1-6, 17-20
Y	JP 2006-232640 A (KYOCERA CORPORATION) 07 September 2006 (2006-09-07) paragraph [0044]	1-6, 9-20
Y	JP 2008-226962 A (SUMITOMO CHEMICAL COMPANY, LIMITED) 25 September 2008 (2008-09-25) paragraphs [0005], [0024]	6-8, 12, 15-16, 19-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 26 April 2024		Date of mailing of the international search report 14 May 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-222925 A (ASAHI KASEI KABUSHIKI KAISHA) 28 October 2013 (2013-10-28) paragraph [0036]	7-8, 15-16, 19-20
Y	JP 2019-152851 A (SHARP KABUSHIKI KAISHA) 12 September 2019 (2019-09-12) paragraphs [0014]-[0017], [0036], fig. 1	7-8, 15-16, 19-20
Y	JP 2006-332490 A (SONY CORPORATION) 07 December 2006 (2006-12-07) paragraphs [0040], [0057]-[0076], fig. 1-7	13-16

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/012517

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
US	2009/0078955	A1	26 March 2009	(Family: none)	
JP	2017-513225	A	25 May 2017	US 2017/0213868 A1 paragraphs [0053]-[0077], fig. 1 WO 2015/150281 A1 FR 3019380 A1 KR 10-2016-0139004 A	
JP	2005-327845	A	24 November 2005	(Family: none)	
JP	2006-232640	A	07 September 2006	(Family: none)	
JP	2008-226962	A	25 September 2008	(Family: none)	
JP	2013-222925	A	28 October 2013	(Family: none)	
JP	2019-152851	A	12 September 2019	US 2019/0267357 A1 paragraphs [0062]-[0065], [0084], fig. 1 US 2020/0343229 A1 CN 110211986 A	
JP	2006-332490	A	07 December 2006	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））

H01L 33/08(2010.01)i; H01L 33/22(2010.01)i

FI: H01L33/08; H01L33/22

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

H01L33/00-33/64; G09F9/00; G09F9/30-9/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報

1922 - 1996年

日本国公開実用新案公報

1971 - 2024年

日本国実用新案登録公報

1996 - 2024年

日本国登録実用新案公報

1994 - 2024年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	US 2009/0078955 A1 (III-N TECHNOLOGY, INC) 26.03.2009 (2009 - 03 - 26) [0042]-[0072], FIGs. 1-7	1-20
Y	JP 2017-513225 A (サントル ナショナル ドウ ラ ルシエルシュ シアンティ フィク) 25.05.2017 (2017 - 05 - 25) [0021]-[0037], 図1	1-6, 10-12, 17-20
Y	JP 2005-327845 A (松下電器産業株式会社) 24.11.2005 (2005 - 11 - 24) [0070]	1-6, 17-20
Y	JP 2006-232640 A (京セラ株式会社) 07.09.2006 (2006 - 09 - 07) [0044]	1-6, 9-20
Y	JP 2008-226962 A (住友化学株式会社) 25.09.2008 (2008 - 09 - 25) [0005], [0024]	6-8, 12, 15-16, 19-20
Y	JP 2013-222925 A (旭化成株式会社) 28.10.2013 (2013 - 10 - 28) [0036]	7-8, 15-16, 19-20

☒ C欄の続きにも文献が列挙されている。

☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

“A” 特に関連のある文献ではなく、一般的技术水準を示すもの

“D” 国際出願で出願人が先行技術文献として記載した文献

“E” 国際出願日前の出願または特許であるが、国際出願日以後に
公表されたもの

“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し
くは他の特別な理由を確立するために引用する文献（理由を
付す）

“O” 口頭による開示、使用、展示等に言及する文献

“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の
後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵
触するものではなく、発明の原理又は理論の理解のために引
用するもの

“X” 特に関連のある文献であって、当該文献のみで発明の新規性
又は進歩性がないと考えられるもの

“Y” 特に関連のある文献であって、当該文献と他の1以上の文献
との、当業者にとって自明である組合せによって進歩性がな
いと考えられるもの

“&” 同一パテントファミリー文献

国際調査を完了した日

26. 04. 2024

国際調査報告の発送日

14. 05. 2024

名称及びあて先

日本国特許庁(ISA/JP)

〒100-8915

日本国

東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

百瀬 正之 2K 4084

電話番号 03-3581-1101 内線 3255

様式 PCT/ISA/210（第2ページ）（2022年7月）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2019-152851 A (シャープ株式会社) 12.09.2019 (2019 - 09 - 12) [0014]-[0017], [0036], 図1	7-8, 15-16, 19-20
Y	JP 2006-332490 A (ソニー株式会社) 07.12.2006 (2006 - 12 - 07) [0040], [0057]-[0076], 図1-7	13-16

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2024/012517

引用文献			公表日	パテントファミリー文献	公表日
US	2009/0078955	A1	26.03.2009	(ファミリーなし)	
JP	2017-513225	A	25.05.2017	US 2017/0213868	A1
				[0053]-[0077], FIG. 1	
				WO 2015/150281	A1
				FR 3019380	A1
				KR 10-2016-0139004	A
JP	2005-327845	A	24.11.2005	(ファミリーなし)	
JP	2006-232640	A	07.09.2006	(ファミリーなし)	
JP	2008-226962	A	25.09.2008	(ファミリーなし)	
JP	2013-222925	A	28.10.2013	(ファミリーなし)	
JP	2019-152851	A	12.09.2019	US 2019/0267357	A1
				[0062]-[0065], [0084],	
				FIG. 1	
				US 2020/0343229	A1
				CN 110211986	A
JP	2006-332490	A	07.12.2006	(ファミリーなし)	