



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0030711
(43) 공개일자 2024년03월07일

(51) 국제특허분류(Int. Cl.)
G01T 1/24 (2006.01) H03F 3/70 (2006.01)
(52) CPC특허분류
G01T 1/247 (2013.01)
H03F 3/70 (2013.01)
(21) 출원번호 10-2022-0110093
(22) 출원일자 2022년08월31일
심사청구일자 2022년08월31일

(71) 출원인
국립창원대학교 산학협력단
경상남도 창원시 의창구 창원대학로 20(퇴촌동)
한국전자통신연구원
대전광역시 유성구 가정로 218 (가정동)
한국원자력연구원
대전광역시 유성구 대덕대로989번길 111(덕진동)
(72) 발명자
김영희
경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트)
김홍주
경상남도 창원시 의창구 창원대학로 20, 학생생활관 2동 216호
(뒷면에 계속)
(74) 대리인
이철희, 고윤호

전체 청구항 수 : 총 10 항

(54) 발명의 명칭 단일 전원 씨모스 방사선 센서

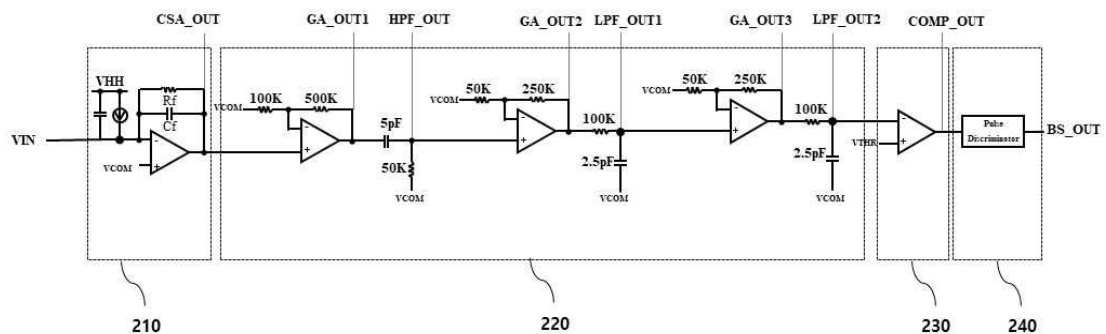
(57) 요약

본 발명은 펄스 셰이퍼의 출력 신호가 단조 증가하지 않아서 비교기 회로의 출력신호가 다수의 연속된 펄스를 발생하지 않더라도 단조 다중발진기 회로를 사용하여 신호 왜곡을 방지할 수 있도록 한 단일 전원 씨모스 방사선 센서에 관한 것이다.

본 발명에 따른 단일 전원 씨모스 방사선 센서에 의하면, 펄스 셰이퍼의 출력 신호가 단조 증가하지 않아서 비교기 회로의 출력신호가 다수의 연속된 펄스를 발생하지 않더라도 단조 다중발진기 회로를 사용하여 신호 왜곡을 방지할 수 있으며, 전하 감지 증폭기의 입력단과 단일 전원 씨모스 방사선 센서의 출력단을 실리콘 칩의 상단과 하단에 배치함으로써 인쇄회로기판 사이의 커패시터 커플링 노이즈를 감소시킬 수 있는 효과가 있다.

대표도 - 도2

200



(72) 발명자

박경환

대전광역시 유성구 어은로 57, 107동 1001호(어은동, 한빛아파트)

김중범

대전광역시 유성구 대덕대로 989번길 111 한국원자력연구원

박성모

대전광역시 유성구 가정로 218

최병건

대전광역시 유성구 가정로 218

이 발명을 지원한 국가연구개발사업

과제고유번호	20210281
과제번호	2021-0281
부처명	과학기술정보통신부
과제관리(전문)기관명	한국전자통신연구원
연구사업명	학술연구용역
연구과제명	저잡음 CMOS 베타선 센서 실리콘 개발(아날로그/디지털 합성 및 백엔드)
기 여 율	1/1
과제수행기관명	창원대학교 산학협력단
연구기간	2021.04.28 ~ 2021.11.30

명세서

청구범위

청구항 1

입력전압(VIN)을 갖는 입력신호를 입력받아 전하를 감지 및 적분하여 전하 감지 증폭기 출력신호(CSA_OUT)를 출력하는 전하감지 증폭기;

상기 전하 감지 증폭기 출력신호(CSA_OUT)를 입력받아 미분 및 적분하여 펄스 셰이퍼 출력신호(PS_OUT)를 출력하는 펄스 셰이퍼;

펄스 셰이퍼 출력신호와 쓰레스홀드 전압(VTHR)을 비교하여 비교기 출력신호(COMP_OUT)를 출력하는 비교기; 및

상기 비교기 출력신호(COMP_OUT)를 지연시켜 일정한 펄스 폭을 갖는 단조 다중 발진기 출력신호(DISC_OUT)를 출력하는 단조 다중 발진기;를 포함하는 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

청구항 2

제1 항에 있어서, 상기 전하 감지 증폭기는,

제1 입력 단자에 입력전압(VIN)이 연결되고 제2 입력단자에 공통전압이 연결되며 출력단자를 통해 상기 전하 감지 증폭기 출력신호(CSA_OUT)를 출력하는 연산증폭기;

제1 입력단자와 출력단자 사이에 병렬로 연결된 제1 피드백 커패시터 및 제2 피드백 커패시터;

제1 입력단자와 출력단자 사이에 병렬로 연결된 제1 피드백 트랜지스터 및 제2 피드백 트랜지스터;

상기 제1 피드백 커패시터 및 제2 피드백 커패시터 중 어느 하나를 선택하도록 하는 피드백 커패시터 선택수단; 및

상기 제1 피드백 트랜지스터 및 제2 피드백 트랜지스터 중 어느 하나를 선택하도록 하는 피드백 트랜지스터 선택수단;을 포함하는 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

청구항 3

제2 항에 있어서,

상기 제2 피드백 커패시터는 상기 제1 피드백 커패시터에 비해 커패시턴스가 더 큰 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

청구항 4

제2 항에 있어서,

상기 제1 피드백 트랜지스터는 NMOS 피드백 트랜지스터이고 상기 제2 피드백 트랜지스터는 PMOS 피드백 트랜지스터인 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

청구항 5

제2 항에 있어서, 상기 피드백 트랜지스터 선택수단은

일단이 상기 연산증폭기의 출력단에 연결되고 다른 일단이 상기 제1 피드백 트랜지스터에 연결된 제1 트랜스미션 게이트; 및

일단이 상기 연산증폭기의 출력단에 연결되고 다른 일단이 상기 제2 피드백 트랜지스터에 연결된 제2 트랜스미션 게이트;를 포함하며

상기 제1 피드백 트랜지스터 또는 상기 제2 피드백 트랜지스터를 택일적으로 선택하는 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

청구항 6

제2 항에 있어서, 상기 피드백 커패시터 선택수단은

일단이 상기 연산증폭기의 출력단에 연결되고 다른 일단이 상기 제1 피드백 커패시터에 연결된 제3 트랜스미션 게이트; 및

일단이 상기 연산증폭기의 출력단에 연결되고 다른 일단이 상기 제2 피드백 커패시터에 연결된 제4 트랜스미션 게이트;를 포함하며,

상기 제1 피드백 커패시터 또는 상기 제2 피드백 커패시터를 택일적으로 선택하는 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

청구항 7

제1 항에 있어서, 상기 펄스 세이퍼는

제1 증폭기, 제1 커패시터 및 제1 저항을 포함하여 구성되는 CR 회로부; 및

제2 증폭기, 제2 커패시터 및 제2 저항을 포함하는 제1 RC 회로 및 제3 증폭기, 제3 커패시터 및 제3 저항을 포함하는 제2 RC 회로로 구성되는 RC 회로부;를 포함하는 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

청구항 8

제7 항에 있어서,

상기 CR 회로부의 제1 저항, 상기 RC 회로부의 제2 저항 및 제3 저항의 일단은 공통전압(VCOM)에 연결된 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

청구항 9

제1 항에 있어서, 상기 비교기는

상기 펄스 세이퍼 회로의 출력신호와 문턱전압(VTHR)을 비교하여 베타선이 입력되었지 여부를 감지하는 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

청구항 10

제1 항에 있어서, 상기 단조 다중 발진기는

짝수의 지연회로를 이용하여 자체 시간 지연(self-timed delay)을 통해 상기 비교기 출력신호(COMP_OUT)를 지연시켜 일정한 펄스 폭을 갖는 단조 다중 발진기 출력신호(DISC_OUT)를 출력하는 것을 특징으로 하는 단일 전원 씨모스 방사선 센서.

발명의 설명

기술 분야

[0001] 본 발명은 단일 전원 씨모스 방사선 센서에 관한 것으로, 더욱 상세하게는, 펄스 세이퍼의 출력 신호가 단조 증가하지 않아서 비교기 회로의 출력신호가 다수의 연속된 펄스를 발생하지 않더라도 단조 다중 발진기 회로를 사용하여 신호 왜곡을 방지할 수 있도록 한 단일 전원 씨모스 방사선 센서에 관한 것이다.

배경 기술

[0002] 난수 (random number)는 암호화와 모의실험 등의 다양한 과학, 기술 분야에서 활용되고 있다. 대부분은 유사난수 (pseudo random number)를 사용하고 있으나 높은 보안등급, 고신뢰성을 요구하는 사물인터넷(IoT) 보안 분야에서는 날로 고도화되고 있는 해킹 (hacking)을 방지하는데 가장 효과적인 진성 난수 (true random number)를 사용하고 있다.

[0003] 베타선을 포함한 방사선 동위원소 기반의 센서에 대한 연구가 많이 진행되어 왔다. 그중 베타선은 하드웨어 기반으로 이상적인 난수를 발생할 수 있으므로, Ni-63 베타 선원을 이용한 베타선 센서 회로의 설계가 요구되어

왔다. 한편, Ni-63 베타 선원은 핀(PIN) 다이오드에서 생성된 전자 정공 쌍(Electron-Hole Pair:EHP)을 발생시킨다. 핀(PIN) 다이오드에서 생성된 EHP는 씨모스(CMOS) 공정을 이용하여 설계된 베타선 센서 회로의 아날로그 전단(Analog Front End:AFE)인 전하 감지 증폭기(Charge Share Amplifier:CSA) 회로에서 검출이 가능하다.

[0004] 도 1은 종래기술에 따른 전하 감지 증폭기의 회로도이다.

[0005] 도 1을 참고하면, 종래기술에 따른 전하 감지 증폭기(100)는 CMOS 연산증폭기(OPAMP, 110)의 네거티브 입력단인 VIN과 출력 노드인 CSA_OUT에 피드백 커패시턴스(C_f)와 피모스 피드백 저항(R_f)이 병렬로 연결되어 있다. 한편, CMOS 연산증폭기(110)의 포지티브 입력단은 공통전압(VCOM)에 연결되어 있다. 전하 감지 증폭기(100)의 출력 노드(CSA_OUT)의 전압은 핀 다이오드(120)에서 전자 정공 쌍에 의해 생성된 입력 전하 펄스를 적분하여 공통전압(VCOM) 레벨에서 ΔV_s 만큼 떨어진다.

[0006] 출력 노드(CSA_OUT)의 전압 펄스는 피모스 피드백 저항(R_f)의 부궤환 동작(negative feedback)에 의해 $\tau = R_f * C_f$ 의 시상수를 가지고 공통전압(VCOM)으로 충전된다.

[0007] 핀 다이오드(120)를 통하여 인가되는 입력 전류 트레인(input current train)에 대한 전하 감지 증폭기(100)의 출력 신호의 특성을 평가하기 위해서는 시간에 따른 베타선 붕괴를 모델링하여야 한다.

[0008] 한편, 베타선은 랜덤하게 붕괴되므로 시간에 대한 입력 전류 트레인(input current train)을 모델링하기 어렵다. 또한 전하 감지 증폭기(100)의 특성 평가와 관련하여 피드백 커패시턴스(C_f)가 클수록 전하 전송 효율은 1에 가까워지는 반면 출력 노드(CSA_OUT)의 신호 전압이 줄어드는 단점이 있다. 따라서 피드백 커패시턴스(C_f) 값을 최적화하는 설계가 필요하지만, 핀 다이오드(120)의 접합 커패시턴스를 정확히 알 수 없는 문제가 있다.

[0009] 이에 따라 전하 감지 증폭기(100)에 사용되는 피드백 커패시턴스(C_f)를 회로적으로 선택하여 측정을 통해 우수한 전하 전송 효율 특성을 나타내는 피드백 커패시턴스(C_f) 값을 결정하는 회로 설계가 요구된다. 또한 베타선 센서 설계 시 인쇄회로기판(Printed Circuit Board:PCB) 보드 상에서 다이오드 입력단과 센서 출력단 사이의 커플링 노이즈에 대한 억제 대책이 요구된다.

발명의 내용

해결하려는 과제

[0010] 본 발명이 해결하고자 하는 기술적 과제는 펄스 셰이퍼의 출력 신호가 단조 증가하지 않아서 비교기 회로의 출력 신호가 다수의 연속된 펄스를 발생하지 않더라도 단조 다중 발진기 회로를 사용하여 신호 왜곡을 방지할 수 있도록 한 단일 전원 씨모스 방사선 센서를 제공하는데 있다.

과제의 해결 수단

[0011] 상기 과제를 해결하기 위하여 본 발명에 따른 단일 전원 씨모스 방사선 센서는, 입력전압(VIN)을 갖는 입력신호를 입력받아 전하를 감지 및 적분하여 전하 감지 증폭기 출력신호(CSA_OUT)를 출력하는 전하감지 증폭기; 상기 전하 감지 증폭기 출력신호(CSA_OUT)를 입력받아 미분 및 적분하여 펄스 셰이퍼 출력신호(PS_OUT)를 출력하는 펄스 셰이퍼; 펄스 셰이퍼 출력신호와 쓰레스홀드 전압(VTHR)을 비교하여 비교기 출력신호(COMP_OUT)를 출력하는 비교기; 및 상기 비교기 출력신호(COMP_OUT)를 지연시켜 일정한 펄스 폭을 갖는 단조 다중 발진기 출력신호(DISC_OUT)를 출력하는 단조 다중 발진기;를 포함하는 것을 특징으로 한다.

발명의 효과

[0012] 본 발명에 따른 단일 전원 씨모스 방사선 센서에 의하면, 펄스 셰이퍼의 출력 신호가 단조 증가하지 않아서 비교기 회로의 출력신호가 다수의 연속된 펄스를 발생하지 않더라도 단조 다중발진기 회로를 사용하여 신호 왜곡을 방지할 수 있는 장점이 있다.

[0013] 또한, 전하 감지 증폭기의 입력단과 단일 전원 씨모스 방사선 센서의 출력단을 실리콘 칩의 상단과 하단에 배치함으로써 인쇄회로기판 사이의 커패시터 커플링 노이즈를 감소시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [0014] 도 1은 종래기술에 따른 전하 감지 증폭기의 회로도이다.
- 도 2는 본 발명에 따른 단일 전원 씨모스 방사선 센서의 회로도이다.
- 도 3은 본 발명에 따른 단일 전원 씨모스 방사선 센서의 전하 감지 증폭기의 회로도이다.
- 도 4는 본 발명에 따른 단일 전원 씨모스 방사선 센서의 펄스 셰이퍼의 회로도이다.
- 도 5는 본 발명에 따른 단일 전원 씨모스 방사선 센서의 비교기 출력신호를 설명하기 위한 도면이다.
- 도 6은 본 발명에 따른 단일 전원 씨모스 방사선 센서의 단조 다중 발진기의 회로도이다.
- 도 7은 본 발명에 따른 단일 전원 씨모스 방사선 센서의 전하 감지 증폭기의 입력단과 출력단 사이에서의 커패시턴스를 모델링한 도면이다.
- 도 8은 본 발명에 따른 단일 전원 씨모스 방사선 센서의 전하 감지 증폭기에서 PMOS 피드백 트랜지스터를 사용한 경우의 모의실험 결과를 나타내는 도면이다.
- 도 9는 본 발명에 따른 단일 전원 씨모스 방사선 센서의 전하 감지 증폭기에서 NMOS 피드백 트랜지스터를 사용한 경우의 모의실험 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하면 다음과 같다.
- [0016] 도 2는 본 발명에 따른 단일 전원 씨모스 방사선 센서의 회로도이다.
- [0017] 도 2를 참고하면, 본 발명에 따른 단일 전원 씨모스 방사선 센서(200)는 전하 감지 증폭기(210), 펄스 셰이퍼(220), 비교기(230) 및 단조 다중 발진기(240)를 포함하여 구성된다.
- [0018] 전하 감지 증폭기(210)는 입력전압(VIN)을 갖는 입력신호를 입력받아 전하를 감지하고 이를 적분하여 전하 감지 증폭기 출력신호(CSA_OUT)를 출력한다.
- [0019] 펄스 셰이퍼(220)는 전하 감지 증폭기 출력신호(CSA_OUT)를 미분 및 적분하여 펄스 셰이퍼 출력신호(PS_OUT)를 출력한다.
- [0020] 비교기(230)는 펄스 셰이퍼(220)의 출력신호와 쓰레스홀드 전압(VTHR)을 비교하여 베타선이 들어왔는지 여부를 감지하고 비교기 출력신호(COMP_OUT)를 출력한다.
- [0021] 단조 다중발진기(240)는 비교기(230)의 출력신호의 펄스 폭과는 상관없이 일정한 펄스 폭을 갖는 단조 다중 발진기 출력신호를 출력한다. 단조 다중 발진기 출력신호는 베타선 센서 출력신호(BS_OUT)에 대응된다.
- [0022] 도 3은 본 발명에 따른 단일 전원 씨모스 방사선 센서의 전하 감지 증폭기의 회로도이다.
- [0023] 도 3에 도시된 바와 같이 전하 감지 증폭기(210)는 연산증폭기(211), 핀 다이오드(212), 제1 내지 제4 트랜스미션 게이트(TG1~TG4), NMOS 피드백 트랜지스터(MN1), PMOS 피드백 트랜지스터(MP1), 제1 피드백 커패시터(C_{f1}) 및 제2 피드백 커패시터(C_{f2})를 포함하여 구성된다.
- [0024] 연산증폭기(211)는 입력전압(VIN)이 네거티브 단자에 연결되고 공통전압(VCOM)이 포지티브 단자에 연결된다. 연산증폭기(211)의 네거티브 단자와 출력단자 사이에는 제1 피드백 커패시터(C_{f1}), 제2 피드백 커패시터(C_{f2}), NMOS 피드백 트랜지스터(MN1) 및 PMOS 피드백 트랜지스터(MP1)가 병렬로 연결된다. 이때 NMOS 피드백 트랜지스터(MN1) 및 PMOS 피드백 트랜지스터(MP1)에는 바이어스 직류전압 대신 바이어스 직류전류(IBIASP_CSA)가 인가된다.
- [0025] 제1 트랜스미션 게이트(TG1)는 일 단자가 연산증폭기(211)의 출력단자에 연결되고 다른 일 단자가 NMOS 피드백 트랜지스터(MN1)에 연결되며, 제2 트랜스미션 게이트(TG2)는 일 단자가 연산증폭기(211)의 출력단자에 연결되고 다른 일 단자가 PMOS 피드백 트랜지스터(MP1)에 연결된다. 본 발명은 제1 트랜스미션 게이트(TG1)와 제2 트랜스미션 게이트(TG2)에 의해 NMOS 피드백 트랜지스터(MN1)와 PMOS 피드백 트랜지스터(MP1)를 선택적으로 선택할 수 있다.

- [0026] 한편, 제3 트랜스미션 게이트(TG3)는 일 단자가 연산증폭기(211)의 출력단자에 연결되고 다른 일 단자가 제1 피드백 커패시터(Cf1)에 연결되고, 제4 트랜스미션 게이트(TG1)는 일 단자가 연산증폭기(211)의 출력단자에 연결되고 다른 일 단자가 제2 피드백 커패시터(Cf2)에 연결된다. 본 발명은 제3 트랜스미션 게이트(TG3)와 제4 트랜스미션 게이트(TG4)에 의해 제1 피드백 커패시터(Cf1)와 제2 피드백 커패시터(Cf2)를 선택적으로 선택할 수 있다.
- [0027] 도 4는 본 발명에 따른 단일 전원 씨모스 방사선 센서의 펄스 셰이퍼의 회로도이다.
- [0028] 도 4에 도시된 바와 같이 펄스 셰이퍼(220)는 CR 회로부(221) 및 RC 회로부(222)를 포함하여 구성된다.
- [0029] CR 회로부(221)는 제1 증폭기(221a), 제1 커패시터(221b) 및 제1 저항(221c)을 포함하여 구성된다.
- [0030] RC 회로부(222)는 제2 증폭기(222-1a), 제2 커패시터(222-1b) 및 제2 저항(222-1c)을 포함하는 제1 RC 회로(222-1)와, 제3 증폭기(222-2a), 제3 커패시터(222-2b) 및 제3 저항(222-2c)을 포함하는 제2 RC 회로(222-2)를 포함하여 구성된다.
- [0031] 본 발명에서는 이중 전원 대신 단일 전원을 사용하고 있으므로 CR 회로부(221)의 제1 저항(221c)과 RC 회로부(222)의 제2 커패시터(222-1b) 및 제3 커패시터(222-2b)의 한쪽 노드는 그라운드(GND) 대신 공통전압(VCOM)에 연결되어야 정상적으로 동작하게 된다.
- [0032] 한편, 제1 증폭기(221a), 제2 증폭기(222-1a) 및 제3 증폭기(222-2a)는 비반전 게인 증폭기(non-inverting gain amplifier)를 사용하는 것이 바람직하다.
- [0033] 도 5는 본 발명에 따른 단일 전원 씨모스 방사선 센서의 비교기 출력신호를 설명하기 위한 도면이다.
- [0034] 도 5의 (a)에 도시된 바와 같이 본 발명에 따른 단일 전원 씨모스 방사선 센서(200)의 펄스 셰이퍼(220)의 출력신호(PS_OUT)가 쓰레스홀드전압(VTHR) 부근에서 단조 증가하지 않으면 비교기(230)의 출력신호(COMP_OUT)는 다수의 연속된 펄스가 발생하여 신호를 왜곡할 수 있다.
- [0035] 따라서 본 발명에서는 도 5의 (b)에 도시된 바와 같이 펄스 셰이퍼 출력신호(PS_OUT)가 단조 증가하지 않아서 비교기 출력신호(COMP_OUT)가 다수의 연속된 펄스를 발생하더라도 비교기 출력신호(COMP_OUT)의 펄스 폭과 상관없이 일정한 펄스 폭을 출력하도록 단조 다중발진기를 사용하였다.
- [0036] 도 6은 본 발명에 따른 단일 전원 씨모스 방사선 센서의 단조 다중 발진기의 회로도이다.
- [0037] 도 6에 도시된 단조 다중 발진기(240)는 짝수의 지연회로(241)를 이용하여 자체 시간 지연(self-timed delay)을 통해 비교기 출력신호(COMP_OUT)를 지연시켜 비교기 출력신호(COMP_OUT)의 펄스 폭과 상관없이 일정한 펄스 폭을 갖는 단조 다중 발진기 출력신호(DISC_OUT)를 출력하도록 하였다. 단조 다중 발진기 출력신호(DISC_OUT)는 도 2에 도시된 베타선 센서 출력신호(BS_OUT)에 대응된다.
- [0038] 도 7은 본 발명에 따른 단일 전원 씨모스 방사선 센서의 전하 감지 증폭기의 입력단과 출력단 사이의 커플링 커패시턴스를 모델링한 도면이다.
- [0039] 도 7의 전하 감지 증폭기의 입력노드인 VIN과 출력 노드인 CSA_OUT 사이의 커플링 커패시턴스는 0.25pF 정도로 계산된다. 한편, COB 테스트 보드에서 VIN에 있는 검출선을 제거한 후 테스트전압(VTEST)을 이용하여 CSA_OUT의 파형을 측정한 결과 전하 감지 증폭기 출력신호(CSA_OUT)의 전압은 50mV로 검출선이 있는 경우의 출력신호 전압보다 2.14배 증가하였음을 확인하였다.
- [0040] 본 발명에서는 PCB 보드 상에서 핀 다이오드 입력단과 센서 출력단 사이의 커플링 노이즈를 억제하기 위해 PCB 상에서 전하 감지 증폭기의 입력단인 VIN과 베타선 센서 출력단인 BS_OUT을 실리콘 칩의 상단과 하단에 배치함으로써 PCB 트레이스간의 커패시터 커플링 노이즈를 감소시켰다.
- [0041] 도 8은 본 발명에 따른 단일 전원 씨모스 방사선 센서의 전하 감지 증폭기에서 PMOS 피드백 트랜지스터를 사용한 경우의 모의실험 결과를 나타내는 도면이고, 도 9는 본 발명에 따른 단일 전원 씨모스 방사선 센서의 전하 감지 증폭기에서 NMOS 피드백 트랜지스터를 사용한 경우의 모의실험 결과를 나타내는 도면이다.
- [0042] 도 8 및 도 9는 본 발명에 따른 단일 전원 씨모스 방사선 센서(200)의 전하 감지 증폭기(210)에서 전하 감지 증폭기 출력노드(CSA_OUT), 제1 증폭기 출력노드(GA_OUT1), CR 회로부 출력노드(HPF_OUT), 제2 증폭기 출력노드(GA_OUT2), 제1 RC 회로 출력노드(LPF_OUT1), 제3 증폭기 출력노드(GA_OUT3), 제2 RC 회로 출력노드(LPF_OUT2), 비교기 출력노드(COMP_OUT) 및 베타선 센서 출력노드(BS_OUT)의 전압 파형을 나타낸다.

[0043] 도 8 및 도 9의 (a)는 제1 피드백 커패시터(C_{f1})의 커패시턴스가 50fF일 때의 결과이고, 도 8 및 도 9의 (b)는 제2 피드백 커패시터(C_{f2})의 커패시턴스가 100fF일 때의 결과이다. 도 8의 (a)와 (b)를 참고하면 피드백 커패시턴스가 100fF인 경우가 50fF인 경우보다 신호 전압이 1/2로 줄어들음을 알 수 있다. 도 9 (a)와 (b)를 참고하면 NMOS 피드백 트랜지스터를 사용하는 경우에도 도 8에서와 같이 PMOS 피드백 트랜지스터를 사용하는 경우와 비슷하게 피드백 커패시턴스가 100fF인 경우가 50fF인 경우보다 신호 전압이 1/2로 줄어들음을 알 수 있다.

[0044] 아래의 표 1은 공급전압(VDD), 온도(TEMP)와 모델 파라미터에 따른 모의실험 조건별 단조 다중 발진기의 펄스폭을 비교한 결과를 나타내는 것이고, 표 2는 소모 전류를 비교한 결과를 나타내는 것이다.

표 1

VDD	TEMP	Model Parameter				
		SS	SF	TT	FS	FF
4.5V	-40°C	4.26 μ s	4.41 μ s	6.13 μ s	7.53 μ s	7.66 μ s
	25°C	3.75 μ s	3.99 μ s	5.63 μ s	7.00 μ s	7.19 μ s
	85°C	3.58 μ s	3.70 μ s	5.23 μ s	6.57 μ s	6.76 μ s
5V	-40°C	4.17 μ s	4.25 μ s	5.96 μ s	7.36 μ s	7.50 μ s
	25°C	3.79 μ s	3.86 μ s	5.46 μ s	6.84 μ s	7.01 μ s
	85°C	3.51 μ s	3.60 μ s	5.11 μ s	6.48 μ s	6.60 μ s
5.5V	-40°C	4.05 μ s	4.11 μ s	5.78 μ s	7.19 μ s	7.31 μ s
	25°C	3.69 μ s	3.71 μ s	5.33 μ s	6.74 μ s	6.85 μ s
	85°C	3.45 μ s	3.49 μ s	5.01 μ s	6.26 μ s	6.46 μ s

(a)

VDD	TEMP	Model Parameter				
		SS	SF	TT	FS	FF
4.5V	-40°C	4.28 μ s	4.02 μ s	4.04 μ s	4.08 μ s	3.91 μ s
	25°C	5.71 μ s	5.38 μ s	5.41 μ s	5.46 μ s	5.20 μ s
	85°C	7.08 μ s	6.76 μ s	6.73 μ s	6.77 μ s	6.50 μ s
5V	-40°C	3.91 μ s	3.73 μ s	3.75 μ s	3.76 μ s	3.63 μ s
	25°C	5.21 μ s	4.97 μ s	4.96 μ s	5.06 μ s	4.84 μ s
	85°C	6.50 μ s	6.19 μ s	6.24 μ s	6.29 μ s	6.04 μ s
5.5V	-40°C	3.66 μ s	3.53 μ s	3.53 μ s	3.55 μ s	3.44 μ s
	25°C	4.84 μ s	4.67 μ s	4.66 μ s	4.70 μ s	4.60 μ s
	85°C	6.04 μ s	5.78 μ s	5.82 μ s	5.85 μ s	5.68 μ s

(b)

[0045]

표 2

VDD	TEMP	Model Parameter				
		SS	SF	TT	FS	FF
4.5V	-40°C	3.389	4.931	5.285	5.386	9.118
	25°C	4.385	8.292	7.868	5.835	10.79
	85°C	3.858	6.522	6.674	6.981	13.73
5V	-40°C	4.717	7.128	7.942	8.202	13.72
	25°C	4.795	6.870	7.902	7.805	13.19
	85°C	5.296	7.006	7.905	11.06	19.54
5.5V	-40°C	6.256	8.595	10.67	11.58	19.46
	25°C	6.213	6.660	10.58	13.81	22.12
	85°C	6.064	11.09	10.71	9.181	19.45

(a)

VDD	TEMP	Model Parameter				
		SS	SF	TT	FS	FF
4.5V	-40°C	0.748	0.830	0.850	0.874	1.019
	25°C	0.753	0.906	0.918	0.928	1.095
	85°C	0.802	0.954	0.958	0.972	1.087
5V	-40°C	0.857	0.981	0.991	1.037	1.204
	25°C	0.899	1.054	1.074	1.091	1.273
	85°C	0.949	1.112	1.108	1.145	1.322
5.5V	-40°C	0.987	1.137	1.243	1.155	1.347
	25°C	1.042	1.195	1.221	1.242	1.460
	85°C	1.081	1.246	1.269	1.292	1.571

(b)

[0046]

[0047] 표 1 및 표 2의 (a)는 종래의 센서에 의한 값이고 (b)는 본 발명에 따른 단일 전원 씨모스 방사선 센서에 의한 값을 나타낸다.

[0048] 표 1에서 알 수 있는 바와 같이, 종래의 센서에 의한 펄스 폭의 최소값과 최대값은 각각 3.45 μ s 와 7.66 μ s 이고, 본 발명에 따른 단일 전원 씨모스 방사선 센서에 의한 펄스 폭의 최소값과 최대값은 각각 3.44 μ s 와 7.086 μ s로 종래와 비교하여 큰 차이는 없다.

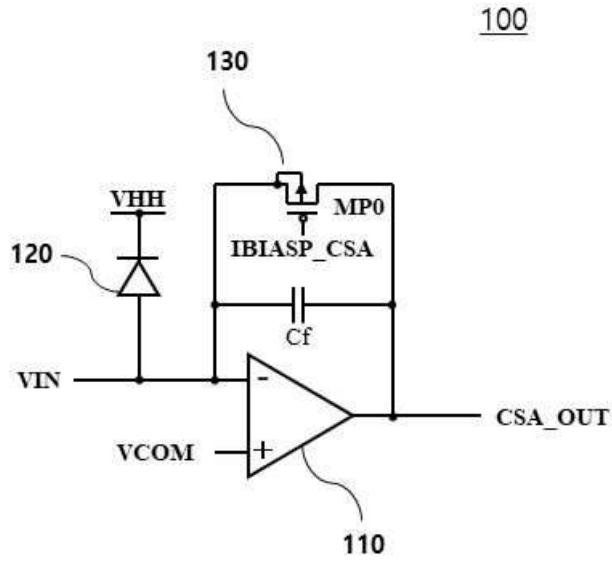
[0049] 그러나 표 2를 참고하면, 본 발명에 따른 단일 전원 씨모스 방사선 센서의 최대 소모전류는 1.57 μ A로 종래의 센서의 22.12 μ A보다 작게 나오는 것을 알 수 있다.

[0050] 이상에서 본 발명의 바람직한 실시 예에 대하여 상세히 설명하였지만, 본 발명의 권리범위가 이에 한정되는 것이 아니라 다음의 청구범위에서 정의하는 본 발명의 기본 개념을 바탕으로 보다 다양한 실시예로 구현될 수 있

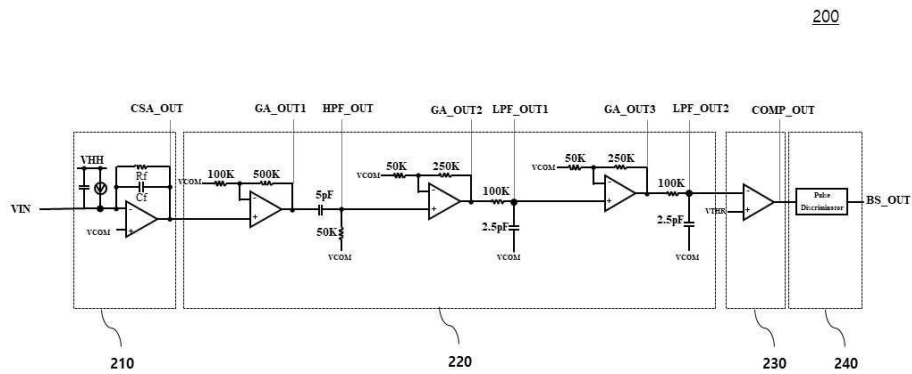
으며, 이러한 실시 예들 또한 본 발명의 권리범위에 속하는 것이다.

도면

도면1

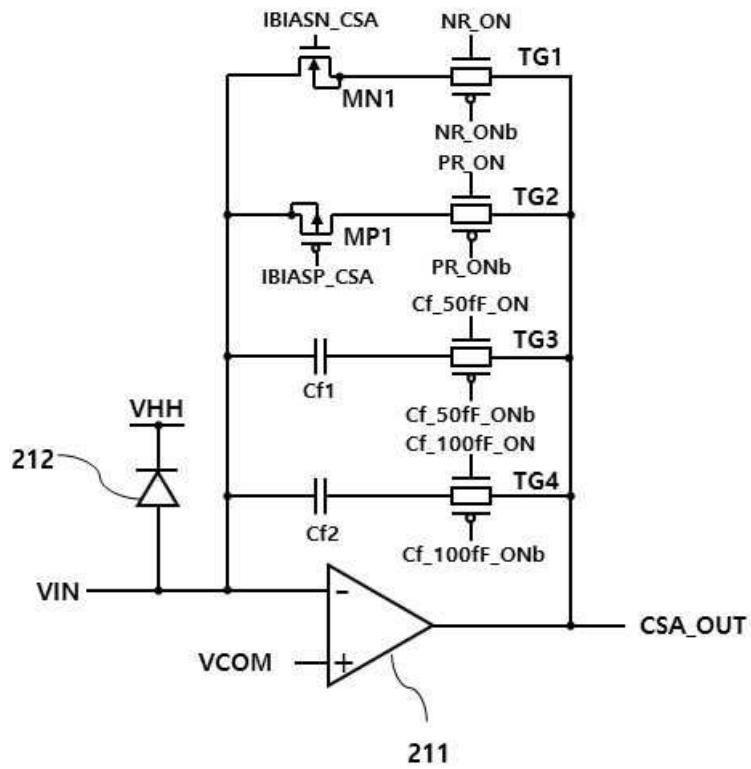


도면2



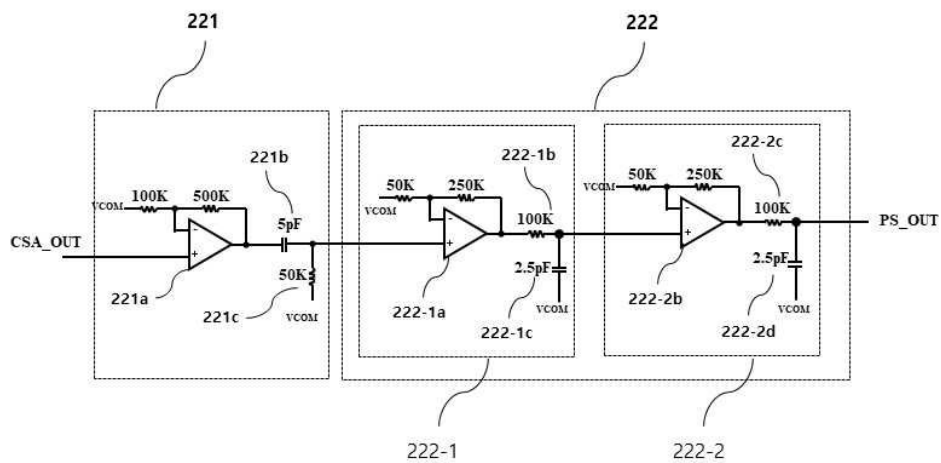
도면3

210

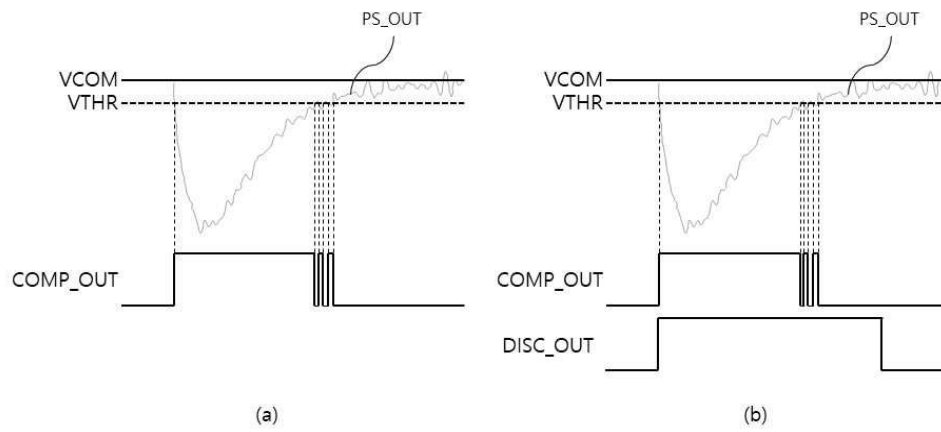


도면4

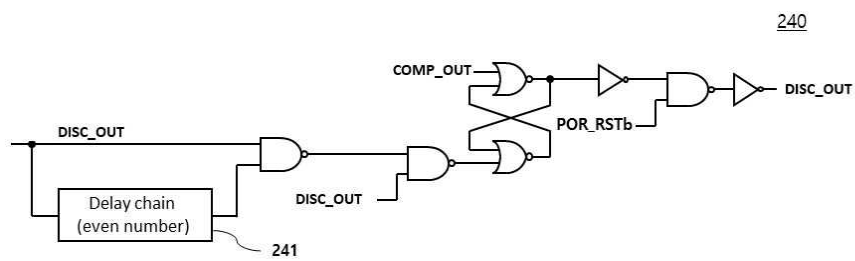
220



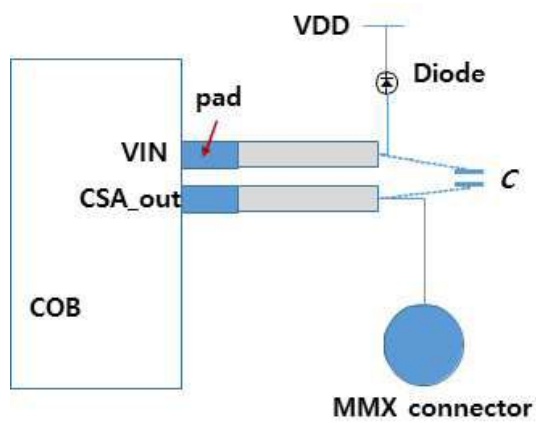
도면5



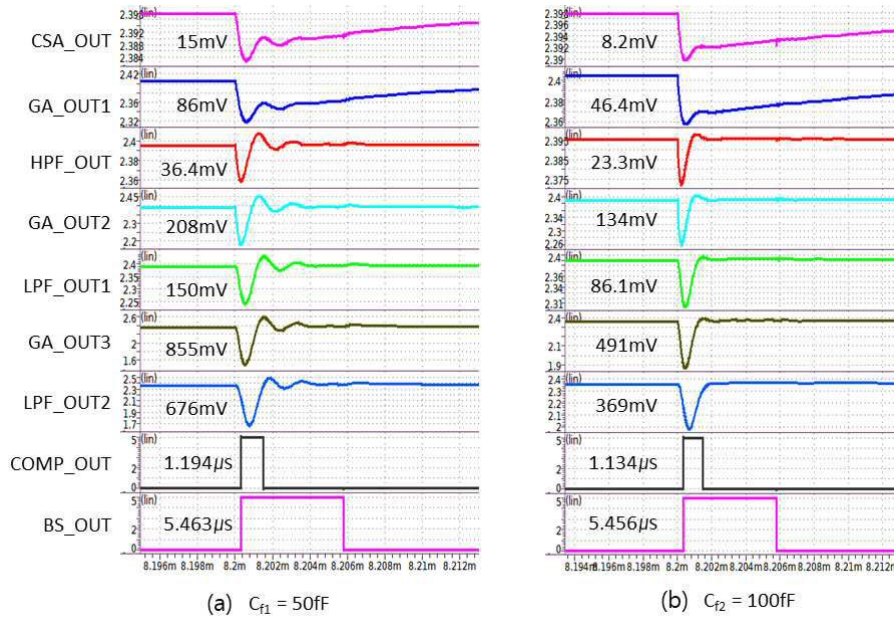
도면6



도면7



도면8



도면9

