

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2023년 5월 25일 (25.05.2023) **WIPO | PCT**

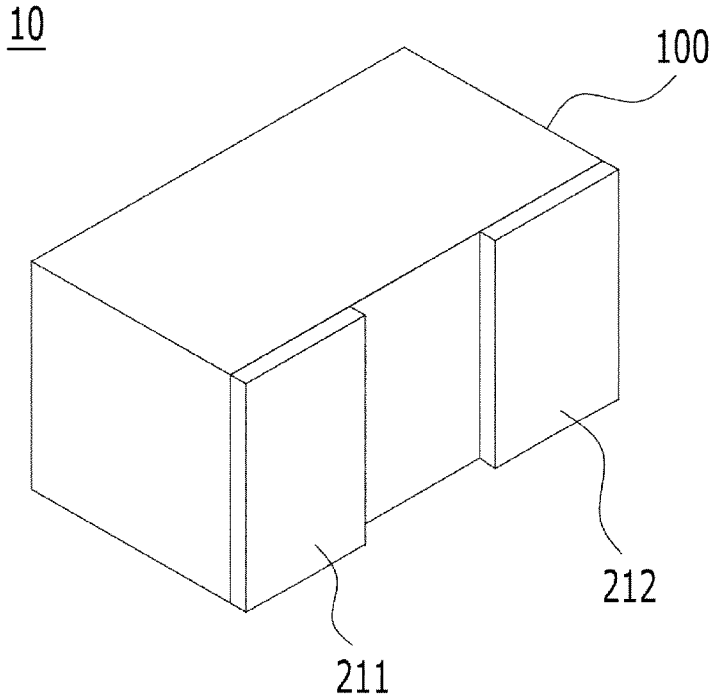


(10) 국제공개번호
WO 2023/090797 A1

- (51) 국제특허분류: **H01G 4/12** (2006.01) **H01G 4/012** (2006.01)
H01G 4/30 (2006.01)
- (21) 국제출원번호: PCT/KR2022/017927
- (22) 국제출원일: 2022년 11월 15일 (15.11.2022)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2021-0159047 2021년 11월 18일 (18.11.2021) KR
- (71) 출원인: 주식회사 아모텍 (**AMOTECH CO., LTD.**) [KR/KR]; 21629 인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데, Incheon (KR).
- (72) 발명자: 임병국 (**LIM, Byungguk**); 21629 인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데, Incheon (KR).
- (74) 대리인: 김철진 (**KIM, Churchill**); 06527 서울특별시 서초구 강남대로97길 37 티엔티빌딩 4층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA,

(54) Title: CERAMIC CAPACITOR

(54) 발명의 명칭: 세라믹 커패시터



(57) Abstract: A ceramic capacitor of the present invention comprises: a ceramic body (100) in which a plurality of first dielectric layers (110) are stacked; and first and second bottom electrodes (211, 212) arranged on both sides of the bottom surface of the ceramic body (100), wherein the plurality of first dielectric layers (110) are formed of only dielectric. The present invention has an advantage of providing a multilayer ceramic capacitor having a low capacity structure to have a high reaction speed while operating at a high frequency.

(57) 요약서: 본 발명의 세라믹 커패시터는 복수의 제1 유전체층(110)이 적층된 세라믹 본체(100)와 상기 세라믹 본체(100)의 하면 양측에 배치된 제1 및 제2 바닥 전극(211, 212)을 포함하고, 상기 복수의 제1 유전체층(110)은 유전체만으로 된다. 본 발명은 고주파에서 동작하면서 반응 속도가 빠르도록 저용량화한 구조의 적층 세라믹 커패시터를 제공할 수 있는 이점이 있다.

[다음 쪽 계속]

SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR,
TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역
내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM,
KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG,
ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM),
유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI,
FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM,
ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 세라믹 커패시터

기술분야

- [1] 본 발명은 세라믹 커패시터에 관한 것으로, 전자기기에 적용되는 적층 세라믹 커패시터(Ceramic capacitor)에 관한 것이다.

배경기술

- [2] 커패시터(Capacitor)는 전압이 일정하게 유지되어야 하는 부품이 있을 때 전기를 저장했다가 부품이 필요로 하는 만큼 전기를 균일하고 안정적으로 공급함으로써 해당 부품을 보호하는 용도로 사용하거나, 전자기기 안에서 노이즈를 제거하는 용도로 사용하거나, 직류와 교류가 섞여 있는 신호에서 교류 신호만 통과시키는 용도로 사용한다.
- [3] 최근 전자기기의 소형 경량화, 디지털화, 고주파화에 따라 전극간 유전체로 세라믹을 여러 층으로 쌓은 적층 세라믹 커패시터(MLCC, Multilayer Chip Capacitor)가 많이 사용되고 있다. 적층 세라믹 커패시터는 능동소자와 수동소자로 구분되어 있는 전자회로에서 반도체, IC 등의 능동소자에 영향을 주는 노이즈를 제거하여 해당 전자기기가 잘 동작하도록 돕는다. 노이즈는 전자기기의 작동을 방해하는 신호를 의미한다.
- [4] 세라믹 커패시터는 유전체, 내부전극, 외부전극으로 구성된다. 세라믹 커패시터는 내부전극이 마주보는 사이에 전하가 축적되므로 한정된 공간에 많은 층의 내부전극을 쌓아 소형화와 고용량화를 구현하고 있다. 이러한 세라믹 커패시터는 빠른 응답이 요구되는 고주파에서는 고용량 세라믹 커패시터 보다는 내부전극의 적층수가 적은 저용량 세라믹 커패시터가 적합하다.
- [5] 그런데, 내부전극의 적층수가 적은 저용량 세라믹 커패시터는 내부전극의 적층수가 적어 인장강도가 약하기 때문에 외부전극을 회로기판에 전기적으로 연결하기 위한 납땜시, 납땜 부위에 응력이 집중되면서 크랙이 발생하기 쉽다. 세라믹 커패시터에 크랙이 발생하면 세라믹 커패시터에서 요구되는 특성이 변하기 때문에 신뢰성이 떨어지게 된다.
- [6] 이상의 배경기술에 기재된 사항은 발명의 배경에 대한 이해를 돕기 위한 것으로서, 공개된 종래 기술이 아닌 사항을 포함할 수 있다.

발명의 상세한 설명

기술적 과제

- [7] 본 발명의 목적은 고주파에서 동작하면서 반응 속도가 빠르도록 저용량화한 구조의 적층 세라믹 커패시터를 제공하는 것이다.
- [8] 본 발명의 다른 목적은 저용량화한 구조에서 외부전극을 회로기판에 납땜시(솔더링시) 크랙 발생이 방지되도록 인장강도를 개선한 고주파용 적층 세라믹 커패시터를 제공하는 것이다.

과제 해결 수단

- [9] 상기한 과제를 해결하기 위한 본 발명의 실시예에 따른 세라믹 커패시터는 복수의 제1 유전체층이 적층된 세라믹 본체와 세라믹 본체의 하면 양측에 배치된 제1 및 제2 바닥 전극을 포함한다.
- [10] 세라믹 본체는 플롯 전극이 배치된 제2 유전체층을 더 포함하고, 플롯 전극은 상기 제2 유전체층의 양 측면과 이격되고 양단이 상기 제1 및 제2 바닥 전극의 일부와 오버랩된다.
- [11] 제2 유전체층에 더미 전극이 더 배치되고, 플롯 전극은 제2 유전체층의 길이방향 중심부에 배치되며, 더미 전극은 플롯 전극과 이격되어 배치되고 세라믹 본체의 양 측면으로 노출된다.
- [12] 세라믹 본체는 더미 전극이 배치된 복수의 제3 유전체층을 더 포함하고, 더미 전극은 세라믹 본체의 양 측면으로 노출된다.
- [13] 세라믹 본체는 제1 및 제2 바닥 전극의 상방으로 복수 개가 배치되고 세라믹 본체의 양 측면으로 노출되는 더미 전극들을 더 포함한다.
- [14] 제1 및 제2 바닥 전극과 최하부에 위치한 더미 전극 간 간격과, 더미 전극들 간 간격은 제1 및 제2 바닥 전극을 기판에 솔더링시 솔더가 더미 전극을 타고 올라갈 수 있는 간격이다.
- [15] 더미 전극들 간 높이방향 간격은 $2\mu\text{m}$ ~ $3\mu\text{m}$ 일 수 있다.
- [16] 세라믹 본체는 제2 유전체층 및 제3 유전체층을 더 포함하고, 더미 전극은 제2 유전체층 및 제3 유전체층의 상면과 하면 중 적어도 한 면의 양측에 형성되고 양 측면으로 노출되며 서로 대면하는 형상일 수 있다.
- [17] 더미 전극은 일자 형상, 'ㄷ' 형상, 'T'자 형상 중 하나로 형성될 수 있다.
- [18] 세라믹 본체의 양 측면으로 노출된 더미 전극 부분과 제1 및 제2 바닥 전극은 도금으로 연결될 수 있다.
- [19] 더미 전극들 중 하나는 플롯 전극과 같은 유전체층에 배치될 수 있다.
- [20] 더미 전극들 중 최상부에 위치한 더미 전극과 바닥 전극 간의 거리는 세라믹 본체의 높이의 절반 이하일 수 있다.

발명의 효과

- [21] 본 발명은 내부전극 없이 제1 바닥 전극과 제2 바닥 전극 간에 정전용량(C)을 형성하는 초저용량의 세라믹 커패시터를 제조하여, 고주파에서 동작하면 빠른 반응 속도가 요구되는 전자기기에 적용이 용이한 효과가 있다.
- [22] 또한, 본 발명은 내부에 플롯 전극을 포함하여, 플롯 전극과 제1 바닥 전극과 제2 바닥 전극 간에 정전용량(C)을 추가 형성할 수 있으므로 저용량으로 제조하되 정전용량을 조절하는 것이 가능하다.
- [23] 또한, 본 발명은 세라믹 본체의 양 측면으로 노출되는 복수 개의 더미전극을 포함하여 인장강도를 개선하므로 바닥 전극을 기판에 솔더링시 솔더(S)가 더미 전극을 타고 올라가게 되어 솔더링되는 면적이 넓어지고 크랙 발생이 방지되며

기관에도 안정적으로 실장할 수 있는 효과가 있다.

[24] 또한, 본 발명은 더미 전극을 정전용량 형성에 기여하면서 세라믹 본체의 하단 양측 부분의 인장 강도를 보강하는 형상으로 형성하여, 세라믹 커패시터를 기관에 실장시 안정적인 접합이 가능하고 저용량으로 제작하되 필요시 추가 정전용량을 확보할 수 있는 효과가 있다.

[25] 이와 같이, 본 발명은 고주파용에 적합하도록 저용량으로 제조할 수 있으며, 내부전극을 적용하지 않고도 일정 범위에서 정전용량 조절이 가능하며, 내부전극이 없어 인장강도가 부족한 문제도 더미 전극을 적용하여 해결할 수 있으므로 고신뢰성 세라믹 커패시터의 제조가 가능한 효과가 있다.

도면의 간단한 설명

[26] 도 1a는 본 발명의 제1 실시예에 의한 세라믹 커패시터를 보인 사시도이다.

[27] 도 1b는 본 발명의 제1 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이다.

[28] 도 1c는 본 발명의 제1 실시예에 의한 세라믹 커패시터의 종단면도이다.

[29] 도 2a는 본 발명의 제2 실시예에 의한 세라믹 커패시터를 보인 사시도이다.

[30] 도 2b는 본 발명의 제2 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이다.

[31] 도 2c는 본 발명의 제2 실시예에 의한 세라믹 커패시터의 종단면도이다.

[32] 도 3a는 본 발명의 제3 실시예에 의한 세라믹 커패시터를 보인 사시도이다.

[33] 도 3b는 본 발명의 제3 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이다.

[34] 도 3c는 본 발명의 제3 실시예에 의한 세라믹 커패시터의 종단면도이다.

[35] 도 3d는 본 발명의 제3 실시예에 의한 세라믹 커패시터를 기관에 실장하기 위해 솔더링한 모습을 보인 종단면도이다.

[36] 도 3e는 본 발명의 제3 실시예에 의한 세라믹 커패시터를 기관에 실장하기 위해 솔더링한 모습의 변형예를 보인 종단면도이다.

[37] 도 4a는 본 발명의 제4 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이다.

[38] 도 4b는 본 발명의 제4 실시예에 의한 세라믹 커패시터의 종단면도이다.

[39] 도 5a는 본 발명의 제5 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이다.

[40] 도 5b는 본 발명의 제5 실시예에 의한 세라믹 커패시터의 종단면도이다.

[41] 도 6a는 본 발명의 제6 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이다.

[42] 도 6b는 본 발명의 제6 실시예에 의한 세라믹 커패시터의 종단면도이다.

발명의 실시를 위한 형태

[43] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히

설명하기로 한다.

- [44] 도 1a는 본 발명의 제1 실시예에 의한 세라믹 커패시터를 보인 사시도이고, 도 1b는 본 발명의 제1 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이고, 도 1c는 본 발명의 제1 실시예에 의한 세라믹 커패시터의 종단면도이다. 도면은 본 발명의 사상을 이해할 수 있도록 하기 위한 것일 뿐, 도면에 의해서 본 발명의 범위가 제한되는 것으로 해석되지 않아야 한다. 또한 도면에서 상대적인 두께, 길이나 상대적인 크기는 설명의 편의 및 명확성을 위해 과장될 수 있다.
- [45] 도 1a에 도시된 바에 의하면, 본 발명의 제1 실시예에 의한 세라믹 커패시터(10)는 세라믹 본체(100)와 제1 및 제2 바닥 전극(211,212)을 포함한다. 세라믹 본체(100)는 유전체만으로 이루어진다. 제1 및 제2 바닥 전극(211,212)은 세라믹 본체(100)의 하면 양측에 배치된다. 세라믹 본체(100)는 직육면체 형상으로 형성되며, 세라믹 본체(100)의 하면은 기판에 실장하는 면을 지칭한다.
- [46] 제1 실시예에 의한 세라믹 커패시터(10)는 세라믹 본체(100)가 유전체만으로 이루어지므로 내부전극이 없는 구조이다. 이러한 세라믹 커패시터(10)는 제1 바닥 전극(211)과 제2 바닥 전극(212) 간에 정전용량(Capacitance)을 형성한다. 정전용량은 0.1 pF ~5 pF 일 수 있다. 제1 바닥 전극(211)과 제2 바닥 전극(212) 간에 형성되는 정전용량은 제1 바닥 전극(211)과 제2 바닥 전극(212) 간의 이격된 거리로 조절할 수 있다. 제1 바닥 전극(211)과 제2 바닥 전극(212) 간에는 저용량을 형성하므로 빠른 응답이 요구되는 고주파에 사용하기 적합하다. 빠른 응답이 요구되는 고주파에서는 고용량 커패시터보다는 저용량 커패시터가 적합하다.
- [47] 도 1b에 도시된 바에 의하면, 제1 실시예에 의한 세라믹 커패시터(10)는 유전체만으로 이루어진 제1 유전체층(110)과 제1 및 제2 바닥 전극(211,212)이 배치된 바닥 전극층(210)이 적층된 형태이다.
- [48] 제1 유전체층(110)을 형성하는 유전체의 재료는 유전율이 큰 티탄산바륨(BaTiO_3)계 세라믹일 수 있다. 이외에도 제1 유전체층(110)을 형성하는 유전체 재료는 $(\text{Ca}, \text{Zr})(\text{Sr}, \text{Ti})\text{O}_3$ 를 사용하거나 추가로 포함할 수 있다. 그러나 정전용량은 유전체의 유전율에 비례하므로 유전율이 큰 유전체 재료 BaTiO_3 를 사용하는 것이 바람직하다. 복수의 제1 유전체층(110)이 적층되어 세라믹 본체(100)를 형성할 수 있다.
- [49] 제1 및 제2 바닥 전극(211,212)은 기판과 연결하기 위한 외부전극이다. 제1 및 제2 바닥 전극(211,212)은 바닥 전극층(210)의 하면 양측에 배치된다. 바닥 전극층(210)은 유전체 재료로 제작한 세라믹 시트의 하면 양측에 바닥 전극 재료를 인쇄 또는 도포하여 형성할 수 있다.
- [50] 일 예로, 제1 실시예의 세라믹 커패시터(10)는 유전체 재료로 제조한 세라믹 시트의 하면 양측에 바닥 전극을 인쇄 또는 도포하여 바닥 전극층(210)을 형성한 다음, 바닥 전극층(210)의 상면에 유전체 재료만으로 제작한 세라믹 시트를 반복하여 적층하고, 압착하여 밀도를 높여준 다음 칩 형태로 절단 및 소성하여

제작할 수 있다. 여기서, 세라믹 시트는 유전체 재료 파우더와 첨가 재료 등을 균일하게 혼합하여 슬러리를 만든 다음 필름 위에 슬러리를 균일하게 코팅하는 성형 공정으로 제조할 수 있다.

- [51] 또는, 유전체 재료만으로 제조한 세라믹 시트를 반복 적층하여 세라믹 시트 적층체를 제조한 다음, 압착하고 소성하며, 다듬는 과정을 거친 다음 소성된 적층체의 하면에 바닥 전극 재료를 인쇄 또는 도포하여 제1 및 제2 바닥 전극(211,212)을 형성할 수도 있다. 이때, 세라믹 시트의 적층 수는 세라믹 시트의 두께에 따라 선택적으로 조절 가능하다.
- [52] 제1 실시예의 세라믹 커패시터(10)는 내부전극이 포함되지 않은 구조이므로 세라믹 시트를 반복 적층하지 않고 일정 두께를 가지는 하나의 덩어리로 제작하여 작업 공수를 줄일 수도 있다.
- [53] 그 예로, 도시하지는 않았지만 제1 실시예의 세라믹 커패시터(10)는 유전체 재료로 제작한 세라믹 시트의 하면 양측에 바닥 전극을 인쇄 또는 도포하여 바닥 전극층(210)을 형성한 다음, 바닥 전극층(210)의 상면에 유전체 재료만으로 제작한 일정 형상의 세라믹 시트를 적층한 다음, 압착하고 절단 및 소성하여 제작할 수 있다.
- [54] 또는, 제1 실시예의 세라믹 커패시터(10)는 유전체 재료만으로 일정 형상의 세라믹 시트를 제조한 다음, 압착하고 절단 및 소성하며, 다듬는 과정을 거친 다음 하면에 바닥 전극 재료를 인쇄 또는 도포하여 제1 및 제2 바닥 전극(211,212)을 형성할 수도 있다.
- [55] 바닥 전극 재료는 전기 전도성이 높은 Ag, Cu가 사용될 수 있다. 제1 및 제2 바닥 전극(212)에는 Ni 및 Sn을 도금하여 도금층을 더 형성할 수 있다. 제1 및 제2 바닥 전극(212)에 Ni 및 Sn 도금층을 더 형성하면 기판에 부착력이 증가되고 내습성을 향상시킬 수 있다.
- [56] 도 1c에 도시된 바에 의하면, 제1 실시예에 의한 세라믹 커패시터(10)는 세라믹 본체(100)가 유전체만으로 이루어지고 내부전극이 없는 구조이므로 제조가 용이하고, 제1 바닥 전극(211)과 제2 바닥 전극(212) 간에 정전용량(C)을 형성하므로 초저용량으로 제조할 수 있다. 정전용량은 0.1 pF ~5 pF 일 수 있으며, 바람직하게는 0.1 pF ~1 pF 범위일 수 있다.
- [57] 도 2a는 본 발명의 제2 실시예에 의한 세라믹 커패시터를 보인 사시도이고, 도 2b는 본 발명의 제2 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이고, 도 2c는 본 발명의 제2 실시예에 의한 세라믹 커패시터의 종단면도이다.
- [58] 도 2a에 도시된 바에 의하면, 본 발명의 제2 실시예에 의한 세라믹 커패시터(10-1)는 세라믹 본체(100-1), 플로트 전극(121), 제1 및 제2 바닥 전극(211,212)을 포함한다. 제2 실시예에 의한 세라믹 커패시터(10-1)는 세라믹 본체(100-1)에 플로트 전극(121)을 포함한다. 플로트 전극(121)은 양단이 제1 및 제2 바닥 전극(211,212)과 일부 오버랩되어 정전용량을 추가 형성한다. 제2 실시예에 의한 세라믹 커패시터(10-1)는 플로트 전극(121)이 제1 및 제2 바닥

전극(211,212)과 일부 오버랩되어 정전용량을 추가 형성하므로 제1 실시예에 비해 상대적으로 많은 정전용량을 축적할 수 있다.

- [59] 플로트 전극(121)은 제1 및 제2 바닥 전극(211,212)과 이격되고 양단이 제1 및 제2 바닥 전극(211,212)의 일부와 오버랩 된다. 플로트 전극(121)이 제1 및 제2 바닥 전극(211,212)과 이격된 거리 및 플로트 전극(121)의 양단과 제1 및 제2 바닥 전극(211,212)이 오버랩된(마주보는) 면적을 조절하여 정전용량을 조절할 수 있다. 플로트 전극(121)의 양단과 제1 및 제2 바닥 전극(211,212)이 마주보는 면적이 넓으면 상대적으로 많은 전하를 축적할 수 있다. 제2 실시예에 의한 세라믹 커패시터(10-1)의 정전용량은 0.1 pF ~5 pF 범위일 수 있으며, 상기 범위 내에서 제2 실시예에 의한 세라믹 커패시터(10-1)는 제1 실시예의 세라믹 커패시터(10)에 비해 정전용량이 상대적으로 높다.
- [60] 도 2b에 도시된 바에 의하면, 제2 실시예에 의한 세라믹 커패시터(10-1)는 유전체만으로 이루어진 제1 유전체층(110)과 플로트 전극(121)이 배치된 제2 유전체층(120)과 제1 및 제2 바닥 전극(211,212)이 배치된 바닥 전극층(210)이 적층된 형태이다.
- [61] 복수의 제1 유전체층(110)과 하나 이상의 제2 유전체층(120)이 적층되어 세라믹 본체(100-1)를 형성할 수 있으며, 세라믹 본체(100-1)의 하면에 바닥 전극층(210)이 더 적층되어 세라믹 커패시터(10-1)를 형성할 수 있다.
- [62] 제1 유전체층(110)을 형성하는 유전체의 재료는 유전율이 큰 티탄산바륨(BaTiO_3)계 세라믹일 수 있다. 이외에도 제1 유전체층(110)을 형성하는 유전체 재료는 $(\text{Ca}, \text{Zr})(\text{Sr}, \text{Ti})\text{O}_3$ 를 사용하거나 추가로 포함할 수 있다.
- [63] 플로트 전극(121)은 정전용량을 추가 형성하기 위한 구성이다. 플로트 전극(121)은 제2 유전체층(120)의 길이방향 중심부에 배치되며 양단 일부가 제1 및 제2 바닥 전극(211,212)과 오버랩 될 수 있도록 일정 면적을 갖는다. 플로트 전극(121)은 유전체 재료로 제작한 세라믹 시트의 상면 또는 하면에 플로트 전극 재료를 인쇄 또는 도포하여 형성할 수 있다. 플로트 전극(121)은 세라믹 본체(100-1) 내에 배치되고 외부로 노출되지 않는다.
- [64] 제1 및 제2 바닥 전극(211,212)은 기관과 연결하기 위한 외부전극이다. 제1 및 제2 바닥 전극(211,212)은 바닥 전극층(210)의 하면 양측에 배치된다. 바닥 전극층(210)은 유전체 재료로 제작한 세라믹 시트의 하면 양측에 바닥 전극 재료를 인쇄 또는 도포하여 형성할 수 있다.
- [65] 일 예로, 제2 실시예의 세라믹 커패시터(10-1)는 유전체 재료로 제조한 세라믹 시트의 하면 양측에 바닥 전극을 인쇄 또는 도포하여 바닥 전극층(210)을 형성하고, 유전체 재료로 제조한 세라믹 시트의 상면과 하면 중 한 면에 플로트 전극을 인쇄하여 제2 유전체층(120)을 형성한다. 다음으로, 바닥 전극층(210)의 상면에 제2 유전체층(120)을 적층하고, 제2 유전체층(120)의 상면에 유전체 재료만으로 제작한 세라믹 시트를 반복 적층하여 복수의 제1 유전체층(110)을 형성한 다음, 압착하고 칩 형태로 절단 및 소성하여 제작할 수 있다. 여기서,

세라믹 시트는 유전체 재료 파우더(BaTiO_3)와 첨가 재료 등을 균일하게 혼합하여 슬러리를 만든 다음 필름 위에 슬러리를 균일하게 코팅하는 성형 공정으로 제조할 수 있다.

- [66] 또는, 유전체 재료만으로 제조한 세라믹 시트의 상면에, 세라믹 시트에 플로트 전극을 인쇄한 제2 유전체층(120)을 적층한 다음, 제2 유전체층(120)의 상면에 유전체 재료만으로 제조한 세라믹 시트를 반복 적층하여 플로트 전극(121)을 포함하는 세라믹 시트 적층체를 제조한 다음, 플로트 전극(121)을 포함하는 세라믹 시트 적층체를 압착하고 소성하며, 다듬는 과정을 거친 다음, 소성된 적층체의 하면에 바닥 전극 재료를 인쇄 또는 도포하여 제1 및 제2 바닥 전극(211,212)을 형성할 수도 있다.
- [67] 플로트 전극(121)이 제1 및 제2 바닥 전극(211,212)과 이격된 거리로 정전용량을 조절할 수 있다. 실시예에서는 제2 유전체층(120)이 바닥 전극층(210)의 상면에 적층되고, 제2 유전체층(120)의 상면에 복수의 제1 유전체층(110)이 적층된 것을 일 예로 설명하였으나, 제2 유전체층(120)을 제1 유전체층(110)들의 사이에 적층하여 플로트 전극(121)이 제1 및 제2 바닥 전극(211,212)과 이격된 거리를 조절할 수 있다.
- [68] 플로트 전극 재료는 Pd, Pt, Ag-Pd, Ni 중 하나 또는 이들의 혼합 금속이 사용될 수 있으며, 고주파 대역에서 High-Q를 얻기 위하여 Ag 또는 Cu가 사용될 수 있다.
- [69] 바닥 전극 재료는 전기 전도성이 높은 Ag, Cu가 사용될 수 있다. 제1 및 제2 바닥 전극(212)에는 Ni 및 Sn을 도금하여 도금층을 더 형성할 수 있다. 제1 및 제2 바닥 전극(212)에 Ni 및 Sn 도금층을 더 형성하면 기판에 부착력이 증가되고 내습성을 향상시킬 수 있다.
- [70] 도 2c에 도시된 바에 의하면, 제2 실시예에 의한 세라믹 커패시터(10-1)는 세라믹 본체(100-1)에 플로트 전극(121)이 포함되고, 플로트 전극(121)의 양단은 제1 바닥 전극(211) 및 제2 바닥 전극(212)과 일부 오버랩되어 정전용량(C)을 형성하므로 저용량으로 제조할 수 있다. 제2 실시예에 의한 세라믹 커패시터(10-1)의 정전용량은 0.1 pF ~5 pF 일 수 있으며, 상기 범위 내에서 제1 실시예에 비해서는 높은 정전용량을 얻을 수 있다.
- [71] 도 3a는 본 발명의 제3 실시예에 의한 세라믹 커패시터를 보인 사시도이고, 도 3b는 본 발명의 제3 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이고, 도 3c는 본 발명의 제3 실시예에 의한 세라믹 커패시터의 종단면도이고, 도 3d는 본 발명의 제3 실시예에 의한 세라믹 커패시터를 기판에 실장하기 위해 솔더링한 모습을 보인 종단면도이고, 도 3e는 본 발명의 제3 실시예에 의한 세라믹 커패시터를 기판에 실장하기 위해 솔더링한 모습의 변형예를 보인 종단면도이다.
- [72] 도 3a에 도시된 바에 의하면, 제3 실시예에 의한 세라믹 커패시터(10-2)는 세라믹 본체(100-2), 플로트 전극(121), 더미 전극(131,132), 제1 및 제2 바닥 전극(211,212)을 포함한다. 제3 실시예에 의한 세라믹 커패시터(10-2)는 세라믹

본체(100-2)에 플로트 전극(121)과 더미 전극(131,132)을 포함한다.

- [73] 플로트 전극(121)은 양단이 제1 및 제2 바닥 전극(211,212)과 일부 오버랩되어 정전용량을 추가 형성한다. 플로트 전극(121)은 제1 및 제2 바닥 전극(211,212)과 이격되고 양단이 제1 및 제2 바닥 전극(211,212)의 일부와 오버랩 된다. 플로트 전극(121)이 제1 및 제2 바닥 전극(211,212)과 이격된 거리 및 플로트 전극(121)의 양단과 제1 및 제2 바닥 전극(211,212)이 오버랩된(마주보는) 면적을 조절하여 정전용량을 조절할 수 있다.
- [74] 더미 전극(131,132)은 제1 및 제2 바닥 전극(211,212)의 상방으로 복수 개가 배치되고 세라믹 본체(100-2)의 양 측면으로 노출된다. 더미 전극(131,132)은 세라믹 커패시터(10-2)의 인장강도를 확보하기 위한 것이다. 세라믹 본체(100)가 유전체 재료만으로 이루어지거나 세라믹 본체(100-1)의 내부에 하나의 플로트 전극(121)만 구비되는 경우 세라믹 재료의 특성상 인장강도가 낮을 수 있다. 특히, 세라믹 본체(100)가 유전체 재료만으로 이루어지는 경우, 세라믹 커패시터를 기판에 솔더링 접합시 하중이 집중되는 커패시터의 하부 양측에 응력이 집중되어 크랙이 발생할 수 있다.
- [75] 따라서 바닥 전극(211,212)과 인접한 세라믹 본체(100-2)의 양측에 복수층의 더미 전극(131,132)을 배치하여 기판과 솔더링 접합되는 부분의 인장강도를 보강한다. 바닥 전극(211,212)과 인접한 세라믹 본체(100-2)의 양측에 복수층의 더미 전극(131,132)을 배치하면 내부전극이 없거나 내부전극의 적층 수가 적은 세라믹 커패시터(10-2)의 인장강도를 보강할 수 있다.
- [76] 또한, 더미 전극(131,132)은 세라믹 본체(100-2)의 양 측면으로 노출된다. 세라믹 본체(100-2)의 양 측면으로 노출되는 더미 전극(131,132)은 바닥 전극(211,212)을 기판에 솔더링시 솔더가 더미 전극(131,132)을 타고 올라가게 함으로써 솔더링되는 면적을 넓혀 세라믹 커패시터(10-2)를 기판에 안정적으로 접합함과 더불어 기판과 접촉되는 외부전극의 면적을 넓혀 접촉 신뢰성을 높인다.
- [77] 더미 전극(131,132)은 제1 및 제2 바닥 전극(211,212)의 상방으로 복수 개가 배치된다. 제3 실시예에서 더미 전극(131,132)은 제1 및 제2 바닥 전극(211,212)의 상방으로 복수 개가 일정 높이까지 배치되어 기판과 솔더링 접합되는 부분의 인장강도를 보강하는 역할을 하고 정전용량 형성에는 기여하지 않는다.
- [78] 도 3b에 도시된 바에 의하면, 제3 실시예에 의한 세라믹 커패시터(10-2)는 유전체만으로 이루어진 제1 유전체층(110)과 더미 전극(131,132)이 배치된 제3 유전체층(130)과 플로트 전극(121)이 배치된 제2 유전체층(120)과 제1 및 제2 바닥 전극(211,212)이 배치된 바닥 전극층(210)이 적층된 형태이다.
- [79] 제1 유전체층(110)을 형성하는 유전체의 재료는 유전율이 큰 티탄산바륨(BaTiO_3)계 세라믹일 수 있다. 이외에도 제1 유전체층(110)을 형성하는 유전체 재료는 $(\text{Ca}, \text{Zr})(\text{Sr}, \text{Ti})\text{O}_3$ 를 사용하거나 추가로 포함할 수 있다.
- [80] 플로트 전극(121)은 제2 유전체층(120)의 길이방향 중심부에 배치되어 양

측면이 제2 유전체층(120)의 길이방향 양 측면과 이격되며 양단 일부가 제1 및 제2 바닥 전극(211,212)과 오버랩 될 수 있도록 일정 면적을 갖는다. 플로트 전극(121)은 유전체 재료로 제작한 세라믹 시트의 상면 또는 하면에 플로트 전극 재료를 인쇄 또는 도포하여 형성할 수 있다. 플로트 전극(121)은 세라믹 본체(100-1) 내에 배치되고 외부로 노출되지 않는다.

- [81] 더미 전극(131,132) 중 하나는 플로트 전극(121)과 같은 유전체층에 배치될 수 있다. 일 예로, 더미 전극(131,132) 중 하나는 플로트 전극(121)이 배치되는 제2 유전체층(120)에 배치되고, 나머지는 제2 유전체층(120)의 상면에 적층되는 제3 유전체층(130)에 배치될 수 있다. 제3 유전체층(130)은 복수 개일 수 있다.
- [82] 더미 전극(131,132) 중 하나를 플로트 전극(121)과 같은 유전체층에 배치하면 적층 수를 줄여 세라믹 커패시터(10-2)의 제조 공정수를 줄일 수 있다.
- [83] 제2 유전체층(120)에서 플로트 전극(121)은 제2 유전체층(120)의 길이방향 중심부에 배치되며, 더미 전극(131,132)은 플로트 전극(121)과 이격되어 배치되고 세라믹 본체(100-2)의 양 측면으로 노출될 수 있다.
- [84] 제3 유전체층(130)에 배치되는 더미 전극(131,132)은 제3 유전체층(130)의 상면 양측에 대면하면서 양단으로 노출되게 배치될 수 있다. 실시예에서 제3 유전체층(130)에 배치되는 더미 전극(131,132)은 상면 양측에 3면으로 노출되는 일자 형상이 서로 대면하게 형성된다.
- [85] 제1 및 제2 바닥 전극(211,212)은 바닥 전극층(210)의 하면 양측에 배치된다. 바닥 전극층(210)은 유전체 재료로 제작한 세라믹 시트의 하면 양측에 바닥 전극 재료를 인쇄 또는 도포하여 형성할 수 있다.
- [86] 일 예로, 제3 실시예의 세라믹 커패시터(10-2)는 유전체 재료로 제조한 세라믹 시트의 하면 양측에 바닥 전극을 인쇄 또는 도포하여 바닥 전극층(210)을 형성하고, 유전체 재료로 제조한 세라믹 시트의 상면과 하면 중 한 면에 플로트 전극과 더미 전극(131,132)을 인쇄하여 제2 유전체층(120)을 형성한다. 다음으로, 바닥 전극층(210)의 상면에 제2 유전체층(120)을 적층하고, 제2 유전체층(120)의 상면에 유전체 재료로 제조한 세라믹 시트의 상면과 하면 중 한 면의 양측에 외부로 노출되게 더미 전극(131,132)을 인쇄하여 제3 유전체층(130)을 형성한다. 다음으로 제3 유전체층(130)의 상면에 유전체 재료만으로 제작한 세라믹 시트를 반복 적층하여 복수의 제1 유전체층(110)을 형성한 다음, 압착하고 칩 형태로 절단 및 소성하여 제작할 수 있다. 여기서, 세라믹 시트는 유전체 재료 파우더(BaTiO_3)와 첨가 재료 등을 균일하게 혼합하여 슬러리를 만든 다음 필름 위에 슬러리를 균일하게 코팅하는 성형 공정으로 제조할 수 있다.
- [87] 또는, 유전체 재료만으로 제조한 세라믹 시트의 상면에, 세라믹 시트에 플로트 전극(121)과 더미 전극(131,132)을 인쇄한 제2 유전체층(120)을 적층한 다음, 제2 유전체층(120)의 상면에 더미 전극(131,132)을 인쇄한 복수의 제3 유전체층(130)을 적층한 다음, 유전체 재료만으로 제조한 세라믹 시트를 반복 적층하여 플로트 전극(121)과 더미 전극(131,132)을 포함하는 세라믹 시트

적층체를 제조한 다음, 세라믹 시트 적층체를 압착하고 소성하며, 다듬는 과정을 거친 다음, 소성된 적층체의 하면에 바닥 전극 재료를 인쇄 또는 도포하여 제1 및 제2 바닥 전극(211,212)을 형성할 수도 있다.

- [88] 플로트 전극 재료는 Pd, Pt, Ag-Pd, Ni 중 하나 또는 이들의 혼합 금속이 사용될 수 있으며, 고주파 대역에서 High-Q를 얻기 위하여 Ag 또는 Cu가 사용될 수 있다.
- [89] 더미 전극(131,132)의 재료는 Pd, Pt, Ag-Pd, Ni 중 하나 또는 이들의 혼합 금속이 사용될 수 있으며, Au, Ag, Cu 중 하나 또는 이들의 혼합 금속이 추가로 도금될 수 있다. 또는, 더미 전극(131,132)의 재료는 Au, Ag, Cu 중 하나 또는 이들의 혼합 금속이 사용될 수 있다.
- [90] 바닥 전극 재료는 전기 전도성이 높은 Ag, Cu가 사용될 수 있다. 제1 및 제2 바닥 전극(212)에는 Ni 및 Sn을 도금하여 도금층을 더 형성할 수 있다. 제1 및 제2 바닥 전극(212)에 Ni 및 Sn 도금층을 더 형성하면 기판에 부착력이 증가되고 내습성을 향상시킬 수 있다.
- [91] 도 3c에 도시된 바에 의하면, 제3 실시예에 의한 세라믹 커패시터(10-2)는 세라믹 본체(100-2)에 플로트 전극(121)과 더미 전극(131,132)이 포함되고, 플로트 전극(121)의 양단은 제1 바닥 전극(211) 및 제2 바닥 전극(212)과 일부 오버랩되어 정전용량(C)을 형성하므로 저용량으로 제조할 수 있고, 더미 전극(131,132)은 정전용량 형성에는 관여하지 않으면서 세라믹 본체(100-2)의 하단 양측 부분의 인장 강도를 보강할 수 있다. 제3 실시예에 의한 세라믹 커패시터(10-2)의 정전용량은 0.1 pF ~5 pF 일 수 있으며, 상기 범위 내에서 제1 실시예에 비해서는 높은 정전용량을 얻을 수 있다.
- [92] 더미 전극(131,132) 중 최상부에 위치한 더미 전극과 바닥 전극 간의 거리(m)는 세라믹 본체(100-2)의 높이(n)의 절반 이하인 것이 바람직하다. 이는 솔더가 부착되는 면적이 높아 크랙 발생 확률이 높은 부분만 보강해주면 되므로 바닥 전극과 인접한 부분에만 더미 전극을 형성하는 것이다. 솔더는 납일 수 있다.
- [93] 제1 및 제2 바닥 전극과 최하부에 위치한 더미 전극 간 간격과, 더미 전극들 간 간격은 제1 및 제2 바닥 전극을 기판에 솔더링시 솔더가 더미 전극을 타고 올라갈 수 있는 간격으로 된다. 바람직하게는 더미 전극(131,132)들 간 간격은 $2\mu\text{m}\sim 3\mu\text{m}$ 이다.
- [94] 도 3d에 도시된 바에 의하면, 제3 실시예에 의한 세라믹 커패시터(10-2)는 더미 전극(131,132)이 세라믹 본체(100-2)의 양 측면으로 노출되므로 바닥 전극(211,212)을 기판(20)에 솔더링시 솔더(S)가 더미 전극(131,132)을 타고 올라가게 되어 솔더링되는 면적이 넓어지고 세라믹 커패시터(10-2)가 기판(20)의 회로 패턴(21)에 안정적으로 접합됨과 더불어 기판(20)과 접속되는 외부전극의 면적을 넓혀 접속 신뢰성을 높인다.
- [95] 도 3e에 도시된 바에 의하면, 세라믹 본체(100-2)의 양 측면으로 노출된 더미 전극(131,132) 부분과 제1 및 제2 바닥 전극(211,212)은 도금으로 연결될 수 있다.
- [96] 즉, 최종적으로 절단 및 소성하여 제조한 세라믹 본체(100-2)에서 양 측면으로

노출된 더미 전극(131,132) 부분과 제1 및 제2 바닥 전극(211,212)을 연결하는 도금층(D)을 형성하면 솔더링시 솔더(S)가 도금층(D)을 타고 올라가면서 솔더링이 보다 안정적으로 수행된다.

- [97] 도금층(D)은 Au, Ag, Cu 중 하나 또는 이들의 혼합 금속으로 될 수 있다.
- [98] 도 4a는 본 발명의 제4 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이고, 도 4b는 본 발명의 제4 실시예에 의한 세라믹 커패시터의 종단면도이다.
- [99] 도 4a에 도시된 바에 의하면, 제4 실시예에 의한 세라믹 커패시터(10-3)는 유전체만으로 이루어진 제1 유전체층(110)과 더미 전극(131',132')이 배치된 제3 유전체층(130-1)과 플로트 전극(121)과 더미 전극(131',132')이 모두 배치된 제2 유전체층(120-1)과 제1 및 제2 바닥 전극(211',212')이 배치된 바닥 전극층(210-1)이 적층된 형태이다.
- [100] 제4 실시예는 더미 전극(131',132')의 형상 및 바닥 전극(211',212')의 형상이 제3 실시예와 차이가 있으므로 차이가 있는 구성에 대해서만 설명하기로 한다.
- [101] 제2 유전체층(120-1)과 제3 유전체층(130-1)에 배치되는 더미 전극(131',132')은 제2 유전체층(120-1)과 제3 유전체층(130-1)의 상면 양측에 배치되고 서로 대면하면서 양단으로 노출된다. 제4 실시예에서 제2 유전체층(120-1)과 제3 유전체층(130-1)에 배치되는 더미 전극(131',132')은 'ㄷ' 형상으로 되어 상면 양측에 배치되는 각각이 3면으로 노출된다. 이러한 더미 전극(131',132')은 'ㄷ' 형상의 대면하는 전후단이 서로 가까워지면서 정전용량을 형성할 수 있다. 즉, 'ㄷ' 형상의 대면하는 전후단 사이의 거리를 조절하여 정전용량을 조절할 수 있다.
- [102] 바닥 전극(211',212')은 바닥전극층(210-1)의 하면 양측에 배치되되 양단이 단부로 노출되지 않는 형상일 수 있다. 바닥 전극(211',212')은 바닥전극층(210-1)의 하면 양측에 배치되되 양단이 단부로 노출되지 않는 형상인 경우, 솔더(S)가 부착되는 단면적을 넓혀 바닥 전극(211',212')을 기판(20)에 보다 안정적으로 접합할 수 있다. 바닥 전극(211',212')은 고주파용에 적합하다.
- [103] 도 4b에 도시된 바에 의하면, 제4 실시예에 의한 세라믹 커패시터(10-3)는 세라믹 본체(100-3)에 플로트 전극(121)과 더미 전극(131',132')이 포함되고, 플로트 전극(121)의 양단은 제1 바닥 전극(211') 및 제2 바닥 전극(212')과 일부 오버랩되어 정전용량(C)을 형성하므로 저용량으로 제조할 수 있고, 더미 전극(131',132')은 필요에 따라 정전용량 형성에 기여하면서 세라믹 본체(100-2)의 하단 양측 부분의 인장 강도를 보강할 수 있다. 제4 실시예에 의한 세라믹 커패시터(10-3)의 정전용량은 0.1 pF ~5 pF 일 수 있으며, 상기 범위 내에서 제1 실시예에 비해서는 높은 정전용량을 얻을 수 있다.
- [104] 도 5a는 본 발명의 제5 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이고, 도 5b는 본 발명의 제5 실시예에 의한 세라믹 커패시터의

종단면도이다.

- [105] 도 5a에 도시된 바에 의하면, 제5 실시예에 의한 세라믹 커패시터(10-4)는 유전체만으로 이루어진 제1 유전체층(110)과 더미 전극(131',132')이 배치된 제3 유전체층(130-1)과 제1 및 제2 바닥 전극(211',212')이 배치된 바닥 전극층(210-1)이 적층된 형태이다. 제1 유전체층(110)은 복수 개일 수 있다.
- [106] 제5 실시예는 플로트 전극이 없이 'ㄷ' 형상의 더미 전극(131',132')만 적용된 점에서 제4 실시예와 차이가 있으므로 차이가 있는 구성에 대해서만 설명하기로 한다.
- [107] 제3 유전체층(130-1)에 배치되는 더미 전극(131',132')은 제3 유전체층(130-1)의 상면 양측에 배치되고 서로 대면하면서 양단으로 노출된다. 제5 실시예에서 제3 유전체층(130-1)에 배치되는 더미 전극(131',132')은 'ㄷ' 형상으로 되어 상면 양측에 배치되는 각각이 3면으로 노출된다. 이러한 더미 전극(131',132')은 'ㄷ' 형상의 대면하는 전후단이 서로 가까워지면서 정전용량을 형성할 수 있다.
- [108] 더미 전극(131',132')이 배치되는 제3 유전체층(130-1)은 복수 개일 수 있으며, 더미 전극(131',132') 간 간격은 제1 및 제2 바닥 전극(211',212')을 기관에 솔더링시 솔더가 더미 전극(131',132')을 타고 올라가 외부 전극을 형성할 수 있도록 $2\mu\text{m}\sim 3\mu\text{m}$ 인 것이 바람직하다.
- [109] 도 5b에 도시된 바에 의하면, 제4 실시예에 의한 세라믹 커패시터(10-4)는 세라믹 본체(100-4)에 더미 전극(131',132')이 포함되고, 더미 전극(131',132')은 필요에 따라 정전용량 형성에 기여하면서 세라믹 본체(100-4)의 하단 양측 부분의 인장 강도를 보강할 수 있다. 제5 실시예에 의한 세라믹 커패시터(10-4)의 정전용량은 0.1 pF ~ 5 pF 일 수 있으며, 상기 범위 내에서 제1 실시예에 비해서는 높은 정전용량을 얻을 수 있다.
- [110] 도 6a는 본 발명의 제6 실시예에 의한 세라믹 커패시터를 보인 분해 사시도이고, 도 6b는 본 발명의 제6 실시예에 의한 세라믹 커패시터의 종단면도이다.
- [111] 도 6a에 도시된 바에 의하면, 제6 실시예에 의한 세라믹 커패시터(10-5)는 유전체만으로 이루어진 제1 유전체층(110)과 더미 전극(131,132)이 배치된 제3 유전체층(130)과 제3 유전체층(130)에 형성된 더미 전극(131,132)과 다른 형상의 더미 전극(131",132")이 배치된 제4 유전체층(130-2) 및 제1 및 제2 바닥 전극(211',212')이 배치된 바닥 전극층(210-1)이 적층된 형태이다. 제1 유전체층(110)은 복수 개일 수 있다.
- [112] 제6 실시예는 플로트 전극이 없이 일자 형상의 더미 전극(131',132')과 'T'자 형상 더미 전극(131",132")을 혼용한 점에서 제5 실시예와 차이가 있으므로 차이가 있는 구성에 대해서만 설명하기로 한다.
- [113] 제3 유전체층(130)에 배치되는 일자 형상의 더미 전극(131,132)은 제3 유전체층(130)의 상면 양측에 배치되고 서로 대면하면서 양단으로 노출된다. 제4 유전체층(130-2)에 배치되는 더미 전극(131",132")은 'T'자 형상으로 되어 상면

양측에 배치되는 각각이 3면으로 노출된다. 이러한 더미 전극(131",132")은 'T'자 형상의 대면하는 중간 부분이 서로 가까워지면서 정전용량을 형성할 수 있다.

- [114] 더미 전극(131,132)이 배치되는 제3 유전체층(130)은 복수 개일 수 있으며, 제3 유전체층(130)에 형성된 더미 전극(131,132)과 다른 형상의 더미 전극(131",132")이 배치된 제4 유전체층(130-2)은 하나 일 수 있다. 제4 유전체층(130-2)과 제3 유전체층(130)들의 적층 순서를 조정하여 'T'자 형상의 더미 전극(131,132)이 제1 및 제2 바닥 전극(211',212')과 이격된 거리를 조정할 수 있다.
- [115] 더미 전극(131,132, 131",132")들 간 간격은 제1 및 제2 바닥 전극(211',212')을 기판에 솔더링시 솔더가 더미 전극(131',132')을 타고 올라가 외부 전극을 형성할 수 있도록 $2\mu\text{m}\sim 3\mu\text{m}$ 인 것이 바람직하다.
- [116] 도 6b에 도시된 바에 의하면, 제6 실시예에 의한 세라믹 커패시터(10-5)는 세라믹 본체(100-5)에 인장강도를 보강하는 더미 전극(131,132)과 인장강도 보강과 정전용량을 추가 형성할 수 있는 더미 전극(131",132")을 모두 포함하여, 필요에 따라 정전용량(C) 형성에 기여하면서 세라믹 본체(100-5)의 하단 양측 부분의 인장 강도를 보강할 수 있다. 제6 실시예에 의한 세라믹 커패시터(10-5)의 정전용량은 $0.1\text{ pF}\sim 5\text{ pF}$ 일 수 있으며, 상기 범위 내에서 제1 실시예에 비해서는 높은 정전용량을 얻을 수 있다.
- [117] 상술한 본 발명의 제1 실시예는 제1 바닥 전극(211)과 제2 바닥 전극(212) 간에 정전용량(C)을 형성하므로 초저용량으로 제조할 수 있다.
- [118] 제2 실시예는 플로트 전극(121)을 포함하고, 플로트 전극(121)이 제1 바닥 전극(211) 및 제2 바닥 전극(212)과 일부 오버랩되어 정전용량(C)을 형성하므로 저용량으로 제조할 수 있다.
- [119] 제3 실시예는 세라믹 본체(100-2)의 양 측면으로 노출되는 더미 전극(131,132)을 더 포함하여, 바닥 전극(211,212)을 기판(20)에 솔더링시 솔더(S)가 더미 전극(131,132)을 타고 올라가게 되어 솔더링되는 면적이 넓어지고 세라믹 커패시터(10-2)가 기판(20)의 회로 패턴(21)에 안정적으로 접합될 수 있다.
- [120] 제4 실시예는 더미 전극(131',132')이 정전용량 형성에 기여하면서 세라믹 본체(100-2)의 하단 양측 부분의 인장 강도를 보강하는 형상이므로, 세라믹 커패시터(10-3)를 기판에 실장시 안정적인 접합이 가능하고 저용량으로 제작하되 제2 실시예에 비해 높은 정전용량을 얻을 수 있다.
- [121] 제5 실시예는 세라믹 본체(100-4)에 플로트 전극을 포함하지 않고 더미 전극(131',132')만 포함하여, 제1 실시예에 비해 인장강도를 높여 세라믹 커패시터(10-4)를 기판에 실장시 안정적인 접합이 가능하게 할 수 있다.
- [122] 제6 실시예는 세라믹 본체(100-4)에 플로트 전극을 포함하지 않고 더미 전극(131,132, 131",132")만 포함하되, 더미 전극(131,132, 131",132") 중 적어도 하나의 더미 전극(131",132")을 정전용량 형성에 기여할 수 있는 형상으로

제작하여 프로그 전극을 사용하지 않고도 추가 용량을 확보할 수 있다.

[123] 상술한 본 발명의 실시예들 중 더미 전극을 포함하는 구조는 내부 전극이 없거나 최소화되어 강도가 부족한 저용량 세라믹 커패시터에서 기관 실장시 균열이나 크랙 발생을 방지할 수 있다.

[124] 상술한 본 발명의 실시예들은 고주파 및 저용량 세라믹 커패시터에 적용이 용이하며, 제1 실시예 내지 제6 실시예로 구분하여 실시하였으나, 이들을 혼용하여 적용 가능할 수 있다.

[125] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

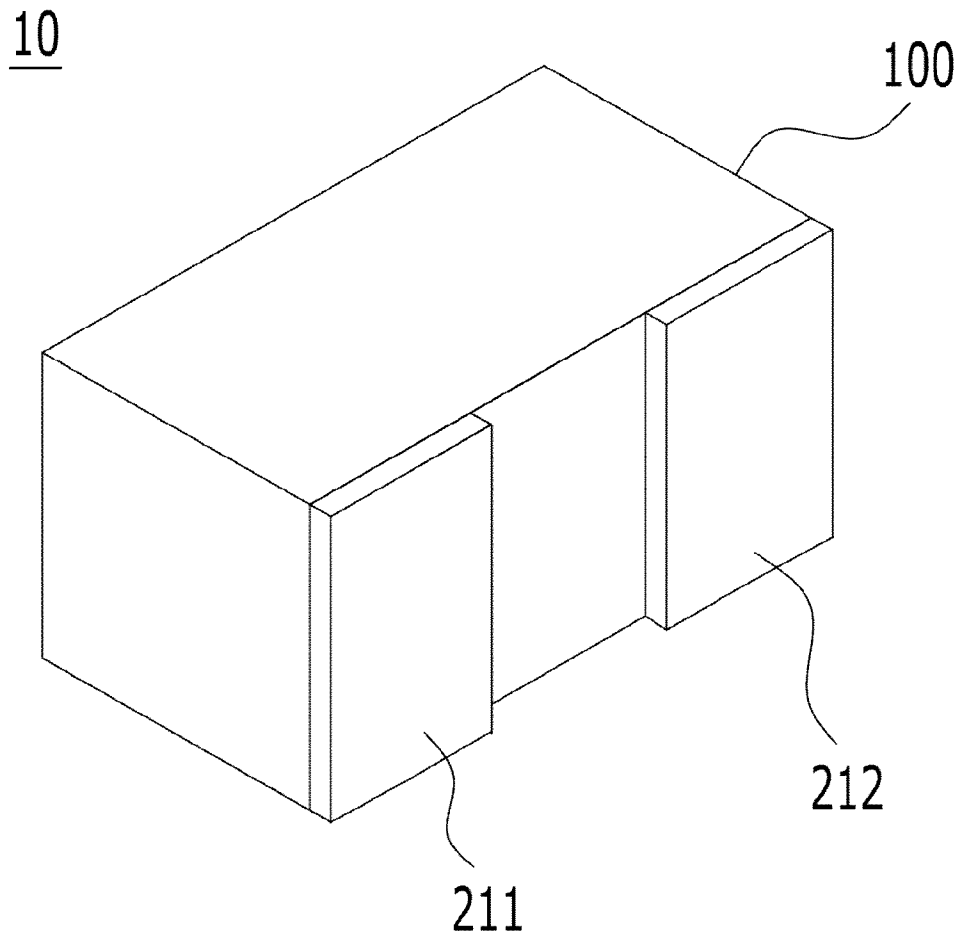
청구범위

- [청구항 1] 복수의 제1 유전체층이 적층된 세라믹 본체; 및
상기 세라믹 본체의 하면 양측에 배치된 제1 및 제2 바닥 전극;
을 포함하는 세라믹 커패시터.
- [청구항 2] 제1항에 있어서,
상기 세라믹 본체는 플로트 전극이 배치된 제2 유전체층을 더 포함하고,
상기 플로트 전극은 상기 제2 유전체층의 양 측면과 이격되고 양단이
상기 제1 및 제2 바닥 전극의 일부와 오버랩되는 세라믹 커패시터.
- [청구항 3] 제2항에 있어서,
상기 제2 유전체층에 더미 전극이 더 배치되고,
상기 플로트 전극은 상기 제2 유전체층의 길이방향 중심부에 배치되며,
상기 더미 전극은 상기 플로트 전극과 이격되어 배치되고 상기 세라믹
본체의 양 측면으로 노출되는 세라믹 커패시터.
- [청구항 4] 제1항에 있어서,
상기 세라믹 본체는 더미 전극이 배치된 복수의 제3 유전체층을 더
포함하고,
상기 더미 전극은 상기 세라믹 본체의 양 측면으로 노출되는 세라믹
커패시터.
- [청구항 5] 제1항에 있어서,
상기 세라믹 본체는 상기 제1 및 제2 바닥 전극의 상방으로 복수 개가
배치되고 상기 세라믹 본체의 양 측면으로 노출되는 더미 전극들을
포함하는 세라믹 커패시터.
- [청구항 6] 제5항에 있어서,
상기 제1 및 제2 바닥 전극과 최하부에 위치한 더미 전극 간 간격과, 상기
더미 전극들 간 간격은 상기 제1 및 제2 바닥 전극을 기관에 솔더링시
솔더가 상기 더미 전극을 타고 올라갈 수 있는 간격인 세라믹 커패시터.
- [청구항 7] 제5항에 있어서,
상기 더미 전극들 간 높이방향 간격은 $2\mu\text{m}\sim 3\mu\text{m}$ 인 세라믹 커패시터.
- [청구항 8] 제5항에 있어서,
상기 세라믹 본체는 제2 유전체층 및 제3 유전체층을 더 포함하고,
상기 더미 전극은 제2 유전체층 및 제3 유전체층의 상면과 하면 중 적어도
한 면의 양측에 형성되고 양 측면으로 노출되며 서로 대면하는 형상인
세라믹 커패시터.
- [청구항 9] 제5항에 있어서,
상기 더미 전극은 일자 형상, 'ㄷ' 형상, 'T'자 형상 중 하나로 형성된 세라믹
커패시터.
- [청구항 10] 제5항에 있어서,

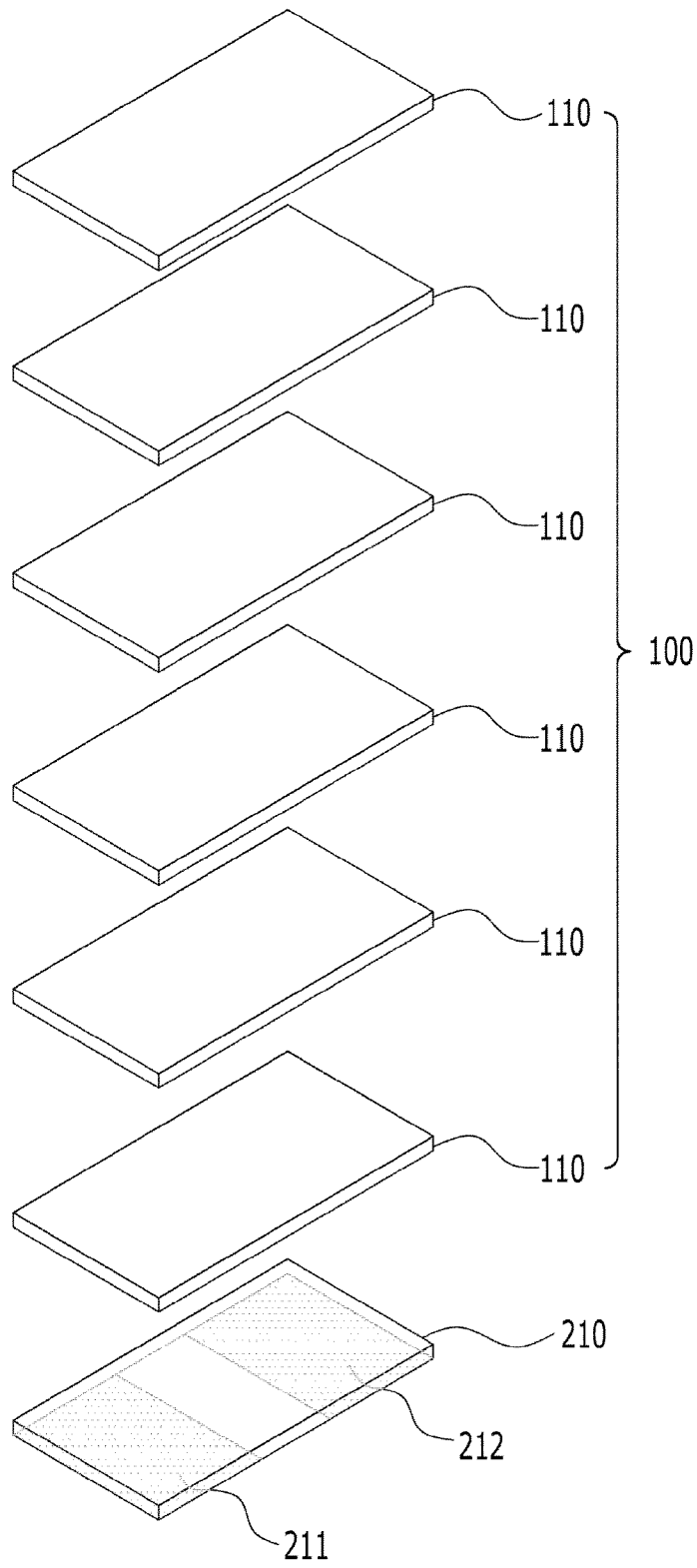
상기 세라믹 본체의 양 측면으로 노출된 더미 전극 부분과 상기 제1 및 제2 바닥 전극은 도금으로 연결된 세라믹 커패시터.

- [청구항 11] 제5항에 있어서,
상기 더미 전극들 중 하나는 플로트 전극과 같은 유전체층에 배치되는 세라믹 커패시터.
- [청구항 12] 제5항에 있어서,
상기 더미 전극들 중 최상부에 위치한 더미 전극과 상기 바닥 전극 간의 거리는 상기 세라믹 본체의 높이의 절반 이하인 세라믹 커패시터.

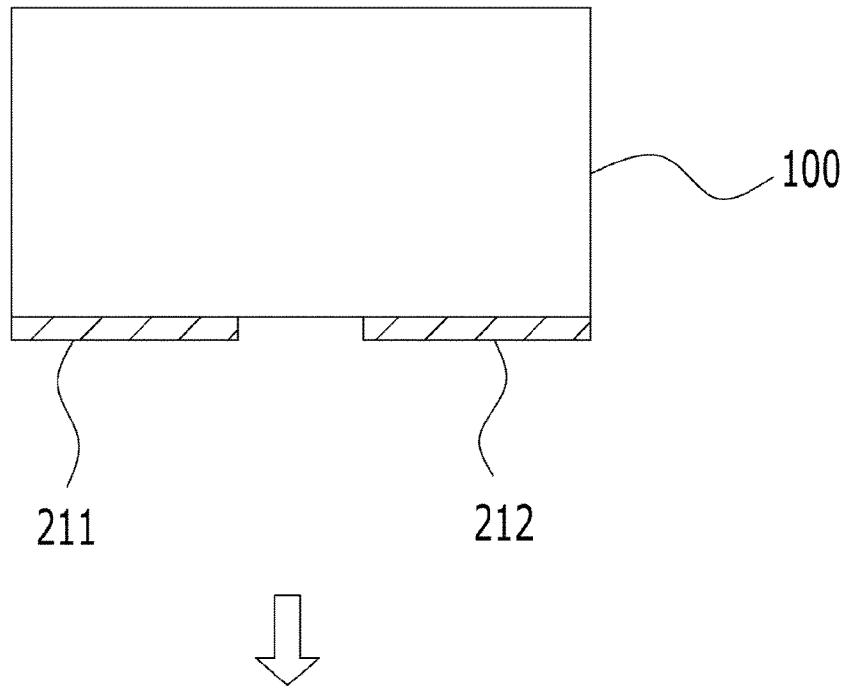
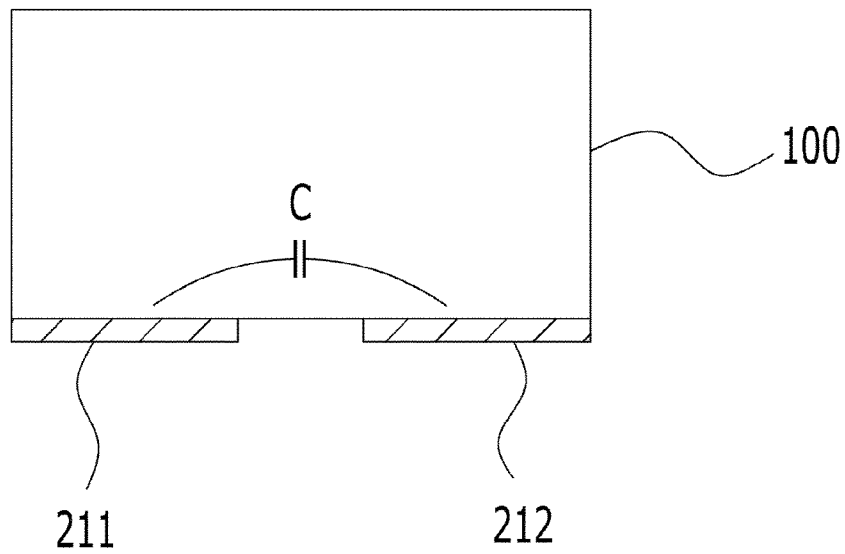
[도 1a]



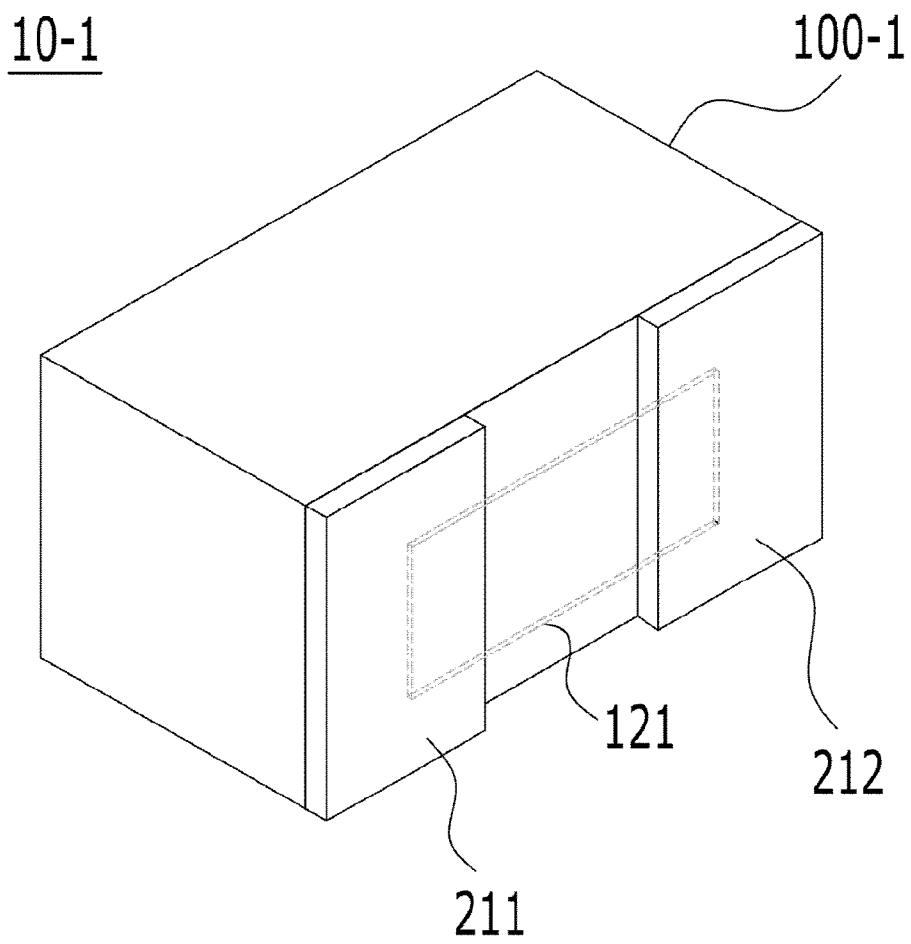
[도 1b]

10

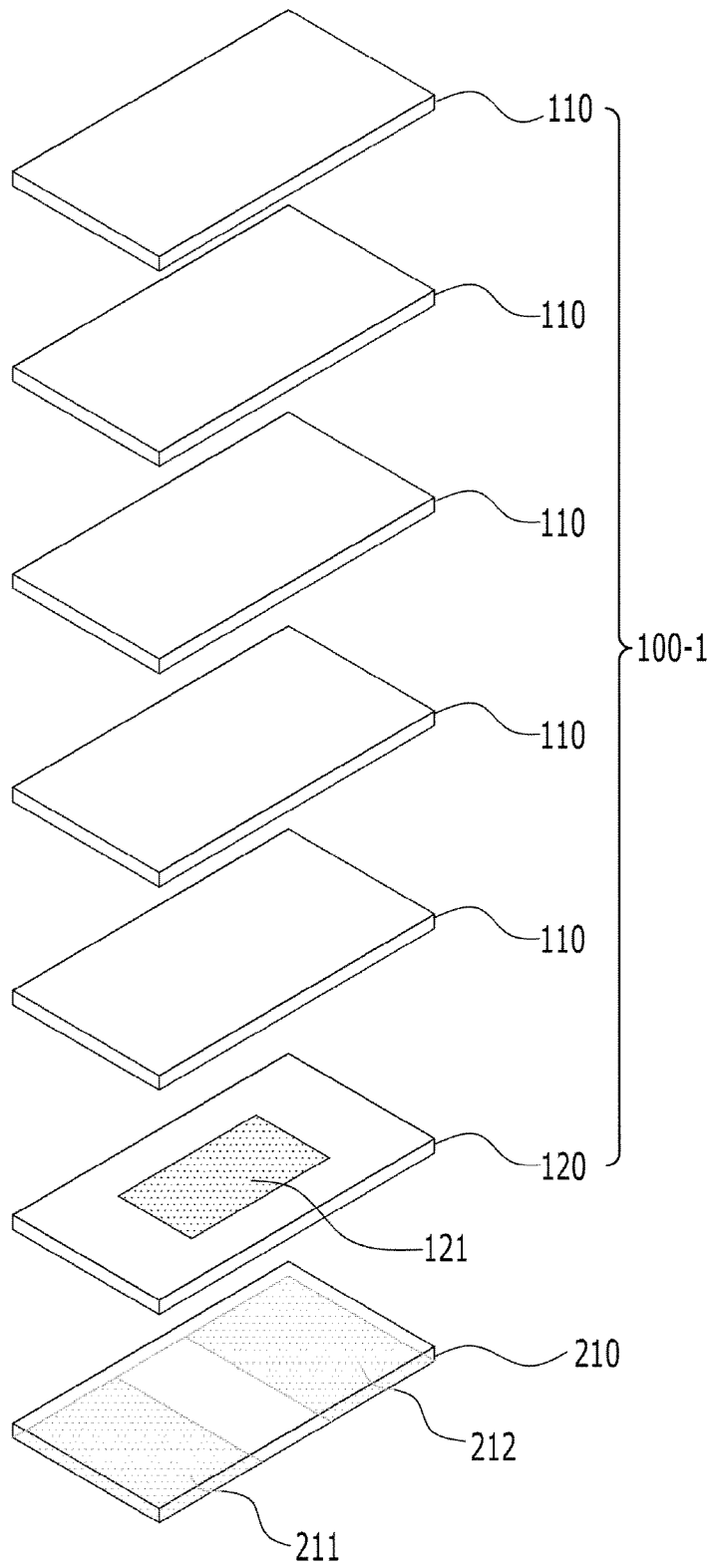
[도 1c]

1010

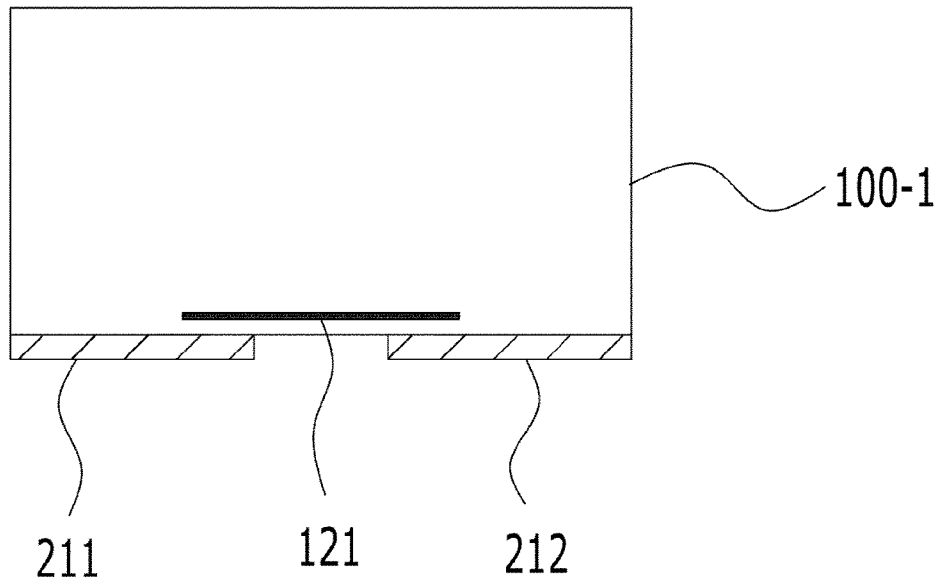
[도2a]



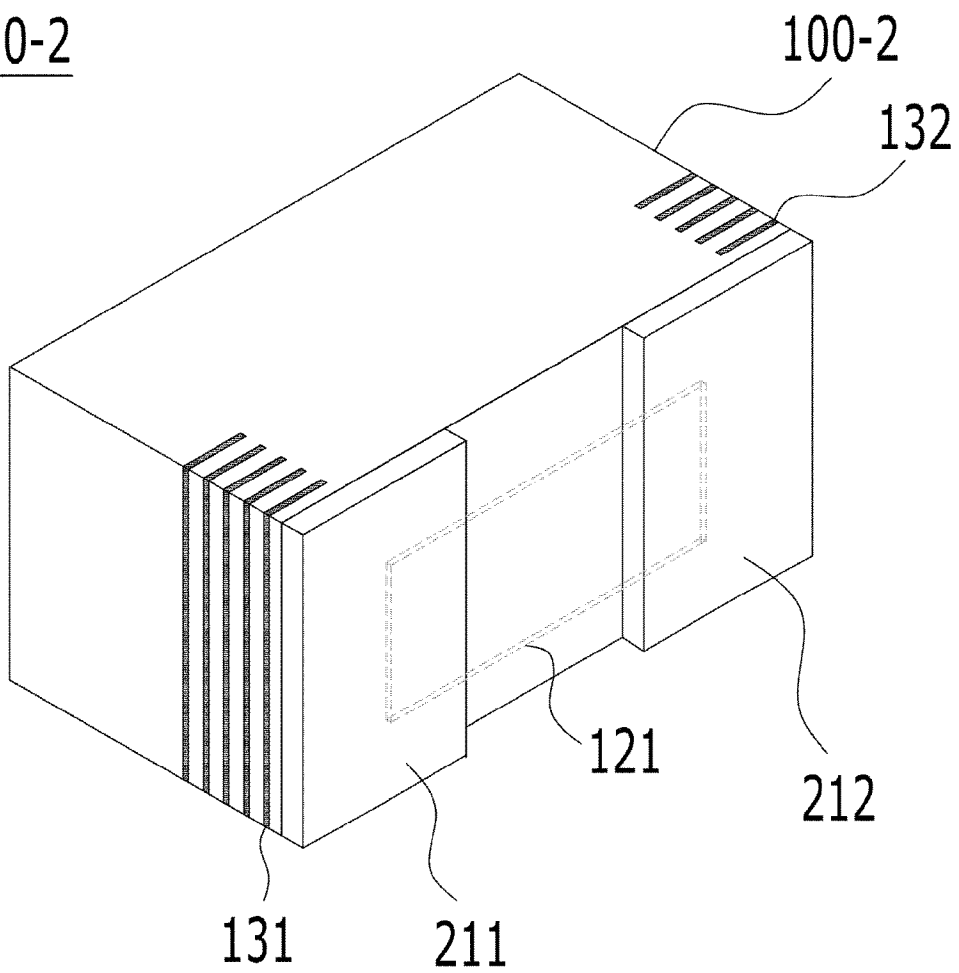
[도2b]

10-1

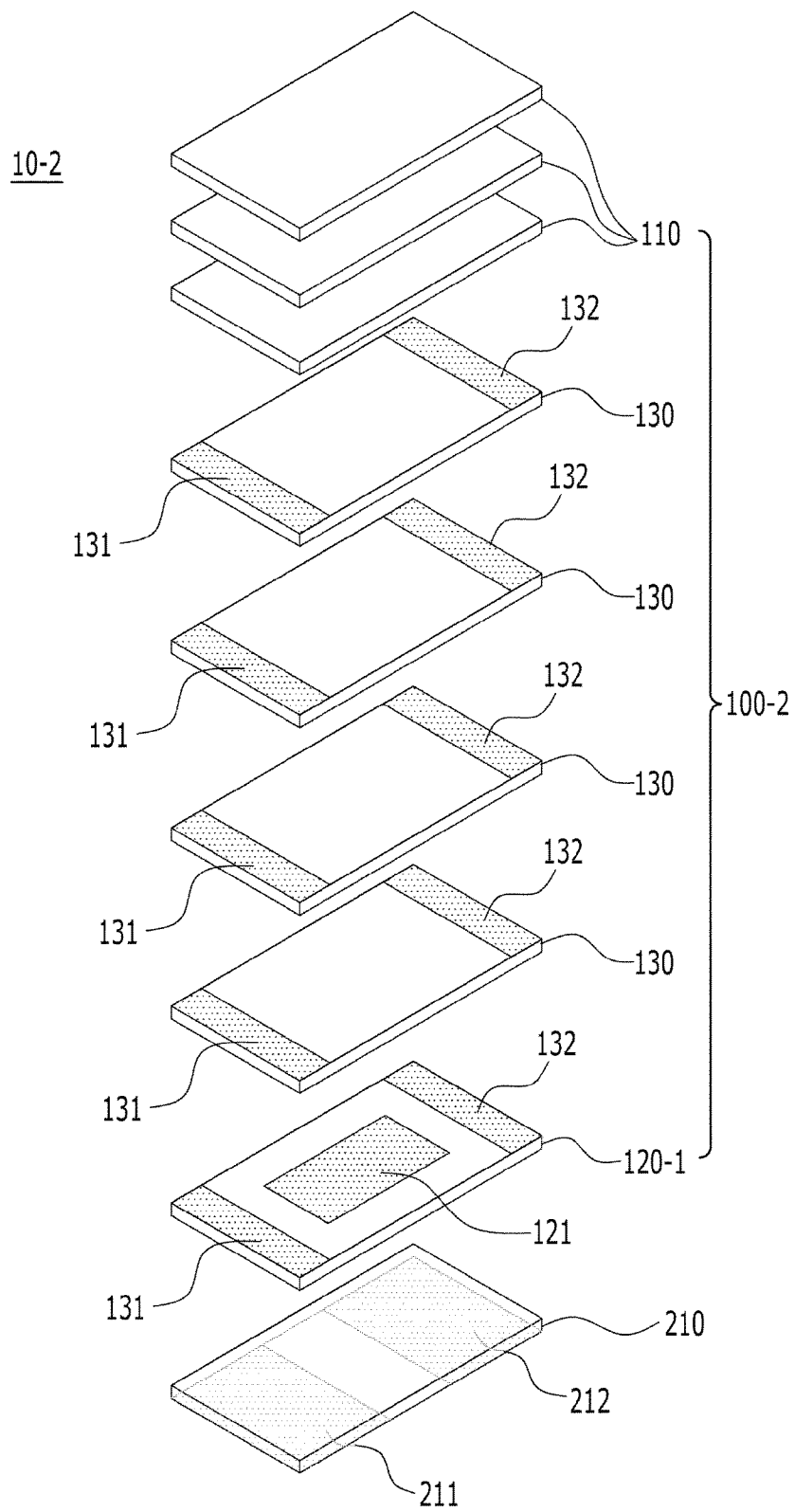
[도2c]

10-1

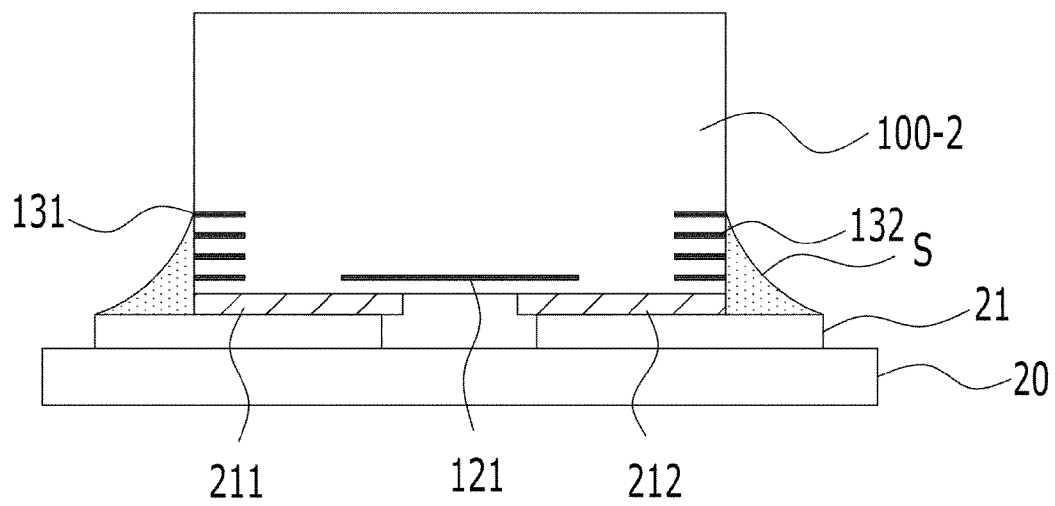
[도3a]

10-2

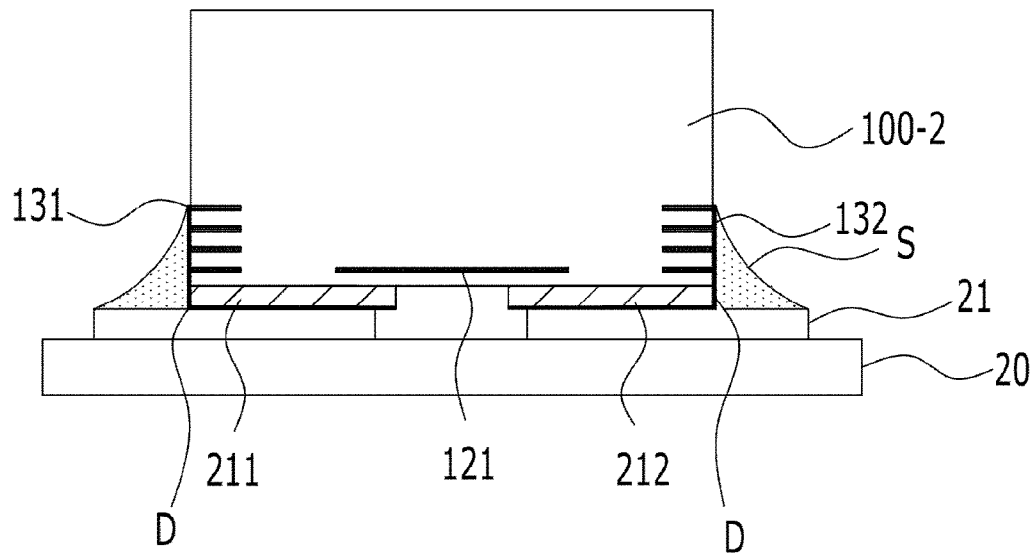
[도3b]



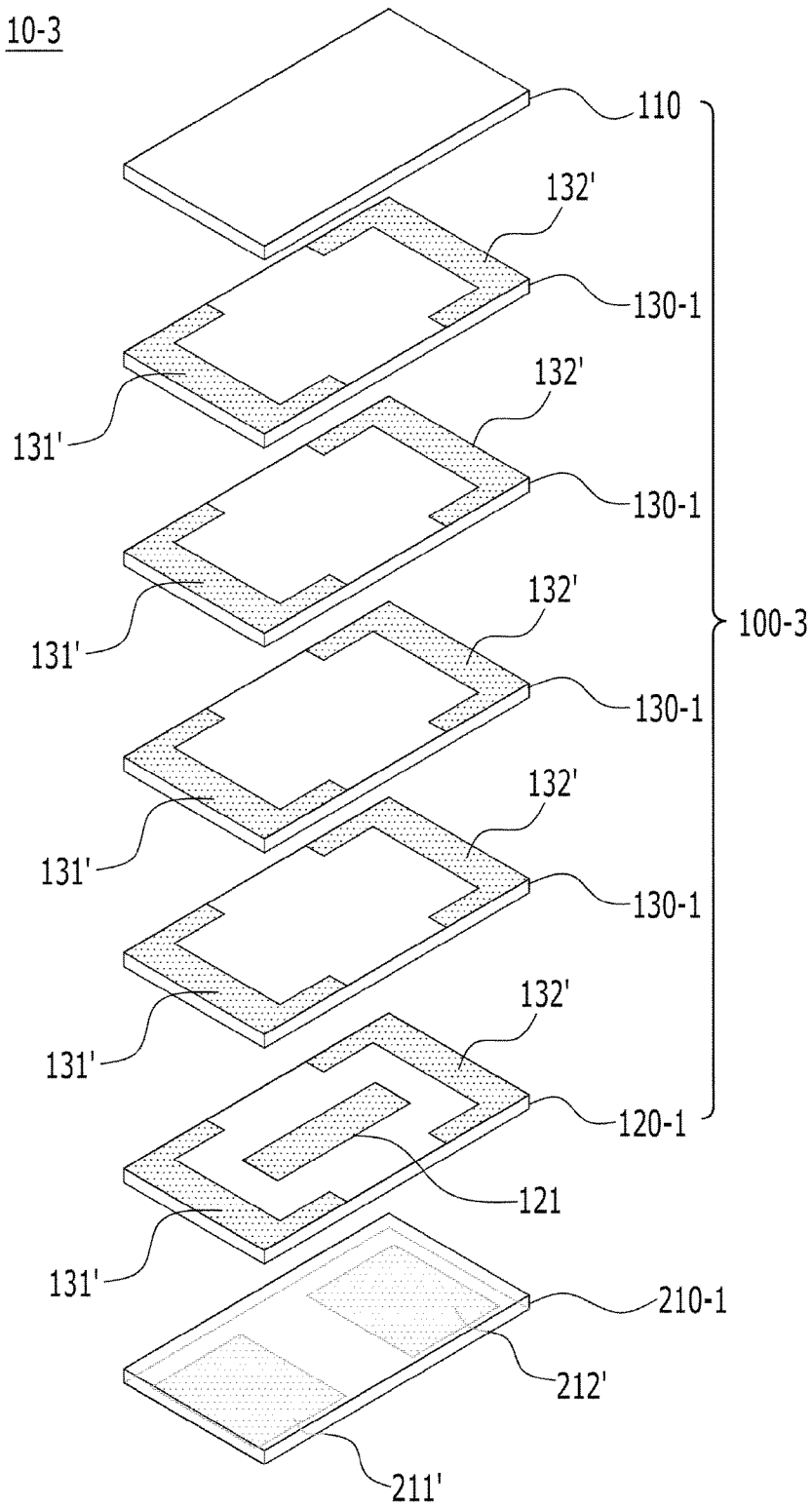
10-2



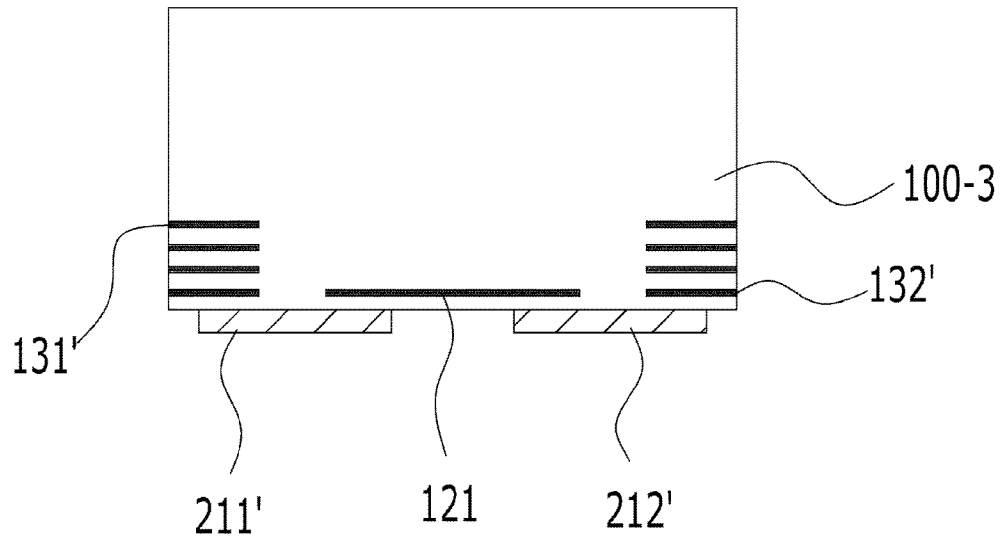
[도3e]

10-2

[도4a]

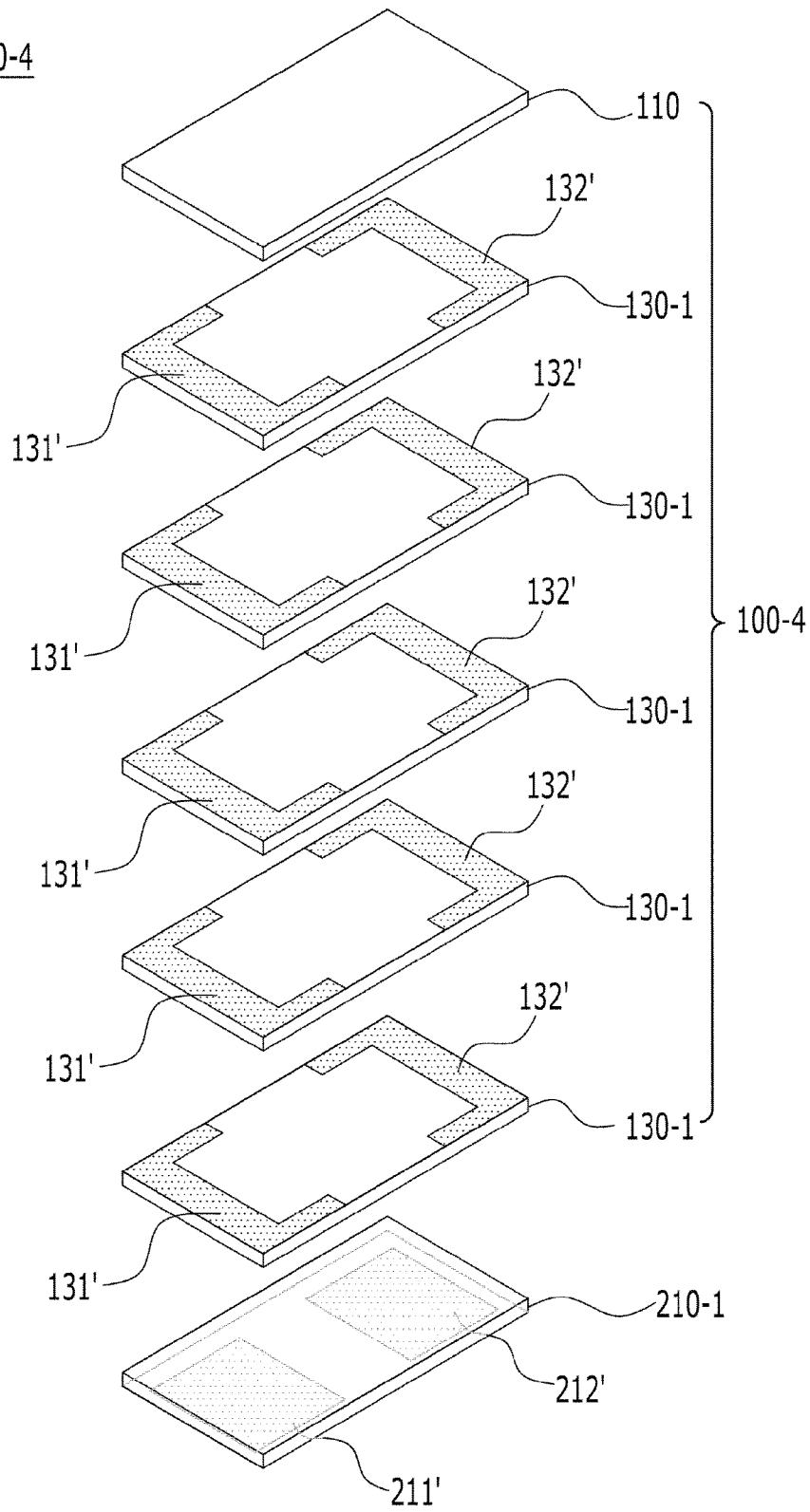
10-3

[도4b]

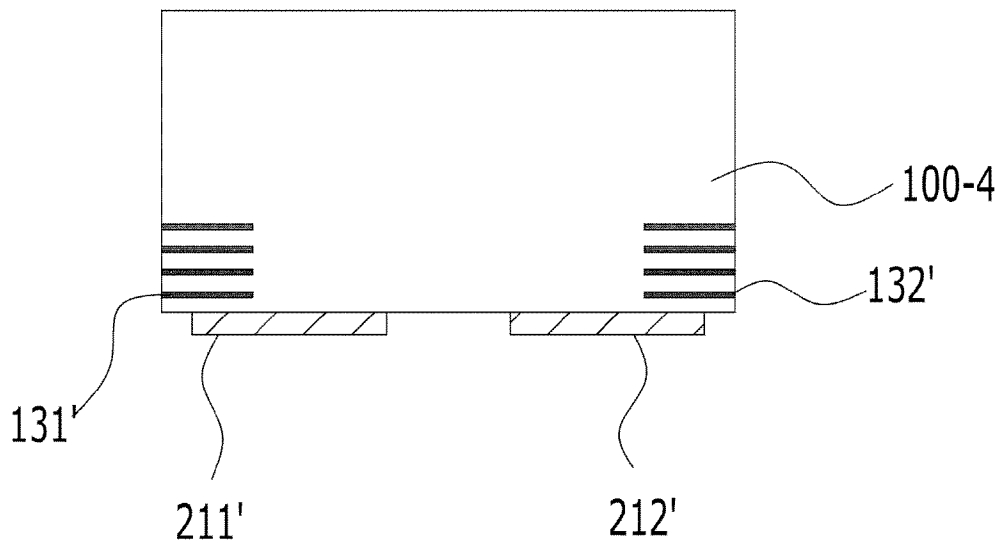
10-3

[도5a]

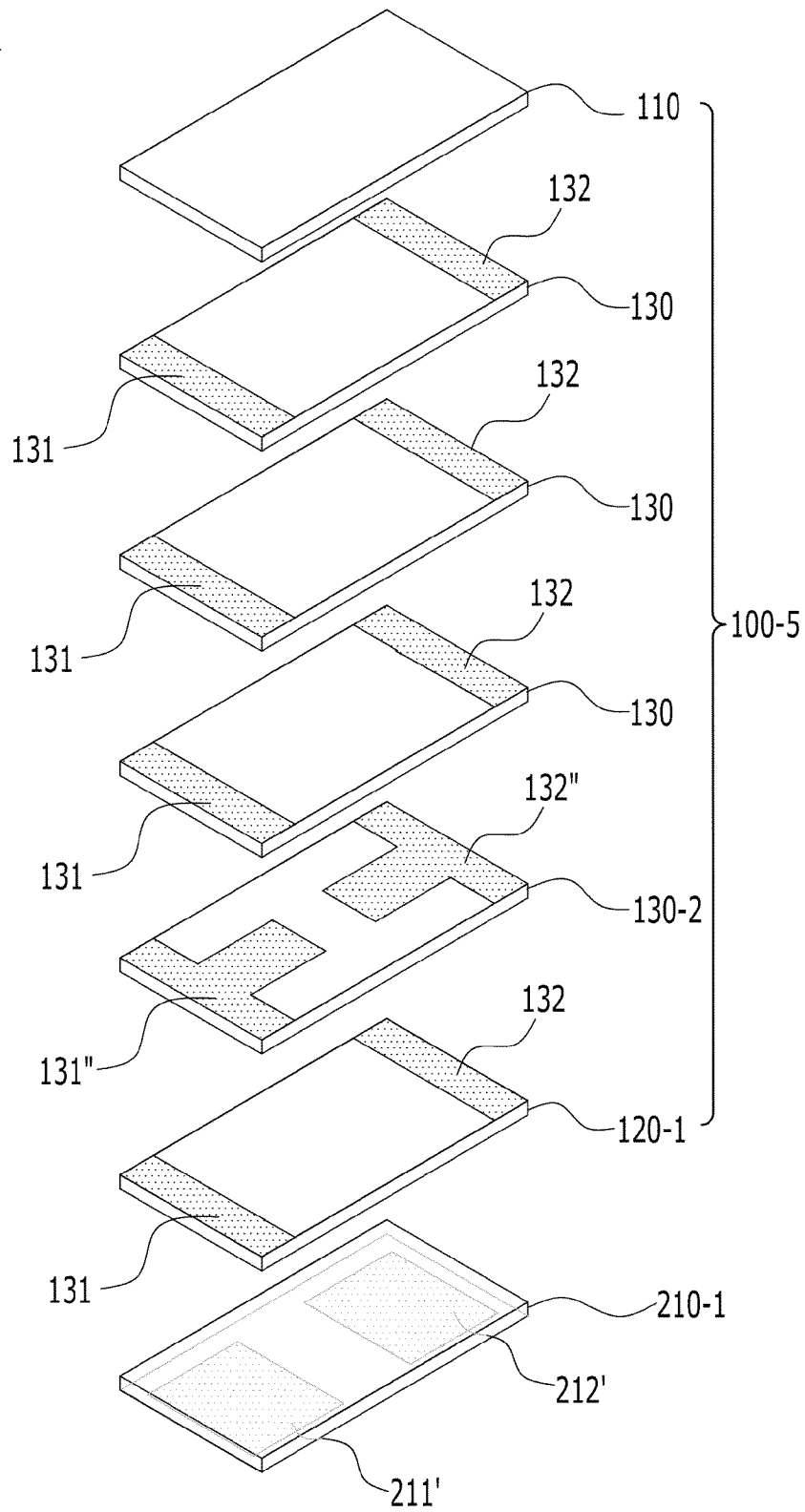
10-4



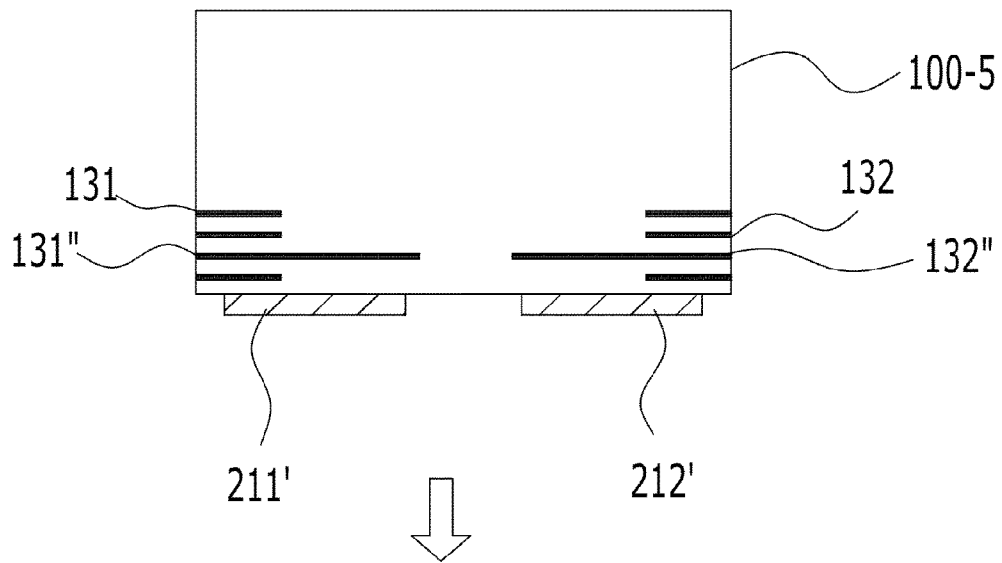
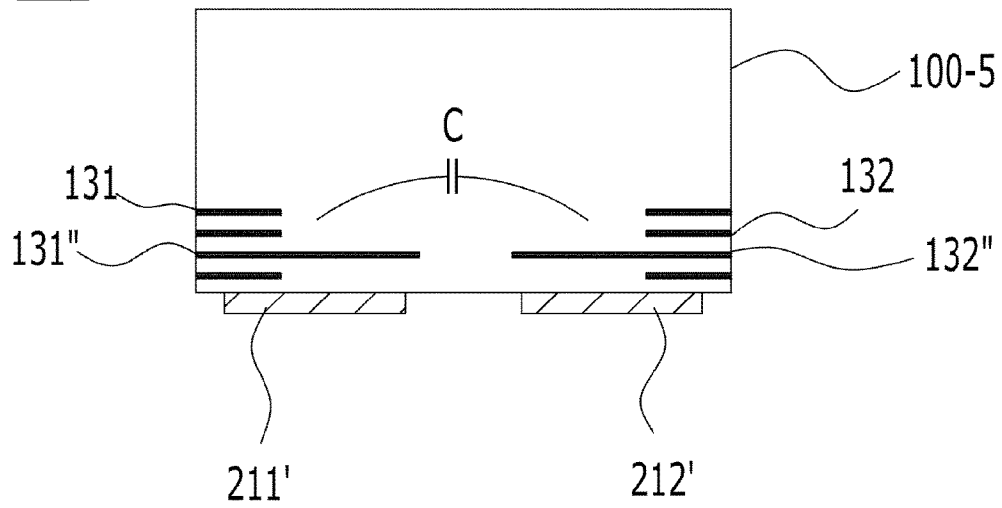
[도5b]

10-4

[도6a]

10-5

[도6b]

10-510-5

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/017927

A. CLASSIFICATION OF SUBJECT MATTER H01G 4/12(2006.01)i; H01G 4/30(2006.01)i; H01G 4/012(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01G 4/12(2006.01); H01G 2/06(2006.01); H01G 4/012(2006.01); H01G 4/232(2006.01); H01G 4/30(2006.01); H01G 4/40(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 적층 세라믹 커패시터(multilayer ceramic capacitor), 유전체(dielectric), 전극(electrode), 플로팅(floating), 더미(dummy), 하면(under surface)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 6816817 B2 (MURATA MANUFACTURING CO., LTD.) 20 January 2021 (2021-01-20) See paragraphs [0026]-[0028] and figures 1-5.	1
Y		2-3
A		4-12
Y	KR 10-1936779 B1 (MODA-INNOCHIPS CO., LTD.) 11 January 2019 (2019-01-11) See paragraphs [0039] and [0065]-[0067] and figure 4.	2-3
A	KR 10-2076150 B1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 11 February 2020 (2020-02-11) See claims 1 and 15 and figures 1-9.	1-12
A	US 9633790 B1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 25 April 2017 (2017-04-25) See claim 1 and figures 1-14.	1-12
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 February 2023		Date of mailing of the international search report 28 February 2023
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2022/017927

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2015-0011165 A (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 30 January 2015 (2015-01-30) See claims 1 and 7 and figures 1 and 4.	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2022/017927

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
JP	6816817	B2	20 January 2021	CN	110326072	A	11 October 2019
				CN	110326072	B	29 October 2021
				US	11257619	B2	22 February 2022
				US	2019-0385793	A1	19 December 2019
				WO	2018-159838	A1	07 September 2018
KR	10-1936779	B1	11 January 2019	KR	10-2019-0001805	A	07 January 2019
KR	10-2076150	B1	11 February 2020	KR	10-2014-0143321	A	16 December 2014
				US	2015-0318113	A1	05 November 2015
				US	9536662	B2	03 January 2017
US	9633790	B1	25 April 2017	KR	10-2017-0110467	A	11 October 2017
				KR	10-2483618	B1	02 January 2023
KR	10-2015-0011165	A	30 January 2015	JP	2015-023273	A	02 February 2015
				JP	5900858	B2	06 April 2016
				KR	10-1514532	B1	22 April 2015
				US	2015-0022946	A1	22 January 2015

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H01G 4/12(2006.01)i; H01G 4/30(2006.01)i; H01G 4/012(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H01G 4/12(2006.01); H01G 2/06(2006.01); H01G 4/012(2006.01); H01G 4/232(2006.01); H01G 4/30(2006.01); H01G 4/40(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 적층 세라믹 커패시터(multilayer ceramic capacitor), 유전체(dielectric), 전극(electrode), 플로팅(floating), 더미(dummy), 하면(under surface)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	JP 6816817 B2 (MURATA MANUFACTURING CO., LTD.) 2021.01.20 단락 [0026]-[0028] 및 도면 1-5 참조.	1
Y		2-3
A		4-12
Y	KR 10-1936779 B1 (주식회사 모다이노칩) 2019.01.11 단락 [0039], [0065]-[0067] 및 도면 4 참조.	2-3
A	KR 10-2076150 B1 (삼성전기주식회사) 2020.02.11 청구항 1, 15 및 도면 1-9 참조.	1-12
A	US 9633790 B1 (SAMSUNG ELECTRO-MECHANICS CO., LTD.) 2017.04.25 청구항 1 및 도면 1-14 참조.	1-12
A	KR 10-2015-0011165 A (삼성전기주식회사) 2015.01.30 청구항 1, 7 및 도면 1, 4 참조.	1-12
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2023년02월28일(28.02.2023)		국제조사보고서 발송일 2023년02월28일(28.02.2023)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 장기정 전화번호 +82-42-481-8364

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
JP 6816817 B2	2021/01/20	CN 110326072 A	2019/10/11
		CN 110326072 B	2021/10/29
		US 11257619 B2	2022/02/22
		US 2019-0385793 A1	2019/12/19
		WO 2018-159838 A1	2018/09/07
KR 10-1936779 B1	2019/01/11	KR 10-2019-0001805 A	2019/01/07
KR 10-2076150 B1	2020/02/11	KR 10-2014-0143321 A	2014/12/16
		US 2015-0318113 A1	2015/11/05
		US 9536662 B2	2017/01/03
US 9633790 B1	2017/04/25	KR 10-2017-0110467 A	2017/10/11
		KR 10-2483618 B1	2023/01/02
KR 10-2015-0011165 A	2015/01/30	JP 2015-023273 A	2015/02/02
		JP 5900858 B2	2016/04/06
		KR 10-1514532 B1	2015/04/22
		US 2015-0022946 A1	2015/01/22