

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年7月13日(13.07.2017)



(10) 国際公開番号
WO 2017/119220 A1

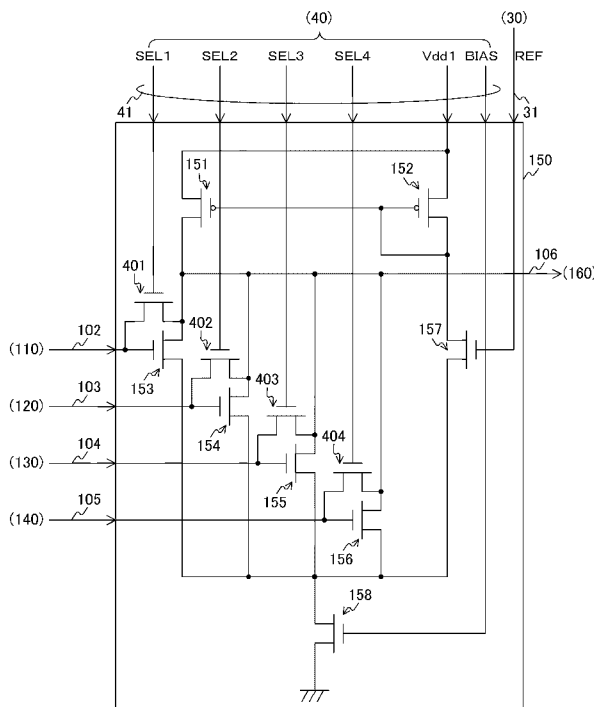
- (51) 国際特許分類:
H03M 1/56 (2006.01) H04N 5/374 (2011.01)
H03K 5/08 (2006.01) H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2016/085577
- (22) 国際出願日: 2016年11月30日(30.11.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-001987 2016年1月7日(07.01.2016) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南1丁目7番1号 Tokyo (JP).
- (72) 発明者: 榊原 雅樹 (SAKAKIBARA, Masaki); 〒1080075 東京都港区港南1丁目7番1号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト国際特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[続葉有]

(54) Title: COMPARISON DEVICE, ANALOG-TO-DIGITAL CONVERSION APPARATUS, SOLID-STATE IMAGING ELEMENT AND IMAGING APPARATUS

(54) 発明の名称: 比較装置、アナログデジタル変換装置、固体撮像素子および撮像装置

[図6]



(57) Abstract: In order to simplify a comparison device of an analog-to-digital conversion apparatus, in the comparison device, an input signal is input to control terminals of a plurality of signal input transistors. A reference input transistor forms a differential pair with each of the plurality of signal input transistors, and a reference signal is input to a control terminal thereof. A signal input transistor selection unit selects any one of the plurality of signal input transistors and causes the differential pair formed by the selected signal input transistor and the reference input transistor to generate a current corresponding to the difference between the input signal and the reference signal. When a current flowing through any one among the plurality of signal input transistors and the reference input transistor has changed in accordance with the difference, a load unit converts this current change into a voltage change and outputs this voltage change as the result of a comparison between the input signal and the reference signal.

(57) 要約:

[続葉有]

WO 2017/119220 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

アナログデジタル変換装置の比較装置を簡略化する。比較装置において、複数の信号入力トランジスタは、入力信号が制御端子に入力される。参照入力トランジスタは、複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される。信号入力トランジスタ選択部は、複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された信号入力トランジスタと参照入力トランジスタとにより構成される差動対に入力信号および参照信号の差分に応じた電流を生じさせる。負荷部は、複数の信号入力トランジスタおよび参照入力トランジスタの何れか1つに流れる電流が差分に応じて変化した際にこの電流の変化を電圧の変化に変換してこの電圧の変化を入力信号と参照信号との比較の結果として出力する。

明 細 書

発明の名称：

比較装置、アナログデジタル変換装置、固体撮像素子および撮像装置

技術分野

[0001] 本技術は、比較装置、アナログデジタル変換装置、固体撮像素子および撮像装置に関する。詳しくは、複数の信号が入力される比較装置およびこの比較装置を有するアナログデジタル変換装置、固体撮像素子および撮像装置に関する。

背景技術

[0002] 従来、画素が2次元行列状に配置された撮像素子において、1行毎に画素の画像信号を出力させるとともに、1行分の画像信号を順次アナログデジタル変換し、デジタルの画像信号として出力する撮像装置が使用されている。近年における画像信号出力の高速化の要求に対応するため、各画素にアナログデジタル変換装置を配置し、全ての画素において同時にアナログデジタル変換を行うことにより、アナログデジタル変換を高速化するシステムが提案されている。例えば、フォトダイオードにより生成されたアナログの画像信号と参照信号とを比較する比較部およびその比較結果に基づいて生成されたデジタルの信号を保持するラッチを有するアナログデジタル変換装置を画素に配置したシステムが提案されている。ここで、参照信号とは、電圧がランプ状に変化する信号であり、撮像装置に配置された全ての画素のアナログデジタル変換装置に共通に入力される信号である。上述のシステムでは、比較部において、アナログの画像信号と参照信号との比較が行われる。そして、参照信号の電圧がアナログの画像信号の電圧より低い状態から高い状態、もしくは、高い状態から低い状態へ移行した際に、この電圧の変化が検出されて比較結果として出力される。また、ラッチには参照信号の電圧に対応するデジタルの信号であるコードワードが入力され、入力されたコードワードが比較部における検出結果に基づいてラッチに保持される。その後、ラッチに

保持されたコードワードがアナログデジタル変換の結果として出力される（例えば、非特許文献1参照。）。

先行技術文献

非特許文献

- [0003] 非特許文献1：D. Yang, B. Fowler, and A. El Gamal, "A Nyquist Rate Pixel Level ADC for CMOS Image Sensors," Proc. of IEEE 1998 Custom Integrated Circuits Conf., Santa Clara, CA, May 1998, pp. 237-240 (1998).

発明の概要

発明が解決しようとする課題

- [0004] 上述の従来技術では、複数のフォトダイオードを有する画素に適用する場合に、フォトダイオード毎にアナログデジタル変換装置を配置する必要があるため、画素の構成が複雑になるという問題がある。
- [0005] 本技術はこのような状況に鑑みて生み出されたものであり、複数の信号を入力可能な比較部を有するアナログデジタル変換装置を使用して複数のフォトダイオードを有する画素のアナログデジタル変換装置を共通化し、画素の構成を簡略化することを目的とする。

課題を解決するための手段

- [0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、入力信号が制御端子に入力される複数の信号入力トランジスタと、上記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、上記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された上記信号入力トランジスタと上記参照入力トランジスタとにより構成される上記差動対に上記入力信号および上記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、上記複数の信号入力トランジスタおよび上記参照入力トランジスタの何れか1つに流れる電流が上記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を上記入力信号と上記参照信号との比

較の結果として出力する負荷部とを具備する比較装置である。これにより、複数の信号入力トランジスタの何れか1つが選択され、この選択された信号入力トランジスタの入力信号と参照信号との比較が行われるという作用をもたらす。

[0007] また、この第1の側面において、上記信号入力トランジスタ選択部は、上記複数の信号入力トランジスタのうち上記選択の対象でない信号入力トランジスタの上記制御端子に当該信号入力トランジスタを非導通状態にする電圧を印加することにより上記選択を行ってもよい。これにより、選択の対象でない信号入力トランジスタが非導通状態になるという作用をもたらす。

[0008] また、この第1の側面において、上記信号入力トランジスタ選択部は、上記複数の信号入力トランジスタのうち上記選択の対象でない信号入力トランジスタに流れる電流を遮断することにより上記選択を行ってもよい。これにより、選択の対象でない信号入力トランジスタに流れる電流が遮断されるという作用をもたらす。

[0009] また、この第1の側面において、上記負荷部は、上記複数の信号入力トランジスタに電流を供給する電流源により構成されてもよい。これにより、電流源により、電流の変化が電圧の変化に変換されるという作用をもたらす。

[0010] また、この第1の側面において、上記負荷部は、上記参照入力トランジスタに流れる電流とほぼ等しい電流を上記複数の信号入力トランジスタに対して供給するカレントミラー回路により構成されてもよい。これにより、カレントミラー回路により負荷部が構成されるという作用をもたらす。

[0011] また、この第1の側面において、入力信号が制御端子に入力される複数の信号入力トランジスタと、上記複数の信号入力トランジスタのそれぞれと差動対を構成して参照信号が制御端子に入力される複数の参照入力トランジスタと、上記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された上記信号入力トランジスタと上記複数の参照入力トランジスタのうちの1つとにより構成される上記差動対に上記入力信号および上記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、上記複

数の信号入力トランジスタおよび上記複数の参照入力トランジスタの何れか1つに流れる電流が上記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を上記入力信号と上記参照信号との比較の結果として出力する負荷部とを具備してもよい。これにより、複数の差動対の何れか1つが選択され、この選択された差動対において入力信号と参照信号との比較が行われるという作用をもたらす。

[0012] また、この第1の側面において、上記信号入力トランジスタ選択部は、複数の上記差動対のうち上記選択の対象でない信号入力トランジスタを含む上記差動対に流れる電流を遮断することにより上記選択を行ってもよい。これにより、選択の対象でない信号入力トランジスタを含む差動対に流れる電流が遮断されるという作用をもたらす。

[0013] また、この第1の側面において、上記信号入力トランジスタ選択部は、上記複数の差動対のそれぞれに接続されて上記差動対に流れる電流を制御する複数の定電流電源により構成されて上記選択の対象でない信号入力トランジスタを含む上記差動対に流れる電流を上記定電流電源により遮断してもよい。これにより、定電流電源により選択の対象でない信号入力トランジスタを含む差動対に流れる電流が遮断されるという作用をもたらす。

[0014] また、本技術の第2の側面は、入力信号が制御端子に入力される複数の信号入力トランジスタと、上記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、上記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された上記信号入力トランジスタと上記参照入力トランジスタとにより構成される上記差動対に上記入力信号および上記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、上記複数の信号入力トランジスタおよび上記参照入力トランジスタの何れか1つに流れる電流が上記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を上記入力信号と上記参照信号との比較の結果として出力する負荷部と、上記参照信号に応じたデジタルの信号を上記出力された比較の結果に基づいて保持して当該保

持されたデジタルの信号を上記入力信号に対するアナログデジタル変換の結果として出力する保持部とを具備するアナログデジタル変換装置である。これにより、複数の信号入力トランジスタの何れか1つが選択され、この選択された信号入力トランジスタの入力信号と参照信号との比較が行われるという作用をもたらす。

[0015] また、本技術の第3の側面は、入射した光に応じた信号を生成する光電変換部と、上記生成された信号がそれぞれ制御端子に入力される複数の信号入力トランジスタと、上記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、上記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された上記信号入力トランジスタと上記参照入力トランジスタとにより構成される上記差動対に上記入力信号および上記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、上記複数の信号入力トランジスタおよび上記参照入力トランジスタの何れか1つに流れる電流が上記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を上記入力信号と上記参照信号との比較の結果として出力する負荷部と、上記参照信号に応じたデジタルの信号を上記出力された比較の結果に基づいて保持して当該保持されたデジタルの信号を上記生成された信号に対するアナログデジタル変換の結果として出力する保持部とを具備する固体撮像素子である。これにより、複数の信号入力トランジスタの何れか1つが選択され、この選択された信号入力トランジスタの入力信号と参照信号との比較が行われるという作用をもたらす。

[0016] また、本技術の第4の側面は、入射した光に応じた信号を生成する複数の光電変換部と、上記生成された信号がそれぞれ制御端子に入力される複数の信号入力トランジスタと、上記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、上記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された上記信号入力トランジスタと上記参照入力トランジスタとにより構成される上記差

動対に上記生成された信号および上記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、上記複数の信号入力トランジスタおよび上記参照入力トランジスタの何れか1つに流れる電流が上記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を上記生成された信号と上記参照信号との比較の結果として出力する負荷部と、上記参照信号に応じたデジタルの信号を上記出力された比較の結果に基づいて保持して当該保持されたデジタルの信号を上記生成された信号に対するアナログデジタル変換の結果として出力する保持部と、上記出力されたデジタルの信号を処理する処理回路とを具備する撮像装置である。これにより、複数の信号入力トランジスタの何れか1つが選択され、この選択された信号入力トランジスタの入力信号と参照信号との比較が行われるという作用をもたらす。

発明の効果

[0017] 本技術によれば、比較部において複数のアナログの信号を選択して参照信号との比較を行うことにより、アナログデジタル変換装置の構成を簡略化する。という優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0018] [図1]本技術の実施の形態における撮像装置の構成例を示す図である。
[図2]本技術の実施の形態における垂直駆動部40の構成例を示す図である。
[図3]本技術の実施の形態における水平制御部50の構成例を示す図である。
[図4]本技術の第1の実施の形態における画素100の構成例を示す図である。
。
[図5]本技術の第1の実施の形態における光電変換部110の構成例を示す図である。
[図6]本技術の第1の実施の形態における比較部150の構成例を示す図である。

[図7]本技術の第1の実施の形態における比較出力処理部160の構成例を示す図である。

[図8]本技術の実施の形態における変換結果保持部170の構成例を示す図である。

[図9]本技術の実施の形態における時刻コード転送部200の構成例を示す図である。

[図10]本技術の第1の実施の形態におけるアナログデジタル変換処理の一例を示す図である。

[図11]本技術の第1の実施の形態におけるアナログデジタル変換処理の一例を示す図である。

[図12]本技術の第2の実施の形態における光電変換部110の構成例を示す図である。

[図13]本技術の第3の実施の形態における比較部150の構成例を示す図である。

[図14]本技術の第2の実施の形態におけるアナログデジタル変換処理の一例を示す図である。

[図15]本技術の第4の実施の形態における比較部150の構成例を示す図である。

[図16]本技術の第5の実施の形態における画素100の構成例を示す図である。

[図17]本技術の第5の実施の形態における光電変換部110の構成例を示す図である。

[図18]本技術の第5の実施の形態における比較部150の構成例を示す図である。

[図19]本技術の第6の実施の形態における比較部150の構成例を示す図である。

[図20]本技術の第7の実施の形態における比較出力処理部160の構成例を示す図である。

[図21]本技術の第7の実施の形態におけるパルス幅変更部164の構成例を示す図である。

[図22]本技術の第7の実施の形態の変形例における比較出力処理部160の構成例を示す図である。

発明を実施するための形態

[0019] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（複数の信号入力トランジスタを有する比較部を使用する場合の例）

2. 第2の実施の形態（複数のフォトダイオードを有する光電変換部を使用する場合の例）

3. 第3の実施の形態（複数の信号入力トランジスタと複数の参照入力トランジスタとを有する比較部を使用する場合の例）

4. 第4の実施の形態（複数の信号入力トランジスタと複数の参照入力トランジスタと複数の定電流電源を有する比較部を使用する場合の例）

5. 第5の実施の形態（比較部の出力パルス幅を変更する場合の例）

[0020] <1. 第1の実施の形態>

[撮像装置の構成]

図1は、本技術の実施の形態における撮像装置1の構成例を示す図である。この撮像装置1は、画素アレイ部10と、時刻コード生成部20と、参照信号生成部30と、垂直駆動部40、水平制御部50とを備える。

[0021] 画素アレイ部10は、複数の画素100が配置されて、画像信号を生成するものである。この画素アレイ部10は、2次元行列状に配置されて画像信号を生成する画素100と画素列の間に配置される複数の時刻コード転送部200とにより構成される。画素100は、光電変換を行ってアナログの画像信号を生成し、このアナログの画像信号に対してアナログデジタル変換を行うものである。その後、画素100は、アナログデジタル変換の結果として後述する時刻コードを出力する。時刻コード転送部200は、この時刻コ

ードを転送するものである。信号線101は、画素100と時刻コード転送部200とを接続する信号線である。画素100および時刻コード転送部200の構成の詳細については、後述する。なお、画素アレイ部10は、請求の範囲に記載の固体撮像素子の一例である。

[0022] 時刻コード生成部20は、時刻コードを生成し、時刻コード転送部200に対して出力するものである。ここで、時刻コードとは、画素100におけるアナログデジタル変換の開始からの経過時間を示す符号である。この時刻コードは、変換後のデジタルの画像信号のビット数に等しいサイズであり、例えば、グレイコードを使用することができる。時刻コードは、信号線21を介して時刻コード転送部200に対して出力される。

[0023] 参照信号生成部30は、参照信号を生成し、画素100に対して出力するものである。この参照信号は、画素100におけるアナログデジタル変換の基準となる信号であり、例えば、電圧がランプ状に低下する信号を使用することができる。この参照信号は、信号線31を介して出力される。また、時刻コード生成部20による時刻コードの生成および出力は、参照信号生成部30による参照信号の生成および出力と同期して実行される。これにより、時刻コード生成部20および参照信号生成部30から出力された時刻コードおよび参照信号は1対1に対応し、時刻コードから参照信号の電圧を取得することができる。後述する時刻コード復号部52は、時刻コードから参照信号の電圧を取得することにより復号を行う。

[0024] 垂直駆動部40は、画素100の制御信号等を生成して出力するものである。この制御信号は、信号線41を介して画素100に出力される。垂直駆動部40の構成の詳細については、後述する。

[0025] 水平制御部50は、時刻コード転送部200により転送された時刻コードを処理するものである。時刻コードは、信号線11を介して水平制御部50に入力される。水平制御部50の構成の詳細については、後述する。なお、水平制御部50は、請求の範囲に記載の処理回路の一例である。

[0026] [垂直制御部の構成]

図2は、本技術の実施の形態における垂直駆動部40の構成例を示す図である。この垂直駆動部40は、制御信号生成部42と、電源部43とを備える。

[0027] 制御信号生成部42は、画素100の制御信号を生成して出力するものである。電源部43は、画素100の動作に必要な電源を供給するものである。これらの制御信号および電源は、信号線41により伝達される。同図に表したように、信号線41は、複数の信号線（OFG、OFD、TX、SEL1、SEL2、SEL3、SEL4、BIAS、INI、WORD）および複数の電源線（Vdd1、Vdd2）により構成される。信号線（OFG、OFD、TX、SEL1、SEL2、SEL3、SEL4、BIAS、INI、WORD）は、制御信号生成部42に接続され、画素100の制御信号を伝達する。一方、電源線（Vdd1、Vdd2）は、電源部43に接続されて電源の供給の用に供される。これらの信号線の詳細については後述する。

[0028] [水平制御部の構成]

図3は、本技術の実施の形態における水平制御部50の構成例を示す図である。この水平制御部50は、時刻コード復号部52と、カラム信号処理部53と、クロック信号生成部54とを備える。

[0029] 時刻コード復号部52は、時刻コードを復号するものである。この復号により、アナログデジタル変換の結果であるデジタルの画像信号が生成される。この時刻コード復号部52は、水平制御部50に複数配置されており、画素アレイ部10に配置された時刻コード転送部200と1対1に対応している。これらの時刻コード復号部52には、対応する時刻コード転送部200から同時に時刻コードが入力される。この入力された時刻コードの復号は、これらの時刻コード復号部52により、同時並行して行われる。その後、復号された複数のデジタルの画像信号は、カラム信号処理部53に入力される。

[0030] カラム信号処理部53は、時刻コード復号部52により出力されたデジタ

ルの画像信号を処理するものである。この処理として、後述する相関二重サンプリング (Correlated Double Sampling : CDS) を行うことができる。また、カラム信号処理部 53 は、処理されたデジタルの画像信号に対して水平転送を行う。これは、複数の時刻コード復号部 52 により同時に入力された複数のデジタルの画像信号に対応する処理済みの画像信号を順に転送して出力するものである。カラム信号処理部 53 から出力された画像信号は、撮像装置 1 の出力画像信号に該当する。

[0031] [画素の構成]

図 4 は、本技術の第 1 の実施の形態における画素 100 の構成例を示す図である。この画素 100 は、光電変換部 110 と、光電変換部 120 と、光電変換部 130 と、光電変換部 140 と、アナログデジタル変換部 (AD 変換部) 190 とを備える。

[0032] 光電変換部 110 乃至 140 は、光電変換を行って入射光に応じたアナログの画像信号を生成し、保持するものである。また、光電変換部 110 乃至 140 は、垂直駆動部 40 により制御され、保持したアナログの画像信号をアナログデジタル変換部 190 の比較部 150 に対して出力する。これらのアナログの画像信号は信号線 102 乃至 105 を介して比較部 150 に対して出力される。光電変換部 110 等の構成の詳細については、後述する。

[0033] アナログデジタル変換部 190 は、光電変換部 110 等により生成されたアナログの画像信号をアナログデジタル変換するものである。このアナログデジタル変換部 190 は、比較部 150 と、比較出力処理部 160 と、変換結果保持部 170 とを備える。なお、アナログデジタル変換部 190 は、請求の範囲に記載のアナログデジタル変換装置の一例である。

[0034] 比較部 150 は、参照信号生成部 30 により生成された参照信号と光電変換部 110 等により出力されたアナログの画像信号とを比較するものである。比較結果は、信号線 106 を介して比較出力処理部 160 に対して出力される。この比較部 150 は、光電変換部 110 等から出力された複数のアナログの画像信号のうちの 1 つと参照信号との比較を行う。すなわち、信号線

102乃至105のうちの1つの信号線により伝達されたアナログの画像信号の電圧と参照信号の電圧との比較が行われる。比較結果は電気信号として出力される。例えば、アナログの画像信号の電圧が参照信号の電圧より小さい時値「1」、アナログの画像信号の電圧が参照信号の電圧より大きい時値「0」の信号を出力することができる。比較部150の構成の詳細については、後述する。なお、比較部150は、請求の範囲に記載の比較装置の一例である。

[0035] 比較出力処理部160は、比較部150により出力された比較結果を処理し、処理済みの比較結果を変換結果保持部170に対して出力するものである。処理済みの比較結果は、信号線107を介して変換結果保持部170に対して出力される。この処理として、例えば、レベル変換や波形の整形を行うことができる。

[0036] 変換結果保持部170は、比較出力処理部160により出力された処理済みの比較結果に基づいて時刻コード転送部200から出力された時刻コードをアナログデジタル変換の結果として保持するものである。この変換結果保持部170は、比較結果が、例えば、値「1」から「0」に変化した際に、時刻コード転送部200から出力された時刻コードを保持する。この際の時刻コードは、時刻コード生成部20により生成されて時刻コード転送部200により画素100に転送された時刻コードである。その後、変換結果保持部170は、垂直駆動部40の制御により、保持した時刻コードを時刻コード転送部200に対して出力する。時刻コード転送部200は、この出力された時刻コードを水平制御部50の時刻コード復号部52に転送する。

[0037] 前述のように、参照信号として高い電圧から低い電圧までランプ状に変化する信号を使用し、この参照信号の電圧がアナログの画像信号の電圧より高い状態から低い状態に移行した際の時刻コードを変換結果保持部170に保持することができる。すなわち、アナログの画像信号と参照信号とが略等しくなった際の時刻コードが変換結果保持部170に保持される。保持された時刻コードは、時刻コード復号部52において対応する時刻における参照信

号の電圧を表すデジタルの信号に変換される。これにより、光電変換部 110 により生成されたアナログの画像信号のアナログデジタル変換を行うことができる。なお、変換結果保持部 170 は、請求の範囲に記載の保持部の一例である。

[0038] [光電変換部の構成]

図 5 は、本技術の第 1 の実施の形態における光電変換部 110 の構成例を示す図である。この光電変換部 110 は、電荷生成部 111 と、生成電荷保持部 113 とを備える。また、電荷生成部 111 は、MOS トランジスタ 502 および 503 と、フォトダイオード 501 とを備える。ここで、MOS トランジスタ 502 および 503 には、N チャンネル MOS トランジスタを使用することができる。また、光電変換部 110 には、複数の信号線 (OFD、OFG、TX) が接続される。オーバーフロードレイン信号線 OFD (Overflow Drain) は、フォトダイオード 501 のリセット電圧を供給する信号線である。オーバーフローゲート信号線 OFG (Overflow Gate) は、MOS トランジスタ 502 に制御信号を伝達する信号線である。転送信号線 TX (Transfer) は、MOS トランジスタ 503 に制御信号を伝達する信号線である。同図に表したように、オーバーフローゲート信号線 OFG および転送信号線 TX は、何れも MOS トランジスタのゲートに接続される。ゲートおよびソース間の閾値電圧以上の電圧 (以下、オン信号と称する。) がこれらの信号線を通して入力されると、該当する MOS トランジスタが導通状態になる。

[0039] MOS トランジスタ 502 のドレインおよびゲートは、それぞれオーバーフロードレイン信号線 OFD およびオーバーフローゲート信号線 OFG に接続される。MOS トランジスタ 502 のソースは、フォトダイオード 501 のカソードおよび MOS トランジスタ 503 のソースに接続される。フォトダイオード 501 のアノードは接地される。MOS トランジスタ 503 のゲートは転送信号線 TX に接続され、ドレインは信号線 102 および生成電荷保持部 113 の一端に接続される。生成電荷保持部 113 の他の一端は、接

地される。

[0040] フォトダイオード501は、照射された光量に応じた電荷を生成し、生成した電荷を保持するものである。

[0041] MOSトランジスタ502は、フォトダイオード501で過剰に生成された電荷を排出するものである。また、このMOSトランジスタ502は、フォトダイオード501とオーバーフロードレイン信号線OFDとの間を導通させることによりフォトダイオード501に蓄積された電荷の排出をさらに行う。すなわち、フォトダイオード501のリセットをさらに行う。

[0042] MOSトランジスタ503は、フォトダイオード501により生成された電荷を生成電荷保持部113に転送するものである。このMOSトランジスタ503は、フォトダイオード501と生成電荷保持部113との間を導通させることにより電荷の転送を行う。

[0043] 生成電荷保持部113は、MOSトランジスタ503により転送された電荷を保持するものである。この生成電荷保持部113として、半導体基板の拡散層に形成されたフローティングディフュージョン領域を使用することができる。この生成電荷保持部113に保持された電荷に応じた信号は、光電変換部110により生成されたアナログの画像信号に該当し、信号線102を介して比較部150に対して出力される。

[0044] 光電変換部120乃至140の構成は光電変換部110の構成と同様であるため、説明を省略する。光電変換部120乃至140により生成されたアナログの画像信号は、それぞれ信号線103乃至105を介して比較部150に対して出力される。

[0045] [比較部の構成]

図6は、本技術の第1の実施の形態における比較部150の構成例を示す図である。この比較部150は、信号入力トランジスタ153、154、155および156と、参照入力トランジスタ157と、MOSトランジスタ151、152、158、401、402、403および404とを備える。ここで、MOSトランジスタ151および152にはPチャンネルMOS

トランジスタを使用することができる。MOSトランジスタ158、401、402、403および404にはNチャンネルMOSトランジスタを使用することができる。同様に、信号入力トランジスタ153、154、155および156ならびに参照入力トランジスタ157にもNチャンネルMOSトランジスタを使用することができる。なお、MOSトランジスタ151は、請求の範囲に記載の負荷部の一例である。MOSトランジスタ401、402、403および404は、請求の範囲に記載の信号入力トランジスタ選択部の一例である。

[0046] また、比較部150には、前述した信号線102等の他に、複数の信号線（SEL1乃至4、BIAS、REF）と電源線Vdd1が接続される。選択信号線SEL（Select）1乃至4は、それぞれMOSトランジスタ401、402、403および404に制御信号を伝達する信号線である。バイアス信号線BIAS（Bias）は、MOSトランジスタ158にバイアス電圧を供給する信号線である。参照信号線REF（Reference）は、参照入力トランジスタ157に参照信号を伝達する信号線である。電源線Vdd1は、比較部150の電源を供給する電源線である。

[0047] MOSトランジスタ151および152のソースは、電源線Vdd1に共通に接続される。MOSトランジスタ151のゲートは、MOSトランジスタ152のゲートおよびドレインならびに参照入力トランジスタ157のドレインに接続される。MOSトランジスタ151のドレインは、信号入力トランジスタ153乃至156のドレイン、MOSトランジスタ401乃至404のドレインおよび信号線106に接続される。信号入力トランジスタ153乃至156のソースおよび参照入力トランジスタ157のソースは、MOSトランジスタ158のドレインに共通に接続される。MOSトランジスタ158のゲートはバイアス信号線BIASに接続され、ソースは接地される。MOSトランジスタ153乃至156のゲートは、それぞれ信号線102乃至105に接続される。MOSトランジスタ401のゲートおよびソースは、それぞれ選択信号線SEL1および信号線102に接続される。MO

Sトランジスタ402のゲートおよびソースは、それぞれ選択信号線SEL2および信号線103に接続される。MOSトランジスタ403のゲートおよびソースは、それぞれ選択信号線SEL3および信号線104に接続される。MOSトランジスタ404のゲートおよびソースは、それぞれ選択信号線SEL4および信号線105に接続される。参照入力トランジスタ157のゲートは、参照信号線REFに接続される。

[0048] 信号入力トランジスタ153乃至156は、入力信号が制御端子であるゲートに入力されるMOSトランジスタである。同図の信号入力トランジスタ153乃至156には、入力信号としてアナログの画像信号が入力される。これらの信号入力トランジスタ153乃至156は、それぞれドレインおよびソースが共通に接続されている。すなわち、これら信号入力トランジスタは、並列に接続されている。

[0049] 参照入力トランジスタ157は、参照信号が制御端子であるゲートに入力されるMOSトランジスタである。この参照入力トランジスタ157は、上述の並列に接続された信号入力トランジスタ153乃至156のそれぞれと差動対を構成する。この差動対により入力信号および参照信号の比較が行われる。具体的には、入力信号が参照信号より小さい場合には、信号入力トランジスタ153乃至156に流れる電流より参照入力トランジスタ157に流れる電流の方が大きくなる。逆に、入力信号が参照信号より大きい場合には、信号入力トランジスタ153乃至156に流れる電流より参照入力トランジスタ157に流れる電流の方が小さくなる。このように、入力信号および参照信号の差分に応じた電流が差動対を構成する信号入力トランジスタ153乃至156および参照入力トランジスタ157に流れることとなる。

[0050] MOSトランジスタ401乃至404は、信号入力トランジスタ153乃至156のいずれか1つを選択するものである。このMOSトランジスタ401乃至404により選択された信号入力トランジスタ153乃至156のみが上述の比較の用に供される。これにより、選択されたアナログの画像信号と参照信号との比較が行われる。MOSトランジスタ401乃至404に

よる選択の詳細については、後述する。

[0051] MOSトランジスタ151は、信号入力トランジスタ153乃至156および参照入力トランジスタ157の何れか1つに流れる電流が入力信号および参照信号の差分に応じて変化した場合に、この電流の変化を電圧の変化に変換するものである。また、MOSトランジスタ152は、参照入力トランジスタ157に流れる電流の変化を電圧の変化に変換するものである。これらMOSトランジスタ151および152は、カレントミラー回路を構成する。このカレントミラー回路は、参照入力トランジスタ157に流れる電流に等しい電流が信号入力トランジスタ153乃至156に流れるように作用する。これにより、入力信号および参照信号の比較を高速に行うことができる。

[0052] MOSトランジスタ158は、差動対を構成する信号入力トランジスタ153乃至156および参照入力トランジスタ157に流れる電流を制御するものである。このMOSトランジスタ158のゲートには、バイアス信号線BIASにより所定のバイアス電圧が供給される。これによりMOSトランジスタ158は、定電流電源として動作する。

[0053] このように、同図の比較部150は、複数の信号入力トランジスタ153乃至156を有し、これらのうちの1つを選択して比較動作を行わせることができる。さらに、参照入力トランジスタ157とMOSトランジスタ151および152からなるカレントミラー回路を複数の信号入力トランジスタにより共有する構成にしている。このため、複数の比較部を使用して、光電変換部110乃至140の各出力と参照信号との比較を行う場合に比べ、簡便な構成にすることができる。

[0054] [選択方法]

MOSトランジスタ401乃至404による信号入力トランジスタ153乃至156の選択方法について、信号入力トランジスタ153を選択する場合を例に挙げて説明する。まず、参照信号線REFの電圧を0Vにする。これにより、参照入力トランジスタ157は非導通状態になる。すると、信号

入力トランジスタ153乃至156、参照入力トランジスタ157およびMOSトランジスタ158により構成される差動増幅回路の作用により、信号入力トランジスタ153乃至156のドレインは、0V近傍の電圧になる。次に、選択信号線SEL1乃至4にオン信号を入力してMOSトランジスタ401乃至404を導通状態にする。これにより、帰還回路が形成され、信号入力トランジスタ153乃至156のドレインは、約0Vの電圧になる。すると、信号線102乃至105に接続された光電変換部110乃至140の生成電荷保持部113が放電されて、信号線102乃至105の電圧が0Vとなる。

[0055] これにより、信号入力トランジスタ153乃至156を非選択状態にすることができる。その後、選択信号線SEL1乃至4へのオン信号の入力を停止するとともに参照信号線REFの電圧を信号入力トランジスタ153が導通状態となるバイアス電圧に設定し、選択信号線SEL1にオン信号を入力してMOSトランジスタ401を導通状態にする。これにより、信号入力トランジスタ153を選択することができる。このように、MOSトランジスタ401乃至404による選択が行われる。

[0056] 同図の比較部150においては、MOSトランジスタ151および152からなるカレントミラー回路を備えており、信号入力トランジスタ153のドレインを0Vにする作用をさらに高めることができる。すなわち、参照信号線REFの電圧を0Vにした際、MOSトランジスタ152に流れる電流が約0Aになる。MOSトランジスタ151はMOSトランジスタ152とカレントミラー回路を構成するため、MOSトランジスタ151を流れる電流も約0Aとなる。このため、信号入力トランジスタ153のドレインの電圧をより正確に0Vにすることができる。

[0057] なお、これらMOSトランジスタ401乃至404は光電変換部110乃至140の電荷生成部113をリセットする機能をさらに備えている。このリセットは、次のように行うことができる。まず、参照信号線REFに生成電荷保持部113のリセット電圧に相当する電圧を印加する。これにより、

参照入力トランジスタ157が導通状態になる。上述した差動増幅回路およびカレントミラー回路の作用により、MOSトランジスタ401乃至404のドレインの電圧もリセット電圧に略等しい値になる。次に、選択信号線SEL1乃至4にオン信号を入力してMOSトランジスタ401乃至404を導通状態にする。これにより、光電変換部110乃至140の生成電荷保持部113にリセット電圧が印加され、リセットを行うことができる。

[0058] このように、本技術の第1の実施の形態においては、MOSトランジスタ401乃至404により、信号入力トランジスタ153乃至156の選択と生成電荷保持部113のリセットとが行われる。これにより、アナログデジタル変換部190の構成を簡略化することができる。また、カレントミラー回路を使用することにより、差動増幅回路における利得を向上させることができ、これら信号入力トランジスタ153乃至156の選択と生成電荷保持部113のリセットとをより正確に行うことができる。

[0059] なお、比較部150の構成は、この例に限られない。例えば、カレントミラー回路を構成するMOSトランジスタ151および152の代わりに抵抗負荷または定電流電源を使用することもできる。この際、抵抗負荷等は、差動対のうちの信号入力トランジスタ153乃至156および参照入力トランジスタ157の何れか1つまたは両方に接続することができる。

[0060] [比較出力処理部の構成]

図7は、本技術の第1の実施の形態における比較出力処理部160の構成例を示す図である。この比較出力処理部160は、MOSトランジスタ511乃至517を備える。ここで、MOSトランジスタ511、513および515は、PチャンネルMOSトランジスタにより構成することができる。また、MOSトランジスタ512、514、516および517は、NチャンネルMOSトランジスタにより構成することができる。なお、MOSトランジスタ511は前置増幅部161を構成する。MOSトランジスタ512は、レベル変換部162を構成する。MOSトランジスタ513乃至517は、波形整形部163を構成する。また、比較出力処理部160には、前述

した信号線106および107の他に、初期化信号線INI (Initialize) および電源線(Vdd1およびVdd2)が接続される。初期化信号線INIは、MOSトランジスタ513および516に制御信号を伝達する信号線である。電源線Vdd1およびVdd2は、比較出力処理部160に電源を供給する電源線である。

[0061] MOSトランジスタ511のソースおよびゲートは、それぞれ電源線Vdd1および信号線106に接続される。MOSトランジスタ511のドレインは、MOSトランジスタ512のドレインに接続される。MOSトランジスタ512のゲートは電源線Vdd2に接続され、ソースはMOSトランジスタ514および516のドレインならびにMOSトランジスタ515および517のゲートに接続される。MOSトランジスタ513および516のゲートは、初期化信号線INIに共通に接続される。MOSトランジスタ513のソースおよびドレインは、それぞれ電源線Vdd2およびMOSトランジスタ514のソースに接続される。MOSトランジスタ516のソースは、接地される。MOSトランジスタ514のゲートは、MOSトランジスタ515および517のドレインならびに信号線107に接続される。MOSトランジスタ515のソースは電源線Vdd2に接続され、MOSトランジスタ517のソースは接地される。

[0062] 前置増幅部161は、比較部150により出力された比較結果に対応する信号を増幅するものである。この前置増幅部161は、増幅した信号をレベル変換部162に対して出力する。この増幅は、MOSトランジスタ511により行われる。

[0063] レベル変換部162は、前置増幅部161により出力された信号のレベル変換を行うものである。図6において説明した比較部150および前置増幅部161には、電源線Vdd1が接続されている。比較部150および前置増幅部161において高い利得を得るため、この電源線Vdd1により供給される電源は比較的高い電圧にする必要がある。一方、後段の変換結果保持部170等は、デジタル信号を扱うため、比較的低い電圧の電源を供給する

ことができる。この比較的低い電源は、電源線V d d 2により供給される。これにより、変換結果保持部170等における消費電力を低減するとともに変換結果保持部170等に低耐圧のトランジスタを使用することが可能になる。このように、異なる電圧の電源が供給される回路間において信号の伝達を行うため、レベル変換部162を配置する。これにより、レベルの変換が行われた信号が波形整形部163に対して出力される。同図のレベル変換部162は、電源線V d d 2により供給される電源電圧からMOSトランジスタ512の閾値電圧を減じた電圧に信号レベルを制限することができる。

[0064] 波形整形部163は、レベル変換部162により出力された信号を変化の急峻な信号に整形するものである。この波形整形部163の動作について説明する。初期状態において、レベル変換部162の出力は値「0」である。この状態において、初期化信号線I N Iから値「1」の信号が入力され、MOSトランジスタ516が導通状態になる。これにより、MOSトランジスタ517が非導通状態になるとともに、MOSトランジスタ515が導通状態になり、信号線107には値「1」が出力される。この際、MOSトランジスタ513および514は、非導通状態となる。その後、初期化信号線I N Iには、値「0」の信号が入力される。これにより、MOSトランジスタ513は導通状態になり、MOSトランジスタ516は非導通状態になる。MOSトランジスタ514は、非導通状態であり、レベル変換部162の出力信号が値「0」であるため、MOSトランジスタ515および517の状態は、変化しない。

[0065] 次に、レベル変換部162の出力信号が値「0」から「1」に変化すると、MOSトランジスタ517が導通状態に遷移し、MOSトランジスタ515が非導通状態に遷移する。これにより、信号線107の電圧は低下する。このため、MOSトランジスタ514が導通状態に遷移し、MOSトランジスタ515および517のゲートの電圧がさらに上昇する。このような正帰還作用により信号線107の電圧は急激に低下する。これにより、波形の整形を行うことができる。

[0066] [変換結果保持部の構成]

図8は、本技術の実施の形態における変換結果保持部170の構成例を示す図である。この変換結果保持部170は、記憶制御部171と、記憶部172乃至179とを備える。ここで、便宜上、アナログデジタル変換後のデジタルの画像信号として8ビットのサイズのデータを想定する。このため、時刻コードのサイズも8ビットになる。なお、変換後のデジタルの画像信号および時刻コードのサイズは、システムへの要求に合わせて変更することができる。例えば、15ビットのサイズにすることもできる。

[0067] また、変換結果保持部170には、信号線107の他に、複数の信号線(WORD、CODE1乃至8)が接続される。ワード信号線WORD(Word)は、記憶部172乃至179の制御信号を伝達する信号線である。コード信号線CODE(Code)1乃至8は、時刻コードを双方向に伝達する信号線である。この複数のコード信号線CODE1乃至8は、信号線101を構成する。

[0068] 記憶部172乃至179は、時刻コード転送部200から入力された時刻コードを記憶するものである。この記憶部172乃至179は、それぞれ1ビットの時刻コードを記憶する。この記憶部172乃至179の構成について、記憶部172を例に挙げて説明する。この記憶部172は、ビット記憶部522と、双方向スイッチ523とを備える。

[0069] 双方向スイッチ523は、信号線526とコード信号線CODE1との間に接続され、データを双方向に伝達するものである。また、この双方向スイッチ523は、制御入力端子を備える。この制御入力端子には、信号線524が接続される。信号線524を介して制御入力端子に値「1」が入力されると、双方向スイッチ523は導通状態になり、信号線526とコード信号線CODE1との間で双方向にデータの伝達を行うことができる。一方、制御入力端子に値「0」が入力されると、双方向スイッチ523は、非導通状態になる。

[0070] ビット記憶部522は、1ビットのデータを記憶する記憶装置である。こ

のビット記憶部522は入出力端子および制御入力端子を備え、それぞれ信号線526および107が接続される。信号線107を介して値「1」の信号が制御入力端子に入力されると、ビット記憶部522は、信号線526を介して双方向スイッチ523から伝達された信号である1ビットの時刻コードを記憶する。その際、1ビットの時刻コードが変化した場合には、ビット記憶部522に記憶されているデータが書き換えられる。その後、制御入力端子に入力された信号が値「1」から「0」に遷移すると、ビット記憶部522に記憶されていたデータがそのまま保持される。すなわち、次に制御入力端子に入力された信号が値「1」になるまで、上述のデータの書換えは行われない。また、ビット記憶部522は、制御入力端子に入力された信号が値「0」の際には、保持したデータを信号線526に対して出力する。

[0071] 記憶制御部171は、信号線524を介して制御信号を出力し、記憶部172乃至179を制御するものである。この記憶制御部171は、双方向スイッチ523の制御信号として、例えば、ワード信号線WORDおよび信号線107により入力された2つの信号の論理和により得られる信号を生成し、出力することができる。これは、ORゲート521により行うことができる。

[0072] [時刻コード転送部の構成]

図9は、本技術の実施の形態における時刻コード転送部200の構成例を示す図である。この時刻コード転送部200は、コード保持部210および230と、クロックバッファ220および240とを備える。この時刻コード転送部200は、図1において説明した画素アレイ部10に配置された画素100の行数と同数のコード保持部およびクロックバッファを有する。便宜上、コード保持部210および230ならびにクロックバッファ220および240を例に挙げて説明する。

[0073] コード保持部210は、時刻コードを保持するものである。このコード保持部210は、フリップフロップ211乃至218により構成される。このフリップフロップ211等はクロックバッファ220から出力されたクロック

ク信号に基づいて時刻コードのうちの1ビットを保持する。具体的には、クロック信号が値「0」のとき、時刻コード生成部20から出力されて同図のD入力端子に入力された時刻コードを内部ノードに保持するとともにQ出力端子をハイインピーダンス状態にする。次に、クロック信号が値「1」になると、内部ノードに保持した時刻コードをQ出力端子から出力する。この出力された時刻コードは、信号線101を介してコード保持部230に入力される。このように、時刻コード転送部200は、複数の時刻コード保持部をシフトレジスタとして動作させて、時刻コードの転送を行う。

[0074] クロックバッファ220は、図3において説明したクロック信号生成部54により生成されたクロック信号をコード保持部210に対して出力するとともに、次段のクロックバッファに対して出力するものである。このクロックバッファ220は、複数の反転ゲート221乃至224により構成され、劣化したクロック信号を整形するリピータとして動作する。また、このクロックバッファ220は、時刻コード転送部200において、時刻コードとは逆の方向に順次転送される。すなわち、クロックバッファ240は、コード保持部230に対してクロック信号を出力するとともに、クロックバッファ220に対してクロック信号を出力する。これにより、コード保持部210に入力されるクロック信号は、コード保持部230に入力されたクロック信号と比較して、反転ゲート2つ分の伝播遅延時間と反転ゲート224までの配線による遅延とに相当する時間の遅延を有するものとなる。このように、クロックバッファ220は、クロック信号を遅延させる機能をさらに備える。

[0075] 上述したように、フリップフロップ211等は、クロック信号が値「0」のとき、入力された時刻コードを内部ノードに保持する。この保持の際、所定の時間、いわゆるセットアップタイムを確保する必要がある。クロックバッファ220により生じたクロック信号の遅延により、コード保持部230においてクロック信号が値「0」に遷移した際、コード保持部210に入力されるクロック信号は値「1」のままである。すなわち、内部ノードに保持

された時刻コードが出力された状態にとどまっている。これによりコード保持部230においてセットアップタイムを確保することができ、時刻コードの伝達を行うことができる。

[0076] コード保持部210の出力とコード保持部230の入力にはコード信号線CODE1乃至8がそれぞれ接続される。これにより、時刻コード生成部200により生成されて、コード保持部210において保持された時刻コードがこれらのコード信号線CODE1乃至8を介して変換結果保持部170に対して出力される。また、アナログデジタル変換後に変換結果保持部170に保持された時刻コードがこれらのコード信号線CODE1乃至8を介してコード保持部230に対して出力される。このように、時刻コード転送部200は、時刻コードの転送を行う。

[0077] [アナログデジタル変換処理]

図10は、本技術の第1の実施の形態におけるアナログデジタル変換処理の一例を示す図である。同図は、図4において説明した光電変換部110におけるアナログデジタル変換処理を表したものである。同図において、OFG、TX、SEL1、INI、WORDは、それぞれオーバーフローゲート信号線OFG、転送信号線TX、選択信号線SEL1、初期化信号線INIおよびワード信号線WORDに入力された信号の状態を表す。これらにおいて、2値化された波形の値「1」の期間がオン信号の入力に該当する。光電変換部110出力、REF、比較部150出力および比較出力処理部160出力は、それぞれ光電変換部110の出力信号、参照信号線REFの参照信号、比較部150の出力信号および比較出力処理部160の出力信号の状態を表す。CODE、記憶部コードおよび水平制御部50入力は、それぞれコード信号線CODEにより伝達される時刻コード、記憶部172乃至179に記憶される時刻コードおよび水平制御部50に入力される時刻コード（8ビット）を表す。

[0078] T0乃至T1において、オーバーフローゲート信号線OFGにオン信号が入力されて光電変換部110のフォトダイオード501がリセットされる。

これにより、光電変換部 110 の露光が開始される。

[0079] T2 乃至 T3 において、参照信号線 REF に生成電荷保持部 113 のリセット電圧に相当する電圧が印加される。これにより、比較部 150 の出力もリセット電圧に略等しい値になる。同時に、選択信号線 SEL1 にオン信号が入力される。これにより、生成電荷保持部 113 がリセットされる。また、初期化信号線 IN1 にオン信号が入力されて、比較出力処理部 160 の出力が値「1」になる。

[0080] T4 乃至 T7 において参照信号線 REF に参照信号が入力される。同図に表したように、この参照信号は、電圧がランプ状に低下する信号である。この参照信号の入力と同期して時刻コードが生成され、時刻コード転送部 200 により転送される。転送された時刻コードは、記憶部 172 乃至 179 に記憶される。なお、比較出力処理部 160 の出力信号が値「1」である間は、記憶部 172 乃至 179 における記憶コードの書換えが行われる（T5 乃至 T6）。

[0081] 参照信号の電圧が光電変換部 110 の出力信号の電圧より低下した際、比較部 150 の出力信号が低下する（T6）。この比較部 150 の出力信号は比較出力処理部 160 により整形されて、値「0」の信号が変換結果保持部 170 に対して出力される。すると、記憶部 172 乃至 179 に記憶された時刻コードの書換えが停止し、時刻コードが保持される。ここで、この保持された時刻コードを「A」により表す。この「A」は、光電変換部 110 のリセット時の画像信号に対応する信号である。所定の時間経過後、参照信号線 REF の参照信号が値「0」となり、時刻コードの転送も停止される（T7）。

[0082] T8 乃至 T11 において、ワード信号線 WORD にオン信号が入力されて（T8 乃至 T9）、記憶部 172 乃至 179 に保持されていた時刻コード「A」が時刻コード転送部 200 に出力される。その後、時刻コード「A」が時刻コード転送部 200 により転送され、水平制御部 50 に対して入力される（T9 乃至 T11）。入力された時刻コード「A」は、時刻コード復号部

52により復号されてリセット時の画像信号としてカラム信号処理部53に保持される。

[0083] T12乃至T18において、初期化信号線INIにオン信号が入力されて（T12乃至T13）、比較出力処理部160の出力が値「1」になる。続いて、転送信号線TXにオン信号が入力されて（T13乃至T14）、フォトダイオード501に保持された電荷が生成電荷保持部113に転送されて保持される。この生成電荷保持部113に保持された電荷に応じた信号（アナログの画像信号）が光電変換部110から比較部150に対して出力される。その後、参照信号線REFに参照信号が入力され、時刻コードが転送される（T14乃至T18）。参照信号の電圧が光電変換部110の出力信号の電圧より低下すると（T17）、上述のT6と同様に、値「0」の信号が変換結果保持部170に対して出力され、記憶部172乃至179に時刻コードが保持される。ここで、この保持された時刻コードを「B」により表す。この「B」は、光電変換部110の露光後の画像信号に対応する信号である。所定の時間経過後、参照信号の入力が停止され、約0Vの値になる（T18）。

[0084] 前述したT0乃至T1におけるオーバーフローゲート信号線OFGへのオン信号の入力からT13乃至T14における転送信号線TXへのオン信号の入力までの期間が露光期間に該当する。

[0085] T19乃至T20において、選択信号線SEL1にオン信号が入力される。前述のように、参照信号は約0Vであるため、光電変換部110の出力が約0Vになる。これにより、生成電荷保持部113は約0Vに放電され、比較部150の信号入力トランジスタ153が非選択状態になる。

[0086] T21乃至T24において、ワード信号線WORDにオン信号が入力されて（T21乃至T22）、時刻コード「B」が時刻コード転送部200に対して出力される。その後、T22乃至T24において、時刻コード「B」が時刻コード転送部200により転送され、水平制御部50に対して入力される。入力された時刻コード「B」は、復号されて露光後の画像信号となり、

カラム信号処理部53に入力される。その後、カラム信号処理部53は、入力された露光後の画像信号からリセット時の画像信号を減算する。これにより、CDSが実行される。CDSが行われた画像信号は、水平制御部50から出力され、撮像装置1の出力画像信号となる。

[0087] このように、光電変換部110における画像信号のアナログデジタル変換を行うことができる。光電変換部120乃至140においても、同様に画像信号のアナログデジタル変換が行われる。この様子を図11により説明する。

[0088] 図11は、本技術の第1の実施の形態におけるアナログデジタル変換処理の一例を示す図である。同図は、光電変換部110乃至140の出力信号と参照信号との関係を表したものである。同図より明らかなように、光電変換部110における画像信号のアナログデジタル変換の終了後、光電変換部120乃至140における画像信号のアナログデジタル変換が順次実行される。この際、参照信号として同様の信号が比較部150に対して入力される。また、アナログデジタル変換が行われている際、アナログデジタル変換の対象ではない光電変換部の出力信号は、ほぼ0Vになる。これは、信号入力トランジスタ選択部であるMOSトランジスタ401乃至404により、該当する信号入力トランジスタ153乃至156を非選択状態にした際、生成電荷保持部113を約0Vに放電したためである。

[0089] このように、本技術の第1の実施の形態では、アナログデジタル変換部190において、複数の信号入力トランジスタ153等を有するとともにこれらのうちの1つを選択する比較部150を備える。これにより、複数の光電変換部の出力信号を選択して参照信号との比較を行うことができ、画素100の構成を簡略化することができる。

[0090] <2. 第2の実施の形態>

上述の第1の実施の形態では、1つの電荷生成部111を有する光電変換部110等を使用していた。これに対し本技術の第2の実施の形態では、複数の電荷生成部を有する光電変換部110等を使用する。これにより、画素

100の構成を簡略化することができる。

[0091] [光電変換部の構成]

図12は、本技術の第2の実施の形態における光電変換部110の構成例を示す図である。同図の光電変換部110は、電荷生成部114乃至116をさらに備える点で、図5において説明した光電変換部110と異なる。これら電荷生成部114乃至116は、電荷生成部111と同様にオーバーフローライン信号線OFDおよび信号線102に接続される。また、オーバーフローゲート信号線OFG1乃至4および転送信号線TX1乃至4が電荷生成部111および電荷生成部114乃至116に対してそれぞれ配線される。

[0092] このように、同図の光電変換部110は、4つの電荷生成部の出力が1つの生成電荷保持部113に共通に接続される。このため、複数の電荷生成部毎に生成電荷保持部を有する構成の画素と比較して、画素100の構成を簡略化することができる。これら電荷生成部111等からの生成電荷保持部113への電荷の転送は、転送信号線TX1乃至4に順次オン信号を入力することにより行うことができる。

[0093] これ以外の撮像装置1の構成は本技術の第1の実施の形態における撮像装置1の構成と同様であるため、説明を省略する。

[0094] このように、本技術の第2の実施の形態では、光電変換部110において生成電荷保持部113を複数の電荷生成部（電荷生成部111および電荷生成部114乃至116）により共有する。これにより、画素100の構成を簡略化することができる。

[0095] <3. 第3の実施の形態>

上述の第1の実施の形態では、1つの参照入力トランジスタ157を使用していた。これに対し本技術の第3の実施の形態では、複数の参照入力トランジスタを使用する。これにより、比較部150の性能を向上させることができる。

[0096] [比較部の構成]

図13は、本技術の第3の実施の形態における比較部150の構成例を示す図である。同図の比較部150は、参照入力トランジスタ159、181および182をさらに備える点で、図6において説明した比較部150と異なる。これらの参照入力トランジスタには、NチャンネルMOSトランジスタを使用することができる。参照入力トランジスタ159、181および182のドレインは、参照入力トランジスタ157のドレインに共通に接続される。参照入力トランジスタ159、181および182のソースは、参照入力トランジスタ157のソースに共通に接続される。また、参照入力トランジスタ157、159、181および182のゲートには、参照信号線REF1乃至4がそれぞれ接続される。

[0097] このように、参照入力トランジスタ157、159、181および182は、信号入力トランジスタ153乃至156と差動対をそれぞれ構成する。このため、これらの差動対を半導体チップにおいて近接して配置することができる。差動対を構成するトランジスタの特性を揃えることができるため、温度ドリフト等を減少させることができ、性能を向上させることができる。

[0098] [アナログデジタル変換処理]

図14は、本技術の第2の実施の形態におけるアナログデジタル変換処理の一例を示す図である。同図は、図11と同様に光電変換部110乃至140の出力信号と参照信号との関係を表したものである。本技術の第2の実施の形態においては、光電変換部110乃至140におけるアナログデジタル変換の際、参照信号線REF1乃至4に対して順次参照信号を入力する。また、アナログデジタル変換の対象ではない光電変換部に入力される参照信号は、ほぼ0Vにする必要がある。該当する参照入力トランジスタ157等を非導通状態にするためである。

[0099] これ以外の撮像装置1の構成は本技術の第1の実施の形態における撮像装置1の構成と同様であるため、説明を省略する。

[0100] このように、本技術の第3の実施の形態では、複数の信号入力トランジスタごとに参照入力トランジスタを設けて差動対をそれぞれ構成する。これに

より、差動対を構成するトランジスタを近接して配置することができ、比較部150の性能を向上させることができる。

[0101] <4. 第4の実施の形態>

上述の第3の実施の形態では、複数の差動対に流れる電流を1つの定電流電源により制御していた。これに対し本技術の第3の実施の形態では、複数の差動対毎に定電流電源を配置して制御する。これにより、比較部150の性能を向上させることができる。

[0102] [比較部の構成]

図15は、本技術の第4の実施の形態における比較部150の構成例を示す図である。同図の比較部150は、MOSトランジスタ183乃至185をさらに備える点で、図13において説明した比較部150と異なる。これらのMOSトランジスタには、NチャンネルMOSトランジスタを使用することができる。信号入力トランジスタ153のソースと参照入力トランジスタ157のソースは、MOSトランジスタ158のドレインに共通に接続される。信号入力トランジスタ154のソースと参照入力トランジスタ159のソースは、MOSトランジスタ183のドレインに共通に接続される。信号入力トランジスタ155のソースと参照入力トランジスタ181のソースは、MOSトランジスタ184のドレインに共通に接続される。信号入力トランジスタ156のソースと参照入力トランジスタ182のソースは、MOSトランジスタ185のドレインに共通に接続される。MOSトランジスタ158、183、184および185のゲートは、バイアス信号線BIASに共通に接続される。MOSトランジスタ158、183、184および185のソースは、接地される。

[0103] MOSトランジスタ158、183、184および185は、定電流源として動作する。これらのMOSトランジスタ158および183は、差動対を構成する信号入力トランジスタ153および参照入力トランジスタ157ならびに信号入力トランジスタ154および参照入力トランジスタ159のそれぞれに接続される。同様に、MOSトランジスタ184および185は

、差動対を構成する信号入力トランジスタ 155 および参照入力トランジスタ 181 ならびに信号入力トランジスタ 156 および参照入力トランジスタ 182 のそれぞれに接続される。

[0104] これ以外の撮像装置 1 の構成は本技術の第 3 の実施の形態における撮像装置 1 の構成と同様であるため、説明を省略する。

[0105] このように、本技術の第 4 の実施の形態によれば、差動対を構成する信号入力トランジスタおよび参照入力トランジスタと定電流電源を構成する MOS トランジスタとを半導体チップにおいて近接して配置することができる。これにより、比較部 150 の性能を向上させることができる。

[0106] <5. 第 5 の実施の形態>

上述の第 4 の実施の形態では、複数の差動対毎に定電流電源を配置していた。これに対し、本技術の第 5 の実施の形態では、複数の定電流電源を個別に制御することにより、これらを信号入力トランジスタ選択部として使用する。これにより、比較部 150 の構成を簡略化することができる。

[0107] [画素の構成]

図 16 は、本技術の第 5 の実施の形態における画素 100 の構成例を示す図である。同図の画素 100 は、比較部 150 の出力信号を伝達する信号線 106 が光電変換部 110 乃至 140 に対してさらに接続されている点で、図 4 において説明した画素 100 と異なる。

[0108] [光電変換部の構成]

図 17 は、本技術の第 5 の実施の形態における光電変換部 110 の構成例を示す図である。同図の光電変換部 110 は、MOS トランジスタ 112 をさらに備える点で、図 5 において説明した光電変換部 110 と異なる。この MOS トランジスタ 112 には、N チャンネル MOS トランジスタを使用することができる。MOS トランジスタ 112 のドレインおよびソースは、それぞれ信号線 106 および信号線 102 に接続される。MOS トランジスタ 112 のゲートは、リセット信号線 RST (reset) に接続される。

[0109] 同図の光電変換部 110 は、MOS トランジスタ 112 により、生成電荷

保持部 113 のリセットが行われる。すなわち、リセット信号線 RST にオン信号が入力されると MOS トランジスタ 112 が導通状態になり、信号線 106 を介してリセット電圧が生成電荷保持部 113 に印加されて、リセットが行われる。

[0110] [比較部の構成]

図 18 は、本技術の第 5 の実施の形態における比較部 150 の構成例を示す図である。同図の比較部 150 は、MOS トランジスタ 401 乃至 404 を備える必要はない。また、MOS トランジスタ 158、183、184 および 185 のゲートにバイアス信号線 BIAS1 乃至 4 がそれぞれ接続されている点で、図 15 において説明した比較部 150 と異なる。なお、MOS トランジスタ 158、183、184 および 185 は、請求の範囲に記載の信号入力トランジスタ選択部の一例である。

[0111] MOS トランジスタ 158、183、184 および 185 は、それぞれが接続された差動対に流れる電流を制御する定電流電源である。また、MOS トランジスタ 158、183、184 および 185 は、信号入力トランジスタ 153 乃至 156 の何れか 1 つを選択する信号入力トランジスタ選択部として動作する。信号入力トランジスタ 153 を選択する場合を例に挙げて、選択方法を説明する。信号入力トランジスタ 153 に接続された MOS トランジスタ 158 のゲートに接続されたバイアス信号線 BIAS1 に所定の電圧を印加する。そしてバイアス信号線 BIAS2 乃至 4 の電圧を約 0 V にする。これにより、バイアス信号線 BIAS2 乃至 4 に接続された MOS トランジスタ 183 乃至 185 は、非導通状態になり、信号入力トランジスタ 154 乃至 156 に流れる電流が遮断される。これにより、信号入力トランジスタ 153 を選択することができる。

[0112] このように、同図の比較部 150 は、定電流電源である MOS トランジスタ 158、183、184 および 185 に信号入力トランジスタを選択する機能を持たせることにより比較部 150 の構成を簡略化することができる。また、差動対を構成する信号入力トランジスタおよび参照入力トランジスタ

と定電流電源を構成するMOSトランジスタとを近接して配置することも可能である。

[0113] これ以外の撮像装置1の構成は本技術の第4の実施の形態における撮像装置1の構成と同様であるため、説明を省略する。

[0114] このように、本技術の第5の実施の形態によれば、定電流電源であるMOSトランジスタ158、183、184および185に信号入力トランジスタを選択する機能を持たせることができ、比較部150の構成を簡略化することができる。

[0115] <6. 第6の実施の形態>

上述の第1の実施の形態では、信号入力トランジスタ153乃至156を選択する際、参照信号線REFの電圧を0Vにしていた。その後、MOSトランジスタ401乃至404を導通状態にしていた。これに対し、本技術の第6の実施の形態では、選択対象でない信号入力トランジスタ153乃至156に流れる電流を遮断する。これにより、比較部150における処理を簡略化することができる。

[0116] [比較部の構成]

図19は、本技術の第6の実施の形態における比較部150の構成例を示す図である。同図の比較部150は、MOSトランジスタ401乃至404を備える必要はない。また、MOSトランジスタ196乃至199をさらに備える点で、図6において説明した比較部150と異なる。なお、MOSトランジスタ196乃至199は、請求の範囲に記載の信号入力トランジスタ選択部の一例である。

[0117] 信号入力トランジスタ153のソースは、MOSトランジスタ196のドレインに接続される。信号入力トランジスタ154のソースは、MOSトランジスタ197のドレインに接続される。信号入力トランジスタ155のソースは、MOSトランジスタ198のドレインに接続される。信号入力トランジスタ156のソースは、MOSトランジスタ199のドレインに接続される。MOSトランジスタ196乃至199のゲートは、それぞれ選択信号

線SEL1乃至4に接続される。MOSトランジスタ196乃至199のソースは、参照入力トランジスタ157のソースおよびMOSトランジスタ158のドレインに共通に接続される。

[0118] このように、MOSトランジスタ196乃至199は、それぞれ信号入力トランジスタ153乃至156に直列に接続される。信号入力トランジスタを選択する際には、選択対象の信号入力トランジスタに接続されたMOSトランジスタ196乃至199を導通状態とし、これ以外のMOSトランジスタ196乃至199を非導通状態にすることにより選択を行うことができる。例えば、信号入力トランジスタ153を選択する場合には、選択信号線SEL1にオン信号を入力することにより行うことができる。このように、同図の比較部150は、図6において説明した比較部150とは異なり、選択を行う際、参照信号線REFを0Vにする必要がなく、選択の処理を簡略化することができる。

[0119] これ以外の撮像装置1の構成は本技術の第1の実施の形態における撮像装置1の構成と同様であるため、説明を省略する。

[0120] このように、本技術の第6の実施の形態によれば、信号入力トランジスタ153乃至156に直列に接続されたMOSトランジスタ196乃至199を信号入力トランジスタ選択部として使用することにより、選択の処理を簡略化することができる。

[0121] <7. 第7の実施の形態>

上述の第1の実施の形態では、光電変換部110等の出力信号の電圧が参照信号の電圧より低い間、変換結果保持部170の記憶部172乃至179において、時刻コードの書換えが連続して行われていた。これに対し、本技術の第7の実施の形態では、時刻コードの書換えを制限する。これにより、アナログデジタル変換部190を低消費電力化することができる。

[0122] [比較出力処理部の構成]

図20は、本技術の第7の実施の形態における比較出力処理部160の構成例を示す図である。この比較出力処理部160は、パルス幅変更部164

をさらに備える点で、図7において説明した比較出力処理部160と異なる。

[0123] パルス幅変更部164は、信号線169を介して波形整形部163から出力された信号のパルス幅を変更するものである。このパルス幅の変更は、波形整形部163の出力信号が値「1」の状態にある期間を短くすることにより行われる。具体的には、パルス幅変更部164は、波形整形部163の出力信号が値「1」から「0」に遷移した際の所定の期間にのみ値「1」となる信号を生成し、出力する。この所定の期間として、図8において説明した記憶部172乃至179において入力された時刻コードを保持するために必要な時間に等しい期間を採用することができる。これにより、図8および10において説明した記憶部172乃至179における時刻コードの書換え回数を削減することができる。

[0124] 同図のパルス幅変更部164は、非反転ゲート531と、反転ゲート532と、NORゲート533とを備える。ここで反転ゲート532は、非反転ゲート531より信号伝播遅延が大きくなるように構成される。これら非反転ゲート531および反転ゲート532の出力をNORゲート533に入力し、否定論理和演算を行うことにより、非反転ゲート531および反転ゲート532の伝播遅延時間の差分に相当するパルス幅の信号を生成することができる。

[0125] [パルス幅変更部の構成]

図21は、本技術の第7の実施の形態におけるパルス幅変更部164の構成例を示す図である。同図におけるaのパルス幅変更部164は、図20において説明した反転ゲート532の代わりに非反転ゲート534、反転ゲート535およびキャパシタ536により構成される回路を使用したものである。キャパシタ536の作用により伝播遅延時間を設定することができる。同図におけるbは、反転ゲート532の代わりに直列に接続された反転ゲート537、538および535により構成される回路を使用したものである。3つの反転ゲートにより伝播遅延時間が設定される。

[0126] これ以外の撮像装置 1 の構成は本技術の第 1 の実施の形態における撮像装置 1 の構成と同様であるため、説明を省略する。

[0127] このように、本技術の第 7 の実施の形態によれば、波形整形部 1 6 3 から出力された信号のパルス幅を変更することにより、記憶部 1 7 2 乃至 1 7 9 における時刻コードの書換え回数を削減することができる。これにより、アナログデジタル変換部 1 9 0 を低消費電力化することができる。

[0128] [変形例]

上述の本技術の第 7 の実施の形態では、非反転ゲート 5 3 1 を使用していたが、波形整形部 1 6 3 を使用することもできる。これにより、パルス幅変更部 1 6 4 の構成を簡略化することができる。

[0129] [比較出力処理部の構成]

図 2 2 は、本技術の第 7 の実施の形態の変形例における比較出力処理部 1 6 0 の構成例を示す図である。同図の比較出力処理部 1 6 0 は、図 2 0 において説明したパルス幅変更部 1 6 4 の非反転ゲート 5 3 1 を備える必要はない。また、反転ゲート 5 3 2 の代わりに非反転ゲート 5 3 9 を備える。この非反転ゲート 5 3 9 は、反転ゲート 5 3 2 と同様に伝播遅延時間が大きいゲートである。この非反転ゲート 5 3 9 には、レベル変換部 1 6 2 の出力信号が入力される。NOR ゲート 5 3 3 には、波形整形部 1 6 3 および非反転ゲート 5 3 9 の出力信号が入力される。

[0130] なおパルス幅変更部 1 6 4 の構成はこの例に限られない。例えば、非反転ゲート 5 3 9 を省略し、レベル変換部 1 6 2 の出力信号を NOR ゲート 5 3 3 に直接入力することもできる。

[0131] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具

現化することができる。

[0132] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD (Compact Disc)、MD (MiniDisc)、DVD (Digital Versatile Disc)、メモリカード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0133] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0134] なお、本技術は以下のような構成もとることができる。

(1) 入力信号が制御端子に入力される複数の信号入力トランジスタと、前記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、

前記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された前記信号入力トランジスタと前記参照入力トランジスタとにより構成される前記差動対に前記入力信号および前記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、

前記複数の信号入力トランジスタおよび前記参照入力トランジスタの何れか1つに流れる電流が前記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を前記入力信号と前記参照信号との比較の結果として出力する負荷部と

を具備する比較装置。

(2) 前記信号入力トランジスタ選択部は、前記複数の信号入力トランジスタのうち前記選択の対象でない信号入力トランジスタの前記制御端子に当該信号入力トランジスタを非導通状態にする電圧を印加することにより前記選択を行う前記(1)に記載の比較装置。

(3) 前記信号入力トランジスタ選択部は、前記複数の信号入力トランジスタのうち前記選択の対象でない信号入力トランジスタに流れる電流を遮断す

ることにより前記選択を行う前記（１）に記載の比較装置。

（４）前記負荷部は、前記複数の信号入力トランジスタに電流を供給する電流源により構成される前記（１）から（３）のいずれかに記載の比較装置。

（５）前記負荷部は、前記参照入力トランジスタに流れる電流とほぼ等しい電流を前記複数の信号入力トランジスタに対して供給するカレントミラー回路により構成される前記（４）に記載の比較装置。

（６）入力信号が制御端子に入力される複数の信号入力トランジスタと、
前記複数の信号入力トランジスタのそれぞれと差動対を構成して参照信号が制御端子に入力される複数の参照入力トランジスタと、

前記複数の信号入力トランジスタのうちの何れか１つを選択して当該選択された前記信号入力トランジスタと前記複数の参照入力トランジスタのうちの１つとにより構成される前記差動対に前記入力信号および前記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、

前記複数の信号入力トランジスタおよび前記複数の参照入力トランジスタの何れか１つに流れる電流が前記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を前記入力信号と前記参照信号との比較の結果として出力する負荷部とを具備する比較装置。

（７）前記信号入力トランジスタ選択部は、複数の前記差動対のうち前記選択の対象でない信号入力トランジスタを含む前記差動対に流れる電流を遮断することにより前記選択を行う前記（６）に記載の比較装置。

（８）前記信号入力トランジスタ選択部は、前記複数の差動対のそれぞれに接続されて前記差動対に流れる電流を制御する複数の定電流電源により構成されて前記選択の対象でない信号入力トランジスタを含む前記差動対に流れる電流を前記定電流電源により遮断する前記（７）に記載の比較装置。

（９）入力信号が制御端子に入力される複数の信号入力トランジスタと、
前記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、

前記複数の信号入力トランジスタのうちの何れか１つを選択して当該選択

された前記信号入力トランジスタと前記参照入力トランジスタとにより構成される前記差動対に前記入力信号および前記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、

前記複数の信号入力トランジスタおよび前記参照入力トランジスタの何れか1つに流れる電流が前記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を前記入力信号と前記参照信号との比較の結果として出力する負荷部と、

前記参照信号に応じたデジタルの信号を前記出力された比較の結果に基づいて保持して当該保持されたデジタルの信号を前記入力信号に対するアナログデジタル変換の結果として出力する保持部と
を具備するアナログデジタル変換装置。

(10) 入射した光に応じた信号を生成する光電変換部と、

前記生成された信号がそれぞれ制御端子に入力される複数の信号入力トランジスタと、

前記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、

前記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された前記信号入力トランジスタと前記参照入力トランジスタとにより構成される前記差動対に前記入力信号および前記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、

前記複数の信号入力トランジスタおよび前記参照入力トランジスタの何れか1つに流れる電流が前記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を前記入力信号と前記参照信号との比較の結果として出力する負荷部と、

前記参照信号に応じたデジタルの信号を前記出力された比較の結果に基づいて保持して当該保持されたデジタルの信号を前記生成された信号に対するアナログデジタル変換の結果として出力する保持部と
を具備する固体撮像素子。

(11) 入射した光に応じた信号を生成する光電変換部と、
前記生成された信号がそれぞれ制御端子に入力される複数の信号入力トランジスタと、
前記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、
前記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された前記信号入力トランジスタと前記参照入力トランジスタとにより構成される前記差動対に前記生成された信号および前記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、
前記複数の信号入力トランジスタおよび前記参照入力トランジスタの何れか1つに流れる電流が前記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を前記生成された信号と前記参照信号との比較の結果として出力する負荷部と、
前記参照信号に応じたデジタルの信号を前記出力された比較の結果に基づいて保持して当該保持されたデジタルの信号を前記生成された信号に対するアナログデジタル変換の結果として出力する保持部と、
前記出力されたデジタルの信号を処理する処理回路とを具備する撮像装置。

符号の説明

- [0135] 10 画素アレイ部
20 時刻コード生成部
30 参照信号生成部
40 垂直駆動部
42 制御信号生成部
43 電源部
50 水平制御部
52 時刻コード復号部
53 カラム信号処理部

- 54 クロック信号生成部
 - 100 画素
 - 110、120、130、140 光電変換部
 - 111 電荷生成部
 - 113 生成電荷保持部
 - 150 比較部
 - 112、151、152、158、183~185、196~199、401~404、502、503、511~517 MOSトランジスタ
 - 153~156 信号入力トランジスタ
 - 157、159、181、182 参照入力トランジスタ
 - 160 比較出力処理部
 - 161 前置増幅部
 - 162 レベル変換部
 - 163 波形整形部
 - 164 パルス幅変更部
 - 170 変換結果保持部
 - 171 記憶制御部
 - 172 記憶部
 - 190 アナログデジタル変換部
 - 200 時刻コード転送部
 - 210、230 コード保持部
 - 211 フリップフロップ
 - 220、240 クロックバッファ
 - 221~224、532、535、537、538 反転ゲート
 - 501 フォトダイオード
 - 521 ORゲート
 - 522 ビット記憶部
 - 523 双方向スイッチ

531、534、539 非反転ゲート

533 NORゲート

536 キャパシタ

請求の範囲

- [請求項1] 入力信号が制御端子に入力される複数の信号入力トランジスタと、前記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、前記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された前記信号入力トランジスタと前記参照入力トランジスタとにより構成される前記差動対に前記入力信号および前記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、前記複数の信号入力トランジスタおよび前記参照入力トランジスタの何れか1つに流れる電流が前記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を前記入力信号と前記参照信号との比較の結果として出力する負荷部とを具備する比較装置。
- [請求項2] 前記信号入力トランジスタ選択部は、前記複数の信号入力トランジスタのうち前記選択の対象でない信号入力トランジスタの前記制御端子に当該信号入力トランジスタを非導通状態にする電圧を印加することにより前記選択を行う請求項1記載の比較装置。
- [請求項3] 前記信号入力トランジスタ選択部は、前記複数の信号入力トランジスタのうち前記選択の対象でない信号入力トランジスタに流れる電流を遮断することにより前記選択を行う請求項1記載の比較装置。
- [請求項4] 前記負荷部は、前記複数の信号入力トランジスタに電流を供給する電流源により構成される請求項1記載の比較装置。
- [請求項5] 前記負荷部は、前記参照入力トランジスタに流れる電流とほぼ等しい電流を前記複数の信号入力トランジスタに対して供給するカレントミラー回路により構成される請求項4記載の比較装置。
- [請求項6] 入力信号が制御端子に入力される複数の信号入力トランジスタと、前記複数の信号入力トランジスタのそれぞれと差動対を構成して参照信号が制御端子に入力される複数の参照入力トランジスタと、

前記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された前記信号入力トランジスタと前記複数の参照入力トランジスタのうちの1つとにより構成される前記差動対に前記入力信号および前記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、

前記複数の信号入力トランジスタおよび前記複数の参照入力トランジスタの何れか1つに流れる電流が前記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を前記入力信号と前記参照信号との比較の結果として出力する負荷部とを具備する比較装置。

[請求項7] 前記信号入力トランジスタ選択部は、複数の前記差動対のうち前記選択の対象でない信号入力トランジスタを含む前記差動対に流れる電流を遮断することにより前記選択を行う請求項6記載の比較装置。

[請求項8] 前記信号入力トランジスタ選択部は、前記複数の差動対のそれぞれに接続されて前記差動対に流れる電流を制御する複数の定電流電源により構成されて前記選択の対象でない信号入力トランジスタを含む前記差動対に流れる電流を前記定電流電源により遮断する請求項7記載の比較装置。

[請求項9] 入力信号が制御端子に入力される複数の信号入力トランジスタと、前記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、

前記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された前記信号入力トランジスタと前記参照入力トランジスタとにより構成される前記差動対に前記入力信号および前記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、

前記複数の信号入力トランジスタおよび前記参照入力トランジスタの何れか1つに流れる電流が前記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を前記入力信号と前記

参照信号との比較の結果として出力する負荷部と、

前記参照信号に応じたデジタルの信号を前記出力された比較の結果に基づいて保持して当該保持されたデジタルの信号を前記入力信号に対するアナログデジタル変換の結果として出力する保持部とを具備するアナログデジタル変換装置。

[請求項10]

入射した光に応じた信号を生成する複数の光電変換部と、

前記生成された信号がそれぞれ制御端子に入力される複数の信号入力トランジスタと、

前記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、

前記複数の信号入力トランジスタのうちの何れか1つを選択して当該選択された前記信号入力トランジスタと前記参照入力トランジスタとにより構成される前記差動対に前記入力信号および前記参照信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と、

前記複数の信号入力トランジスタおよび前記参照入力トランジスタの何れか1つに流れる電流が前記差分に応じて変化した際に当該電流の変化を電圧の変化に変換して当該電圧の変化を前記入力信号と前記参照信号との比較の結果として出力する負荷部と、

前記参照信号に応じたデジタルの信号を前記出力された比較の結果に基づいて保持して当該保持されたデジタルの信号を前記生成された信号に対するアナログデジタル変換の結果として出力する保持部とを具備する固体撮像素子。

[請求項11]

入射した光に応じた信号を生成する複数の光電変換部と、

前記生成された信号がそれぞれ制御端子に入力される複数の信号入力トランジスタと、

前記複数の信号入力トランジスタと差動対を構成して参照信号が制御端子に入力される参照入力トランジスタと、

前記複数の信号入力トランジスタのうちの何れか1つを選択して当

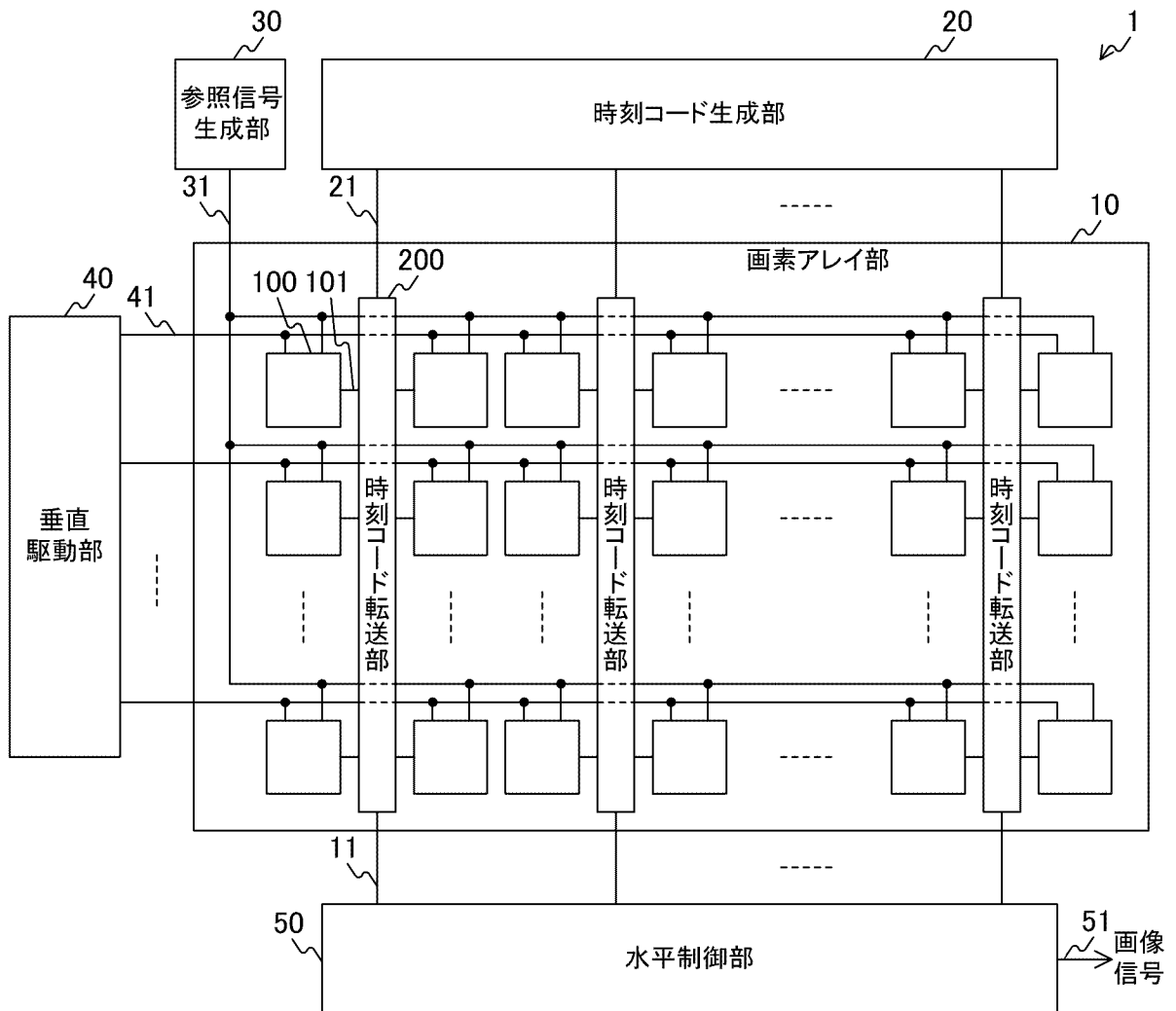
該選択された前記信号入力トランジスタと前記参照入力トランジスタ
により構成される前記差動対に前記生成された信号および前記参照
信号の差分に応じた電流を生じさせる信号入力トランジスタ選択部と

、
前記複数の信号入力トランジスタおよび前記参照入力トランジスタ
の何れか1つに流れる電流が前記差分に応じて変化した際に当該電流
の変化を電圧の変化に変換して当該電圧の変化を前記生成された信号
と前記参照信号との比較の結果として出力する負荷部と、

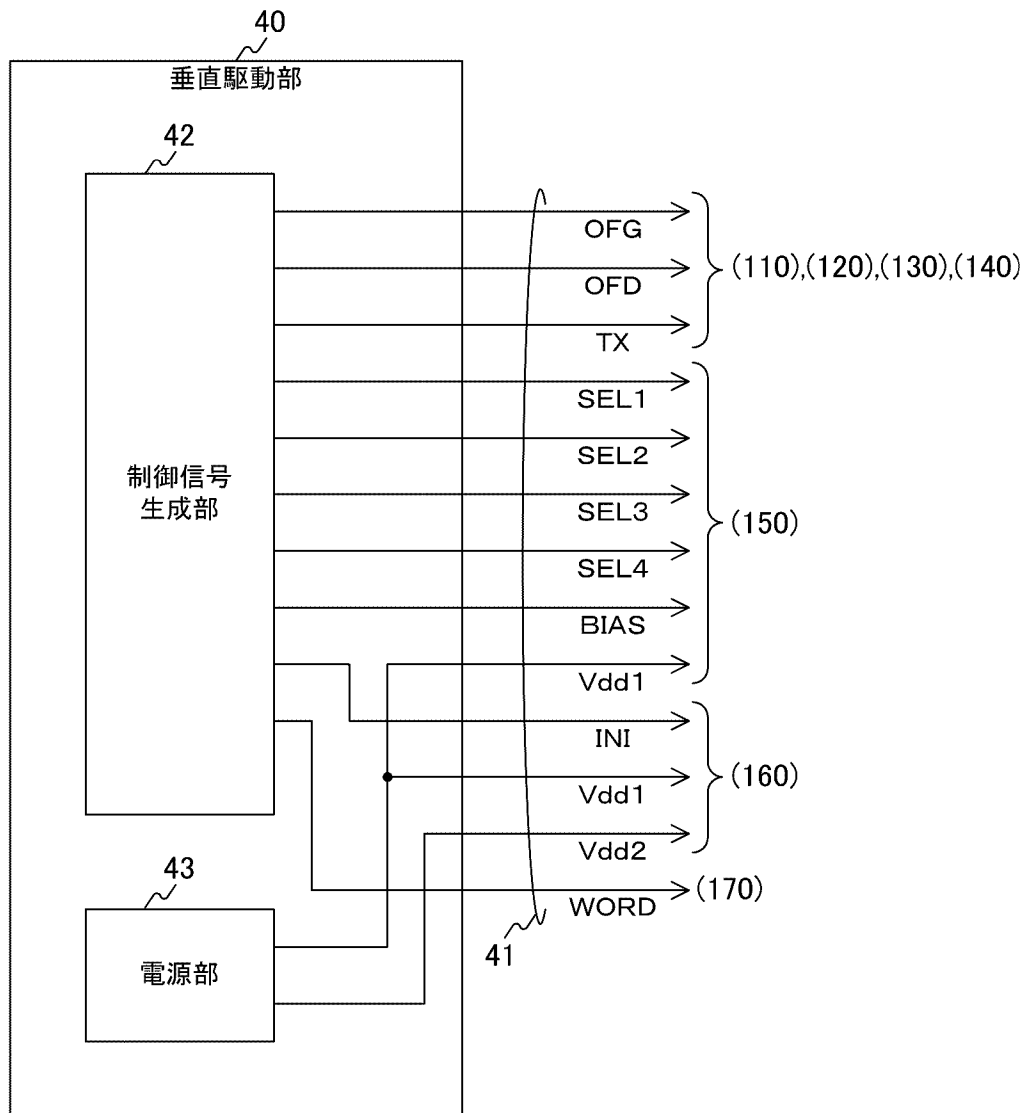
前記参照信号に応じたデジタルの信号を前記出力された比較の結果
に基づいて保持して当該保持されたデジタルの信号を前記生成された
信号に対するアナログデジタル変換の結果として出力する保持部と、

前記出力されたデジタルの信号を処理する処理回路と
を具備する撮像装置。

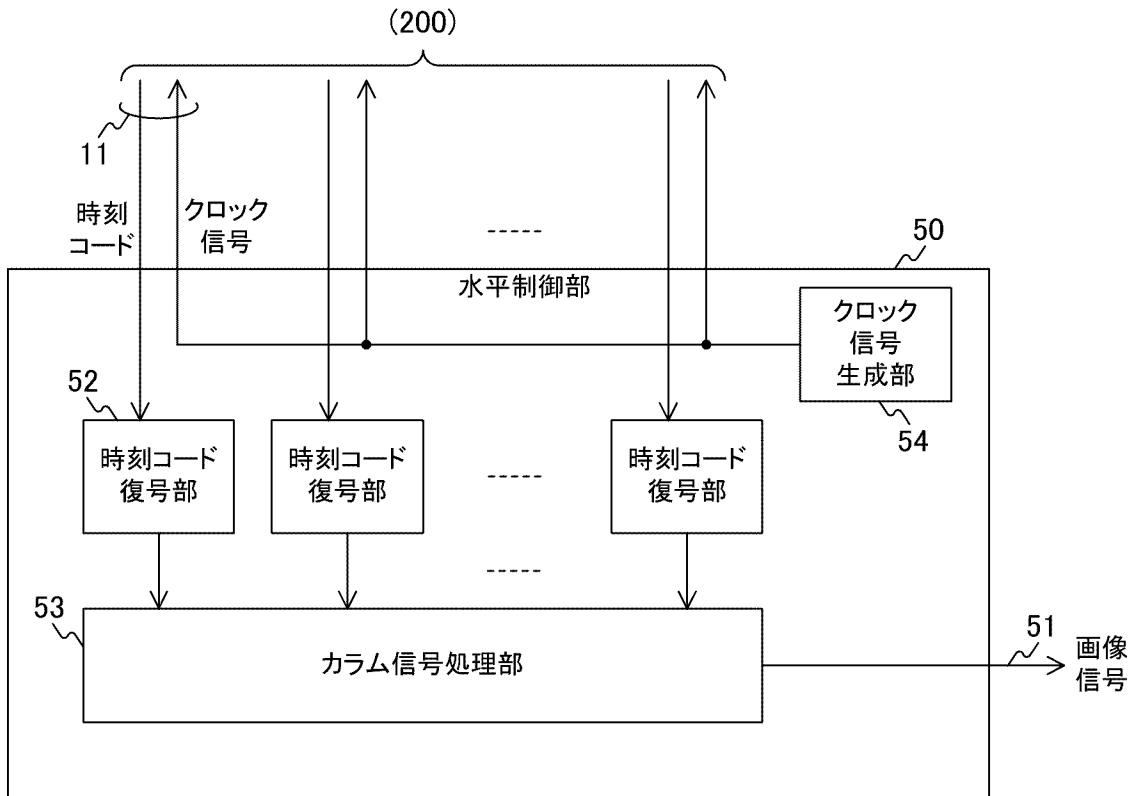
[図1]



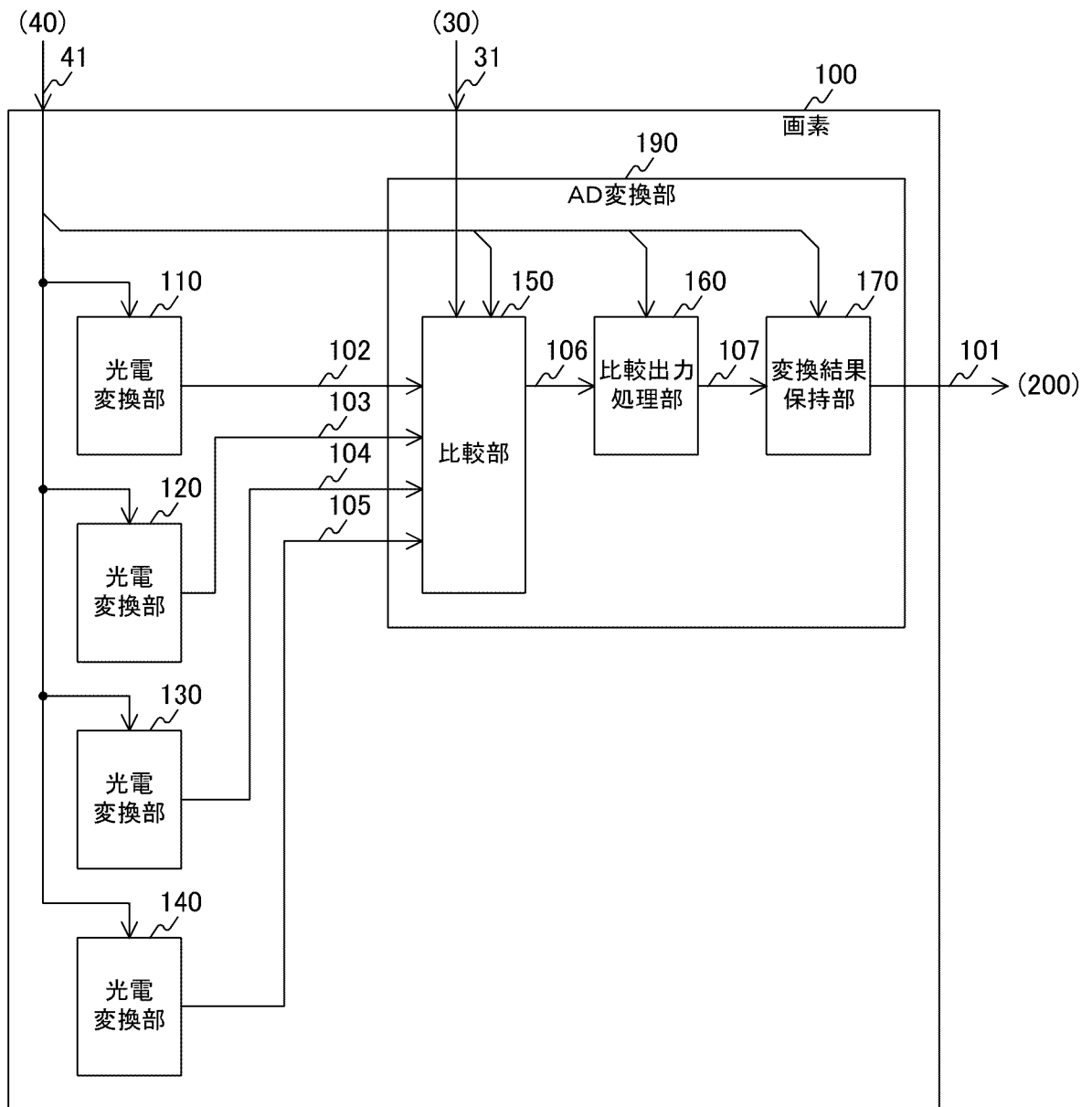
[図2]



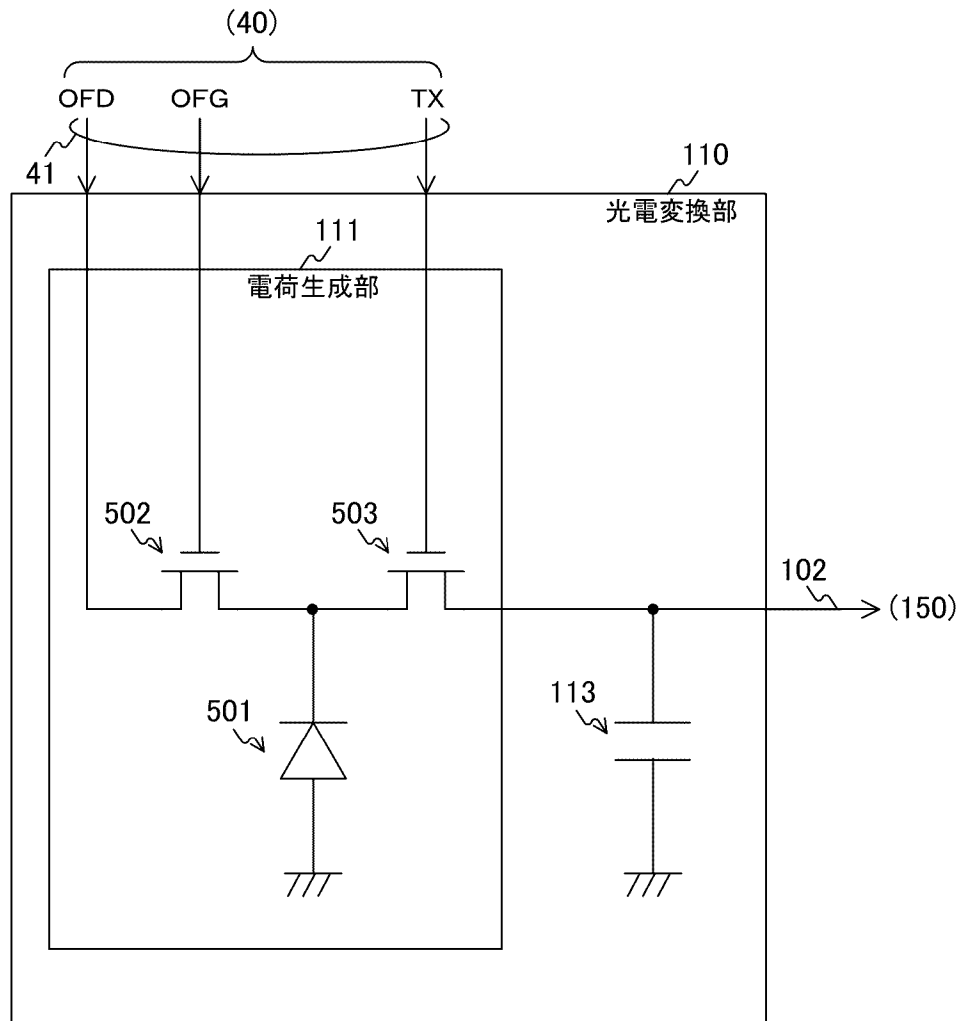
[図3]



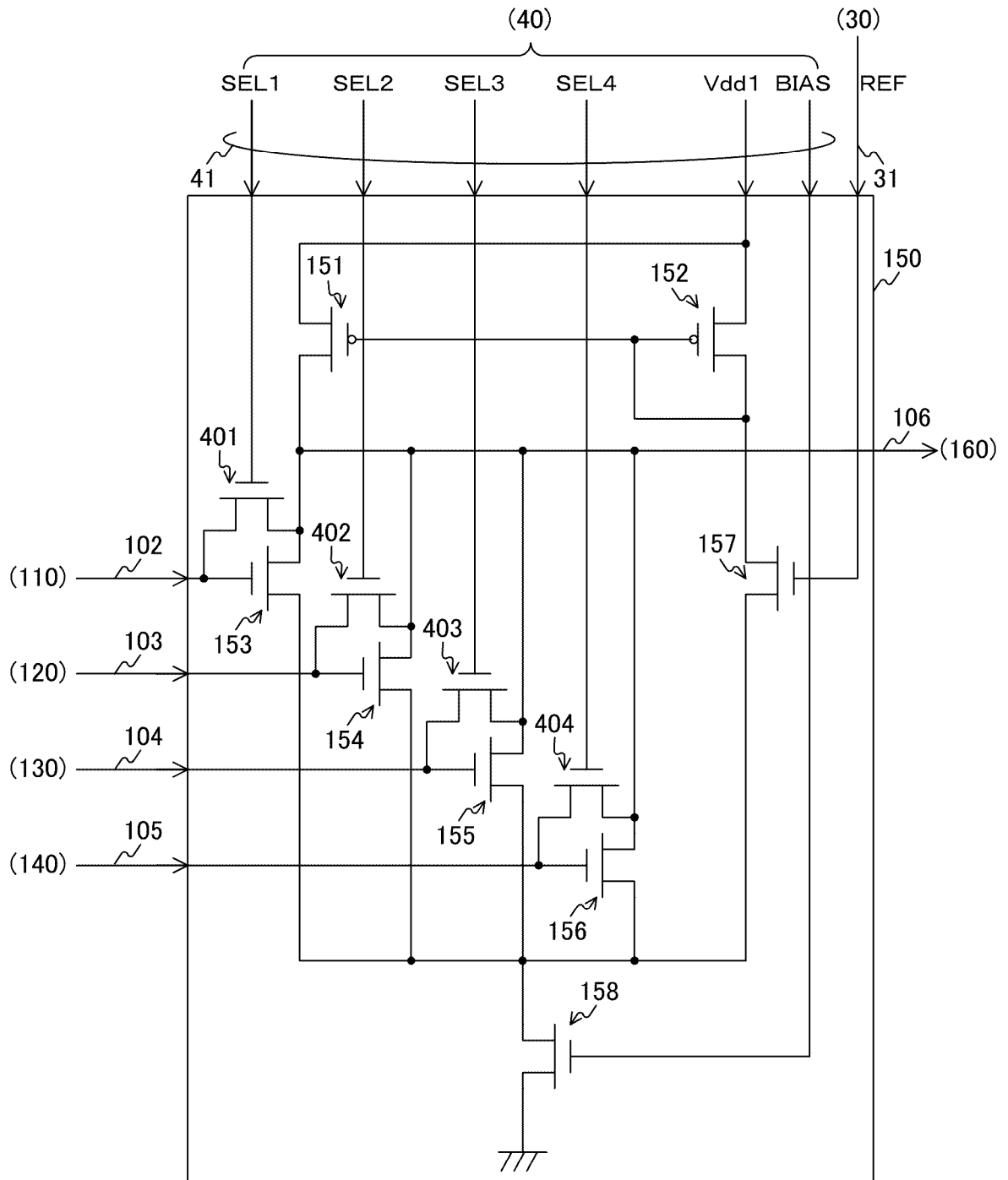
[図4]



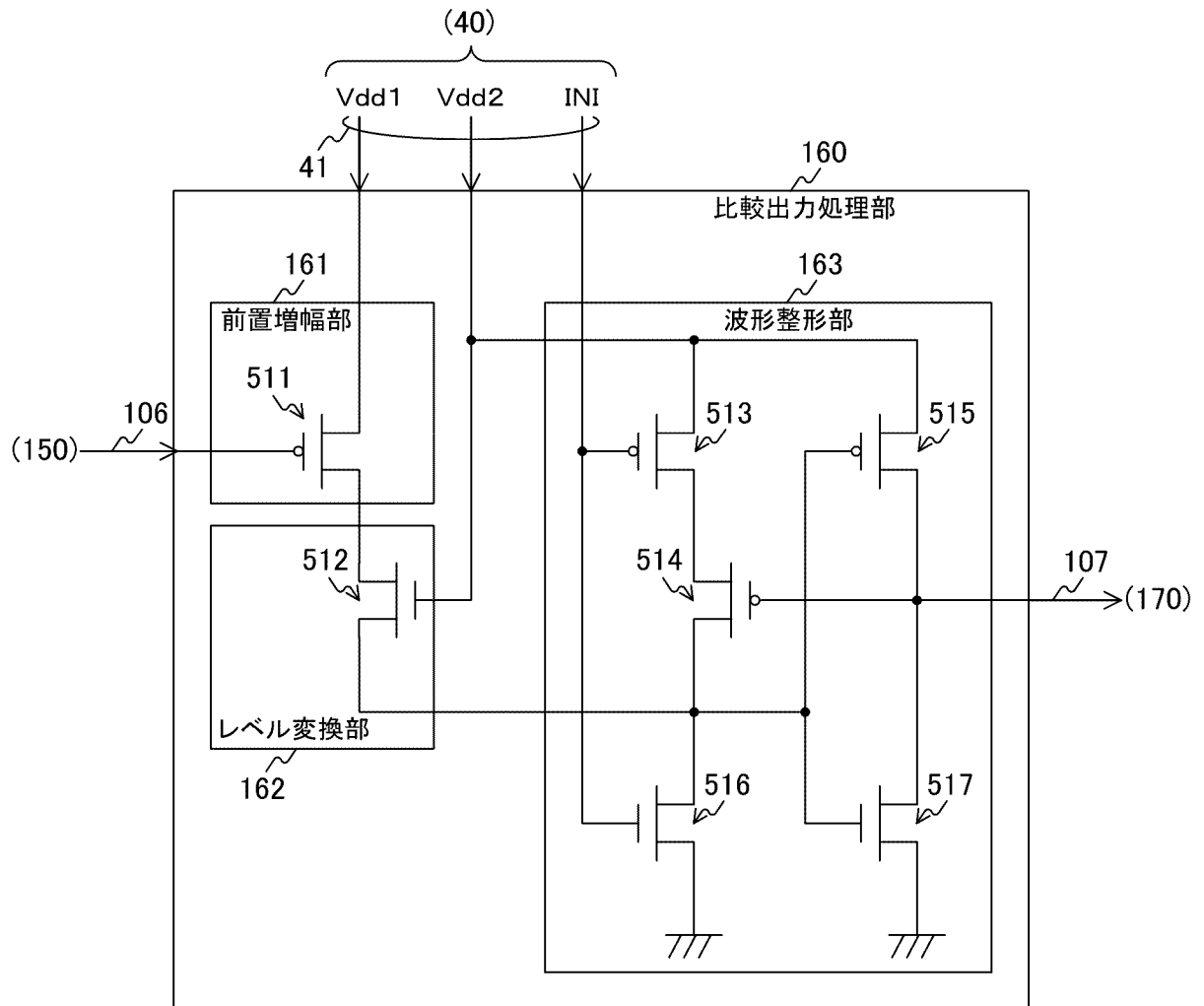
[図5]



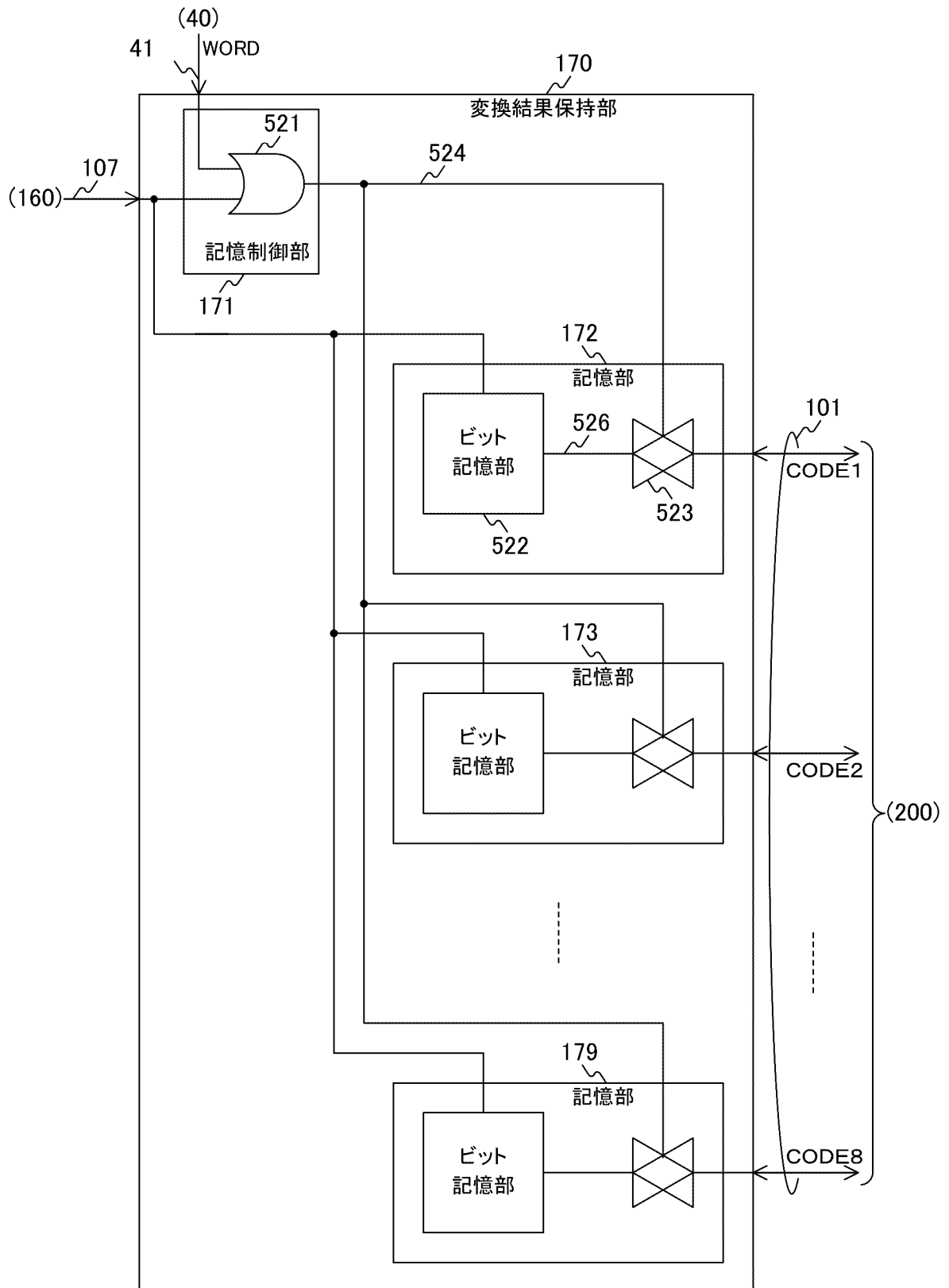
[図6]



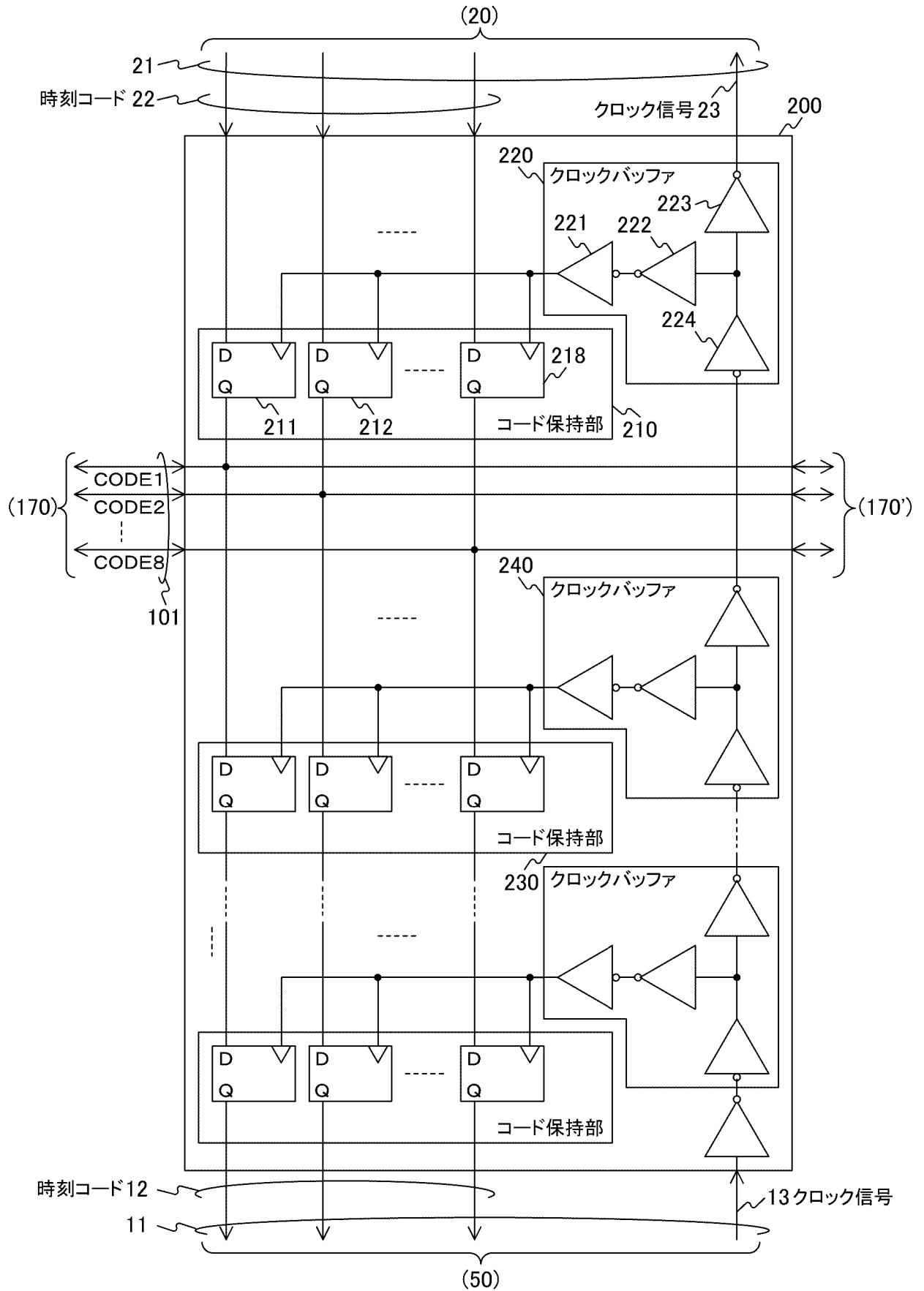
[図7]



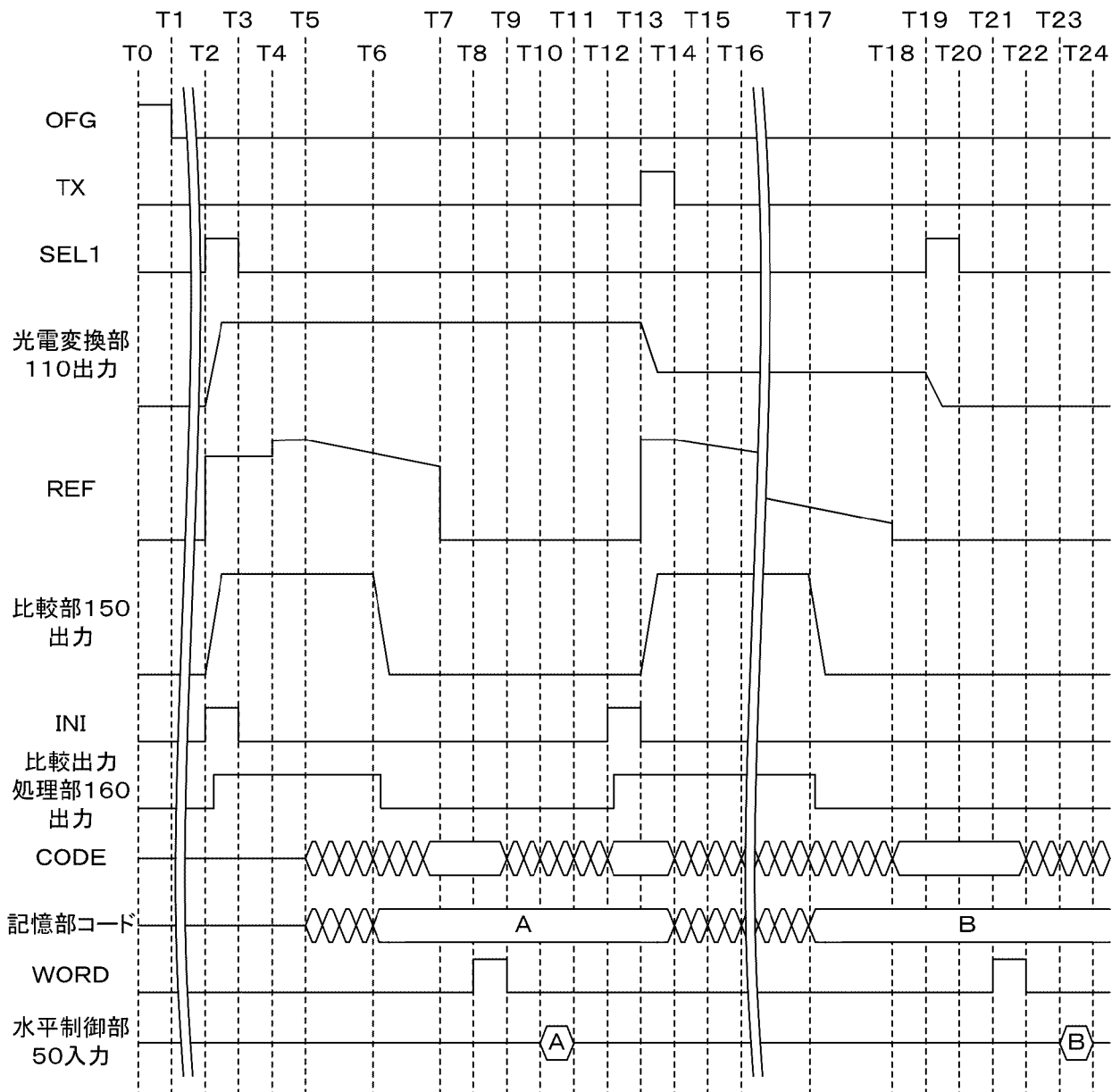
[図8]



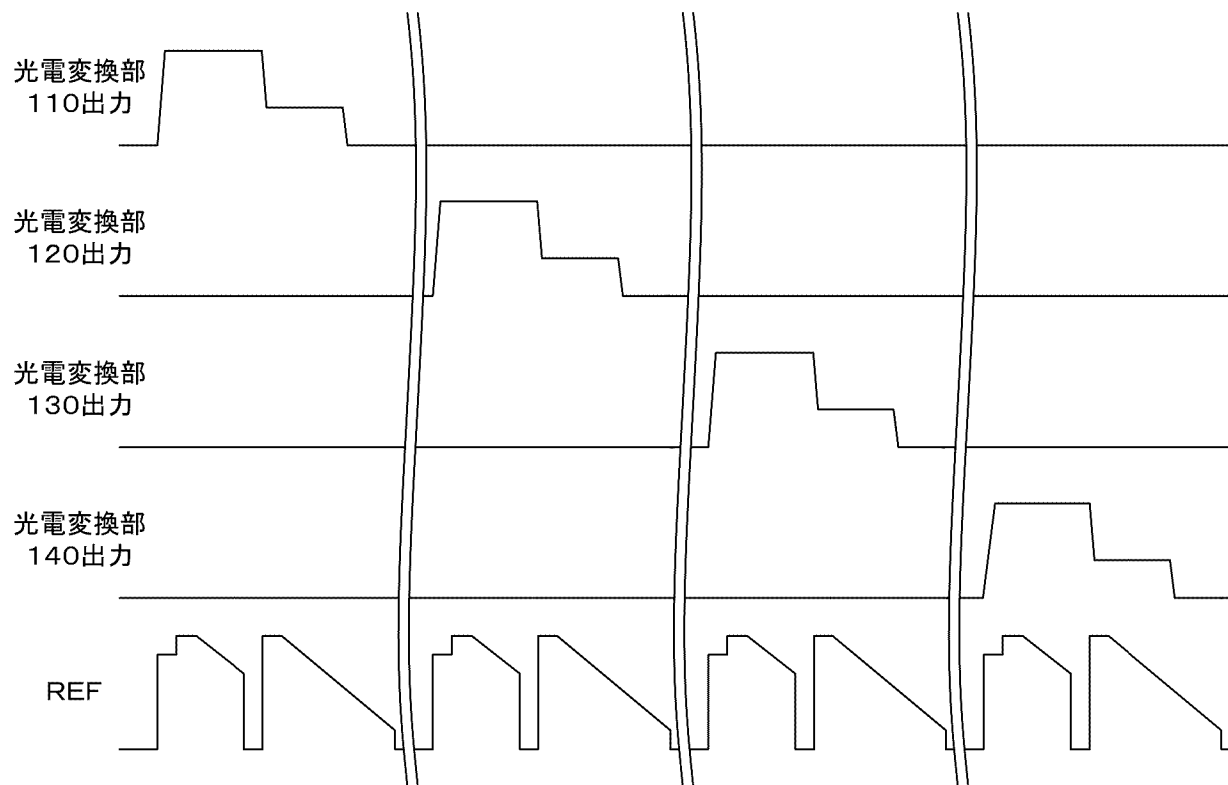
[図9]



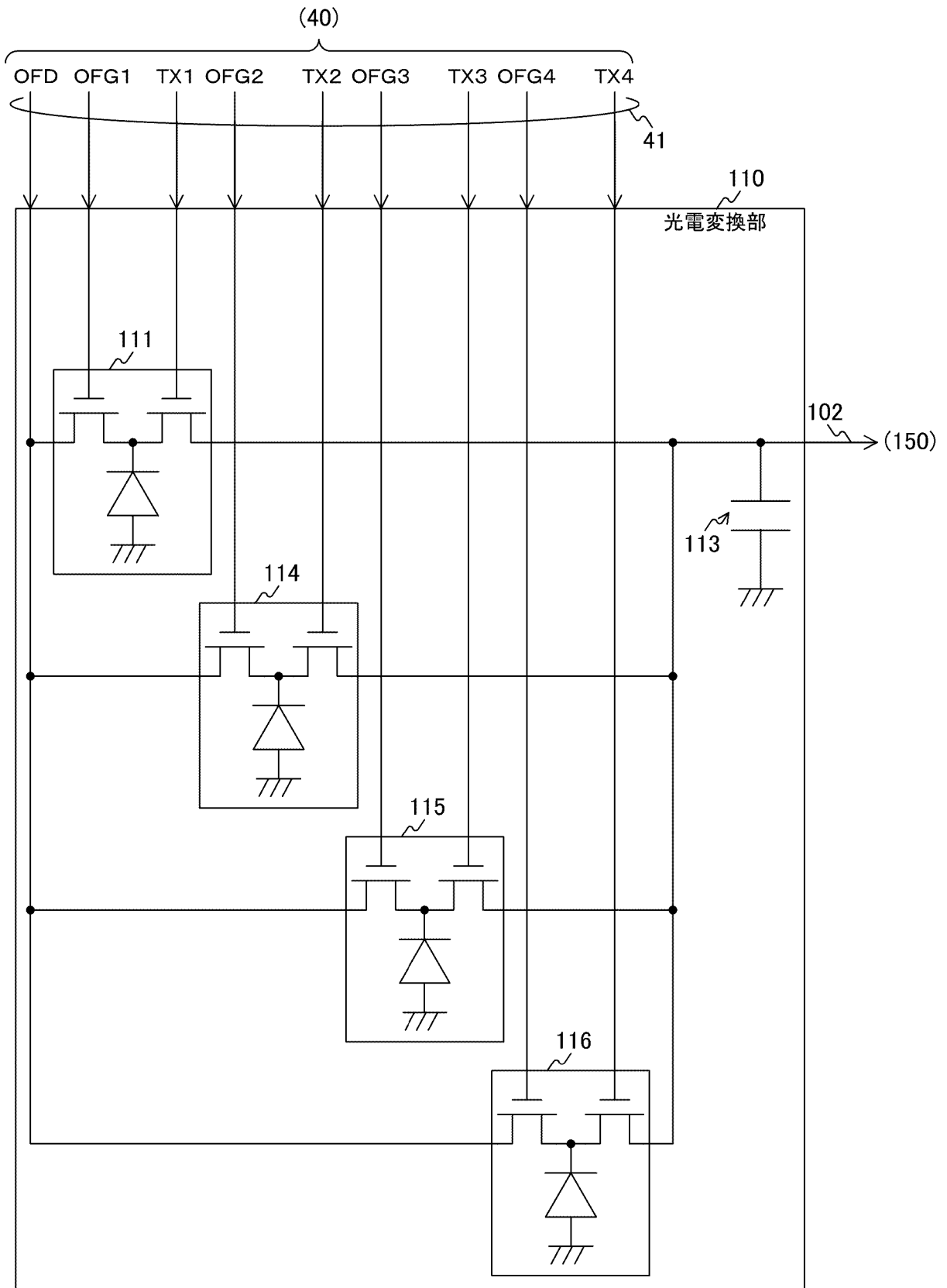
[図10]



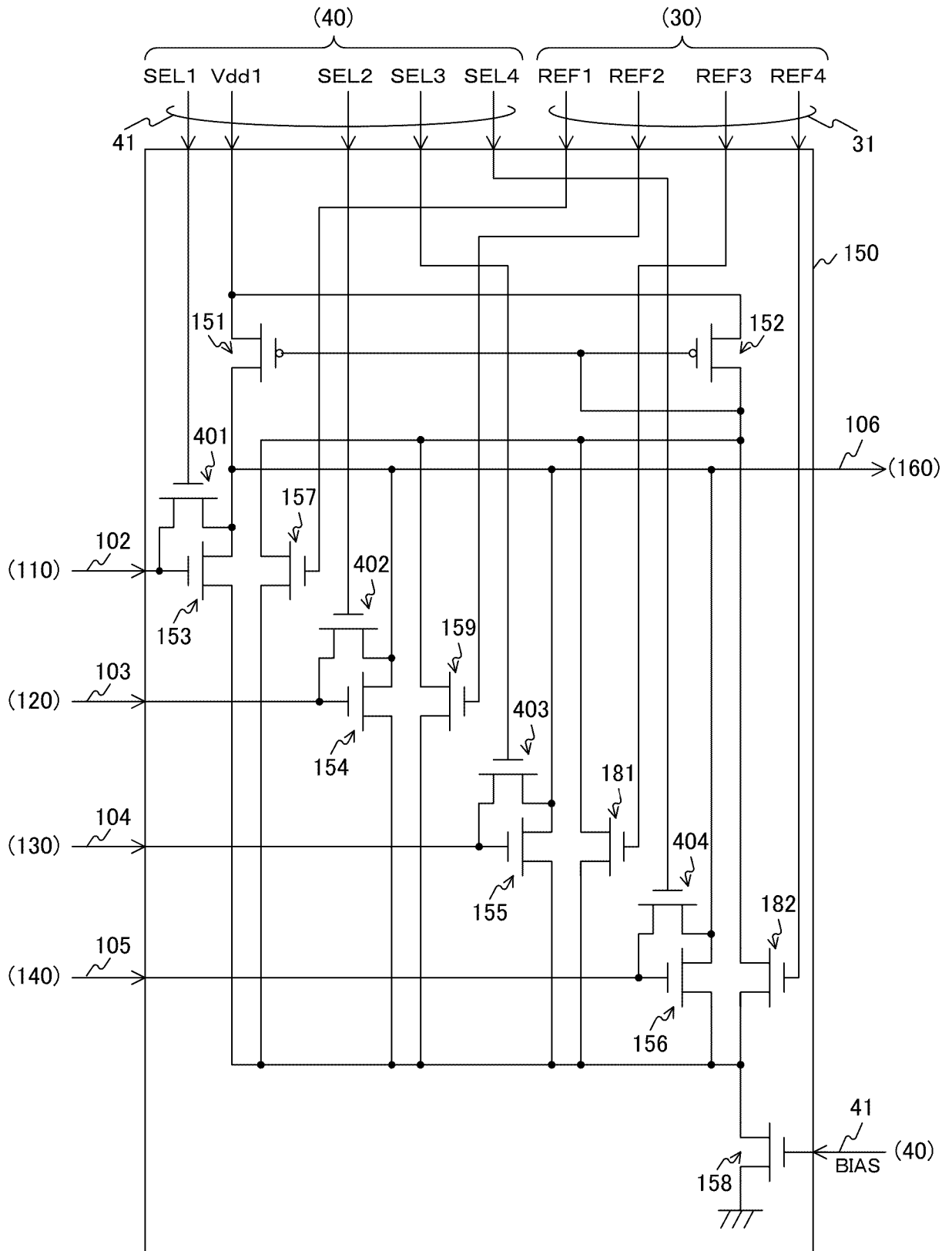
[図11]



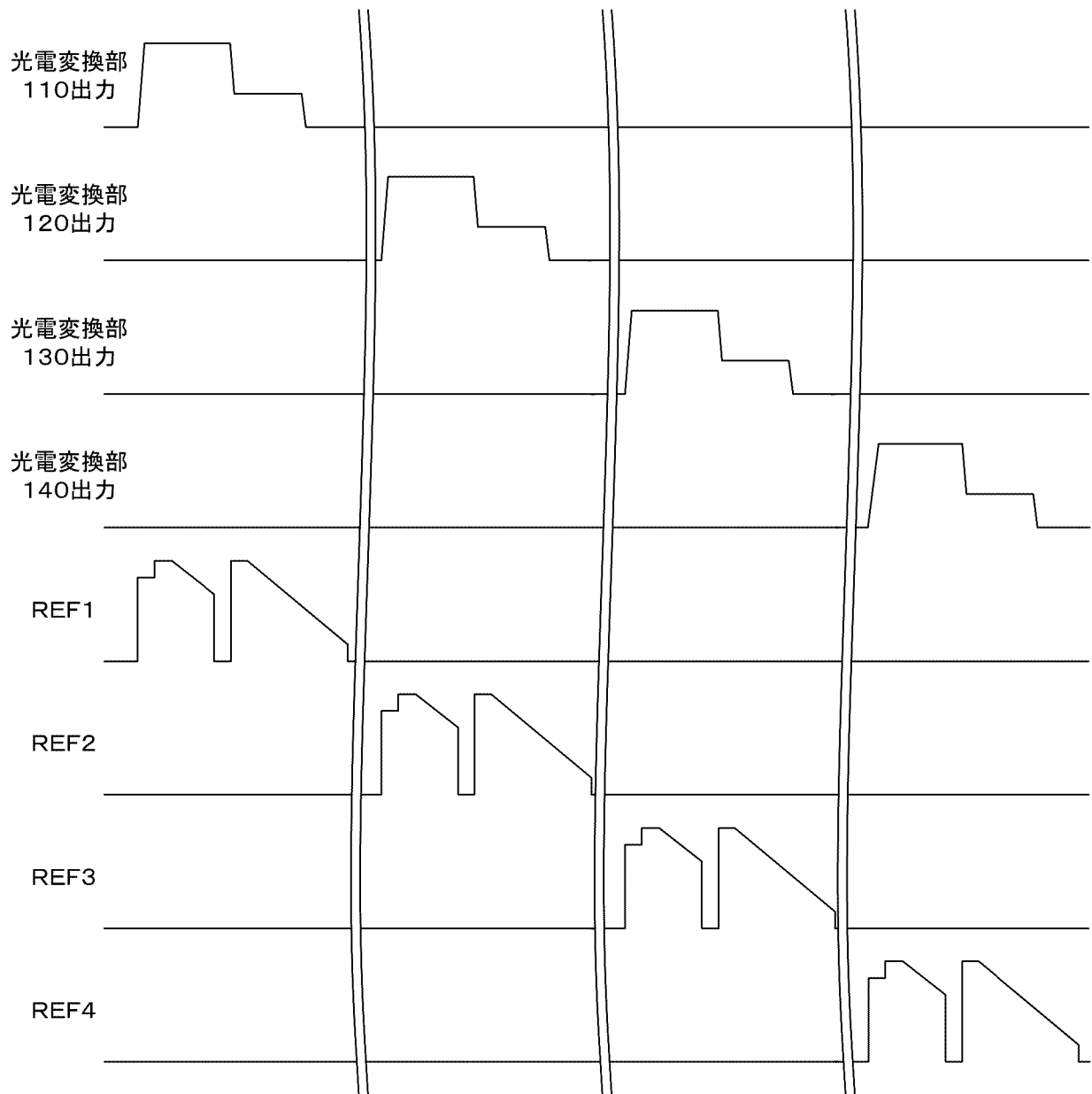
[図12]



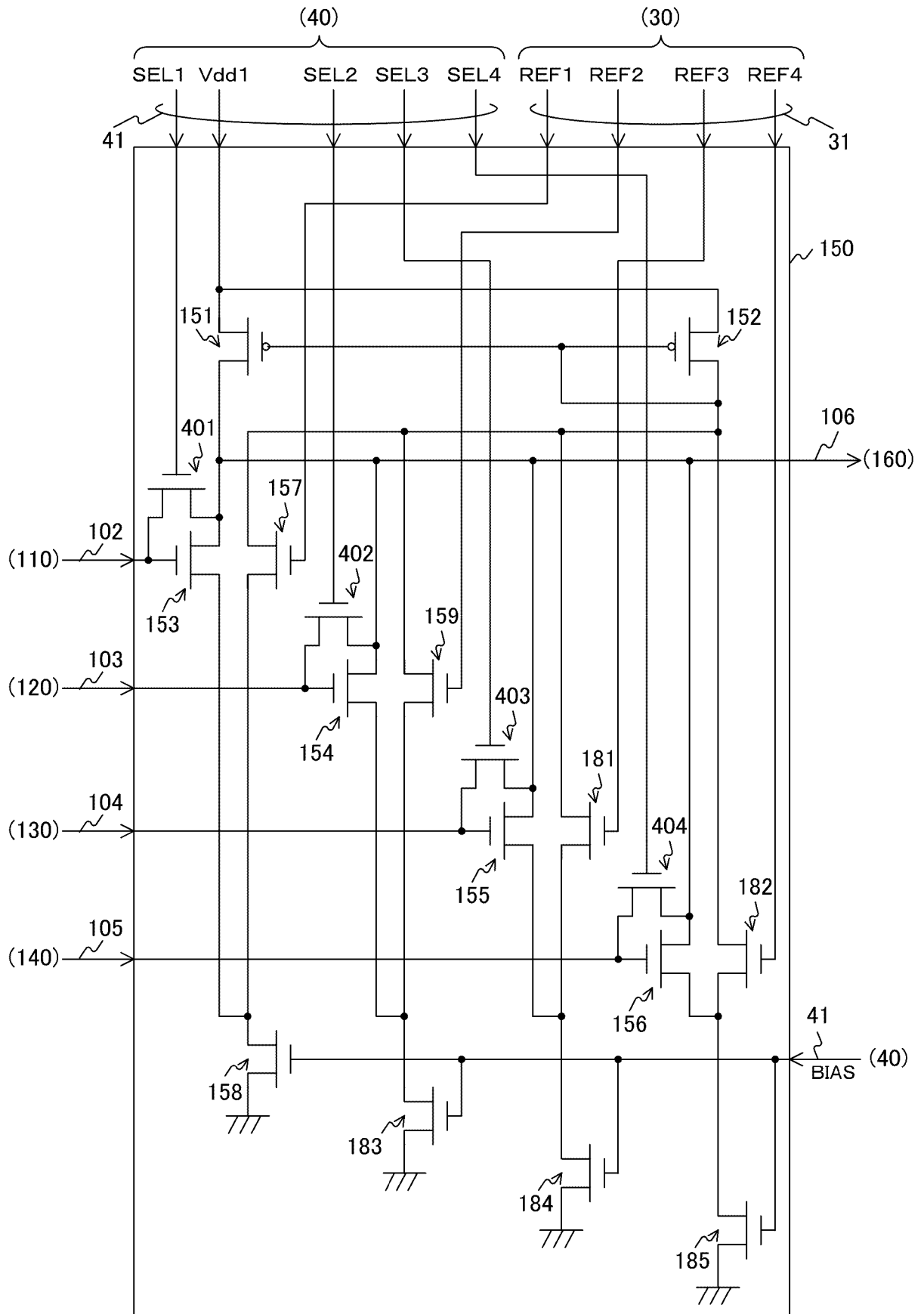
[圖13]



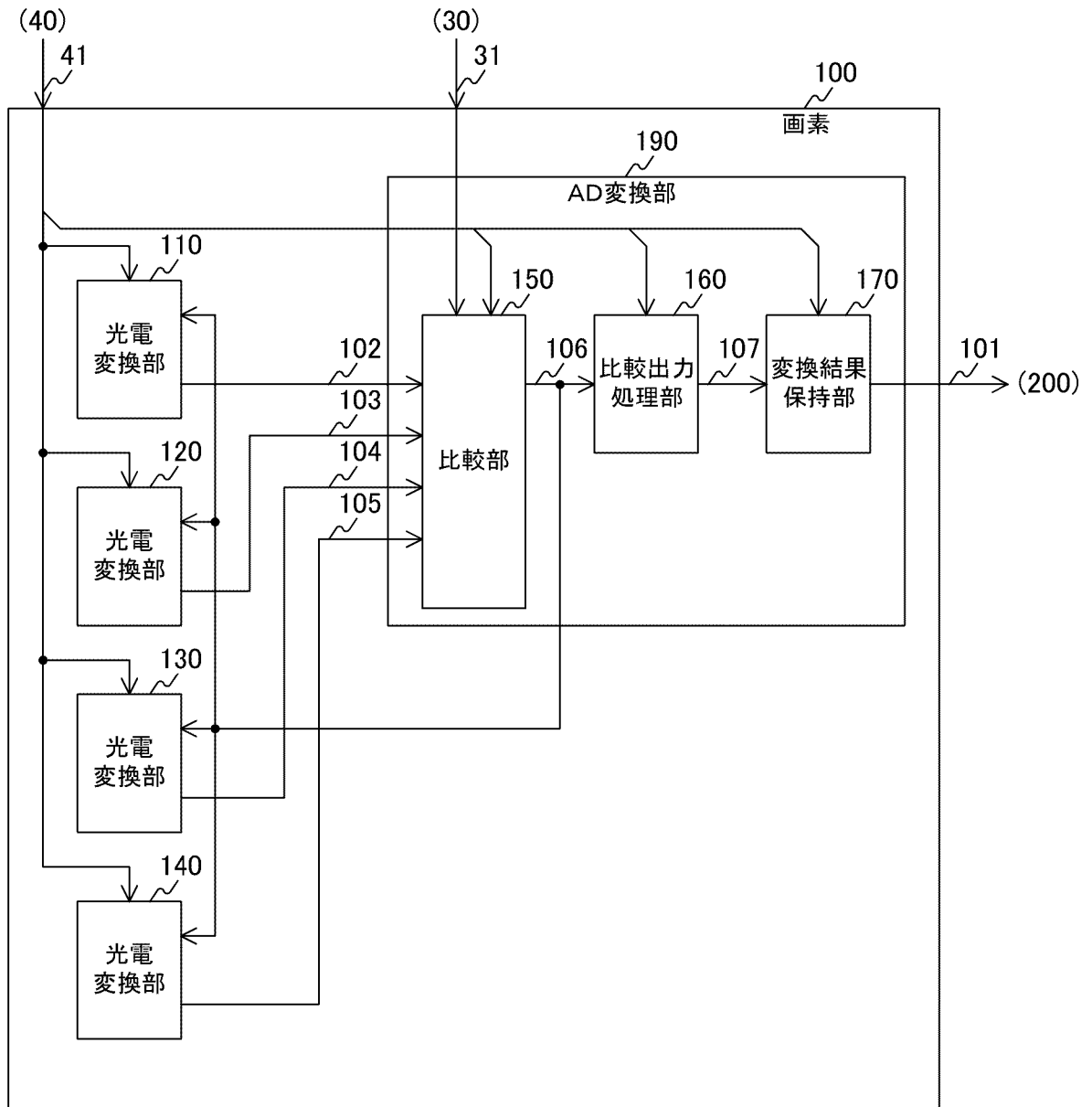
[図14]



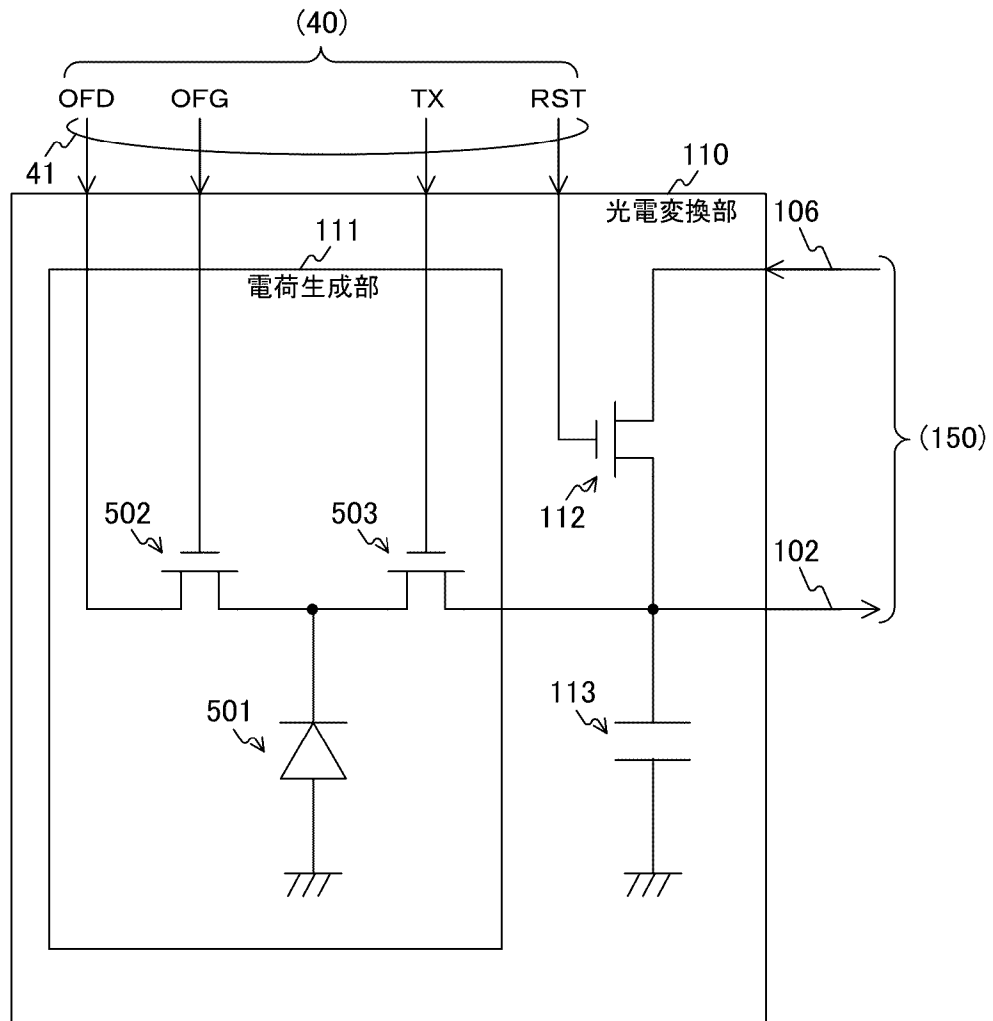
[図15]



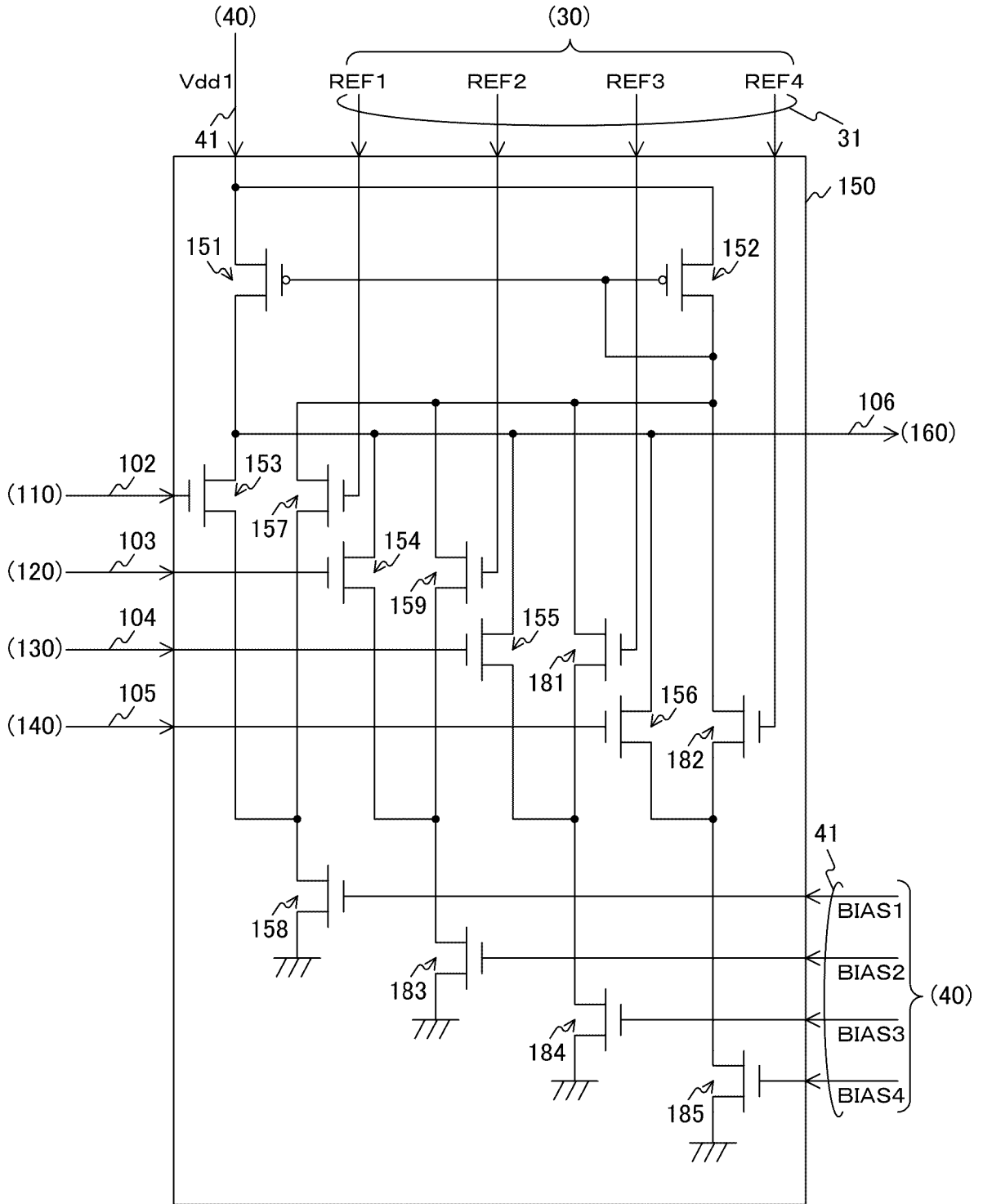
[図16]



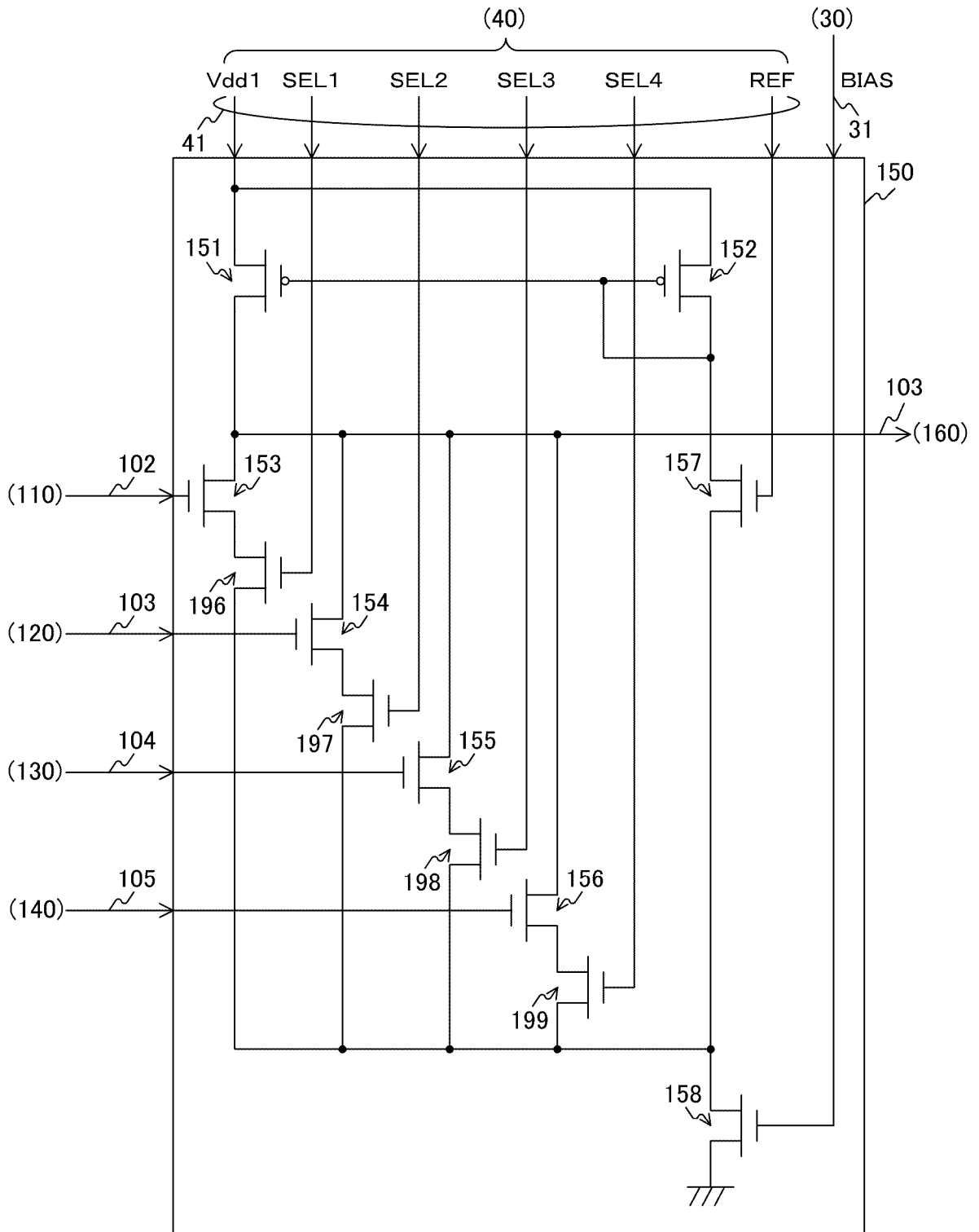
[図17]



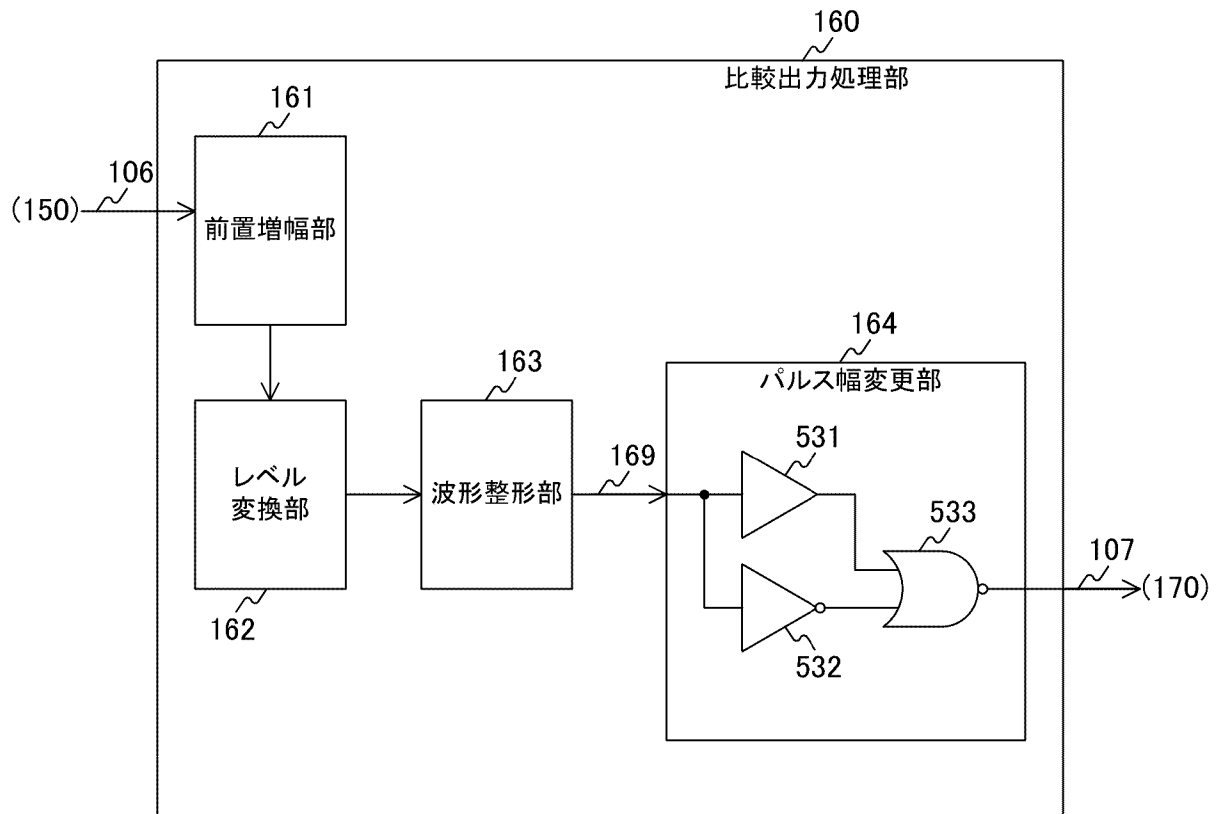
[図18]



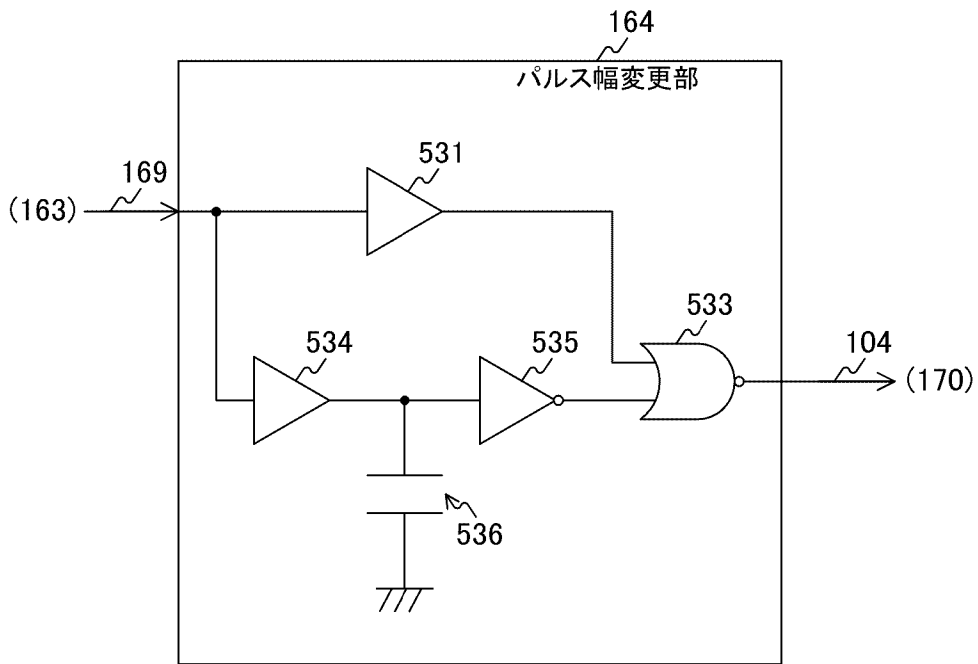
[圖19]



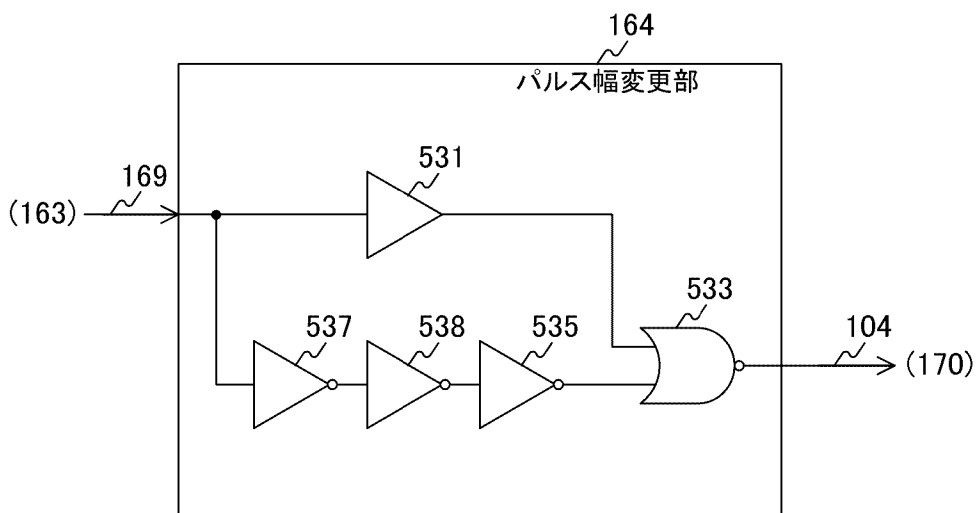
[図20]



[図21]

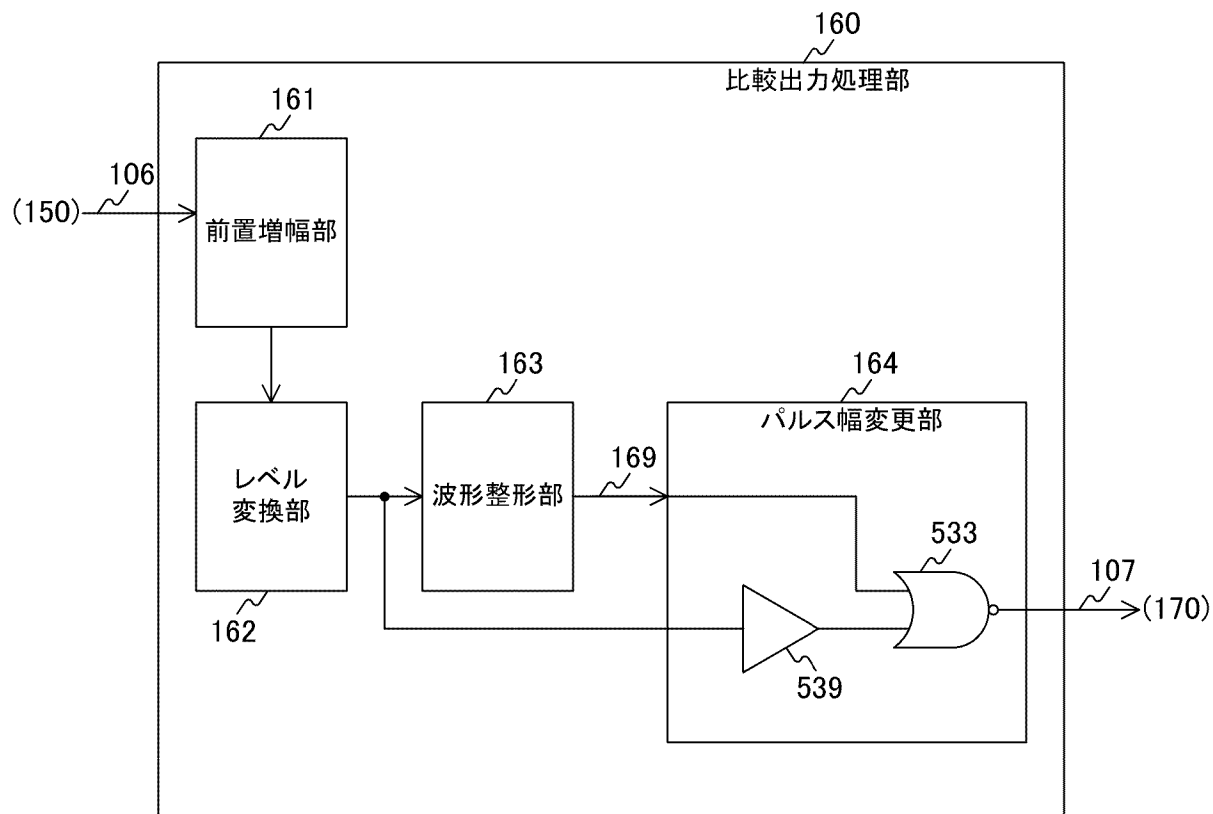


a



b

[図22]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/085577

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/56(2006.01)i, H03K5/08(2006.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H03M1/56, H03K5/08, H04N5/374, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
 Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017
 Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-223566 A (Canon Inc.), 17 August 2001 (17.08.2001), paragraphs [0033] to [0055]; fig. 2 to 4 & US 2001/0020909 A1 paragraphs [0114] to [0136]; fig. 11, 12, 13A to 13C	1-5 6-11
Y	JP 2013-162493 A (Lapis Semiconductor Co., Ltd.), 19 August 2013 (19.08.2013), paragraphs [0053] to [0061]; fig. 6 (Family: none)	6-11

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 February 2017 (07.02.17)	Date of mailing of the international search report 21 February 2017 (21.02.17)
--	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/085577

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2006-340044 A (Sony Corp.), 14 December 2006 (14.12.2006), paragraphs [0023] to [0069]; fig. 1 to 3, 6 & US 2006/0284999 A1 paragraphs [0033] to [0089]; fig. 1 to 3, 6	9-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H03M1/56(2006.01)i, H03K5/08(2006.01)i, H04N5/374(2011.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H03M1/56, H03K5/08, H04N5/374, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2001-223566 A (キヤノン株式会社) 2001.08.17, 段落 [0033] - [0055], 図2-4 & US 2001/0020909 A1, 段落 [0114] - [0136], 図11, 12, 13A-13C	1-5 6-11
Y	JP 2013-162493 A (ラピスセミコンダクタ株式会社) 2013.08.19, 段落 [0053] - [0061], 図6 (ファミリーなし)	6-11
Y	JP 2006-340044 A (ソニー株式会社) 2006.12.14, 段落 [0023] - [0069], 図1-3, 6 & US 2006/0284999 A1, 段落 [00	9-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

07.02.2017

国際調査報告の発送日

21.02.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

▲高▼橋 義昭

電話番号 03-3581-1101 内線 3576

5W

4776

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
	33] - [0089], 図1-3, 6	