



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I493610 B

(45)公告日：中華民國 104 (2015) 年 07 月 21 日

(21)申請案號：099143837

(22)申請日：中華民國 99 (2010) 年 12 月 14 日

(51)Int. Cl. : **H01L21/304 (2006.01)**

(30)優先權：2010/01/08 日本 2010-002957

(71)申請人：瑞薩電子股份有限公司 (日本) RENESAS ELECTRONICS CORPORATION (JP)
日本

(72)發明人：武藤修康 MUTO, NOBUYASU (JP)

(74)代理人：陳長文

(56)參考文獻：

US 2002/0163054A1

US 2009/0085223A1

審查人員：于若天

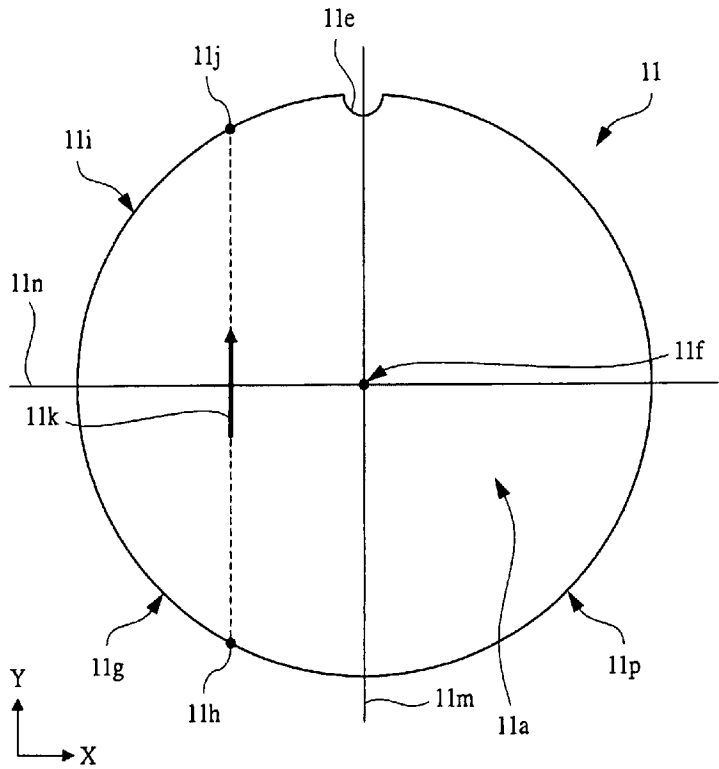
申請專利範圍項數：4 項 圖式數：70 共 124 頁

(54)名稱

半導體裝置之製造方法

(57)摘要

當為了取得半導體晶片，而於使半導體晶圓之厚度變薄之狀態下，使用刀片進行切割步驟時，會產生晶片龜裂。本發明之半導體裝置之製造方法，於半導體晶圓 11 之切割步驟中，於沿著第 1 直線 11m 之第 1 方向 11k(圖 12 所示之 Y 方向)中之切割時，使刀片自位於第 1 部分 11g 之第 1 點 11h 起，經由通過半導體晶圓 11 之中心點 11f 之第 2 直線 11n 而朝向與第 1 點 11h 對向之第 2 點 11j 前進，進行半導體晶圓 11 之切斷。



- 11 . . . 半導體晶圓
- 11a . . . 表面
- 11e . . . 凹口(基準部分)
- 11f . . . 中心點
- 11g . . . 第 1 部分
- 11h . . . 第 1 點
- 11i . . . 第 2 部分
- 11j . . . 第 2 點
- 11k . . . 第 1 方向
- 11m . . . 第 1 直線
- 11n . . . 第 2 直線
- 11p . . . 邊

圖12

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99143837

※ 申請日： 99.12.14

※IPC 分類：H01L 21/304 (2006.01)

一、發明名稱：(中文/英文)

半導體裝置之製造方法

二、中文發明摘要：

當為了取得半導體晶片，而於使半導體晶圓之厚度變薄之狀態下，使用刀片進行切割步驟時，會產生晶片龜裂。本發明之半導體裝置之製造方法，於半導體晶圓11之切割步驟中，於沿著第1直線11m之第1方向11k(圖12所示之Y方向)中之切割時，使刀片自位於第1部分11g之第1點11h起，經由通過半導體晶圓11之中心點11f之第2直線11n而朝向與第1點11h對向之第2點11j前進，進行半導體晶圓11之切斷。

三、英文發明摘要：

四、指定代表圖：

(一)本案指定代表圖為：第 (12) 圖。

(二)本代表圖之元件符號簡單說明：

11	半 導 體 晶 圓
11a	表 面
11e	凹 口 (基 準 部 分)
11f	中 心 點
11g	第 1 部 分
11h	第 1 點
11i	第 2 部 分
11j	第 2 點
11k	第 1 方 向
11m	第 1 直 線
11n	第 2 直 線
11p	邊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明係關於一種半導體裝置之製造技術，且係關於對使形成得較薄之半導體晶圓之切割時之晶片龜裂減少適用且有效的技術。

【先前技術】

揭示有如下構造，即，於將複數個半導體元件階梯狀地積層於配線基板上時，於配線基板上階梯狀地積層有構成第1元件群之複數個半導體元件，於第1元件群上朝向與第1元件群之階梯方向相反之方向而階梯狀地積層有構成第2元件群之複數個半導體元件(例如，專利文獻1)。

又，揭示有如下構造，即，於將複數個半導體元件階梯狀地積層於配線基板上時，於配線基板上階梯狀地積層有構成第1元件群之複數個半導體元件，於第1元件群上朝向與第1元件群之階梯方向相反之方向而階梯狀地積層有構成第2元件群之複數個半導體元件，第2元件群中之最下段之半導體元件係於第1元件群中之最上段的半導體元件之正上方經由絕緣性接著層而積層(例如，專利文獻2)。

又，揭示有如下構造，即，於將複數個半導體元件階梯狀地積層於配線基板上時，於配線基板上階梯狀地積層有構成第1元件群之複數個半導體元件，於第1元件群上朝向與第1元件群之階梯方向相反之方向而階梯狀地積層有構成第2元件群之複數個半導體元件，位於最上段之半導體元件具有較位於其下段之半導體元件厚之厚度(例如，專

利文獻3)。

[先前技術文獻]

[專利文獻]

[專利文獻1]

日本專利特開2009-88217號公報

[專利文獻2]

日本專利特開2009-158739號公報

[專利文獻3]

日本專利特開2009-176849號公報

【發明內容】

[發明所欲解決之問題]

隨著半導體裝置之大容量化，而正在研究於一個半導體裝置內搭載複數個半導體晶片，且亦具有電子機器(電子器件)之小型化之要求，故而，搭載於該電子機器中之半導體裝置之外形尺寸亦必須減小，如上述專利文獻1至3所示般，將複數個半導體晶片(半導體元件)多段地積層於作為基材之配線基板上較為有效。

又，近年來，由於半導體裝置之薄型化之要求亦有所提高，故而，不僅基材之厚度必須變薄，而且於該基材上所搭載之各半導體晶片(或者，取得半導體晶片之半導體晶圓)之厚度亦必須變薄。然而，根據本案發明者之研究明瞭，為了取得半導體晶片，而於使半導體晶圓之厚度變薄至例如80 μm 厚以下之狀態下，進行使用刀片之切割步驟時，會產生晶片龜裂。

再者，雖然上述專利文獻1至3之任一者均關於在基材上多段地搭載之半導體晶片之厚度使用80 μm 厚以下者而言有所記載，但是關於用以取得如此之厚度之半導體晶片之具體性的方法而言則無任何揭示。

本發明係鑒於上述問題而開發者，其目的在於提供一種可取得薄型之半導體晶片之技術。

又，本發明之其他目的在於提供一種可製造小型之半導體裝置之技術。

本發明之上述目的以及其他目的與新穎之特徵根據本說明書之記述以及隨附圖式而明瞭。

[解決問題之技術手段]

若簡單地說明本案中所揭示之發明中代表性者之概要，則如以下。

代表性的實施形態之半導體裝置之製造方法之特徵在於，於取得半導體晶片(第1半導體晶片、第2半導體晶片)之步驟中，於沿著將半導體晶圓之基準部分與半導體晶圓之中心點連接之第1直線的第1方向中之切割之時，使刀片自位於上述半導體晶圓之邊中的第1部分之第1點起，經由位於上述邊中的第2部分、且於上述第1方向中與上述第1直線正交、且通過上述半導體晶圓之中心點的第2直線而朝向與上述第1點對向之第2點前進。

[發明之效果]

若簡單地說明藉由本案中所揭示之發明中代表性者而獲得之效果，則如以下。

可減少薄型之半導體晶片中之晶片龜裂並取得薄型之半導體晶片。

【實施方式】

以下之實施形態中除了特別必要時以外同一或者同樣之部分之說明原則上不重複。

進而，以下之實施形態中為了方便起見於其必要時，分割為複數個部分或者實施形態進行說明，但是除了特別明示之情形時以外，其等並非相互無關者，而係存在一者為另一者之一部分或者全部之變形例、詳細情況、補充說明等之關係。

又，於以下之實施形態中，言及要素之數量等(包含個數、數值、量、範圍等)之情形時，除了特別明示之情形時以及理論上明確限定為特定之數量之情形時等以外，並非限定為其特定之數量，為特定之數量以上或以下均可。

又，於以下之實施形態中，除了特別明示之情形時以及理論上明確認為必須之情形時等以外，當然其構成要素(亦包含要素步驟等)未必為必須者。

又，於以下之實施形態中，關於構成要素等而言，於言之「包含A」、「包括A」、「具有A」、「含有A」時，除了特別明示為僅其要素之旨意之情形時等以外，當然並不排除其以外之要素者。同樣地，於以下之實施形態中，當言及構成要素等之形狀、位置關係等時，除了特別明示之情形時及理論上明確認為並非如此之情形時等以外，實質上包含與其形狀等近似或者類似之形狀等者。此對於上述數值

及範圍而言亦相同。

以下，根據圖式詳細說明本發明之實施形態。再者，於用以說明實施形態之所有圖中，對具有同一功能之部件附加同一符號，其重複之說明將省略。

(實施形態1) 圖1係表示本發明之實施形態1之半導體裝置之構造之一例的立體圖，圖2係表示圖1之背面側之外部端子之排列之一例的立體圖，圖3係將圖1所示之半導體裝置之構造之一例透過密封體而表示的平面圖，圖4係表示沿著圖3之A-A線而切斷之構造之一例的放大剖面圖。又，圖5係表示圖1所示之半導體裝置中所組入之第1半導體晶片與第1接著層之構造之一例的立體圖，圖6係表示圖1所示之半導體裝置中所組入之第2半導體晶片與第2接著層之構造之一例的立體圖，圖7係表示圖1所示之半導體裝置中所組入之配線基板之構造之一例的平面圖，圖8係表示圖7之配線基板之內部構造之一例的放大部分剖面圖。

本實施形態1之半導體裝置如圖1以及圖2所示般，係LGA(Land Grid Array，基板柵格陣列)型之半導體裝置(以下，稱為LGA)1，且如圖3以及圖4所示般，複數個半導體晶片積層於基材上。關於詳細的構造，以下將進行說明。

<關於半導體裝置> 本實施形態之LGA 1使用配線基板3作為基材。而且，如圖3以及圖4所示般，於配線基板3上階梯狀(每1段錯開)地積層有16片半導體晶片。若換言之，則以下段側之半導體晶片之焊接墊(電極墊)露出之方式，而將上段側之半導體晶片相對於該下段側之半導體晶片錯

開地積層。又，如圖4所示般，以使4片半導體晶片為相同方向之方式，換言之，以各半導體晶片之焊接墊位於配線基板3之相同邊側的方式而使各半導體晶片之方向一致，階梯狀地積層之後，使積層方向(係指積層時將半導體晶片錯開之方向，以下將其稱為積層方向)改變180度後，階梯狀地搭載有另4片半導體晶片。此時，以各焊接墊配置於與第1~4段不同之相反側之方式而階梯狀地積層第5~8段。

此處，對本實施形態之LGA 1中使用16片半導體晶片之理由進行說明。首先，本實施形態中所使用之半導體晶片之任一者均具備記憶體電路，且係全部相同種類之快閃記憶體晶片(非揮發性記憶體)。又，每1片記憶體晶片之容量為32十億位元。而且，本實施形態中，為了實現具有64十億位元組之容量之LGA 1，而使用有16片記憶體晶片。進而，一般而言記憶體晶片之容量係由2之2次方位元而構成，故而，所積層之半導體晶片之片數亦以2之2次方之群組為單位而積層較佳。因此，本實施形態中，將4片(第1~4段)半導體晶片以相同積層方向搭載之後，搭載另4片(第5~8段)半導體晶片。

其後，再次將積層方向翻折180度而將接下來之(第9~12段)半導體晶片與第1~4段同樣地階梯狀地積層4段，進而，將積層方向翻折180度而將接下來之(第13~16段)半導體晶片與第5~8段同樣地階梯狀地積層4段。

再者，本實施形態中，如上所述，由於使用每1片包含

32十億位元之容量之記憶體晶片，製造64十億位元組之半導體裝置1，故而使用16片半導體晶片(記憶體晶片)，當然若每1片之記憶體晶片之容量或所要求之半導體裝置1之容量不同，則亦可由更多數量之半導體晶片、或者更少數量之半導體晶片而構成。

又，如圖3以及圖4所示般，各半導體晶片之焊接墊(電極墊)彼此、或者半導體晶片之焊接墊與配線基板3之焊接引線(電極墊)3d(參照圖7)可經由包含導電性部件之導線2而電性連接。

此處，LGA 1中之所有導線2係藉由使用球形焊接之相反焊接方式而打線接合者。相反焊接方式係將導線2之球部連接於配線基板3之焊接引線3d(或者，下段側之半導體晶片之焊接墊)之後，將導線2之一部分連接於半導體晶片之焊接墊(上段側之半導體晶片之焊接墊)的方法。

因此，LGA 1中，成為進行利用球形焊接之相反焊接方式之重打之構造。再者，導線2例如包含金(Au)。

如此，於配線基板3之上面(表面)3a側藉由與積層有16段之半導體晶片相反之焊接方式而形成有複數個導線2，16段之半導體晶片以及複數個導線2係於配線基板3之上面3a上藉由圖1所示之密封體10而樹脂密封。密封體10例如係使環氧系之密封用樹脂熱硬化而成者。

再者，由於LGA 1係基板柵格陣列，故而，如圖2所示般於配線基板3之下面3b側，設置有成為LGA 1之外部端子之複數個凸塊焊點3g。

如此，本實施形態中，如圖3所示般，於將平面形狀包含長方形之半導體晶片跨複數段而積層時，如圖3以及圖4所示般，將4片(第1~4段)半導體晶片以相同積層方向而搭載之後，將積層方向改變180度之後，搭載有另4片(第5~8段)半導體晶片，故而，可實現半導體裝置(或者，配線基板3)1之小型化。

<關於半導體晶片> 其次，對LGA 1上所搭載之16片半導體晶片進行說明。

首先，圖4中之第1(最下段)、5、9、13以及16段(最上段)所使用之半導體晶片係圖5所示之半導體晶片(第1半導體晶片)4(其中，第5段及第13段係與半導體晶片4為同一半導體晶片(第3半導體晶片)6)。該半導體晶片4具有：主面(第1表面，上面)4a；形成於該主面4a上之複數個第1焊接墊(電極墊)4c；以及與該主面4a為相反側之主面(第1背面，下面)4b。又，主面4a(以及主面4b)之平面形狀包含四角形，本實施形態中為長方形。又，複數個第1焊接墊4c沿著該主面4a之邊(第1晶片邊)4d，且較主面4a中之中央部更靠近僅該邊4d側而形成。換言之，於其他邊未形成焊接墊，係所謂單邊墊品。進而，如圖5所示般，於主面4b形成有包含絕緣性之材料之接著層(第1接著層，DAF(Die Attach Film，薄膜黏晶膠材))8。此處，半導體晶片4包含矽(Si)，半導體晶片4之厚度為0.040~0.200 mm之範圍內，本實施形態中為0.055 mm。又，半導體晶片4之主面4b上所黏貼之接著層8之厚度(Td1)為0.010~0.050 mm之範圍

內，本實施形態中為0.020 mm。因此，半導體晶片4與接著層8之總厚度為0.075 mm。

另一方面，圖4中之第2~4、6~8、10~12、14以及15段所使用之半導體晶片係圖6所示之半導體晶片(第2半導體晶片)5(其中，第6~8段與第14以及15段係與半導體晶片5為同一半導體晶片(第4半導體晶片)7)。該半導體晶片5與半導體晶片4同樣地具有：主面(第2表面，上面)5a；形成於該主面5a上之複數個第2焊接墊(電極墊)5c；以及與該主面5a為相反側之主面(第2背面，下面)5b。又，主面5a(以及主面5b)之平面形狀包含四角形，複數個第2焊接墊5c沿著該主面5a之邊(第2晶片邊)5d，且較主面5a中之中央部更靠近僅該邊5d側而形成。換言之，與半導體晶片4同樣地，係所謂單邊墊品。進而，如圖6所示般，於主面5b上形成有包含絕緣性之材料之接著層(第2接著層，DAF)9。此處，半導體晶片5包含矽(Si)，半導體晶片5之厚度為0.010~0.030 mm之範圍內，本實施形態中為0.020 mm。又，半導體晶片5之主面5b上所黏貼之接著層9之厚度(Td2)為0.003~0.010 mm之範圍內，本實施形態中為0.005 mm。因此，半導體晶片5與接著層9之總厚度為0.025 mm。亦即，圖6所示之半導體晶片(第2半導體晶片)5之厚度比圖5所示之半導體晶片(第1半導體晶片)4之厚度更薄。又，接著層9之厚度亦比接著層8之厚度更薄。換言之，第1半導體晶片4與第1接著層8之總厚度比第2半導體晶片5與第2接著層9之總厚度更大。再者，第1半導體晶片4之主面

4a(或者，主面4b)之外形尺寸係與第2半導體晶片5之主面5a(或者，主面5b)之外形尺寸為相同大小。

<關於基材> 其次，對LGA 1所使用之基材進行說明。本實施形態中，使用如圖7以及圖8所示般之配線基板3作為基材。

如圖7以及圖8所示般，配線基板3具有：芯層(芯材)3c，其具備平面形狀包含四角形之上面(表面)3a，及與該上面3a為相反側之下面(背面)3b；上面側配線層3h，其形成於該芯層3c之上面3a；下面側配線層3i，其形成於該芯層3c之下面3b；以及通道配線3n，其設置於形成於芯層3c之通道(貫通孔)內，且將該上面側配線層3h與下面側配線層3i電性連接。再者，本實施形態中之上面3a之平面形狀係具有相互對向之2個短邊(第1基板邊、第2基板邊)、及與該短邊正交且相互對向之2個長邊的長方形。又，如圖3所示般，該上面3a之外形尺寸比積層有複數個半導體晶片4、5之狀態之外形尺寸更大。換言之，配線基板3之長邊比階梯狀地積層之複數個半導體晶片之總距離TL更長，又，配線基板3之短邊比半導體晶片之短邊更長。此處，芯層3c包含玻璃環氧系之樹脂。又，上面側配線層3h以及下面側配線層3i之各者包含銅(Cu)。

又，未圖示，上面側配線層3h具有複數個配線(配線圖案)，芯層3c之上面3a上所形成之複數個焊接引線3d之各者包含該複數個配線之各者之一部分。而且，芯層3c之上面3a以及上面配線層3h係由上面用之阻焊劑膜3j而覆蓋，

僅複數個焊接引線3d自該上面用之阻焊劑膜3j上所形成之開口部而露出。再者，複數個焊接引線3d具有：沿著2個短邊中之1個邊(第1基板邊)3k而形成，且較與該1個邊3k對向之又1個邊(第2基板邊)3m更靠近該邊3k側而配置之複數個焊接引線(第1焊接引線，電極墊)3e；沿著2個短邊中之又1個邊(第2基板邊)3m而形成，且較邊(第2基板邊)3k更靠近該邊3m側而配置之複數個焊接引線(第2焊接引線，電極墊)3f。亦即，本實施形態中所使用之配線基板3係所謂兩邊墊品。又，未圖示，於複數個焊接引線之各者之表面，形成有電鍍層，該電鍍層之構成例如係於鎳(Ni)層上堆積金(Au)層而成者。

另一方面，未圖示，下面側配線層3i具有複數個配線(配線圖案)，如圖2所示般，芯層3c之下面3b上所形成之複數個凸塊焊點3g之各者包含該複數個配線的各者之一部分。而且，芯層3c之下面3b以及下面側配線層3i係由下面用之阻焊劑膜3j而覆蓋，如圖2以及圖8所示般，僅複數個凸塊焊點3g自該下面用之阻焊劑膜3j露出。

再者，如上所述，於阻焊劑膜3j之下側形成有具有複數個配線之配線層(上面側配線層3h、下面側配線層3i)，故而，如圖8所示般，該阻焊劑膜3j之表面並不平坦。換言之，形成有凹凸(階差)。

因此，於本實施形態1之LGA 1中，如圖4所示般於進行半導體晶片之16段積層時，僅於必要之段搭載較厚之晶片即第1半導體晶片4，關於其他段，使用較薄之晶片即第2

半導體晶片5，實現16段積層之薄型化，從而實現LGA 1之薄型化。

首先，16段中最下段之第1段使用比第2半導體晶片5之厚度更厚，且黏貼有比第2接著層9更厚之第1接著層8之第1半導體晶片4。如上所述般，配線基板3之上面3a由於阻焊劑膜3j等之凹凸較大，故而可藉由具有厚度之第1接著層8而吸收該凹凸，從而提高接著強度。第1接著層8之厚度0.010~0.050 mm係能夠充分吸收配線基板3之上面3a之凹凸的厚度。藉此，可抑制成形時半導體晶片自配線基板3剝離。

進而，第1半導體晶片4之厚度0.040~0.200 mm由於確保第1半導體晶片4之第1背面4b之平坦度而能夠保持充分之強度，藉此，可提高接著強度高，並且確保可第1半導體晶片4之第1表面4a之平坦度且提高第2段半導體晶片之黏晶性。

又，關於16段積層中第5段、第9段以及第13段均使用厚度較厚之第1半導體晶片4。該等段係相當於16段積層中每4段之翻折積層之最初之段的段。該等段中，由於必須以各者之正下方(第4段、第8段以及第12段)之相反焊接之導線2不接觸於各者之正上方(第6段、第10段以及第14段)之半導體晶片之背面端部的方式，藉由第5段、第9段以及第13段半導體晶片而分別確保高度，故而，關於第5段、第9段以及第13段，使用厚度較厚、且黏貼有較厚之第1接著層8之第1半導體晶片4。

藉此，於進行每4段之翻折積層之16段積層中，可防止(減少)半導體晶片與導線2接觸。

進而，關於第5段、第9段以及第13段係藉由翻折積層而晶片端部懸突(突出)，其結果為，存在下部無任何支持之焊接墊，必須承受打線接合時之焊接荷重。因此，藉由使用厚度較厚之第1半導體晶片4，可提高晶片本身之強度，且可防止(減少)打線接合時之焊接荷重所致之晶片破損。

進而，於晶片端部之懸突部位中，存在下部無任何支持之部位，因此，由於樹脂成形時之樹脂流動之壓力，而容易產生晶片破裂。因此，藉由使用厚度較厚之第1半導體晶片4，而與上述同樣，可提高晶片本身之強度，從而可防止(減少)樹脂成形時之樹脂流動之壓力所致之晶片破裂之產生。

又，16段積層中，關於成為最上段之第16段亦使用較厚之第1半導體晶片4。此係由於第16段半導體晶片之上面側(主面側)尤其位藉由部件而支持，故而與上述同樣，係相對於由於樹脂成形時之樹脂流動之壓力而容易產生晶片破裂之對策，第16段亦使用厚度較厚之第1半導體晶片4，藉此可提高晶片本身之強度，從而可防止(減少)樹脂成形時之樹脂流動之壓力所致之晶片破裂之產生。

<關於半導體裝置之製造方法> 其次，對本實施形態1之半導體裝置(LGA 1)之製造方法進行說明。

圖9係表示圖1所示之半導體裝置之裝配中之切割後的半導體晶圓之構造之一例之平面圖，圖10係表示圖9所示之

半導體晶圓之構造之一例的側面圖，圖11係表示圖1所示之半導體裝置之裝配之切割時的構造之一例之立體圖，圖12係表示圖11所示之切割中之刀片之行走方向之一例的平面圖。又，圖13係表示圖1所示之半導體裝置之裝配中之背面研磨後的半導體晶圓之構造之一例之平面圖，圖14係表示圖13所示之半導體晶圓之構造之一例的側面圖，圖15係表示圖13所示之薄型之半導體晶圓之構造之一例的側面圖。又，圖16係表示圖1所示之半導體裝置之裝配中之DAF以及切割膠帶黏貼後的構造之一例之平面圖，圖17係表示圖16所示之半導體晶圓之構造之一例的剖面圖，圖18係表示圖16所示之薄型之半導體晶圓之構造之一例的剖面圖。又，圖19係表示圖1所示之半導體裝置之裝配中之DAF切斷後的構造之一例之平面圖，圖20係表示圖19所示之DAF切斷時之構造之一例的剖面圖，圖21係表示圖1所示之半導體裝置之裝配之拾取步驟中的晶片上推時之構造之一例的剖面圖及上推前與上推後之放大部分剖面圖。又，圖22係表示圖1所示之半導體裝置之裝配之晶粒接合步驟中的第1半導體晶片之晶粒接合後之構造之一例的平面圖及擠壓時之放大部分剖面圖與擠壓後之放大部分剖面圖，圖23係表示圖1所示之半導體裝置之裝配之晶粒接合步驟中的第2半導體晶片之晶粒接合後之構造之一例的平面圖與擠壓時之放大部分剖面圖。

<<關於半導體晶圓之切割步驟>> 首先，如圖9所示般，準備平面形狀包含圓形狀、且形成有基準部分之半導

體晶圓 11。此處，基準部分係如圖 9 所示般之半導體晶圓 11 中之參考面 11d，或者如圖 12 所示般之凹口 11e，且係表示半導體晶圓 11 之矽之結晶方向之基準。本實施形態中所使用之半導體晶圓 11 中，矽之結晶方向以該基準部分作為基準，於圖 12 所示之 XY 方向分別形成。

其後，對如此之半導體晶圓 11 進行切割而個片化為各半導體晶片。此時，如圖 11 所示般，於將半導體晶圓 11 之背面 11b (參照圖 10) 利用真空平台 13 而真空吸著之狀態下，使切割用之刀片 12 (磨石) 沿著 XY 方向而行走。再者，當於圖 12 中言及之 Y 方向使刀片 12 行走時，於朝向基準部分 (參考面 11d 或者凹口 11e) 之方向使刀片 12 前進而進行切斷。

關於該理由將於以下進行說明。

首先，本實施形態中之切割步驟中，使用高速旋轉之刀片 12 切斷半導體晶圓 11，但是於刀片 12 與半導體晶圓 11 之接觸部分中，產生應力 (切斷應力)，故而容易自該切斷部分產生龜裂。

又，如上所述，如圖 9 或者圖 12 所示般，於半導體晶圓 11 中形成有表示矽之結晶方向之基準部分。亦即，半導體晶圓 11 之平面形狀並非由完整的圓形而構成。而且，半導體晶圓 11 之基準部分之附近中，於元件形成中之薄膜形成時內部應力不均等。因此，於半導體晶圓 11 之邊 11p 中，將形成有基準部分 (參考面 11d、凹口 11e) 之部分切斷時所產生之應力，與將除此以外之部分切斷時所產生之應力不同。換言之，將形成有基準部分之部分切斷時所產生之應

力大於將除此以外之部分切斷時所產生之應力。因此，當使刀片12自基準部分側進入，進而向遠離基準部分之方向前進時，產生較長(例如，數cm左右)之微小龜裂。

因此，本實施形態中，首先，使刀片12沿著矽之結晶方向行走，而切割半導體晶圓11。藉此，即便刀片12與半導體晶圓11之接觸部分產生應力(切斷應力)，亦可使應力沿著結晶方向進展，故而可抑制龜裂。

又，圖12所示之Y方向中之切割中，使刀片12於朝向基準部分(參考面11d或者凹口11e)之方向前進而進行切斷。藉此，當使刀片12自遠離基準部分之側進入，進而朝向接近基準部分之側切割時，可將微小龜裂抑制得較短(數mm左右)。又，即便於形成有基準部分之部分，較之將其他部分切斷時所產生之應力更大之切斷應力起作用，亦係已經將半導體晶圓11切斷結束之後，故而可抑制該較大之應力之影響所致之半導體晶圓11之龜裂。再者，該原理能夠藉由晶片龜裂之成長集中於變形方向(由已經切割出之槽而吸收)而說明。

此處，使用圖12對使刀片12於朝向基準部分之方向前進而進行切斷之切割方法進行詳細說明。

首先，若對半導體晶圓11中之各部分進行定義，則使呈圓形之半導體晶圓11之中心為中心點11f，使將基準部分(基準點)即凹口11e與半導體晶圓11之中心點11f連接之直線(中心線)為第1直線11m，使與該第1直線11m正交、且通過半導體晶圓11之中心點11f之直線(中心線)為第2直線

11n。此處，半導體晶圓11之外周之邊11p以描繪大致圓形之方式而形成。因此，邊11p具有較之第2直線11n位於更靠近與凹口11e相反側之第1部分11g，以及除了第1部分11g以外之第2部分11i(基準部分側)。

進而，使邊11p中之第1部分11g中之任意點為第1點11h，使位於邊11p中之第2部分11i、且於沿著第1直線11m之第1方向11k(或者，平行於第1直線11m之假想線上)中，經由第2直線11n而與第1點11h對向之點為第2點11j。

於進行有該等定義之半導體晶圓11之切割步驟中，沿著將凹口11e(或者參考面11d)與半導體晶圓11之中心點11f連接之第1直線11m之第1方向11k中之切割中，使刀片12自位於半導體晶圓11之邊11p中之第1部分11g之第1點11h起，經由位於邊11p中的第2部分11i、且於第1方向11k中與第1直線11m正交、且通過半導體晶圓11之中心點11f的第2直線11n，而朝向與第1點11h對向之第2點11j前進。

亦即，半導體晶圓11之切割步驟(取得半導體晶片之步驟)中，於圖12所示之Y方向中之切割時，使刀片12自第1點11h起朝向第2點11j前進，進行半導體晶圓11之切斷。

如此，藉由使刀片12自遠離凹口11e之側之第1點11h起朝向接近凹口11e之側之第2點11j前進而進行切割，可沿著半導體晶圓11之矽之結晶方向而切割，故而，可於該切割步驟中減少半導體晶圓11之切斷部所產生之應力。因此，即便半導體晶圓11之厚度變薄，亦可減少或者防止由切割所引起之晶片龜裂。

再者，關於與第1方向11k交叉之方向(圖12所示之X方向)之切割，由於未形成基準部分，故而亦可使刀片12於任一方向前進。

再者，如上所述，對可藉由使刀片12行走之方向而抑制半導體晶圓11之龜裂之情況進行了說明，本實施形態中，採用有於半導體晶圓11之背面研磨(磨削得較薄)步驟之前進行切割步驟，所謂先切割方式。

此處，若對先切割方式進行說明，則如圖10所示般，自半導體晶圓11之表面11a起至中間部分為止形成刀片12所致之切口。換言之，稍微留些不切割，以使刀片12不到達半導體晶圓11之背面11b。此時，成為於鄰接之半導體晶片間形成有間隙之狀態。其後，自半導體晶圓11之背面11b側進行背面研磨步驟，而使半導體晶圓11之厚度變薄。而且，若直至到達切口為止進行背面研磨步驟，則可取得複數個半導體晶片。

如此，若為先切割方式，則可於半導體晶圓11之厚度較厚之狀態下進行切割步驟，故而，即便於切割步驟中產生切斷應力，亦為半導體晶圓11之強度較大之狀態，因此可減少或者防止該切割所致之晶片龜裂之產生。

亦即，於切割步驟中，即便不適用上述刀片12之前進方向之技術，而僅採用先切割方式，亦可減少或者防止晶片龜裂之產生，故而亦可未必採用上述之刀片12之前進方向之技術。

<<關於半導體晶圓之背面研磨步驟>> 其次，藉由背面

研磨而使圖13所示之切割完畢之半導體晶圓11薄至所期望之厚度。

該背面研磨步驟中，如圖14以及圖15所示般，為了保護半導體晶圓11之表面11a上所形成之半導體元件(未圖示)，首先，於半導體晶圓11之表面11a黏貼背面研磨膠帶14之後，將磨石(未圖示)抵接於該半導體晶圓11之背面11b，對半導體晶圓11進行磨削。再者，本實施形態1之LGA 1中，如圖4所示般，為了搭載2種厚度之半導體晶片，而藉由該背面研磨步驟，形成具有如圖14所示之第1厚度($Tw1$)之半導體晶圓，及具有如圖15所示之比第1厚度更薄之第2厚度($Tw2$)之半導體晶圓。此處， $Tw1$ 之厚度為0.040~0.200 mm之範圍，本實施形態中為0.055 mm。另一方面， $Tw2$ 之厚度為0.010~0.030 mm之範圍，本實施形態中為0.020 mm。

再者，本實施形態中，由於在該背面研磨步驟之前，進行半導體晶圓11之切割步驟，故而可藉由該背面研磨步驟而獲得複數個半導體晶片4、5。其中，該等半導體晶片4、5之主面(表面、上面)4a、5a側由背面研磨膠帶14而保持，故而即便被分割為複數個半導體晶片，亦不會飛散。

<<關於向切割膠帶之替換黏貼作業>> 其次，將背面研磨完畢之各半導體晶圓11之膠帶替換黏貼，如圖16所示般，於切片16之內側，配置實施有背面研磨步驟之半導體晶圓11。

若進行詳細說明，首先，準備形成有具有第1厚度之接著層8之切割膠帶15。此處，於該切割膠帶15中，經由接

著層8而固定有平面形狀為圓形狀、且環狀(ring狀)地形成之切片16。而且，將具有第1厚度($Tw1$)之半導體晶圓11固定於接著層8，以使該半導體晶圓11位於切片16之內側，且該半導體晶圓11之背面11b與接著層8對向。其後，未圖示，藉由將半導體晶圓11之表面11a上所黏貼之背面研磨膠帶14剝離，而成為如圖17般之狀態。

另一方面，關於具有第2厚度($Tw2$)之半導體晶圓11亦同樣地，首先，準備具有第2厚度之接著層9、以及具有經由該接著層9而固定之切片16之切割膠帶15。然後，將具有第2厚度($Tw2$)之半導體晶圓11固定於接著層9，以使該半導體晶圓11位於切片16之內側，且該半導體晶圓11之背面11b與接著層9對向。其後，未圖示，藉由將半導體晶圓11之表面11a上所黏貼之背面研磨膠帶14剝離，而成為如圖18般之狀態。

<<關於自第1段至第4段為止之黏晶步驟>> 其次，於將已取得之複數個半導體晶片自該切割膠帶15拾取之前，首先，圖19以及圖20所示般藉由雷射切片機17而進行接著層(DAF)之切斷。此處，沿著藉由上文之半導體晶圓之切割步驟而形成之間隙照射雷射17a，僅將接著層(第1接著層8、第2接著層9)切斷以不對切割膠帶15帶來損傷。藉此，模仿各半導體晶片4、5之外形形狀，而切斷接著層8、9。

然後，如圖21所示般，於由夾盤18而真空吸著半導體晶片之主面4a之狀態下，經由切割膠帶15以及接著層8而將上推單元19之上推區塊19a抵接(上推)至半導體晶片4之第1

背面4b。此時，上推區塊19a係多段上推式，如圖21之上推後所示般，自第1半導體晶片4之第1背面4b之外周部朝向中心而逐漸將晶片壓上去並自切割膠帶15剝離。因此，即便於較薄之半導體晶片之情形時亦可進一步減少對晶片所帶來之損傷。

再者，本實施形態1中，對含有第1半導體晶片4與第2半導體晶片5之所有半導體晶片進行上述之多段式之上推。

而且，將由夾盤18而保持之半導體晶片4、5搭載於配線基板3上，或者搭載於預先搭載之半導體晶片上。再者，於本實施形態1之LGA 1中，如圖4所示般於進行半導體晶片之16段積層時，僅於需要之段搭載較厚之晶片即第1半導體晶片4，而關於其他段，則搭載較薄之晶片即第2半導體晶片5，實現16段積層之薄型化，從而實現LGA 1之薄型化。

若進行詳細說明，首先，作為第1段(最下段)晶片，於配線基板3之上面3a，搭載具有第1厚度(T_{w1})、且形成有具有第1厚度之接著層8之第1半導體晶片4。此處，本實施形態中所使用之配線基板3如圖22所示般，係具備複數個器件區域之多數個加工基板20，且於各器件區域形成有上述複數個焊接引線3e、3f(參照圖7)。本實施形態中，對該各器件區域實施該黏晶步驟。

此時，如圖35所示般，以如下方式而將成為第1段之半導體晶片4配置(搭載)於配線基板3之上面3a，上述方式為第1半導體晶片4之第1晶片邊(配置有複數個焊接墊4c之

邊)4d朝向配線基板3之2個短邊中之1個邊(第1基板邊)3k側，且於俯視時，半導體晶片4位於器件區域(配線基板3之上面3a)內。換言之，於俯視時，第1晶片邊4d與第1基板邊3k之間隔小於第1晶片邊4d(或者，與第1晶片邊4d對向之晶片邊(另1個短邊))與第2基板邊3m之間隔，換言之，以第1晶片邊4d較之第2基板邊3m更接近第1基板邊3k而配置之方式，而將第1半導體晶片4配置(搭載)於配線基板3之上面3a上作為第1段(最下段)。又，第1半導體晶片4係以其第1焊接墊4c之排列鄰接並沿著配線基板3之第1焊接引線3e之排列的方式而搭載。

如此將黏貼有厚度較厚之第1接著層8之第1半導體晶片4搭載於最下段，由此可藉由第1接著層8而吸收配線基板3之上面3a之凹凸。亦即，於配線基板3之上面3a之與第1半導體晶片4平面性地重合之區域，形成有如圖8所示之複數個配線圖案(上面側配線層3h)，成為因該上面側配線層3h之有無以及其所致之阻焊劑膜3j之階差、進而阻焊劑膜3j之開口部等而形成有凹凸的狀態，故而藉由最下段之接著層使用具有厚度之第1接著層8，可吸收配線基板3之凹凸，可提高配線基板3與第1接著層8之接著強度。

進而，由於第1半導體晶片4亦具有充分之厚度，故而保有用以確保第1半導體晶片4之第1背面4b之平坦度之充分的強度，其結果為，可確保第1半導體晶片4之第1表面4a之平坦度並提高第2段半導體晶片之黏晶性。

其次，如圖23所示般進行第2段至第4段之晶粒接合步

驟。

此處，將厚度比第1半導體晶片4薄、且於第2背面5b黏貼有厚度比第1接著層8薄之第2接著層9之第2半導體晶片5使用於第2~4段。而且，於第2半導體晶片5之晶粒接合時，如圖35所示般，於俯視第2半導體晶片5之時，第2晶片邊5d與第1基板邊3k之間隔小於第2晶片邊5d(或者，與第2晶片邊5d對向之晶片邊(另1個短邊))與第2基板邊3m之間隔，換言之，以第2晶片邊5d較之第2基板邊3m更接近第1基板邊3k而配置、且複數個第1焊接墊4c自第2半導體晶片5露出之方式，而配置(積層)於第1半導體晶片4上。亦即，以如下方式而使第1段半導體晶片4與積層方向一致，階梯狀地積層(搭載)，上述方式為第2半導體晶片5之第2晶片邊(配置有複數個焊接墊5c之邊)5d朝向配線基板3之2個短邊中之1個邊(第1基板邊)3k側，且於俯視時，半導體晶片5位於器件區域(配線基板3之上面3a)內。

再者，關於第2段至第4段，由於確保了第1段之第1半導體晶片4之第1表面4a之平坦度，故而，即便使用比第1半導體晶片4薄之第2半導體晶片5亦可獲得接著強度。藉此，可使LGA 1之厚度變薄。

又，關於第2半導體晶片5之晶粒接合，以其第2焊接墊5c之排列鄰接並沿著下段之第1半導體晶片4之第1焊接墊4c之排列而排列的方式，且以第1焊接墊4c自第2半導體晶片5露出之方式，而將第2半導體晶片5配置於第1半導體晶片4上。

亦即，於積層第2段以後(第2~4段)之第2半導體晶片5之時，階梯狀地每1段錯開而積層，且以下段側之半導體晶片之焊接墊行露出之方式而積層。即，將最下段至第4段為止以同一積層方向，且以各半導體晶片之焊接墊配置於相同側之方式而階梯狀地積層。

再者，關於第3段與第4段，為了實現積層全體之薄型化，而使用較薄之晶片即第2半導體晶片5，利用與第2段同樣之積層方法進行積層。藉此，如圖23所示般第1段~第4段為止之晶粒接合結束。

<<關於第1段至第4段為止之打線接合步驟>> 其次，進行第1段至第4段為止之打線接合。再者，LGA 1之裝配中所進行之打線接合全部使用相反焊接方式。

圖24係表示圖1所示之半導體裝置之裝配之打線接合步驟中的打線接合後之構造之一例之平面圖與放大部分剖面圖，圖25係表示圖1所示之半導體裝置之裝配之打線接合步驟中的第1凸塊電極之形成方法之一例之部分剖面圖，圖26係表示圖1所示之半導體裝置之裝配之打線接合步驟中的第一側之打線接合方法之一例之部分剖面圖，圖27係表示圖1所示之半導體裝置之裝配之打線接合步驟中的第二側之打線接合方法之一例之部分剖面圖。又，圖28係表示圖1所示之半導體裝置之裝配之打線接合步驟中的第二側之第2打線接合方法之一例之部分剖面圖，圖29係表示圖28所示之A部之構造之一例的放大部分平面圖，圖30係表示圖1所示之半導體裝置之裝配之打線接合步驟中的毛

細管之軌跡之一例之概念圖，圖31係表示藉由圖30所示之毛細管之軌跡而佈線之構造之一例的剖面圖，圖32係表示圖31所示之佈線構造之一例之平面圖。進而，圖33係表示圖1之半導體裝置之裝配中之翻折積層時的第1半導體晶片之晶粒接合後之構造之一例的平面圖與擠壓時之放大部分剖面圖，圖34係表示圖1之半導體裝置之裝配中之翻折積層後的第2半導體晶片之晶粒接合後之構造之一例的平面圖與擠壓時之放大部分剖面圖，圖35係表示圖1之半導體裝置之裝配中之翻折積層後的打線接合後之構造之一例之平面圖與放大部分剖面圖。又，圖36係表示圖1之半導體裝置之裝配中之再翻折積層後的打線接合後之構造之一例之平面圖與放大部分剖面圖，圖37係表示圖1之半導體裝置之裝配中之一再翻折積層時的第1半導體晶片之晶粒接合後之構造之一例的平面圖與擠壓時之放大部分剖面圖，圖38係表示圖1之半導體裝置之裝配中的最上段之第1半導體晶片之晶粒接合中之擠壓時的平面圖與放大部分剖面圖，圖39係表示圖1之半導體裝置之裝配中的最上段之第1半導體晶片搭載後之打線接合結束時之構造之一例的平面圖與放大部分剖面圖。

本實施形態1之打線接合步驟中，採用如下所謂相反焊接方式，即，將導線自配線基板3朝向半導體晶片而連接，或者將導線自下段側之半導體晶片朝向上段側之半導體晶片而連接。因此，下段側成為第一結合側，上段側成為第二結合。

首先，如圖24所示般，將配線基板3之複數個第1焊接引線3e與第1半導體晶片4之複數個第1焊接墊4c經由複數個第1導線2a而分別電性連接。即，將配線基板3之第1焊接引線3e與第1半導體晶片4之第1焊接墊4c經由第1導線2a而電性連接。此處，下段側之第1焊接引線3e成為第一結合，上段側之第1焊接墊4c成為第二結合。

又，本實施形態中之相反焊接方式中，如圖25之導線切割後所示般，預先將第二結合焊接墊(此處，為第1半導體晶片4之複數個第1焊接墊4c中之1個)形成於第1凸塊電極2g。此時，如圖25所示般，藉由將毛細管21之前端面21a抵接於第1凸塊電極2g之表面，而將自第1半導體晶片4之第1表面4a中之中央部起朝向第1晶片邊4d而高度變低之傾斜面2h形成於第1凸塊電極2g之表面。

詳細而言，如圖25之凸塊降落時所示般，藉由毛細管21之導引而與第1導線2a之球部2c之中心部2d之位置一致連接於第1焊接墊4c(第二側)之中心部4e。此時，使用熱與超音波，將球部2c連接於焊接墊4c。其後，如圖25之凸塊形成時所示般，使毛細管21上升，並且使之稍微向圖24所示之第1焊接引線3e(第一結合)側移動，進而如凸塊結束後所示般使毛細管21下降之後，藉由毛細管21之前端面21a之傾斜部21b而將球部2c擠壓壞。然後，藉由將第1導線2a切斷，而如圖25之導線切割後所示般，形成第1凸塊電極2g。此時，於第1凸塊電極2g之表面，形成自第1半導體晶片4之第1表面4a中之中央部起朝向第1晶片邊4d變低之傾

斜面 2h。

其次，如圖 26 所示般對配線基板 3 之第 1 焊接引線 3e 進行相反焊接方式中之第一結合之連接。首先，使用毛細管 21 將第 1 導線 2a 之球部 2c 連接於配線基板 3 之複數個第 1 焊接引線 3e 中之 1 個。此時，首先，如圖 26 之第一側連接前所示般，藉由毛細管 21 之導引而將第 1 導線 2a 配置於第 1 焊接引線 3e 之上方。

其後，如圖 26 之第一側凸塊降落時所示般，藉由毛細管 21 之導引而使球部 2c 降落於第 1 焊接引線 3e 上之後，藉由毛細管 21 而擠壓球部 2c 並連接於第 1 焊接引線 3e。此時，使用熱與超音波，將球部 2c 連接於焊接墊 4c。

之後，如圖 26 之第一側連接後所示般，使毛細管 21 上升。

其次，如圖 27 所示般進行第二結合。此處，將第 1 導線 2a 之一部分連接於第 1 凸塊電極 2g 之表面。首先，如圖 27 之第二側連接前所示般，於第 1 半導體晶片 4 之第 1 焊接墊 4c 上，相對於預先形成之第 1 凸塊電極 2g，如圖 27 之導線降落時以及連接結束時所示般，藉由毛細管 21 之導引而使第 1 導線 2a 降落於第 1 凸塊電極 2g 之表面。此時，相對於第 1 凸塊電極 2g 之中心部 2i，於使毛細管 21 之中心部 21c 偏離遠離第 1 晶片邊 4d 之方向(偏內側)之狀態下，藉由毛細管 21 之前端面 21a 之傾斜部 21b 而擠壓第 1 凸塊電極 2g 之傾斜面 2h。即，藉由毛細管 21 之前端面 21a 而擠壓第 1 凸塊電極 2g 之傾斜面 2h 全體。

藉此，藉由擠壞第1凸塊電極2g之傾斜面2h中之薄壁部分2q與厚壁部分2r之兩者而進行焊接，可增加連接面積提高連接強度。

其後，如圖27之導線切割後所示般，切斷第1導線2a而第1導線2a之第二側之焊接結束。於第1焊接墊4c上，成為於第1凸塊電極2g之傾斜面2h連接有第1導線2a之端部(一部分)2p之狀態。

使用同樣之相反焊接方式，利用第1導線2a而將配線基板3之其他第1焊接引線3e與第1半導體晶片4之其他第1焊接墊4c電性連接。

其次，藉由相反焊接方式而將第1段之第1半導體晶片4之第1焊接墊4c與第2段之第2半導體晶片5之第2焊接墊5c連接。此處，將複數個第1焊接墊4c與複數個第2焊接墊5c經由複數個第2導線2b而分別電性連接。

首先，於成為第二側之第2半導體晶片5之第2焊接墊5c上，利用與圖25所示之第1凸塊電極2g之形成方法同樣之方法形成第2凸塊電極2m(參照圖30)。此時，亦於第2凸塊電極2m中，以與第1凸塊電極2g之傾斜面2h同樣地朝向下段側之第1焊接墊4c而高度變低之方式傾斜的傾斜面2s形成於表面。

其後，如圖28之第2導線連接前所示般，於連接於第1半導體晶片4之第1焊接墊4c上之第1凸塊電極2g的第1導線2a之端部2p之上方，藉由毛細管21之導引而配置第2導線2b之球部2e。此時，第1導線2a之端部2p如圖29所示般，具

有第1部分(厚壁較薄之導線區域)2j，以及較第1部分2j位於更靠第1晶片邊4d側、且厚度較第1部分2j更大之(較厚之)第2部分(厚壁較厚之導線區域)2k。

其後，如圖28之第2導線降落時以及圖29所示般，使毛細管21下降，藉由毛細管21而將第2導線2b之球部2e擠壓至第1導線2a之端部2p與第1凸塊電極2g並連接。此處，以第2導線2b之球部2e與第1導線2a之圖29所示之第1部分2j以及第2部分2k之各者接觸的方式而利用毛細管21導引第2導線2b，將第2導線2b之球部2e連接於第1導線2a之端部2p與第1凸塊電極2g。

藉此，藉由擠壞第1導線2a之端部2p中之第1部分2j與第2部分2k之兩者而進行焊接，可增加連接面積提高連接強度。

再者，為了提高第1凸塊電極2g與第2導線2b之球部2e之連接強度，重要的是如圖29所示般，以不自第1半導體晶片4之第1焊接墊4c之墊寬度D露出之方式，將第1凸塊電極2g或第1導線2a以及第2導線2b焊接。即，為了提高連接強度，重要的是將第2導線2b之球部2e連接於第1凸塊電極2g之正上方。

較佳為，於俯視時，以第2導線2b之球部2e之中心部2f與第1凸塊電極2g之中心部2i重合之方式，而將第2導線2b之球部2e連接於第1導線2a之端部2p以及第1凸塊電極2g，由此可增加第2導線2b與第1凸塊電極2g之連接面積並提高連接強度。

其後，如圖28之連接結束所示般使毛細管21上升而結束第2導線2b之第一側之打線接合。

其次，進行第2導線2b之第二側之打線接合(向第2段之第2半導體晶片5之第2焊接墊5c之打線接合)。此時，本實施形態1之裝配中，採用圖30~圖32所示之毛細管21之軌跡21e進行向第2導線2b之第二側之打線接合。

首先，如圖30~圖32所示般，利用毛細管21之導引而將第2導線2b之球部2e連接於第1焊接墊4c上之第1凸塊電極2g(參照圖29)。其次，於使毛細管21自第1焊接墊4c向第2焊接墊5c移動時，於其中途，進行沿著將第1焊接墊4c與第2焊接墊5c連接之第2方向21d而一次返回至第1焊接墊4c側之動作。亦即，將毛細管21上拉至第1焊接墊4c上，使該經上拉之毛細管21於俯視時向遠離第2焊接墊5c之方向(自第1焊接墊4c之正上方起朝向第1晶片邊4d之方向)移動。其次，以連續動作進行向第2焊接墊5c側切割返回之動作而於第2導線2b上形成彎曲點2n。亦即，於俯視時，使毛細管21向接近第2焊接墊5c之方向移動，而將毛細管21配置於較第1焊接墊4c之正上方更靠第2焊接墊5c側。其次，再次，於俯視時，使毛細管21向遠離第2焊接墊5c之方向(自第1焊接墊4c之正上方朝向第1晶片邊4d之方向)移動。而且，將第2導線2b之一部分連接於第2焊接墊5c上所形成之第2凸塊電極2m之表面。

詳細而言，如圖30所示般於結束第一側之連接之後，於第1焊接墊4c上將毛細管21上拉，一次向遠離第2焊接墊5c

之方向拉出第2導線2b，進而使之上升之後，使之向第2焊接墊5c方向移動。進而，於自第1焊接墊4c朝向第2焊接墊5c之中途，使毛細管21上升，其後，進行沿著圖32所示之第2方向21d一次返回至第1焊接墊4c側之動作之後，以連續動作進行切割返回至第2焊接墊5c側之動作(圖30之X部)於第2導線2b形成圖31所示之彎曲點2n。然後，將第2導線2b之一部分連接於形成於第2焊接墊5c上之第2凸塊電極2m之表面。

將第2導線2b之一部分連接於第2凸塊電極2m之方法係以與圖27所示之第1導線2a向第1凸塊電極2g連接的方法同樣之方法而進行。

再者，由於在第2凸塊電極2m上形成有傾斜面2s，故而於向第2凸塊電極2m連接之時，藉由如圖31所示般之上述傾斜面2s與毛細管21之前端面21a之擠壓力的作用，而欲將第2導線2b朝向第1焊接墊4c側大致水平地擠出之荷重P被施加至第2導線2b(關於該荷重P，亦對第1凸塊電極2g之傾斜面2h具有同樣之作用)。

由於施加有該荷重P，而第2導線2b被大致水平地擠出，因此，可使第2焊接墊5c(第二側)上之導線迴路之高度變低。此處之低迴路化如圖35之S部所示般，目的在於在第4段之半導體晶片與於其上部平面地配置於相同位置之半導體晶片之重疊的範圍內使導線2之高度變低。於上述S部中，若進行通常之相反焊接，則存在導線2接觸於上段側之半導體晶片之可能性，故而，如本實施形態1般於第1凸

塊電極2g形成有傾斜面2h，由此可於上述S部中實現導線2之低迴路化。

再者，圖67係表示本案發明者所比較研究之第2凸塊電極2m之傾斜面2s之比較例者，存在使傾斜面2s(關於第1凸塊電極2g之傾斜面2h亦同樣)變低之傾斜方向與第1焊接墊4c為相反側之情形。亦即，係傾斜面2s具有朝向第1焊接墊4c而高度變高之傾斜之情形時之例。

如圖67之擠壓前以及擠壓後所示般，於第二側之打線接合中第2凸塊電極2m之傾斜面2s為朝向第1焊接墊4c(參照圖31)變高之傾斜的情形時，打線接合時第2導線2b朝向第1焊接墊4c變高之方向(提昇方向Y)傾斜而連接。其結果為，無法使第2焊接墊5c(第二側)上之導線迴路之高度變低。

因此，第2凸塊電極2m之傾斜面2s(第1凸塊電極2g之傾斜面2h亦同樣)為朝向下段側之第1焊接墊4c變低而傾斜之面較佳。

又，於第二側之打線接合中，如圖31所示般，藉由朝向第2凸塊電極2m上所形成之下段側之第1焊接墊4c傾斜之傾斜面2s、與毛細管21之前端面21a之擠壓力的作用，而第2導線2b朝向第1焊接墊4c側被荷重P擠出。然而，由於第2導線2b中形成有彎曲點2n且彎曲點2n附近之剛性變高，故而如圖32所示般成為於第1焊接墊4c之上方(Q部)第2導線2b不會臥倒而被筆直地擠出之狀態。

另一方面，圖68~圖70係表示本案發明者所比較研究之

比較例之毛細管21之軌跡21e者，成為於結束第1焊接墊4c中之第一側之打線接合之後，使毛細管21上升並一次向遠離第2焊接墊5c之方向拉出第2導線2b，進而使之上升之後，使之向第2焊接墊5c方向移動，直接進入第2焊接墊5c中的第二側之打線接合動作之軌跡21e。即，不包含如本實施形態1之圖30所示之毛細管21之軌跡21e般，於進行一次返回至第1焊接墊4c側之動作之後，以連續動作切割返回至第2焊接墊5c側之動作。

因此，由於第2導線2b中未形成如圖31所示般之彎曲點2n，故而如圖69所示般，藉由在第2凸塊電極2m上所形成之傾斜面2s與毛細管21之前端面21a之擠壓力的作用，而第2導線2b朝向第1焊接墊4c側被荷重P擠出時，如圖70之R部所示般於第1焊接墊4c之上方附近第2導線2b產生臥倒現象。其結果為，引起與相鄰接之第2導線2b接觸等之焊接不良。

由於藉由採用圖30所示之本實施形態1之毛細管21之軌跡21e，而於第2導線2b中形成彎曲點2n，故而可防止臥倒現象。又，如圖24所示般，可防止使藉由打線接合步驟而形成之導線之迴路高度變低。因此，於搭載之後之第5段以後之半導體晶片之步驟(黏晶步驟)中，即便其他半導體晶片配置於正上方，亦可抑制與導線配置於正上方之半導體晶片接觸之問題。再者，本實施形態中，為了步驟之簡略化，而於將第1段之半導體晶片與配線基板3電性連接之打線接合步驟中不採用圖30所示之打線接合方法。此係因

為，如圖4所示般，第1段之半導體晶片與配置於該半導體晶片之正上方之半導體晶片的間隔，比第2~4段(尤其第4段)之半導體晶片與配置於該等正上方之半導體晶片的間隔更寬。然而，當然亦可對該第1段之半導體晶片採用如圖30所示般之打線接合方法。

如以上所述於本實施形態1之第2凸塊電極2m中具有傾斜面2s(第1凸塊電極2g之傾斜面2h亦同樣)，且以如圖30所示般之毛細管2l之軌跡2le而進行打線接合，由此可實現低迴路化之高可靠性之打線接合。

再者，關於第3段與第4段之打線接合，進行與將第1段之第1半導體晶片4與第2段之第2半導體晶片5連接之第2導線2b之打線接合(相反焊接)同樣的打線接合。藉此，第4段為止之打線接合結束。

<<關於第5段至第8段為止之黏晶步驟>> 其次，如圖33以及圖34所示般，進行第5段至第8段為止之晶粒接合。再者，第5段至第8段為止之晶粒接合中，將第1段至第4段為止之晶粒接合與其積層方向改變180度，於第5段將積層方向翻折。其中，階梯狀地錯開每1段而積層半導體晶片係與第1段至第4段為止相同，此時，以各段之焊接墊配置於與第1段至第4段為止不同之相反側之方式而積層。

再者，如圖33所示般，於成為翻折積層之第1段之第5段，搭載與第1半導體晶片4為相同厚度、且比第2半導體晶片5厚之第3半導體晶片6。第3半導體晶片6如圖35所示般具有平面形狀包含四角形之第3表面6a，沿著第3表面6a

之第3晶片邊6d(僅)而形成之複數個第3焊接墊(電極墊、直接連接於導線2之墊)6c，以及與第3表面6a為相反側之第3背面6b。進而，於第3半導體晶片6之第3背面6b黏貼有厚度較厚之第1接著層即第1接著層8。因此，第3半導體晶片6經由第1接著層8而搭載。第3半導體晶片6係具有與第1半導體晶片4相同功能之記憶體晶片。

第3半導體晶片6之厚度為0.040~0.200 mm之範圍內，本實施形態中為0.055 mm。又，第3半導體晶片6上所黏貼之第1接著層8之厚度為0.010~0.050 mm之範圍內，本實施形態中為0.020 mm。於該情形時，第3半導體晶片6與第1接著層8之總厚度為0.075 mm。

第5段之第3半導體晶片6之晶粒接合中，於俯視時，如圖35所示般，第3晶片邊6d與第2基板邊3m之間隔小於第3晶片邊6d(或者，與第3晶片邊6d對向之晶片邊(另1個短邊))與第1基板邊3k之間隔，換言之，以第3晶片邊6d配置於較第1基板邊3k更靠第2基板邊3m之附近、且複數個第2焊接墊5c自第3半導體晶片6露出之方式，而搭載(配置、積層)於第4段之第2半導體晶片5上。亦即，以如下方式與第1~4段之半導體晶片4、5之積層方向改變180度方向，而階梯狀地積層(搭載)，上述方式為第3半導體晶片6之第3晶片邊(配置有複數個焊接墊6c之邊)6d朝向配線基板3之2個短邊中之另1個邊(第2基板邊)3m側，且於俯視時，半導體晶片6位於器件區域(配線基板3之上面3a)內。

再者，第5段之第3半導體晶片6之厚度(T_{w1})與第1接著

層 8 之厚度 ($Td1$) 合計成為 $Tw1+Td1$ ，必須因與圖 35 之導線迴路之高度 (Hw) 之關係而下段側 (第 4 段) 之導線 2 與上段側 (第 6 段) 之第 4 半導體晶片 7 不干擾，因此，如圖 33 所示般，必須滿足間隙 (D)= $(Tw1+Td1)-Hw>0$ 。

如以上所述，第 3 半導體晶片 6 與第 1 半導體晶片 4 為相同厚度，且較第 2 半導體晶片 5 更厚。進而，由於第 1 接著層 8 亦較厚，故而藉由第 3 半導體晶片 6+第 1 接著層 8，而如圖 35 之 S 部所示般，可確保正下方之段 (第 4 段) 之導線 2 之迴路與正上方 (第 6 段) 之第 4 半導體晶片 7 不干擾之程度之高度，從而可防止 (減少) 下段 (第 4 段) 之導線 2 與正上方之第 4 半導體晶片 7 干擾 (接觸)。

再者，向第 4 段之第 2 半導體晶片 5 之第 2 焊接墊 5c 上之打線接合中，如圖 31 所示般，由於連接有藉由第 2 凸塊電極 2m 之傾斜面 2s 而實現低迴路化之第 2 導線 2b，故而藉由其與厚度較厚之第 3 半導體晶片 6+第 1 接著層 8 之組合，可充分確保圖 35 之 S 部中之間隙，從而可防止 (減少) 下段 (第 4 段) 之導線 2 與正上方之第 4 半導體晶片 7 之干擾。

又，翻折之第 1 段之積層中，其晶片端部存在自下段晶片懸突 (突出) 之部位。所懸突之部位中，存在其下部無任何支持之焊接墊，必須承受打線接合時之焊接荷重。因此，藉由使用厚度較厚之第 3 半導體晶片 6，可提高晶片本身之強度，且可防止 (減少) 打線接合時之焊接荷重所致之晶片破損。

進而，於晶片端部之懸突部位中，存在下部無任何支持

之部位，因此，由於樹脂成形時之樹脂流動之壓力，而容易產生晶片破裂。因此，藉由使用厚度較厚之第3半導體晶片6，而與上述同樣，可提高晶片本身之強度，從而可防止(減少)樹脂成形時之樹脂流動之壓力所致之晶片破裂之產生。

其次，如圖34所示般，進行翻折之第2段以後(第6段至第8段)之積層。亦即，進行第6段至第8段之晶粒接合。此處，使用與第2段至第4段之第2半導體晶片5同樣之厚度較薄之半導體晶片第4半導體晶片7。

第4半導體晶片7具有平面形狀包含四角形之第4表面7a，沿著第4表面7a之第4晶片邊7d(僅)而形成之複數個第4焊接墊(電極墊、直接連接有導線2之墊)7c，以及與第4表面7a為相反側之第4背面7b。進而，於第4半導體晶片7之第4背面7b，黏貼有厚度較薄之第2接著層即第2接著層9。因此，第4半導體晶片7經由第2接著層9而搭載。第4半導體晶片7係具有與第2半導體晶片5相同功能之記憶體晶片。

第4半導體晶片7之厚度(T_{w2})與第2半導體晶片5同樣為0.010~0.030 mm之範圍，作為一例為0.020 mm。又，黏貼於第4半導體晶片7上之第2接著層9之厚度(T_{d2})為0.003~0.010 mm之範圍，作為一例為0.005 mm。於該情形時，第4半導體晶片7+第2接著層9=0.025 mm。

第6段之第4半導體晶片7之晶粒接合中，於俯視其時，如圖35所示般，以第4晶片邊7d與第2基板邊3m之間隔小於

第4晶片邊7d(或者，與第4晶片邊7d對向之晶片邊(另1個短邊))與第1基板邊3k之間隔的方式，換言之，以第4晶片邊7d較之第1基板邊3k更接近第2基板邊3m而配置，且複數個第3焊接墊6c自第4半導體晶片7露出之方式，而搭載(配置、積層)於第5段之第3半導體晶片6上。亦即，以如下方式而將第5段之半導體晶片6與積層方向一致，階梯狀地積層(搭載)，上述方式為第4半導體晶片7之第4晶片邊(配置有複數個焊接墊7c之邊)7d朝向配線基板3之2個短邊中之另1個邊(第2基板邊)3m側，且於俯視時，半導體晶片7位於器件區域(配線基板3之上面3a)內。

再者，關於第7段與第8段之晶粒接合，亦使用與第4半導體晶片7相同之半導體晶片，進行與第6段同樣之晶粒接合。

如此，於第6段至第8段之晶粒接合中，藉由使用厚度較薄之第4半導體晶片7與第2接著層9之組合，可使16段積層全體之厚度變薄從而使LGA 1之厚度變薄。

又，於第5段至第8段之各半導體晶片中，成為各段之焊接墊配置於配線基板3之第2焊接引線3f側之狀態。

藉此，第5段至第8段之晶粒接合結束。於第1段至第8段中，第1段與第5段分別使用厚度較厚之第1半導體晶片4、第3半導體晶片6，第2段至第4段與第6段至第8段分別使用厚度較薄之第2半導體晶片5、第4半導體晶片7。第1半導體晶片4、第3半導體晶片6之厚度兩者均較第2半導體晶片5、第4半導體晶片7更厚。亦即，藉由儘量較多地使用較

薄之半導體晶片，可實現LGA 1之薄型化。

<<關於第5段至第8段為止之打線接合步驟>> 其次，如圖35所示般進行第5段至第8段之打線接合(相反焊接)。第5段至第8段之打線接合係僅將第1段至第4段之打線接合與各段之佈線之方向改變180°，關於其他打線接合方法與第1段至第4段完全相同。

首先，進行第5段之第3半導體晶片6之打線接合。亦即，將配線基板3之複數個第2焊接引線3f與第3半導體晶片6之複數個第3焊接墊6c經由複數個第3導線2t而分別利用相反焊接方式電性連接。

此時，與第1段之第1半導體晶片4之打線接合同樣地，預先於相當於第二側之第3半導體晶片6之第3焊接墊6c形成第1凸塊電極2g。其中，第3焊接墊6c上之第1凸塊電極2g上所形成之傾斜面2h係以朝向下段側之第2焊接引線3f變低之方式而傾斜的面。

第5段之第3半導體晶片6中之相反焊接係與第1半導體晶片4之相反焊接同樣，首先，作為第一側，將第3導線2t連接於配線基板3之第2焊接引線3f，其後，作為第二側，將第3導線2t之一部分電性連接於第3半導體晶片6之第3焊接墊6c上之第1凸塊電極2g。藉此，第5段之第3半導體晶片6之相反焊接結束。

然後，進行第6段至第8段之打線接合。第6段至第8段之打線接合方法除了佈線之方向以外，與第2段至第4段之打線接合完全相同。亦即，預先於上段側(第二側)之半導體

晶片之焊接墊形成具有傾斜面2s之第2凸塊電極2m，於該狀態下，於下段側之半導體晶片之焊接墊進行第一側之打線接合之後，於上段側之半導體晶片之焊接墊上之第2凸塊電極2m的傾斜面2s進行第二側之打線接合。

例如，第6段之第4半導體晶片7之打線接合中，將第5段之第3半導體晶片6之複數個第3焊接墊6c與第6段之第4半導體晶片7之複數個第4焊接墊7c經由複數個第4導線2u而分別利用相反焊接電性連接。

此時，與第2段之第2半導體晶片5之打線接合同樣地，預先於相當於第二側之第4半導體晶片7之第4焊接墊7c形成第2凸塊電極2m。其中，第4焊接墊7c上之第2凸塊電極2m上所形成之傾斜面2s係以朝向下段側之第3焊接墊6c變低的方式而傾斜之面。

第6段之第4半導體晶片7中之相反焊接方式係與第2半導體晶片5之相反焊接同樣，首先，作為第一側，將第4導線2u連接於第3半導體晶片6之第3焊接墊6c上之第3導線2t之一部分，其後，作為第二側，將第4導線2u之一部分電性連接於第4半導體晶片7之第4焊接墊7c上之第2凸塊電極2m。藉此，第6段之第4半導體晶片7之相反焊接結束。

再者，關於第7段與第8段之打線接合係與第6段之第4半導體晶片7之相反焊接方式同樣。

如以上所述，藉由進行第5段至第8段之打線接合，而與第1段至第4段之打線接合同樣地，可實現低迴路化之高可靠性之打線接合。

又，如上所述，於第5段之半導體晶片6之主面(背面、下面)6b中，與該半導體晶片6之焊接墊6c平面性地重合之區域未由位於下段側之半導體晶片(此處，第4段之半導體晶片)支持。亦即，半導體晶片6之焊接墊6c形成於所謂懸突區域。因此，若將打線接合步驟中所使用之毛細管21抵接於如此之焊接墊6c，則容易產生晶片龜裂。然而，本實施形態中，使用如圖5所示般之具有第1厚度(T_{w1})之半導體晶片4作為該第5段之半導體晶片。因此，即便毛細管21所致之荷重施加於該懸突區域，半導體晶片亦難以撓曲，可抑制品片龜裂之產生。

進而，如上所述，使用第2~4段(或者，第6~8段)所使用之、且具有厚度大於具有第2厚度(T_{w2})之半導體晶片5之第1厚度(T_{w1})之半導體晶片4，作為第5段所搭載之半導體晶片。因此，如圖4所示般，可使第4段之半導體晶片與位於該半導體晶片上之第6段之半導體晶片的間隔變大。又，本實施形態中，使用第2~4段(或者，第6~8段)所使用之、且具有厚度大於具有第2厚度(T_{d2})之接著層9之第1厚度(T_{d1})接著層8，作為為了搭載該第5段之半導體晶片而使用之接著層。因此，可使第4段之半導體晶片與位於該半導體晶片上之第6段之半導體晶片之間隔更大。藉此，可防止第4段之半導體晶片之焊接墊上所連接之導線與位於該半導體晶片之正上方的第6段之半導體晶片接觸之問題。再者，本實施形態中，進而，第4段之半導體晶片之打線接合步驟中採用有如圖30所示般之打線接合方法，故

而可使所形成之導線之迴路高度更低，因此可更確實地防止導線接觸於上段側之半導體晶片之問題。

<<關於第9段至第12段為止之晶粒接合步驟>> 其次，如圖36所示般，進行第9段至第12段之晶粒接合。第9段至第12段之晶粒接合係與第1段至第4段之晶粒接合完全相同。第9段使用厚度較厚之第1半導體晶片4，第10段至第12段使用厚度較薄之第2半導體晶片5。

藉由將較厚之第1半導體晶片4搭載於積層之翻折之第9段，可確保正下方之段(第8段)之導線2之迴路與正上方(第10段)的第2半導體晶片5不干擾之程度之高度，從而可防止(減少)下段(第8段)之導線2與正上方之第2半導體晶片5干擾(接觸)。

又，翻折之第1段(第9段)之積層中，其晶片端部存在自下段晶片懸突(突出)之部位。所懸突之部位中，存在其下部無任何支持之焊接墊，必須承受打線接合時之焊接荷重。因此，藉由使用厚度較厚之第1半導體晶片4，可提高晶片本身之強度，且可防止(減少)打線接合時之焊接荷重所致之晶片破損。

進而，於晶片端部之懸突部位中，存在下部無任何支持之部位，因此，由於樹脂成形時之樹脂流動之壓力，而容易產生晶片破裂。因此，藉由使用厚度較厚之第1半導體晶片4，而與上述同樣，可提高晶片本身之強度，從而可防止(減少)樹脂成形時之樹脂流動之壓力所致之晶片破裂之產生。

另一方面，第10段至第12段之晶粒接合中，使用厚度較薄之第2半導體晶片5與同樣厚度較薄之第2接著層9之組合，可使16段積層全體之厚度變薄從而使LGA 1之厚度變薄。

<<關於第9段至第12段為止之打線接合步驟>> 其次，進行圖36所示之第9段至第12段之打線接合。第9段至第12段之打線接合係與第1段至第4段之打線接合(相反焊接)完全相同，故而省略其說明。第9段至第12段之打線接合中，亦與第1段至第4段之打線接合同樣地，可實現低迴路化之高可靠性之打線接合。

<<關於第13段至第16段為止之晶粒接合步驟>> 其次，如圖37所示般進行第13段之晶粒接合。第13段之晶粒接合係與積層之翻折之第1段即第5段之晶粒接合完全相同。亦即，將厚度較厚之第3半導體晶片6與同樣地厚度較厚之第1接著層8組合使用。

藉此，可確保正下方之段(第12段)之導線2之迴路與正上方(第14段)的第4半導體晶片7不干擾之程度之高度，從而可防止(減少)下段(第12段)之導線2與正上方之第4半導體晶片7干擾(接觸)。

又，翻折之第1段(第13段)之積層中，其晶片端部存在自下段晶片懸突(突出)之部位。所懸突之部位中，存在其下部無任何支持之焊接墊，必須承受打線接合時之焊接荷重。因此，藉由使用厚度較厚之第3半導體晶片6，可提高晶片本身之強度，且可防止(減少)打線接合時之焊接荷重。

所致之晶片破損。

進而，於晶片端部之懸突部位中，存在下部無任何支持之部位，因此，由於樹脂成形時之樹脂流動之壓力，而容易產生晶片破裂。因此，藉由使用厚度較厚之第3半導體晶片6，而與上述同樣，可提高晶片本身之強度，從而可防止(減少)樹脂成形時之樹脂流動之壓力所致之晶片破裂之產生。

其次，進行圖38所示之第14段至第16段(最上段)之晶粒接合。第14段與第15段係與第6段以及第7段之晶粒接合相同，將厚度較薄之第4半導體晶片7與厚度較薄之第2接著層9之組合使用。

藉此，可使16段積層全體之厚度變薄從而使LGA 1之厚度變薄。

又，由於第16段為最上段，故而將厚度較厚之第1半導體晶片4與同樣厚度較厚之第1接著層8組合使用。

第16段之最上段之上面側(第1表面4a側)尤其未由部件支持，故而係相對於由於樹脂成形時之樹脂流動之壓力而容易產生晶片破裂之對策，第16段亦使用厚度較厚之第1半導體晶片4，由此提高晶片本身之強度，從而可防止(減少)樹脂成形時之樹脂流動之壓力所致之晶片破裂、晶片彎曲以及晶片剝離之產生。

<<關於第13段至第16段為止之打線接合步驟>> 其次，進行圖39所示之第13段至第16段之打線接合。第13段至第16段之打線接合係與第5段至第8段之打線接合(相反焊接)

完全相同，故而省略其說明。第13段至第16段之打線接合中，亦與第5段至第8段之打線接合同樣地，可實現低迴路化之高可靠性之打線接合。

<<關於成形步驟>> 其次，對LGA 1之裝配中之打線接合步驟後之樹脂成形步驟與個片化步驟進行說明。圖40係表示圖1所示之半導體裝置之裝配之樹脂成形後的構造之一例之平面圖，圖41係表示圖40所示之樹脂成形後之構造之一例的剖面圖，圖42係表示圖1所示之半導體裝置之裝配之個片化時的構造之一例之平面圖，圖43係表示圖42所示之個片化時之構造之一例的剖面圖。

LGA 1之裝配中，於打線接合步驟結束後進行樹脂成形。樹脂成形步驟中，例如，藉由轉移模塑等，而如圖40以及圖41所示般於打線接合完畢之多數個加工基板20上利用密封用樹脂形成總括密封體22。

再者，作為形成總括密封體22之密封用樹脂，使用包含填充料者，如圖39之T部所示般，於第1段之第1半導體晶片4之側部中，於藉由第2段之第2半導體晶片5之懸突部位與配線基板3而夾持之間隙23中，難以填充密封用樹脂。該間隙23之高度係藉由第1半導體晶片4之厚度+第1接著層8之厚度而決定。於本實施形態1之LGA 1之情形時，第1半導體晶片4之厚度為0.055 mm，第1接著層8之厚度為0.020 mm，兩者之合計為0.075 mm(75 μ m)。藉此，該情形時之間隙23之高度成為0.075 mm(75 μ m)。

因此，密封用樹脂中所包含之填充料之大小亦必須為如

放入該間隙23中之大小。例如，使用如通過50 μm (0.050 mm)之網眼般之填充料。若為包含如通過50 μm 之網眼般之填充料之密封用樹脂，則可充分填充至75 μm 之高度之間隙23中。

進而，於半導體裝置為卡式者之情形時，必須確保密封體10之強度，若為藉由包含如通過50 μm 之網眼之填充料之密封用樹脂而形成的密封體10，則可確保強度。

再者，於半導體晶片之表面(或者背面)中，未由其他半導體晶片支持之部分(所謂懸突區域)容易由於樹脂之填充壓力而撓曲。本實施形態中，如圖4所示般，第5、9、13以及16段之半導體晶片具有如此之懸突區域。

然而，本實施形態中，使用有如圖5所示般之具有第1厚度(T_{w1})之半導體晶片4，作為第5、9、13以及16段之半導體晶片。換言之，使用有較第2~4、6~8、10~12、14以及15段之半導體晶片5之厚度更大者。因此，即便於成形步驟中所產生之樹脂之填充壓力施加於該懸突區域，亦可抑制晶片龜裂。

<<關於個片化步驟>> 其次，如圖42以及圖43所示般，由假想線24切斷而進行個片化。切斷例如係藉由刀片切割而跟總括密封體22與多數個加工基板20之兩者一起切斷。

藉此，圖1以及圖2所示之本實施形態1之LGA 1之裝配結束。

<關於實施形態1之變形例> 其次，對本實施形態1之變形例進行說明。

圖44係表示本發明之實施形態1之第1變形例之半導體裝置之構造之立體圖，圖45係表示圖44之半導體裝置之背面側之構造之一例之立體圖，圖46係表示本發明之實施形態1之第2變形例之半導體裝置之構造之剖面圖。又，圖47係將本發明之實施形態1之第3變形例之半導體裝置之構造透過密封體而表示的平面圖，圖48係表示沿著圖47之A-A線而切斷之構造之一例之剖面圖，圖49係表示沿著圖47之B-B線而切斷之構造之一例之剖面圖。

圖44以及圖45所示之變形例係半導體裝置為卡式半導體封裝25之情形，且如本實施形態1之LGA 1般將於基材上積層有複數個薄型之半導體晶片之如圖39所示之構造組裝於內部者。作為一例，卡式半導體封裝25係可安裝於個人電腦之卡槽中、且於基材上積層有複數個快閃記憶體晶片(非揮發性記憶體)而成之超小型記憶卡等。

圖46所示之第2變形例係表示於半導體晶片之積層中，於中途包含僅1次之180度之翻折積層之每8段的16段晶片積層之構造者。於該情形時，第1段、翻折積層之第1段即第9段、以及最上段之第16段使用厚度較厚之第1半導體晶片4(或者第3半導體晶片6)與厚度較厚之第1接著層8之組合，由此與本實施形態1之LGA 1同樣地，可獲得確保晶片本身之強度與確保階差之高度之效果。

又，第2段至第8段與第10段至第15段使用厚度較薄之第2半導體晶片5(或者第4半導體晶片7)與厚度較薄之第2接著層9之組合，由此可獲得與LGA 1同樣之半導體裝置之薄型

化之效果。

又，圖47~圖49所示之第3變形例係表示於16段之晶片積層中，每4段地將積層方向改變90度而成之構造者。於該情形時，關於第1段、改變90度方向之第5段、進而改變90度方向之第9段、進而改變90度方向之第13段以及第16段(最上段)，亦將厚度較厚之第1半導體晶片4(或者第3半導體晶片6)與厚度較厚之第1接著層8組合使用，與本實施形態1之LGA 1同樣地，可獲得晶片本身之強度確保與階差之高度確保之效果。

又，於第2段至第4段、第6段至第8段、第10段至第12段、第14段以及第15段中，使用厚度較薄之第2半導體晶片5(或者第4半導體晶片7)與厚度較薄之第2接著層9之組合，由此可獲得與LGA 1同樣之半導體裝置之薄型化之效果。

又，由於每90度地改變3次積層方向，故而可減少半導體晶片之積層之投影面積，從而可實現半導體裝置之小型化。

(實施形態2) 圖50係將本發明之實施形態2之半導體裝置之構造之一例透過密封體而表示的平面圖，圖51係表示沿著圖50之A-A線而切斷之構造之一例的剖面圖，圖52係表示沿著圖50之B-B線而切斷之構造之一例的剖面圖，圖53係表示本發明之實施形態2之第1變形例之半導體裝置之構造的放大部分剖面圖。

圖50~圖52所示之本實施形態2之半導體裝置係與實施形

態1同樣地，於基材即配線基板3上將薄型之半導體晶片積層16段而成者，且係於中途之段僅1次將積層方向改變90度而每8段地積層之構造者。因此，僅第1段與最上段之第16段使用厚度較厚之第1半導體晶片4(或者第3半導體晶片6)與厚度較厚之第1接著層8之組合，除此以外之中途之段使用厚度較薄之第2半導體晶片5(或者第4半導體晶片7)與厚度較薄之第2接著層9之組合。

亦即，由於積層方向僅改變90度，故而於積層方向之變更部位中，下段側之導線2亦不會接觸於其上段側之半導體晶片，可不確保導線迴路用之晶片高度。因此，除了第1段與最上段之第16段以外，可使用厚度較薄之第2半導體晶片5(或者第4半導體晶片7)與厚度較薄之第2接著層9之組合，從而可使晶片積層之高度變低實現半導體裝置之薄型化。

其中，亦可使積層方向變更後之第1段即第9段之半導體晶片為厚度較厚之半導體晶片，藉此，如圖51之U部所示般，藉由相對於在未由第8段之半導體晶片支持之部分所形成之焊接墊而連接導線2時所產生之荷重，可抑制晶片龜裂產生。

以上，根據發明之實施形態對由本發明者所開發之發明進行了具體性的說明，但是本發明並不限定於上述發明之實施形態，當然可於不脫離其主旨之範圍內進行各種變更。

例如，亦可為如以下之第1變形例至第5變形例般之構

成。

(第1變形例) 首先，圖53係表示第1變形例者，且係16段全部使用藉由實施形態1中所說明之圖12所示之切割方法而取得之厚度較薄之第2半導體晶片5(或者第4半導體晶片7)而積層者，且係不進行翻折積層之構造者。亦相對於如此之積層構造之半導體裝置，於半導體晶圓之切割步驟中，如上所述，使刀片朝向半導體晶圓上所形成之基準部分前進，由此即便半導體晶圓之厚度變薄，亦可抑制晶片龜裂。然而，由於將平面形狀包含長方形之半導體晶片遍及複數段、且以同一積層方向而階梯狀地搭載，故而與上述實施形態1般之積層構造相比，不適於半導體裝置之小型化。

再者，較薄之第2半導體晶片5(或者第4半導體晶片7)之積層數並不限定為16段者，只要為2段以上之複數段，則任何段均可。

(第2變形例) 其次，對第2變形例進行說明。

圖54係將本發明之實施形態2之第2變形例(單面安裝)之半導體裝置之構造的一例透過密封體而表示之立體圖，圖55係表示沿著圖54之A-A線而切斷之晶片16段積層構造之一例的剖面圖，圖56係表示沿著圖54之B-B線而切斷之晶片16段積層構造之一例的剖面圖，圖57係表示將圖54之半導體裝置之構造自背面側透過密封體而表示之背面圖。又，圖58係表示沿著圖54之A-A線而切斷之晶片8段積層構造之一例的剖面圖，圖59係表示沿著圖54之B-B線而切斷

之晶片8段積層構造之一例的剖面圖，圖60係表示沿著圖54之A-A線而切斷之晶片4段積層構造之一例的剖面圖，圖61係表示沿著圖54之B-B線而切斷之晶片4段積層構造之一例的剖面圖。

圖54所示之第2變形例之半導體裝置係使用引線框架(基材)而裝配之框式半導體封裝26，且具有：積層於引線(配線圖案)之單面(單側)之複數個半導體晶片(第1半導體晶片4、第2半導體晶片5、第3半導體晶片6以及第4半導體晶片7)；配線圖案即內部引線28a；與內部引線28a連接，且成為外部端子之外部引線28b；以及將半導體晶片之電極與內部引線28a連接之複數個導線2。進而，如圖57所示般，將於經積層之複數個半導體晶片之兩側所配置之複數個內部引線28a分別連結的複數個連結引線28c配置於晶片下部，複數個半導體晶片、複數個內部引線28a、複數個連結引線28c以及複數個導線2藉由密封體10而樹脂密封。

此處，圖55以及圖56所示之框式半導體封裝26a係將半導體晶片每4段地積層，且每4段地將積層方向翻折180度並積層合計16段而成之構造者。

又，圖58以及圖59所示之框式半導體封裝26b係將半導體晶片每4段地積層，且於第5段將積層方向僅1次翻折180度積層合計8段而成之構造者。

進而，圖60以及圖61所示之框式半導體封裝26c係將半導體晶片積層4段而成之構造者。

(第3變形例) 其次，對第3變形例進行說明。

圖 62 係將本發明之實施形態 2 之第 3 變形例(兩面安裝)之半導體裝置之構造的一例透過密封體而表示之立體圖，圖 63 係表示沿著圖 62 之 A-A 線而切斷之晶片 16 段積層構造之一例的剖面圖，圖 64 係表示沿著圖 62 之 B-B 線而切斷之晶片 16 段積層構造之一例的剖面圖，圖 65 係表示沿著圖 62 之 A-A 線而切斷之晶片 8 段積層構造之一例的剖面圖，圖 66 係表示沿著圖 62 之 B-B 線而切斷之晶片 8 段積層構造之一例的剖面圖。

首先，圖 62 所示之第 3 變形例之半導體裝置係使用引線框架裝配之框式半導體封裝 27，且具有：於引線(配線圖案)之兩面分別積層之複數個半導體晶片；配線圖案即內部引線 28a；於內部引線 28a 連接，且成為外部端子之外部引線 28b；以及將半導體晶片之電極與內部引線 28a 連接之複數個導線 2。

此處，圖 63 以及圖 64 所示之框式半導體封裝 27a 係具有於引線之單面中將半導體晶片每 4 段地積層，且於第 5 段僅 1 次將積層方向翻折 180 度積層 8 段而成之構造，且於兩面形成同樣之構造。亦即，係於兩面將 16 片半導體晶片(第 1 半導體晶片 4、第 2 半導體晶片 5、第 3 半導體晶片 6 以及第 4 半導體晶片 7)搭載於連結引線 28c 而成之構造者。

又，圖 65 以及圖 66 所示之框式半導體封裝 27b 係具有於單面中積層有 4 段半導體晶片而成之構造，且於兩面形成有同樣之構造。亦即，於兩面將 8 片半導體晶片(第 1 半導體晶片 4、第 2 半導體晶片 5)搭載於連結引線 28c 而成之構

造者。

於該等框式半導體封裝 26a、26b、26c、27a、27b 中，如圖 56、圖 57、圖 59、圖 61、圖 64 以及圖 66 所示般將於晶片下部獨立之複數個配線圖案即連結引線 28c 纏繞，從而難以使獨立之複數個連結引線 28c 中平坦度變高。

因此，使用厚度較厚之第 1 半導體晶片 4 與厚度較厚之第 1 接著層 8 之組合，作為複數個連結引線 28c 上所連接之最下段之半導體晶片，由此可吸收獨立之複數個連結引線 28c 所致之凹凸。

又，與實施形態 1 之 LGA 1 同樣地，最下段、翻折之第 1 段以及最上段使用較厚之第 1 半導體晶片 4 (或者第 3 半導體晶片 6) 與較厚之第 1 接著層 8 之組合，由此可獲得晶片本身之強度確保與階差之高度確保之效果。

又，最下段、翻折之第 1 段以及最上段以外之段使用厚度較薄之第 2 半導體晶片 5 (或者第 4 半導體晶片 7) 與厚度較薄之第 2 接著層 9 之組合，由此可獲得與 LGA 1 同樣之半導體裝置之薄型化之效果。

(第 4 變形例) 又，上述實施形態 1 中，作為半導體裝置之一例，列舉 LGA 1 進行了說明，但是上述半導體裝置並不限定於 LGA 1 者，亦可為於基材即配線基板 3 上搭載有薄型之半導體晶片之 BGA (Ball Grid Array，球狀柵格陣列) 等。

(第 5 變形例) 又，上述實施形態 1 中對如下情形進行了說明，即，於配線基板 3 之上面 3a 形成有配線圖案等所致

之凹凸，為了吸收該凹凸，而使用厚度較厚之第1半導體晶片4+厚度較厚之第1接著層8之組合，但是於確保了配線基板3之上面3a之平坦度之情形時，最下段之半導體晶片亦可使用厚度較薄之半導體晶片+厚度較薄之接著層之組合。於該情形時，成為於晶片之多段積層中第1、第2、第4半導體晶片為較薄之晶片，僅第3半導體晶片較第1、第2、第4半導體晶片厚度更厚之構成。

(第6變形例) 又，上述實施形態1、2中，對使用使具有第1厚度(T_{w1})之第1半導體晶片4之背面4d上所形成的接著層之厚度大於具有第2厚度(T_{w2})之第2半導體晶片5之背面5d上所形成的接著層之厚度者進行了說明。然而，例如，用作第5段之半導體晶片之第1半導體晶片4之厚度，只要為連接於第4段之半導體晶片之導線不連接於第6段之半導體晶片之程度的厚度，則形成於第5段之半導體晶片上之接著層亦可使用如圖6所示般之具有第2厚度(T_{d2})之接著層9。藉此，可使半導體裝置(LGA)1之厚度變薄。

[產業上之可利用性]

本發明適合於積層有薄型之半導體晶片而成之電子裝置之裝配。

【圖式簡單說明】

圖1係表示本發明之實施形態1之半導體裝置之構造之一例的立體圖。

圖2係表示圖1之背面側之外部端子之排列之一例的立體圖。

圖3係將圖1所示之半導體裝置之構造之一例透過密封體而表示的平面圖。

圖4係表示沿著圖3之A-A線而切斷之構造之一例的放大剖面圖。

圖5係表示圖1所示之半導體裝置中所組入之第1半導體晶片與第1接著層之構造之一例的立體圖。

圖6係表示圖1所示之半導體裝置中所組入之第2半導體晶片與第2接著層之構造之一例的立體圖。

圖7係表示圖1所示之半導體裝置中所組入之配線基板之構造之一例的平面圖。

圖8係表示圖7之配線基板之內部構造之一例的放大部分剖面圖。

圖9係表示圖1所示之半導體裝置之裝配中之切割後之半導體晶圓之構造之一例之平面圖。

圖10係表示圖9所示之半導體晶圓之構造之一例的側面圖。

圖11係表示圖1所示之半導體裝置之裝配中之切割時之構造之一例之立體圖。

圖12係表示圖11所示之切割中之刀片之行走方向之一例的平面圖。

圖13係表示圖1所示之半導體裝置之裝配中之背面研磨後的半導體晶圓之構造之一例之平面圖。

圖14係表示圖13所示之半導體晶圓之構造之一例的側面圖。

圖 15 係表示圖 13 所示之薄型之半導體晶圓之構造之一例的側面圖。

圖 16 係表示圖 1 所示之半導體裝置之裝配中之 DAF 以及切割膠帶黏貼後的構造之一例之平面圖。

圖 17 係表示圖 16 所示之半導體晶圓之構造之一例的剖面圖。

圖 18 係表示圖 16 所示之薄型之半導體晶圓之構造之一例的剖面圖。

圖 19 係表示圖 1 所示之半導體裝置之裝配中之 DAF 切斷後的構造之一例之平面圖。

圖 20 係表示圖 19 所示之 DAF 切斷時之構造之一例的剖面圖。

圖 21 係表示圖 1 所示之半導體裝置之裝配之拾取步驟中的晶片上推時之構造之一例之剖面圖及上推前與上推後之放大部分剖面圖。

圖 22 係表示圖 1 所示之半導體裝置之裝配之晶粒接合步驟中的第 1 半導體晶片之晶粒接合後之構造之一例的平面圖及擠壓時之放大部分剖面圖與擠壓後之放大部分剖面圖。

圖 23 係表示圖 1 所示之半導體裝置之裝配之晶粒接合步驟中的第 2 半導體晶片之晶粒接合後之構造之一例的平面圖與擠壓時之放大部分剖面圖。

圖 24 係表示圖 1 所示之半導體裝置之裝配之打線接合步驟中的打線接合後之構造之一例之平面圖與放大部分剖面

圖。

圖 25 係表示圖 1 所示之半導體裝置之裝配之打線接合步驟中的第 1 凸塊電極之形成方法之一例之部分剖面圖。

圖 26 係表示圖 1 所示之半導體裝置之裝配之打線接合步驟中的第一側之打線接合方法之一例之部分剖面圖。

圖 27 係表示圖 1 所示之半導體裝置之裝配之打線接合步驟中的第二側之打線接合方法之一例之部分剖面圖。

圖 28 係表示圖 1 所示之半導體裝置之裝配之打線接合步驟中的第二側之第 2 打線接合方法之一例之部分剖面圖。

圖 29 係表示圖 28 所示之 A 部之構造之一例的放大部分平面圖。

圖 30 係表示圖 1 所示之半導體裝置之裝配之打線接合步驟中的毛細管之軌跡之一例之概念圖。

圖 31 係表示藉由圖 30 所示之毛細管之軌跡而佈線之構造之一例的剖面圖。

圖 32 係表示圖 31 所示之佈線構造之一例之平面圖。

圖 33 係表示圖 1 之半導體裝置之裝配中之翻折積層時的第 1 半導體晶片之晶粒接合後之構造之一例之平面圖與擠壓時的放大部分剖面圖。

圖 34 係表示圖 1 之半導體裝置之裝配中之翻折積層後的第 2 半導體晶片之晶粒接合後之構造之一例之平面圖與擠壓時的放大部分剖面圖。

圖 35 係表示圖 1 之半導體裝置之裝配中之翻折積層後的打線接合後之構造之一例之平面圖與放大部分剖面圖。

圖36係表示圖1之半導體裝置之裝配中之再翻折積層後的打線接合後之構造之一例之平面圖與放大部分剖面圖。

圖37係表示圖1之半導體裝置之裝配中之一再翻折積層時的第1半導體晶片之晶粒接合後之構造之一例之平面圖與擠壓時的放大部分剖面圖。

圖38係表示圖1之半導體裝置之裝配中之最上段的第1半導體晶片之晶粒接合中之擠壓時之平面圖與放大部分剖面圖。

圖39係表示圖1之半導體裝置之裝配中之最上段的第1半導體晶片搭載後之打線接合結束時之構造之一例之平面圖與放大部分剖面圖。

圖40係表示圖1所示之半導體裝置之裝配之樹脂成形後的構造之一例之平面圖。

圖41係表示圖40所示之樹脂成形後之構造之一例的剖面圖。

圖42係表示圖1所示之半導體裝置之裝配之個片化時的構造之一例之平面圖。

圖43係表示圖42所示之個片化時之構造之一例的剖面圖。

圖44係表示本發明之實施形態1之第1變形例之半導體裝置之構造的立體圖。

圖45係表示圖44之半導體裝置之背面側之構造之一例的立體圖。

圖46係表示本發明之實施形態1之第2變形例之半導體裝

置之構造的剖面圖。

圖47係將本發明之實施形態1之第3變形例之半導體裝置之構造透過密封體而表示的平面圖。

圖48係表示沿著圖47之A-A線而切斷之構造之一例的剖面圖。

圖49係表示沿著圖47之B-B線而切斷之構造之一例的剖面圖。

圖50係將本發明之實施形態2之半導體裝置之構造之一例透過密封體而表示的平面圖。

圖51係表示沿著圖50之A-A線而切斷之構造之一例的剖面圖。

圖52係表示沿著圖50之B-B線而切斷之構造之一例的剖面圖。

圖53係表示本發明之實施形態2之第1變形例之半導體裝置之構造的放大部分剖面圖。

圖54係將本發明之實施形態2之第2變形例(單面安裝)之半導體裝置之構造之一例透過密封體而表示之立體圖。

圖55係表示沿著圖54之A-A線而切斷之晶片16段積層構造之一例的剖面圖。

圖56係表示沿著圖54之B-B線而切斷之晶片16段積層構造之一例的剖面圖。

圖57係將圖54之半導體裝置之構造自背面側透過密封體而表示之背面圖。

圖58係表示沿著圖54之A-A線而切斷之晶片8段積層構

造之一例的剖面圖。

圖 59 係表示沿著圖 54 之 B-B 線而切斷之晶片 8 段積層構造之一例的剖面圖。

圖 60 係表示沿著圖 54 之 A-A 線而切斷之晶片 4 段積層構造之一例的剖面圖。

圖 61 係表示沿著圖 54 之 B-B 線而切斷之晶片 4 段積層構造之一例的剖面圖。

圖 62 係將本發明之實施形態 2 之第 3 變形例(兩面安裝)之半導體裝置之構造的一例透過密封體而表示之立體圖。

圖 63 係表示沿著圖 62 之 A-A 線而切斷之晶片 16 段積層構造之一例的剖面圖。

圖 64 係表示沿著圖 62 之 B-B 線而切斷之晶片 16 段積層構造之一例的剖面圖。

圖 65 係表示沿著圖 62 之 A-A 線而切斷之晶片 8 段積層構造之一例的剖面圖。

圖 66 係表示沿著圖 62 之 B-B 線而切斷之晶片 8 段積層構造之一例的剖面圖。

圖 67 係表示比較例之打線接合中之第二側之擠壓前與擠壓後之構造的部分剖面圖。

圖 68 係表示比較例之打線接合中之毛細管之軌跡的概念圖。

圖 69 係表示藉由圖 68 所示之比較例之毛細管之軌跡而佈線之構造的剖面圖。

圖 70 係表示圖 69 所示之比較例之佈線構造之平面圖。

【主要元件符號說明】

1	LGA(半導體裝置)
2	導線
2a	第1導線
2b	第2導線
2c	球部
2d	中心部
2e	球部
2f	中心部
2g	第1凸塊電極
2h	傾斜面
2i	中心部
2j	第1部分
2k	第2部分
2m	第2凸塊電極
2n	彎曲點
2p	端部(一部分)
2q	薄壁部分
2r	厚壁部分
2s	傾斜面
2t	第3導線
2u	第4導線
3	配線基板(基材)
3a	上面(表面)

3b	下面(背面)
3c	芯層(芯材)
3d	焊接引線
3e	第1焊接引線
3f	第2焊接引線
3g	凸塊焊點
3h	上面側配線層
3i	下面側配線層
3j	阻焊劑膜
3k	邊(第1基板邊)
3m	邊(第2基板邊)
3n	通道配線
4	第1半導體晶片
4a	第1表面
4b	第1背面
4c	第1焊接墊
4d	第1晶片邊
4e	中心部
5	第2半導體晶片
5a	第2表面
5b	第2背面
5c	第2焊接墊
5d	第2晶片邊
6	第3半導體晶片

6a	第 3 表 面
6b	第 3 背 面
6c	第 3 焊 接 墊
6d	第 3 晶 片 邊
7	第 4 半 導 體 晶 片
7a	第 4 表 面
7b	第 4 背 面
7c	第 4 焊 接 墊
7d	第 4 晶 片 邊
8	接 著 層 (第 1 接 著 層 , DAF)
9	接 著 層 (第 2 接 著 層 , DAF)
10	密 封 體
11	半 導 體 晶 圓
11a	表 面
11b	背 面
11c	切 口 部
11d	參 考 面 (基 準 部 分)
11e	凹 口 (基 準 部 分)
11f	中 心 點
11g	第 1 部 分
11h	第 1 點
11i	第 2 部 分
11j	第 2 點
11k	第 1 方 向

11m	第 1 直 線
11n	第 2 直 線
11p	邊
12	刀 片
13	真 空 平 台
14	背 面 研 磨 膠 帶
15	切 割 膠 帶
16	切 片
17	雷 射 切 片 機
17a	雷 射
18	夾 盤
19	上 推 單 元
19a	上 推 區 塊
20	多 數 個 加 工 基 板 (基 材)
21	毛 細 管
21a	前 端 面
21b	傾 斜 部
21c	中 心 部
21d	第 2 方 向
21e	軌 跡
22	總 括 密 封 體
23	間 隙
24	假 想 線
25	卡 式 半 導 體 封 裝 (半 導 體 裝 置)

26、26a、26b、26c	框式半導體封裝(半導體裝置)
27、27a、27b	框式半導體封裝(半導體裝置)
28a	內部引線(配線圖案)
28b	外部引線
28c	連結引線

102年11月20日修正替換頁

第 099143837 號專利申請案

中文申請專利範圍替換頁(102年11月)

102年11月20日修正

七、申請專利範圍：

1. 一種半導體裝置之製造方法，其特徵在於包括以下之步驟：

(a)準備具有平面形狀由四角形構成之上面、沿著上述上面之第1基板邊而形成之複數個第1焊接引線、沿著與上述第1基板邊對向之第2基板邊而形成之複數個第2焊接引線、及與上述上面為相反側之下面之基材的步驟；

(b)於上述(a)步驟之後，將具有平面形狀由四角形構成之第1表面、沿著上述第1表面之第1晶片主邊而形成之複數個第1焊接墊、及與上述第1表面為相反側之第1背面的第1半導體晶片以於俯視時，上述第1晶片主邊與上述第1基板邊之間隔小於上述第1晶片主邊與上述第2基板邊之間隔的方式，經由第1接著層而配置於上述基材之上述上面上的步驟；

(c)於上述(b)步驟之後，將具有平面形狀由四角形構成之第2表面、沿著上述第2表面之第2晶片主邊而形成之複數個第2焊接墊、及與上述第2表面為相反側之第2背面的第2半導體晶片以於俯視時，上述第2晶片主邊與上述第1基板邊之間隔小於上述第2晶片主邊與上述第2基板邊之間隔，且上述複數個第1焊接墊自上述第2半導體晶片露出的方式，且與上述第2晶片主邊對向之第2晶片對向邊自與上述第1半導體晶片之上述第1晶片主邊對向之第1晶片對向邊凸出的方式，經由第2接著層而配置於上述第1半導體晶片上的步驟；

(d)於上述(c)步驟之後，將具有平面形狀由四角形構成之第3表面、沿著上述第3表面之第3晶片主邊而形成之複數個第3焊接墊、及與上述第3表面為相反側之第3背面的第3半導體晶片以於俯視時，上述第3晶片主邊與上述第1基板邊之間隔小於上述第3晶片主邊與上述第2基板邊之間隔，且上述複數個第2焊接墊自上述第3半導體晶片露出的方式，且與上述第3晶片主邊對向之第3晶片對向邊自上述第2半導體晶片之上述第2晶片對向邊凸出的方式，經由第3接著層而配置於上述第2半導體晶片上的步驟；

(e)於上述(d)步驟之後，將具有平面形狀由四角形構成之第4表面、沿著上述第4表面之第4晶片主邊而形成之複數個第4焊接墊、及與上述第4表面為相反側之第4背面的第4半導體晶片以於俯視時，上述第4晶片主邊與上述第1基板邊之間隔小於上述第4晶片主邊與上述第2基板邊之間隔，且上述複數個第3焊接墊自上述第4半導體晶片露出的方式，且與上述第4晶片主邊對向之第4晶片對向邊自上述第3半導體晶片之上述第3晶片對向邊凸出的方式，經由第4接著層而配置於上述第3半導體晶片上的步驟；

(f)於上述(e)步驟之後，將複數個第1導線分別電性連接於上述複數個第1焊接墊之步驟；

(g)於上述(f)步驟之後，將複數個第2導線分別電性連接於上述複數個第2焊接墊之步驟；

102年11月22日修正替換頁

(h)於上述(g)步驟之後，將複數個第3導線分別電性連接於上述複數個第3焊接墊之步驟；

(i)於上述(h)步驟之後，將複數個第4導線分別電性連接於上述複數個第4焊接墊之步驟；

(j)於上述(i)步驟之後，將具有平面形狀由四角形構成之第5表面、沿著上述第5表面之第5晶片主邊而形成之複數個第5焊接墊、及與上述第5表面為相反側之第5背面的第5半導體晶片以於俯視時，上述第5晶片主邊與上述第2基板邊之間隔小於上述第5晶片主邊與上述第1基板邊之間隔，且上述複數個第4焊接墊自上述第5半導體晶片露出的方式，且上述第5晶片主邊自上述第4半導體晶片之上述第4晶片對向邊凸出的方式，經由第5接著層而配置於上述第4半導體晶片上的步驟；

(k)於上述(j)步驟之後，將具有平面形狀由四角形構成之第6表面、沿著上述第6表面之第6晶片主邊而形成之複數個第6焊接墊、及與上述第6表面為相反側之第6背面的第6半導體晶片以於俯視時，上述第6晶片主邊與上述第2基板邊之間隔小於上述第6晶片主邊與上述第1基板邊之間隔，且於俯視時，上述第4半導體晶片之上述第4表面由上述第6半導體晶片覆蓋，且上述複數個第5焊接墊自上述第6半導體晶片露出的方式，且與上述第6晶片主邊對向之第6晶片對向邊自與上述第5半導體晶片之上述第5晶片主邊對向之第5晶片對向邊凸出的方式，經由第6接著層而配置於上述第5半導體晶片上的步驟；

(l)於上述(k)步驟之後，將具有平面形狀由四角形構成之第7表面、沿著上述第7表面之第7晶片主邊而形成之複數個第7焊接墊、及與上述第7表面為相反側之第7背面的第7半導體晶片以於俯視時，上述第7晶片主邊與上述第2基板邊之間隔小於上述第7晶片主邊與上述第1基板邊之間隔，且於俯視時，上述第3半導體晶片之上述第3表面由上述第7半導體晶片覆蓋，且上述複數個第6焊接墊自上述第7半導體晶片露出的方式，且與上述第7晶片主邊對向之第7晶片對向邊自上述第6半導體晶片之上述第6晶片對向邊凸出的方式，經由第7接著層而配置於上述第6半導體晶片上的步驟；

(m)於上述(l)步驟之後，將具有平面形狀由四角形構成之第8表面、沿著上述第8表面之第8晶片主邊而形成之複數個第8焊接墊、及與上述第8表面為相反側之第8背面的第8半導體晶片以於俯視時，上述第8晶片主邊與上述第2基板邊之間隔小於上述第8晶片主邊與上述第1基板邊之間隔，且於俯視時，上述第2半導體晶片之上述第2表面由上述第8半導體晶片覆蓋，且上述複數個第7焊接墊自上述第8半導體晶片露出的方式，且與上述第8晶片主邊對向之第8晶片對向邊自上述第7半導體晶片之上述第7晶片對向邊凸出的方式，經由第8接著層而配置於上述第7半導體晶片上的步驟；

(n)於上述(m)步驟之後，將複數個第5導線分別電性連接於上述複數個第5焊接墊之步驟；

102年11月22日修正替換頁

(o)於上述(n)步驟之後，將複數個第6導線分別電性連接於上述複數個第6焊接墊之步驟；

(p)於上述(o)步驟之後，將複數個第7導線分別電性連接於上述複數個第7焊接墊之步驟；

(q)於上述(p)步驟之後，將複數個第8導線分別電性連接於上述複數個第8焊接墊之步驟；

(r)於上述(q)步驟之後，將上述第1至第8半導體晶片及上述複數個第1至第8導線以樹脂密封之步驟；

此處，

於上述基材之上述上面，進而形成有複數個配線及覆蓋上述複數個配線之阻焊劑膜；

上述第8半導體晶片係配置於上述基材之上述上面上之複數個半導體晶片中的最上段之半導體晶片；

上述第1、5及8半導體晶片各自之厚度較上述第2、第3、第4、第6及第7半導體晶片各自之厚度更厚；

上述第1、5及8半導體晶片各自之厚度係彼此相同之厚度。

2. 如請求項1之半導體裝置之製造方法，其中上述第4半導體晶片與上述第5半導體晶片之間，進而配置有複數個半導體晶片。
3. 如請求項1之半導體裝置之製造方法，其中上述第5半導體晶片與上述第8半導體晶片之間，進而配置有複數個半導體晶片。
4. 如請求項1之半導體裝置之製造方法，其中

102年11月22日修正替換頁

於上述(f)步驟，將上述複數個第1導線之一部分分別連接於上述複數個第1焊接引線之後，將上述複數個第1導線之其他部分分別連接於上述複數個第1焊接墊；

於上述(g)步驟，將上述複數個第2導線之一部分分別連接於上述複數個第1焊接墊之後，將上述複數個第2導線之其他部分分別連接於上述複數個第2焊接墊；

於上述(h)步驟，將上述複數個第3導線之一部分分別連接於上述複數個第2焊接墊之後，將上述複數個第3導線之其他部分分別連接於上述複數個第3焊接墊；

於上述(i)步驟，將上述複數個第4導線之一部分分別連接於上述複數個第3焊接墊之後，將上述複數個第4導線之其他部分分別連接於上述複數個第4焊接墊；

於上述(n)步驟，將上述複數個第5導線之一部分分別連接於上述複數個第2焊接引線之後，將上述複數個第5導線之其他部分分別連接於上述複數個第5焊接墊；

於上述(o)步驟，將上述複數個第6導線之一部分分別連接於上述複數個第5焊接墊之後，將上述複數個第6導線之其他部分分別連接於上述複數個第6焊接墊；

於上述(p)步驟，將上述複數個第7導線之一部分分別連接於上述複數個第6焊接墊之後，將上述複數個第7導線之其他部分分別連接於上述複數個第7焊接墊；

於上述(q)步驟，將上述複數個第8導線之一部分分別連接於上述複數個第7焊接墊之後，將上述複數個第8導線之其他部分分別連接於上述複數個第8焊接墊。

八、圖式：

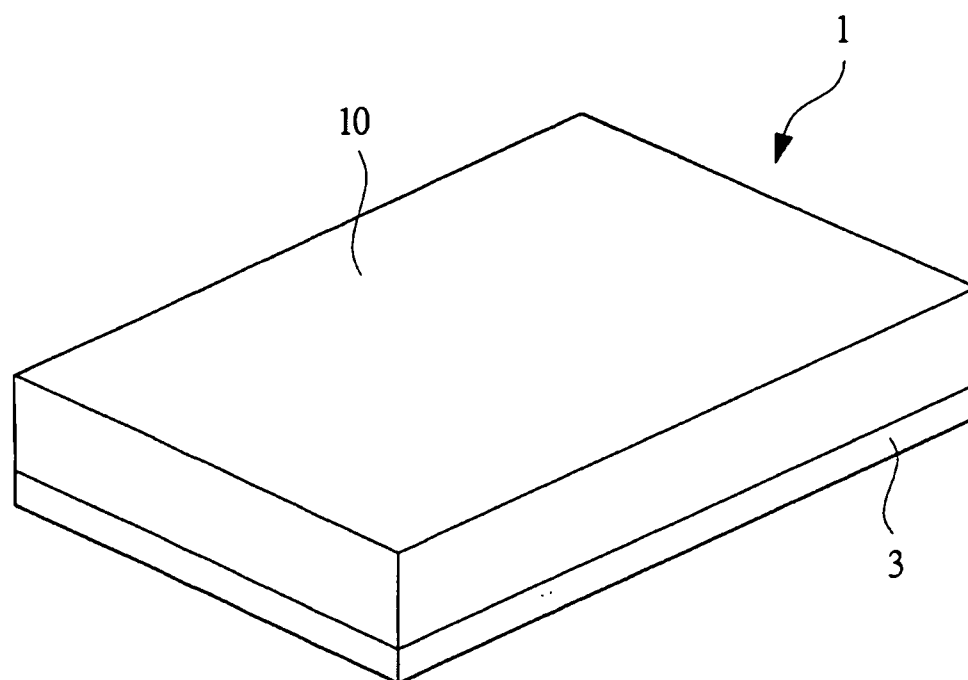


圖1

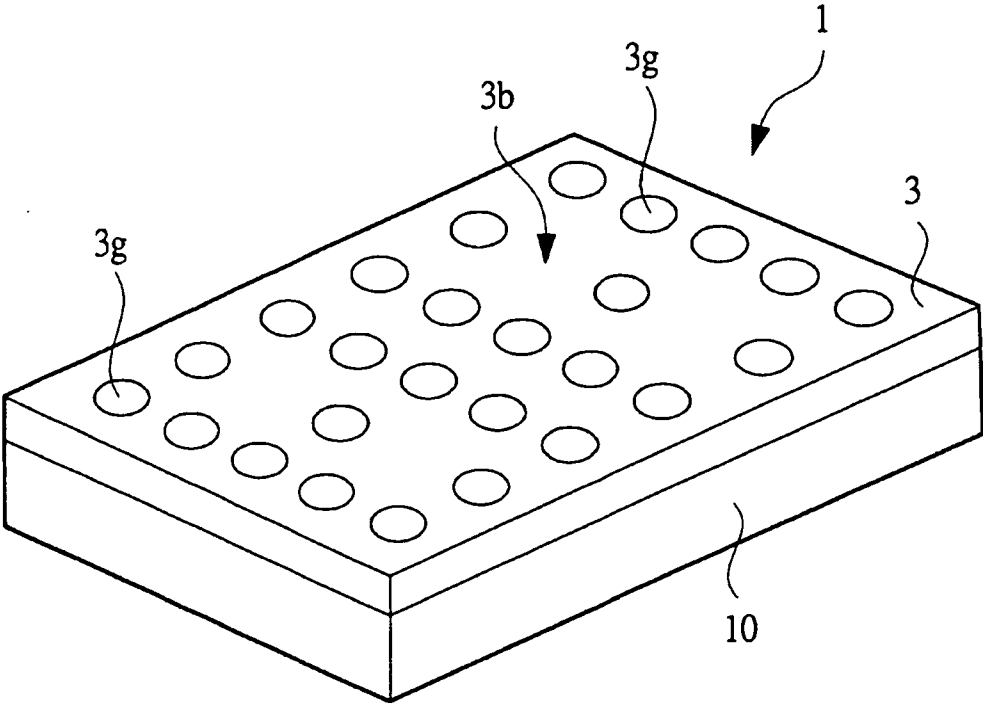


圖2

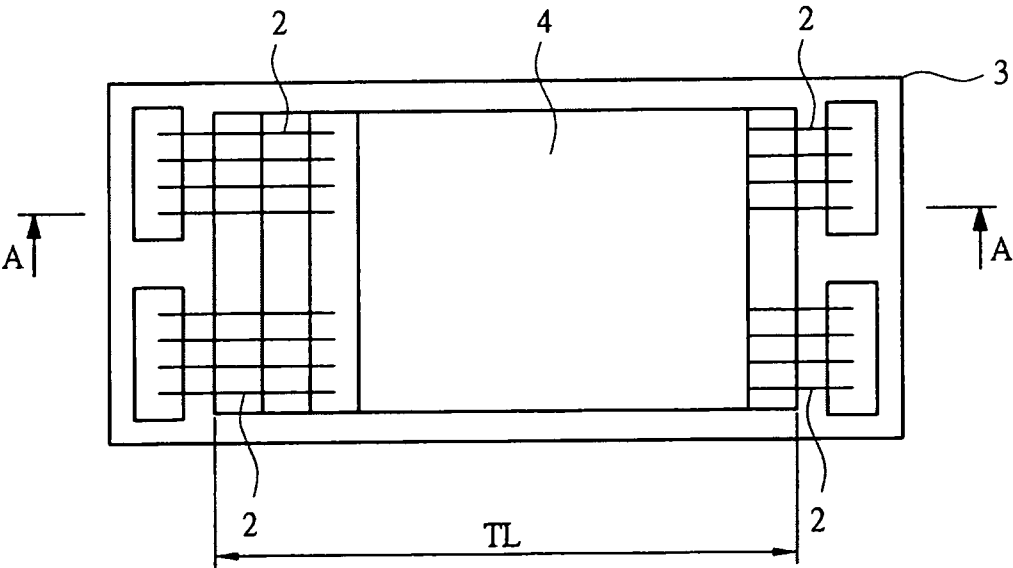


圖3

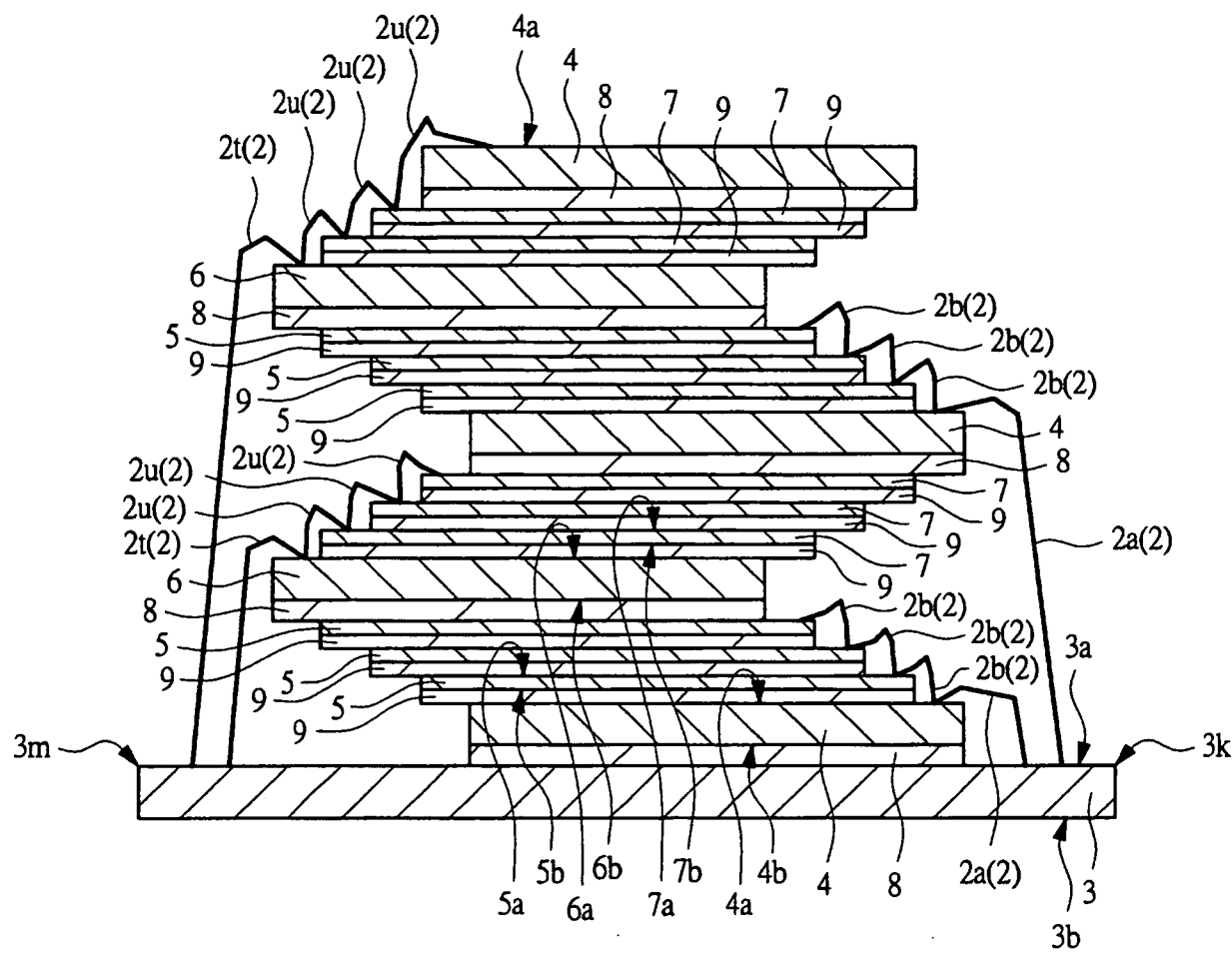


圖 4

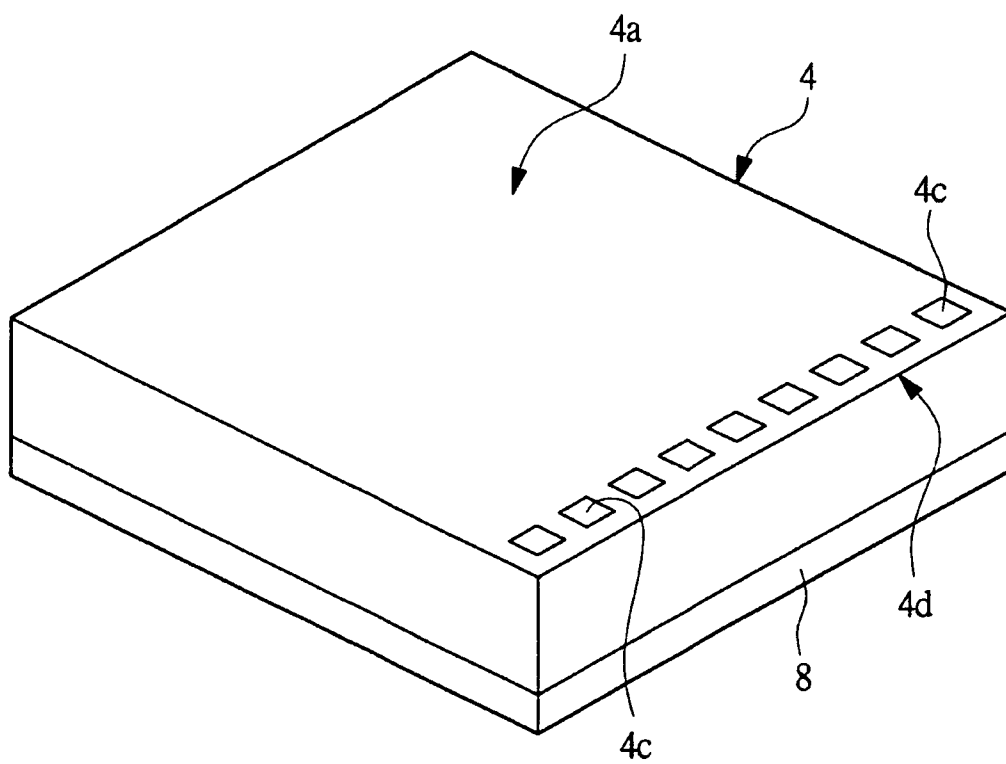


圖5

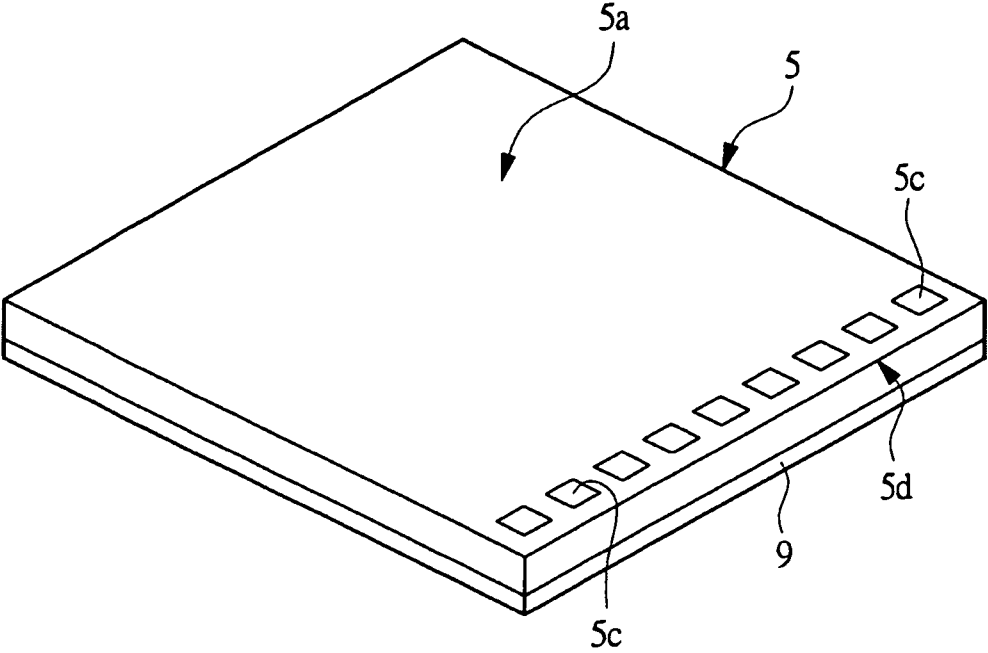


圖 6

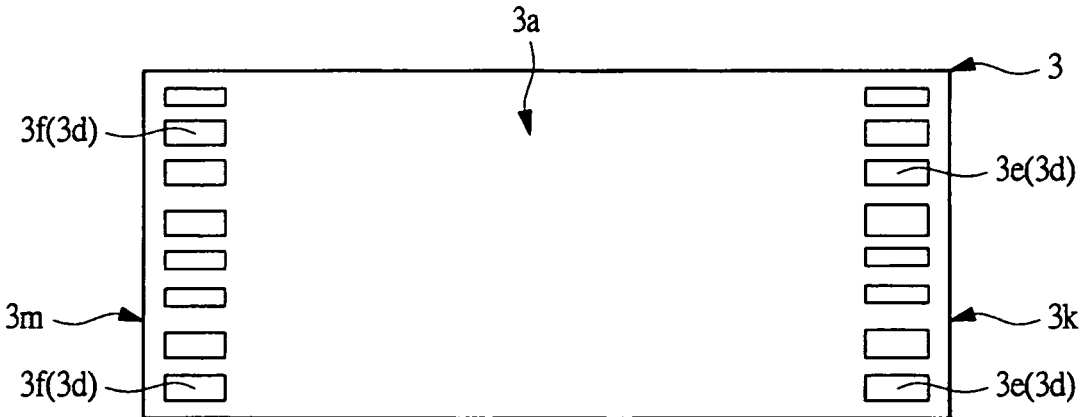


圖 7

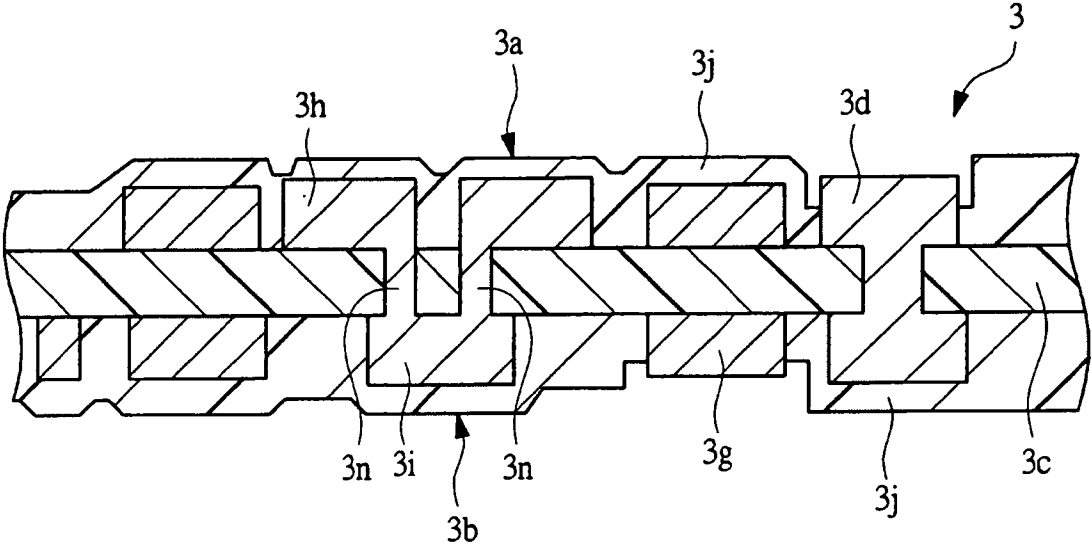


圖8

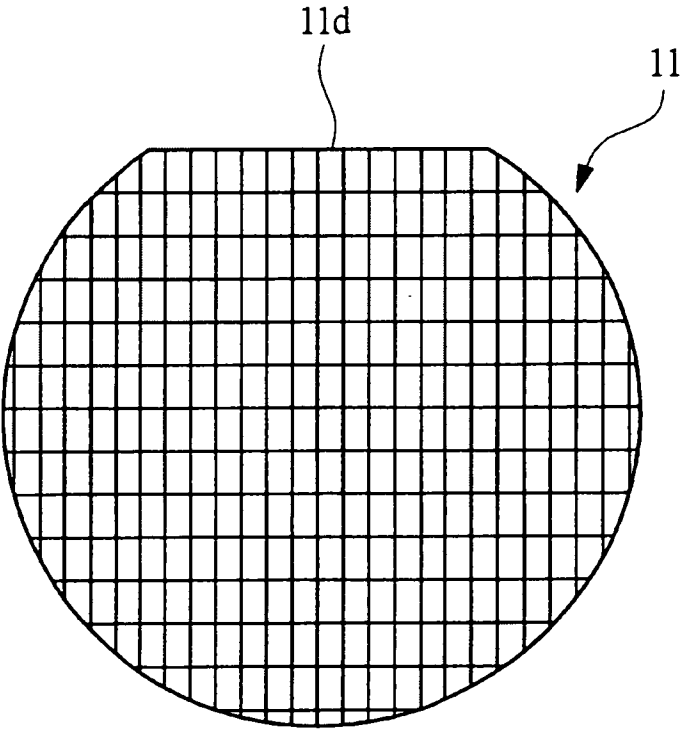


圖9

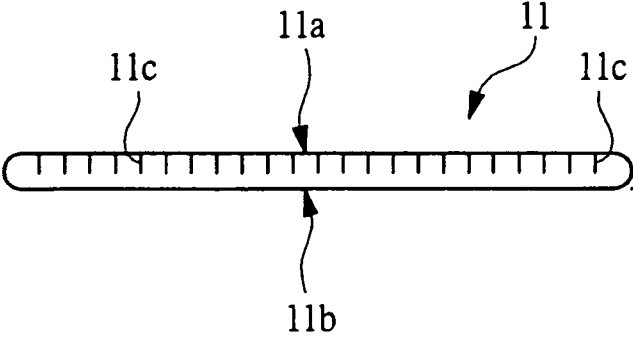


圖 10

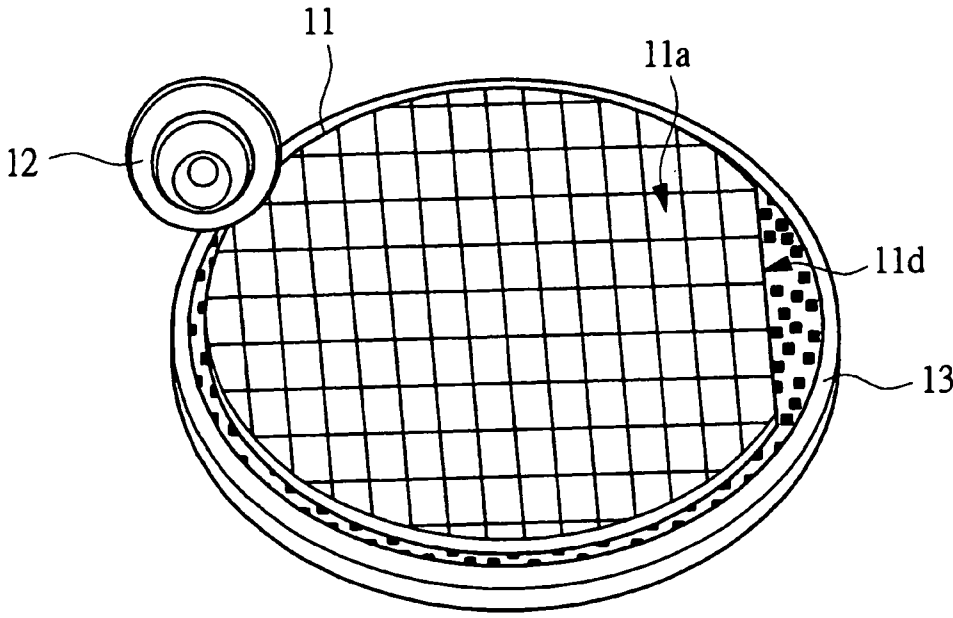


圖 11

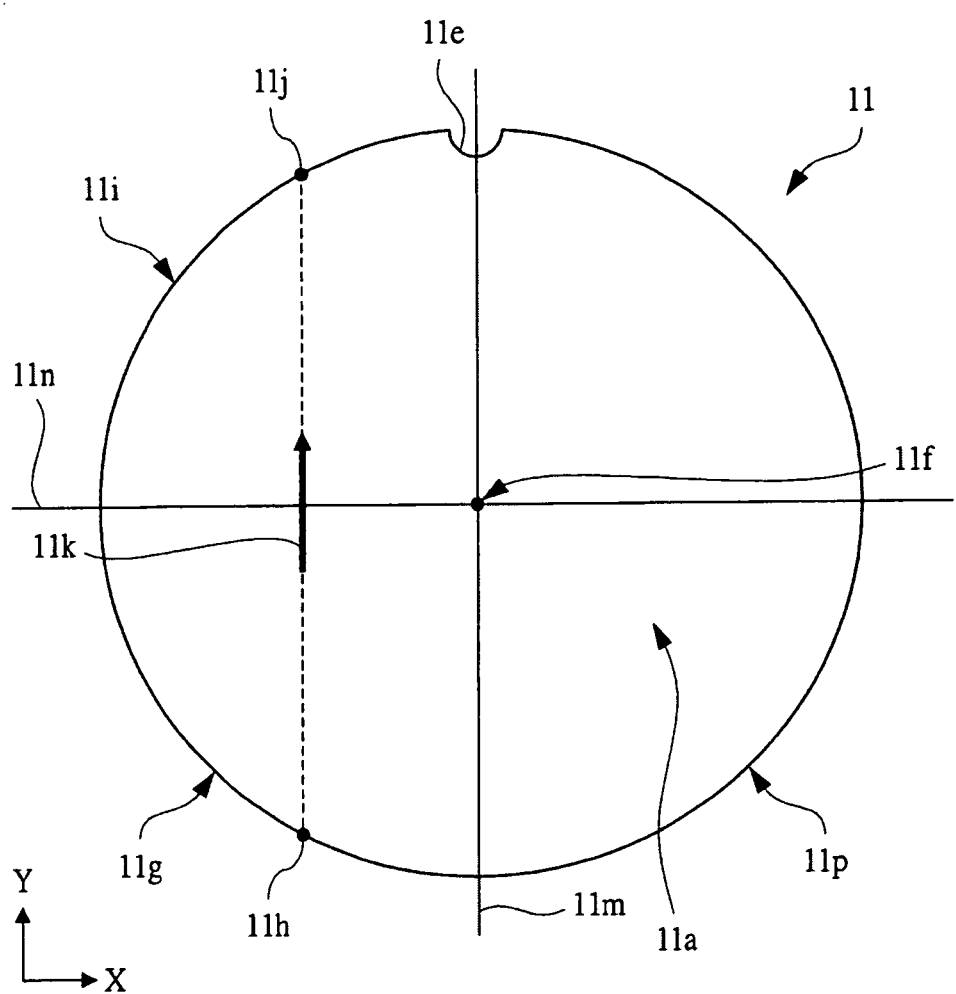


圖12

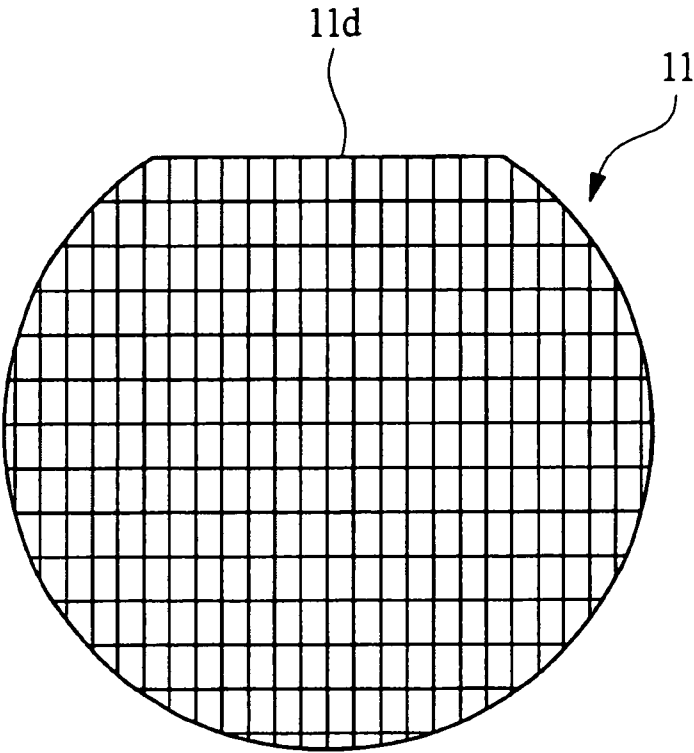


圖13

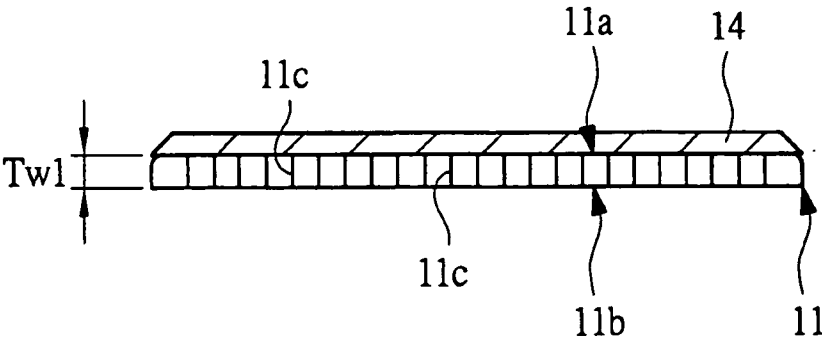


圖14

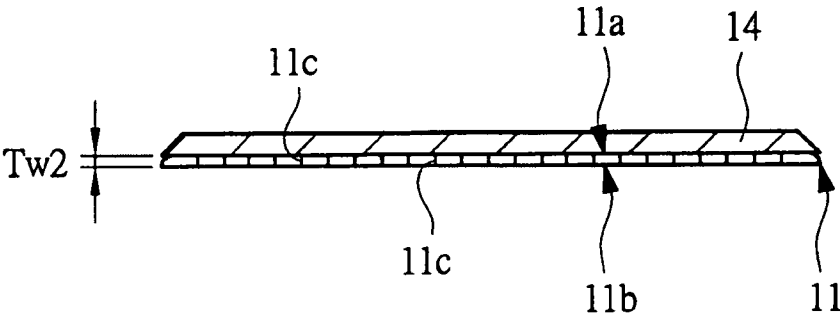


圖15

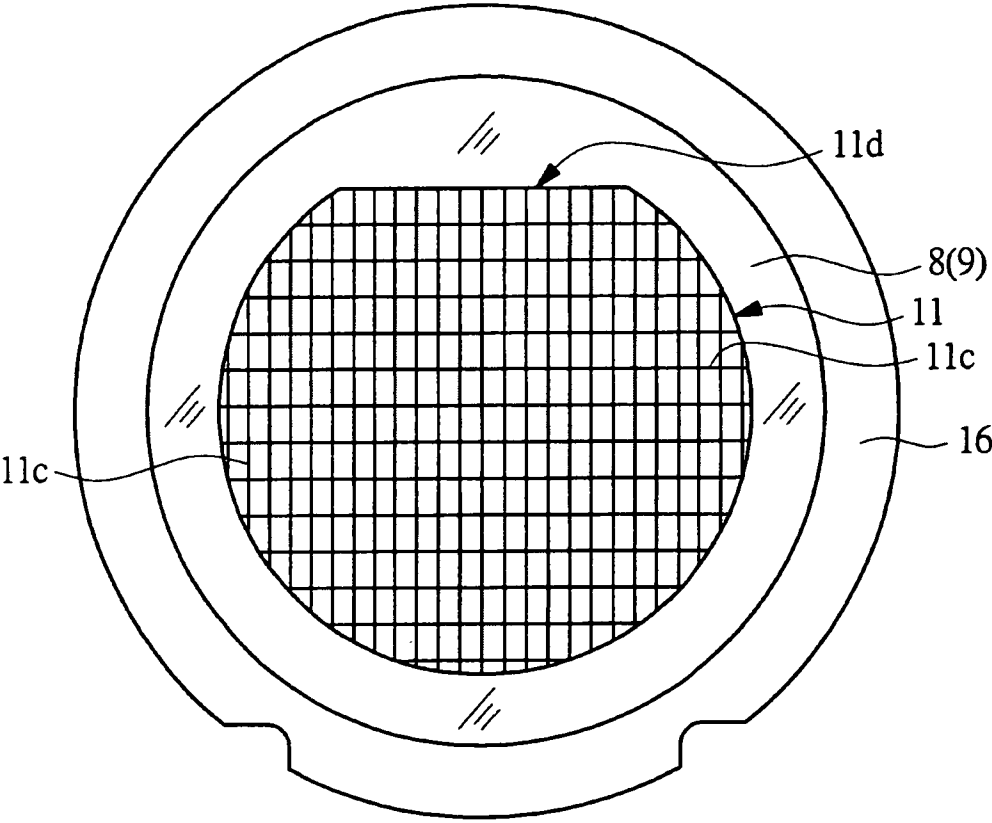


圖16

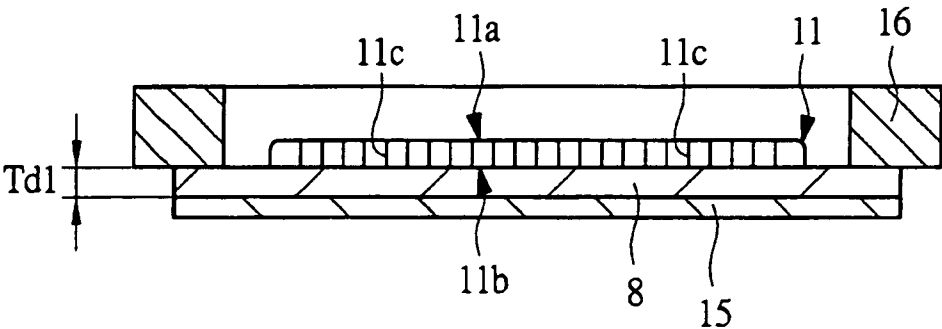


圖17

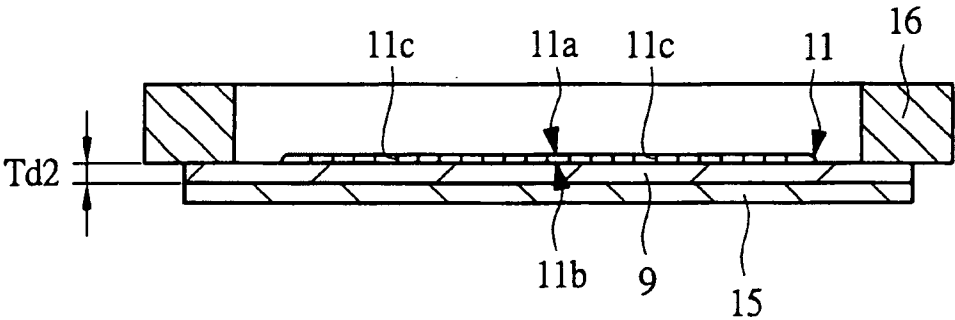


圖18

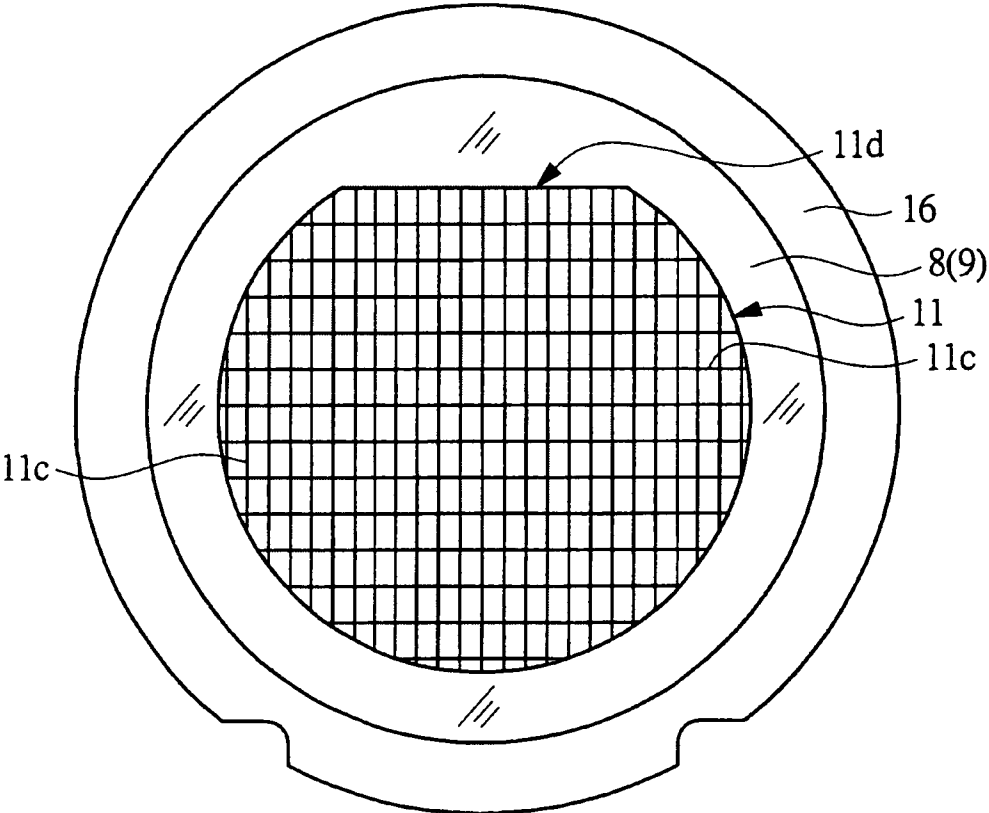


圖 19

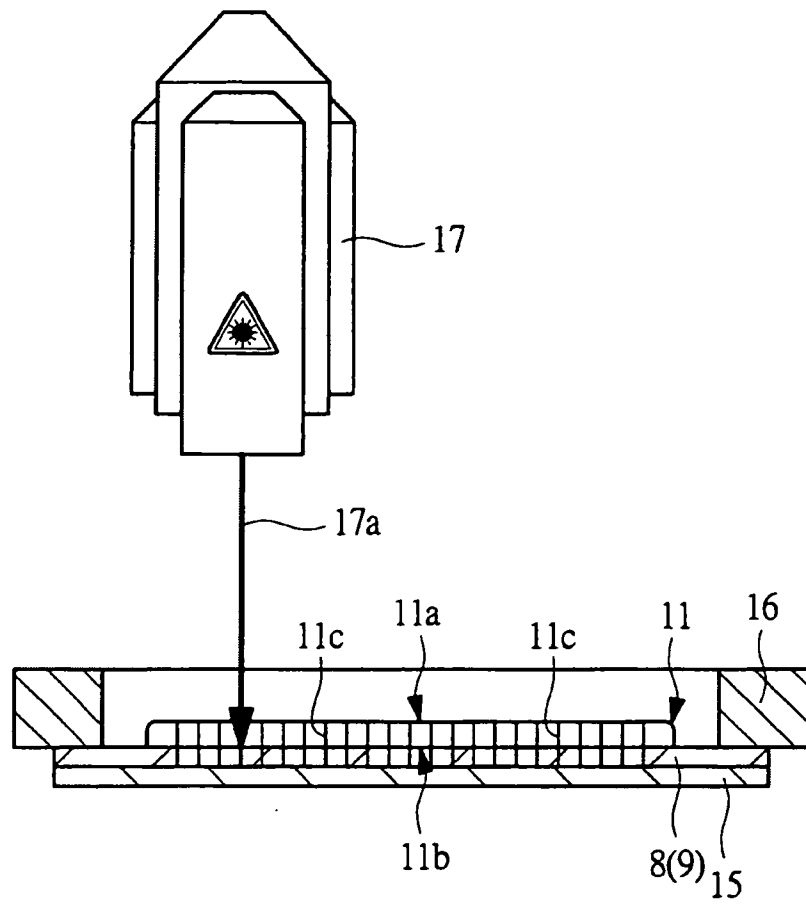


圖 20

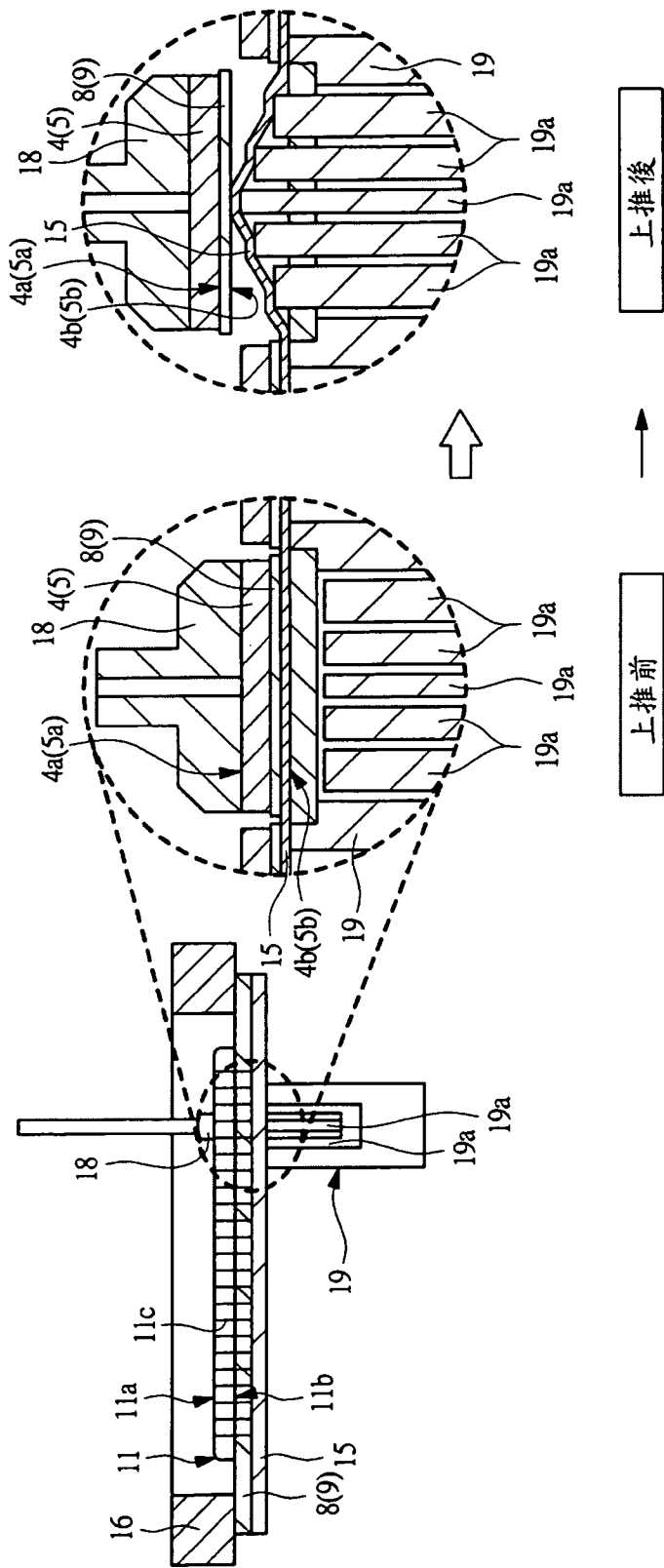


圖21

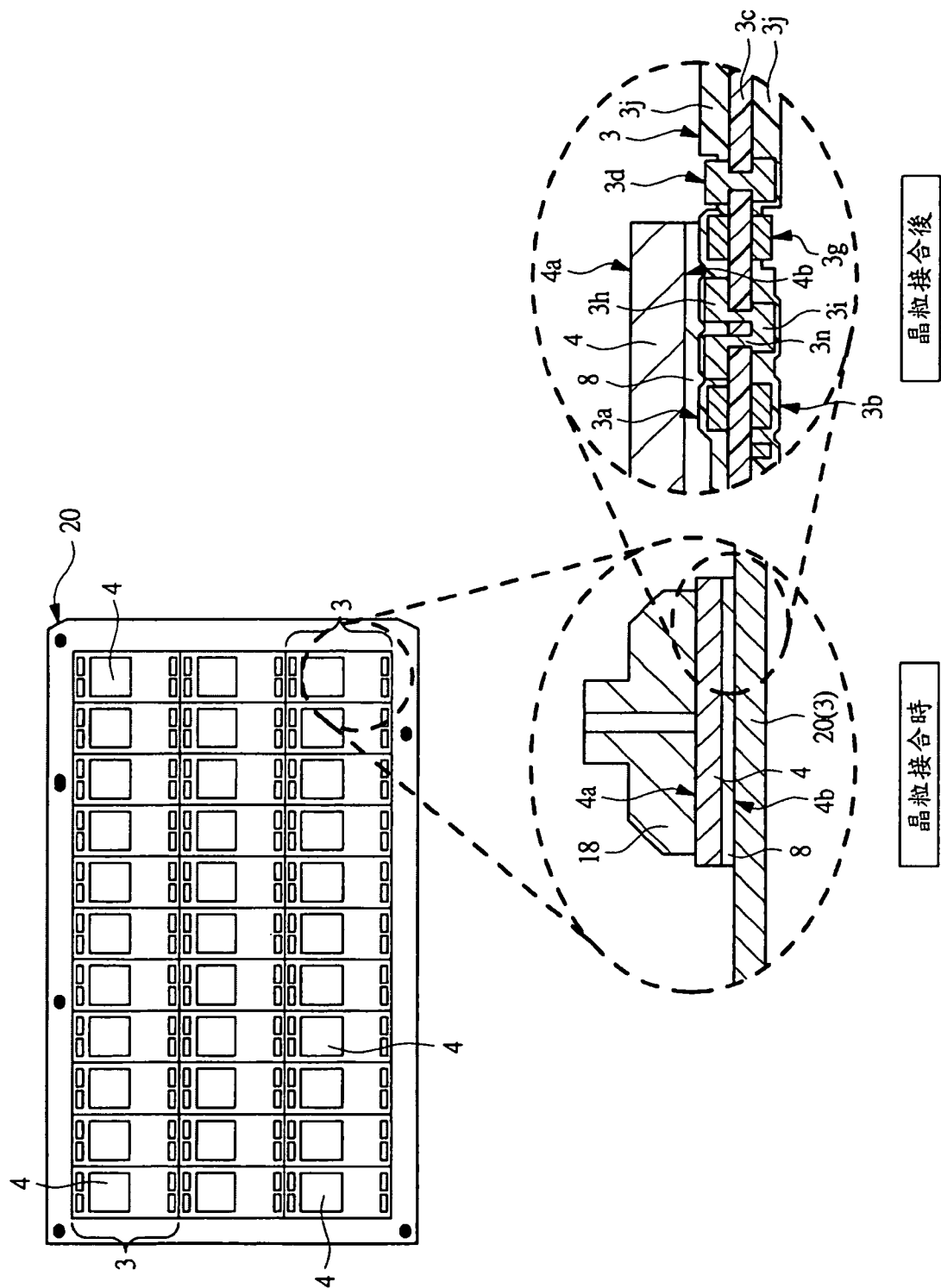


圖22

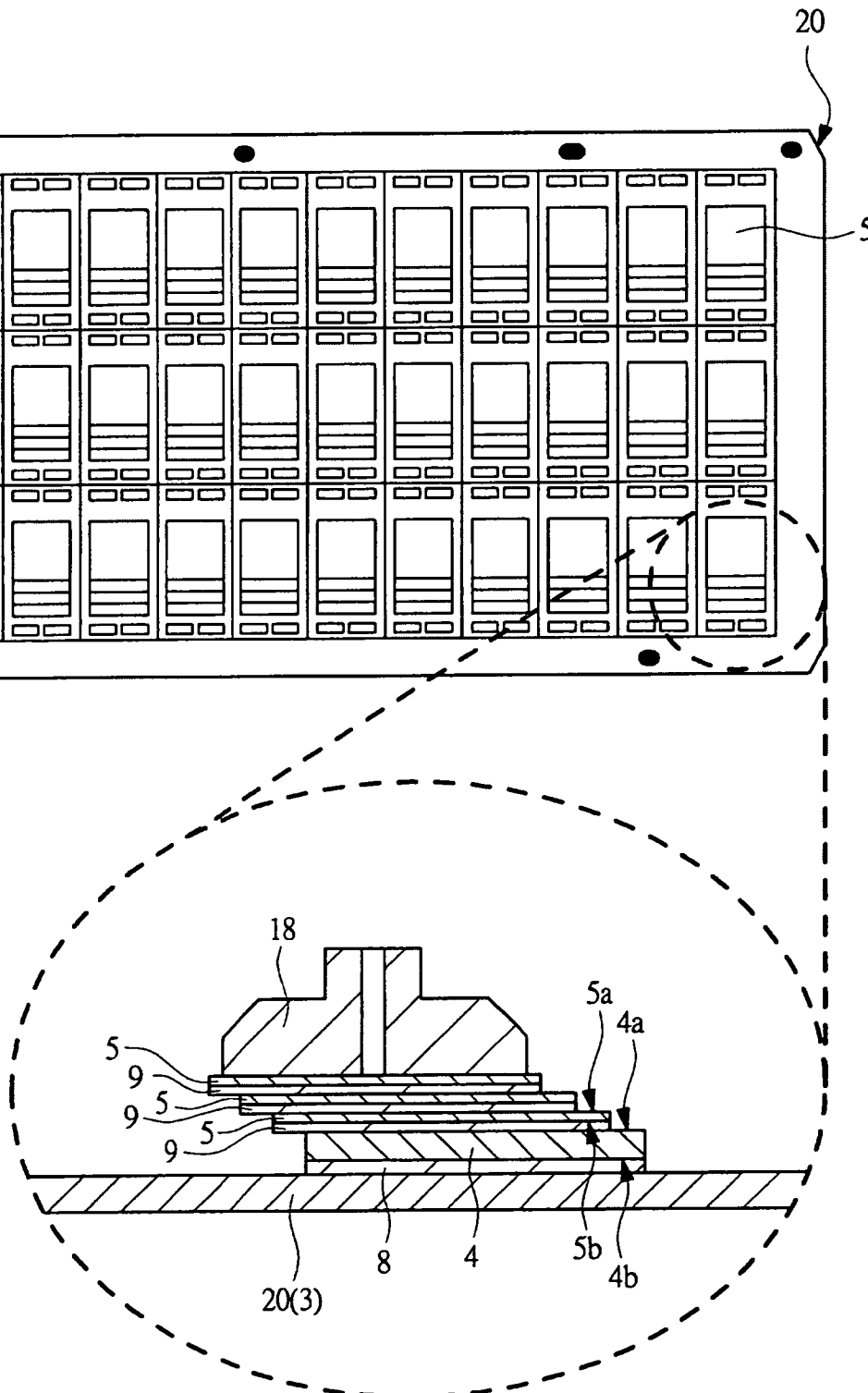


圖 23

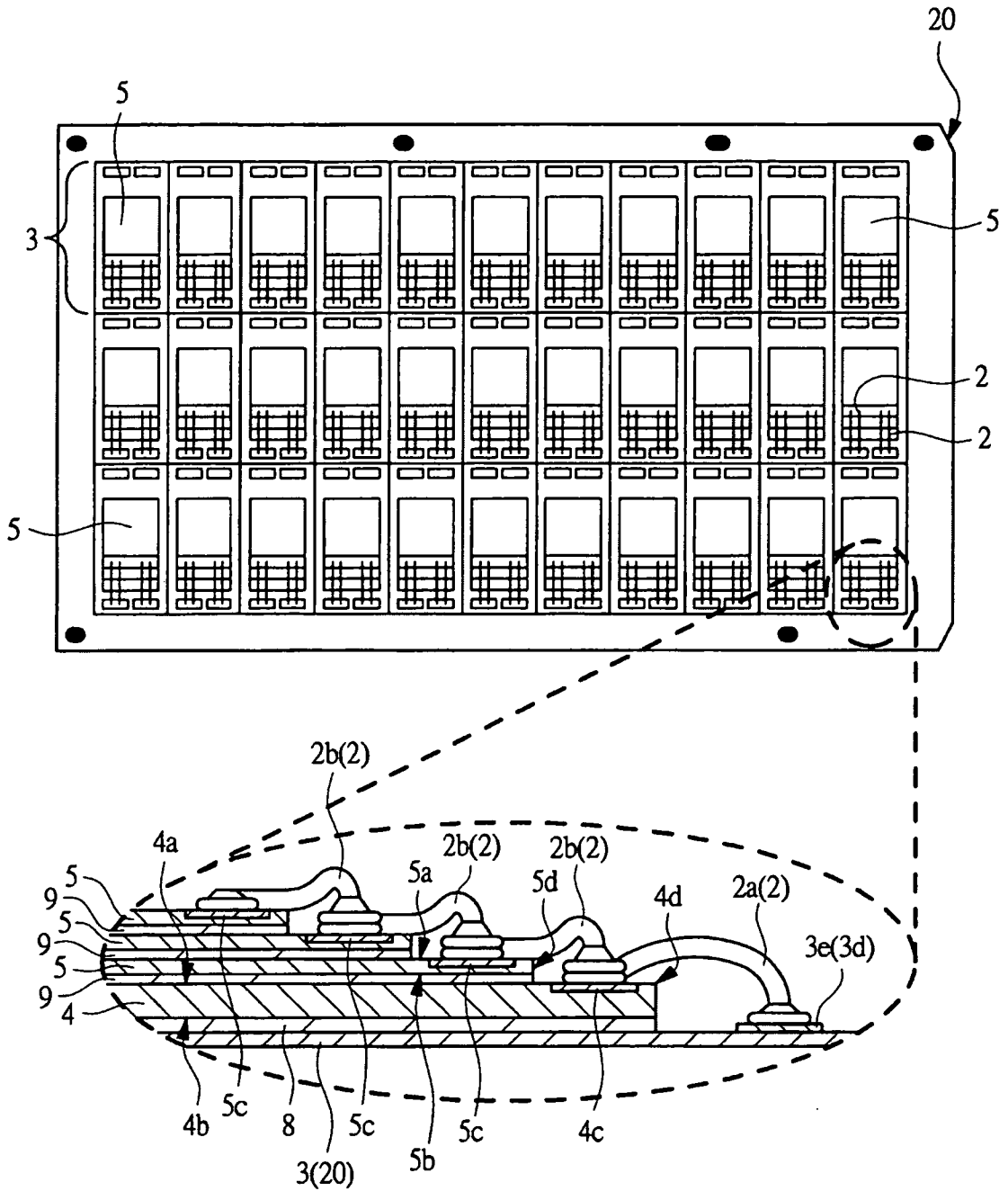


圖24

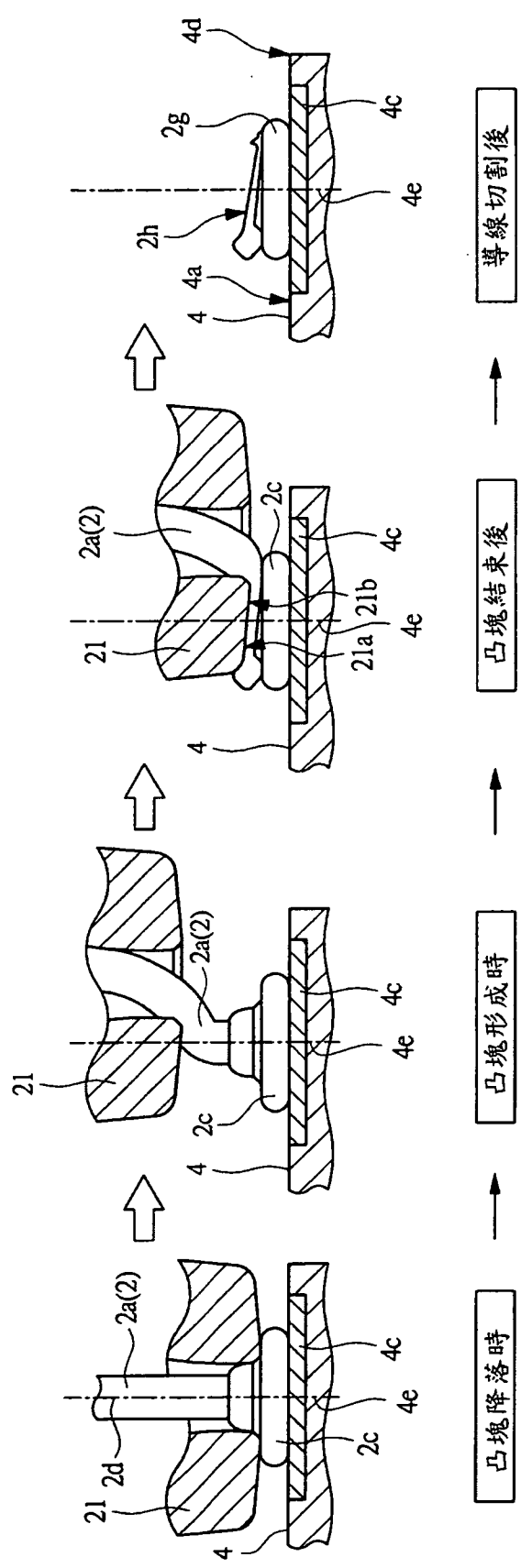


圖25

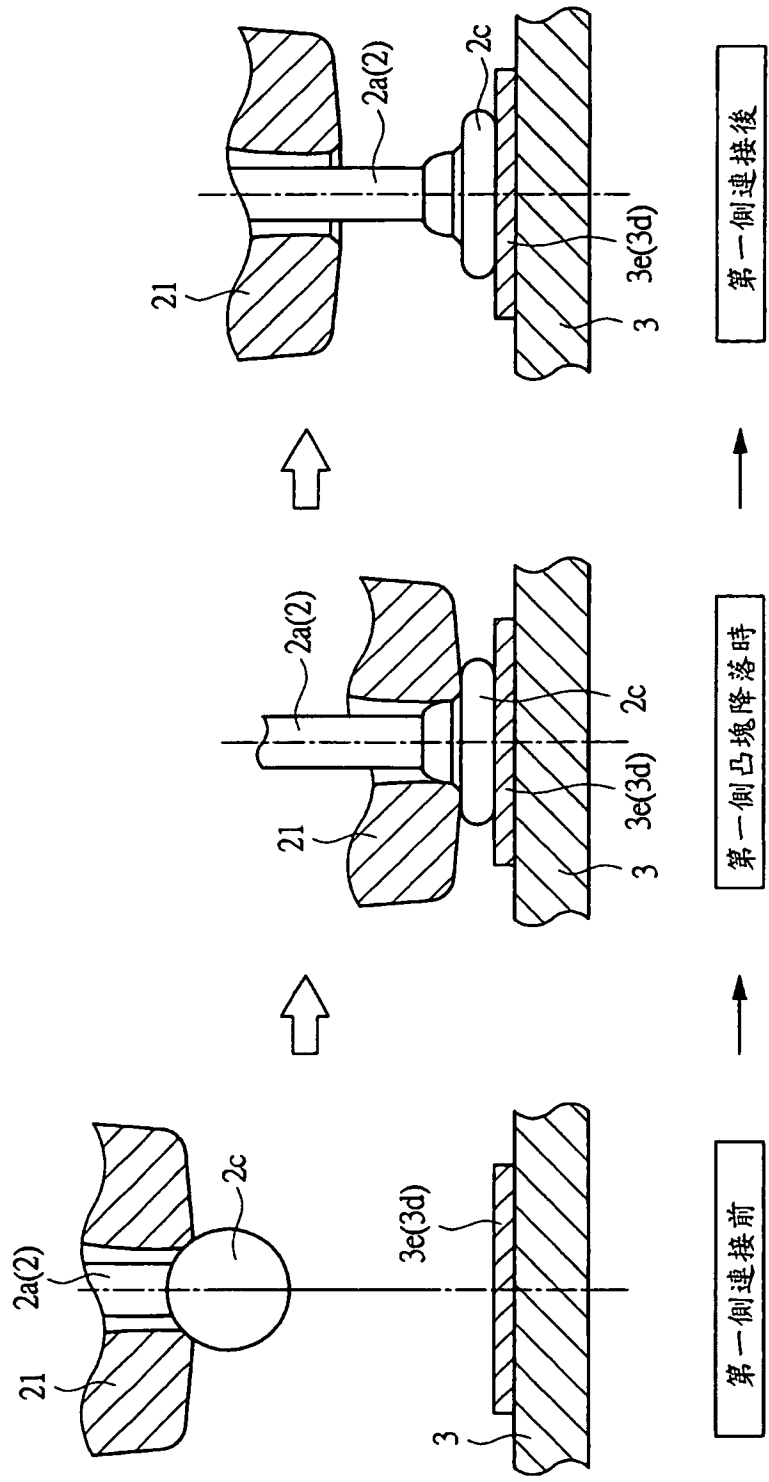


圖26

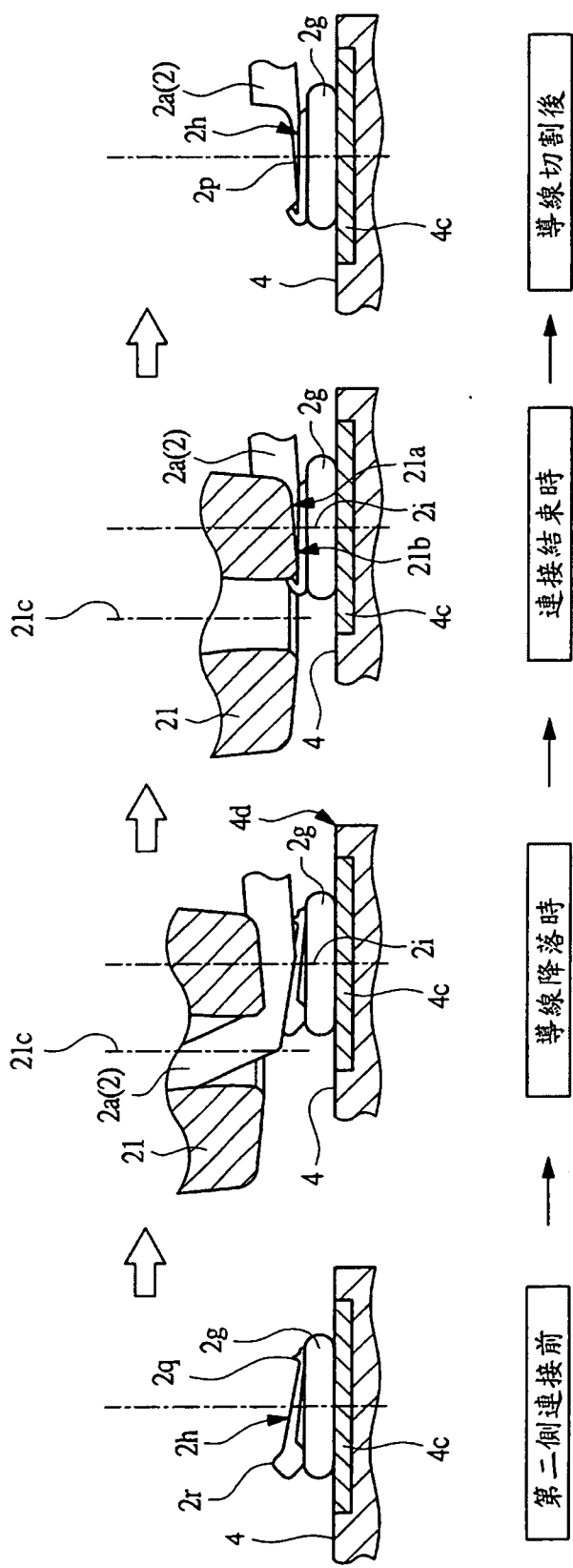


圖27

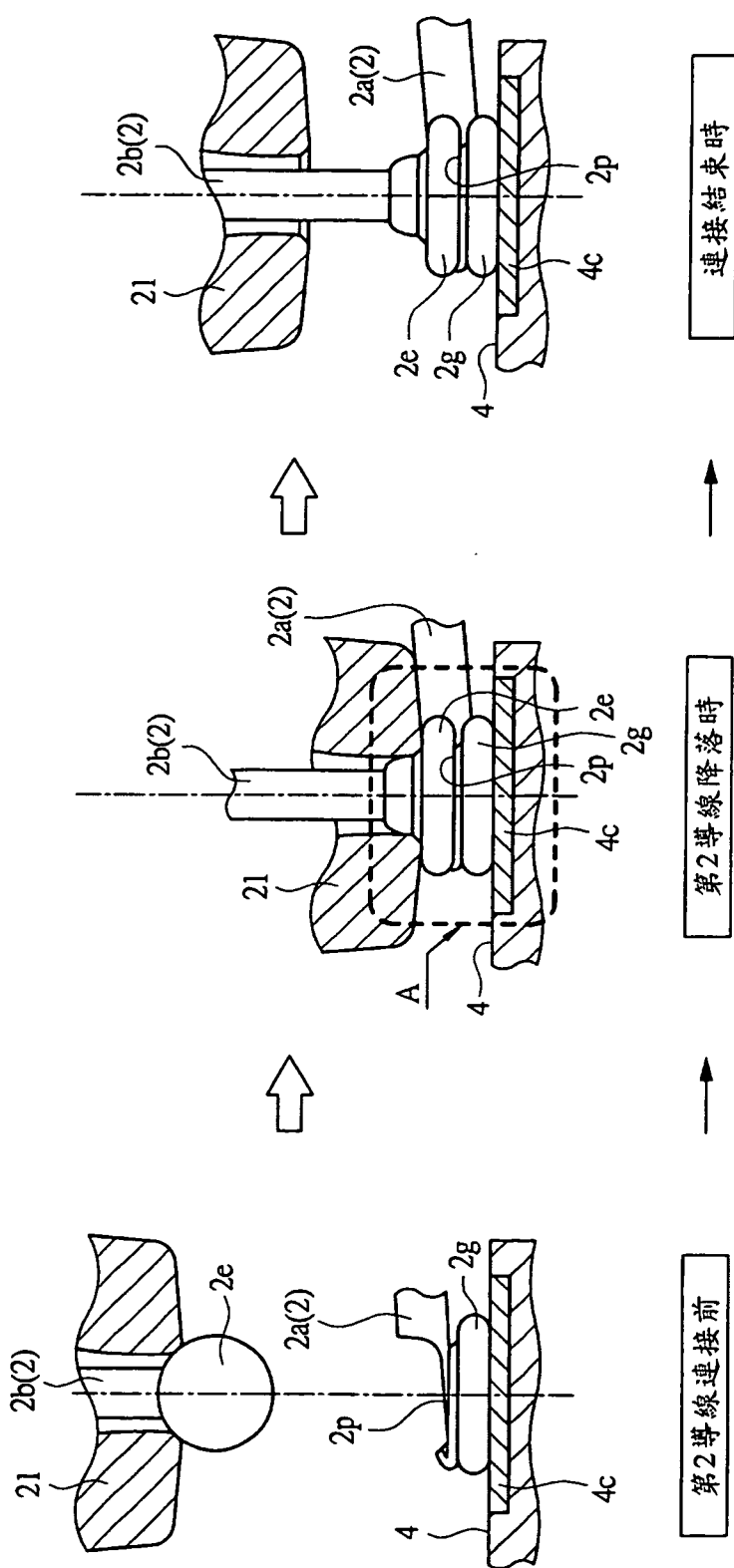


圖28

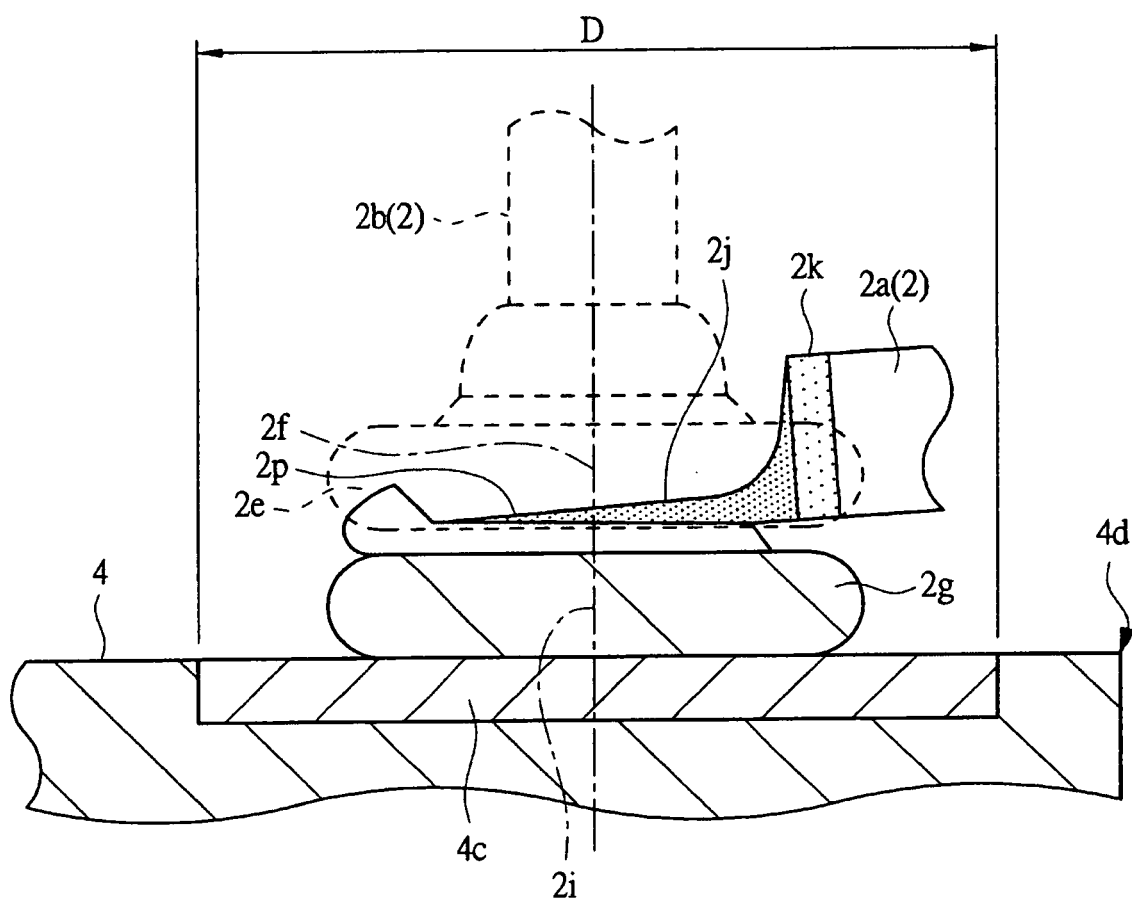


圖29

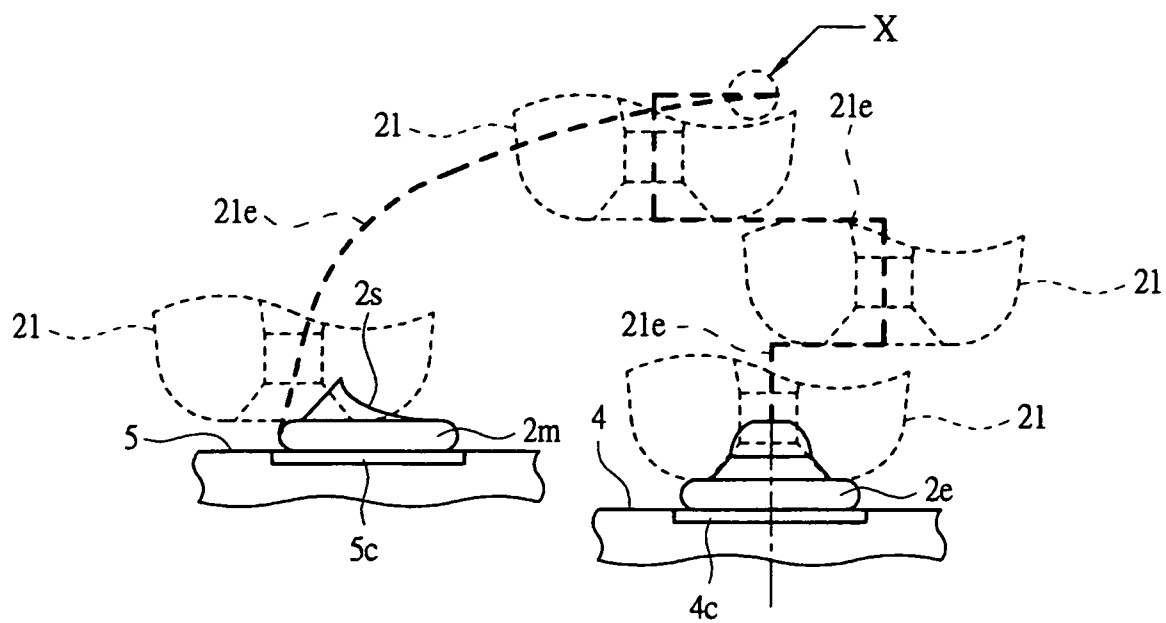


圖 30

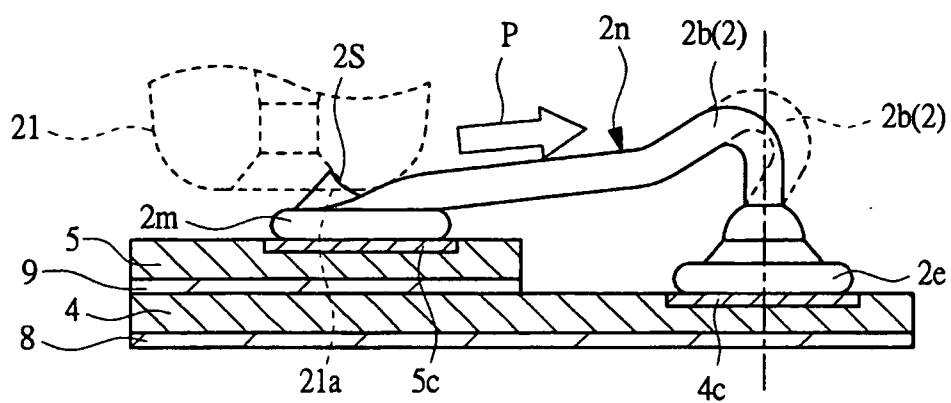


圖 31

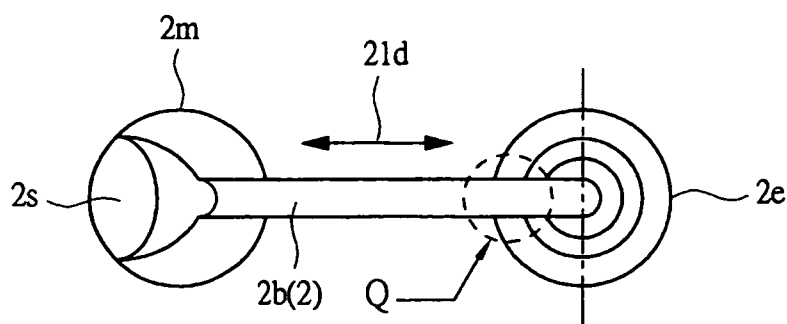


圖 32

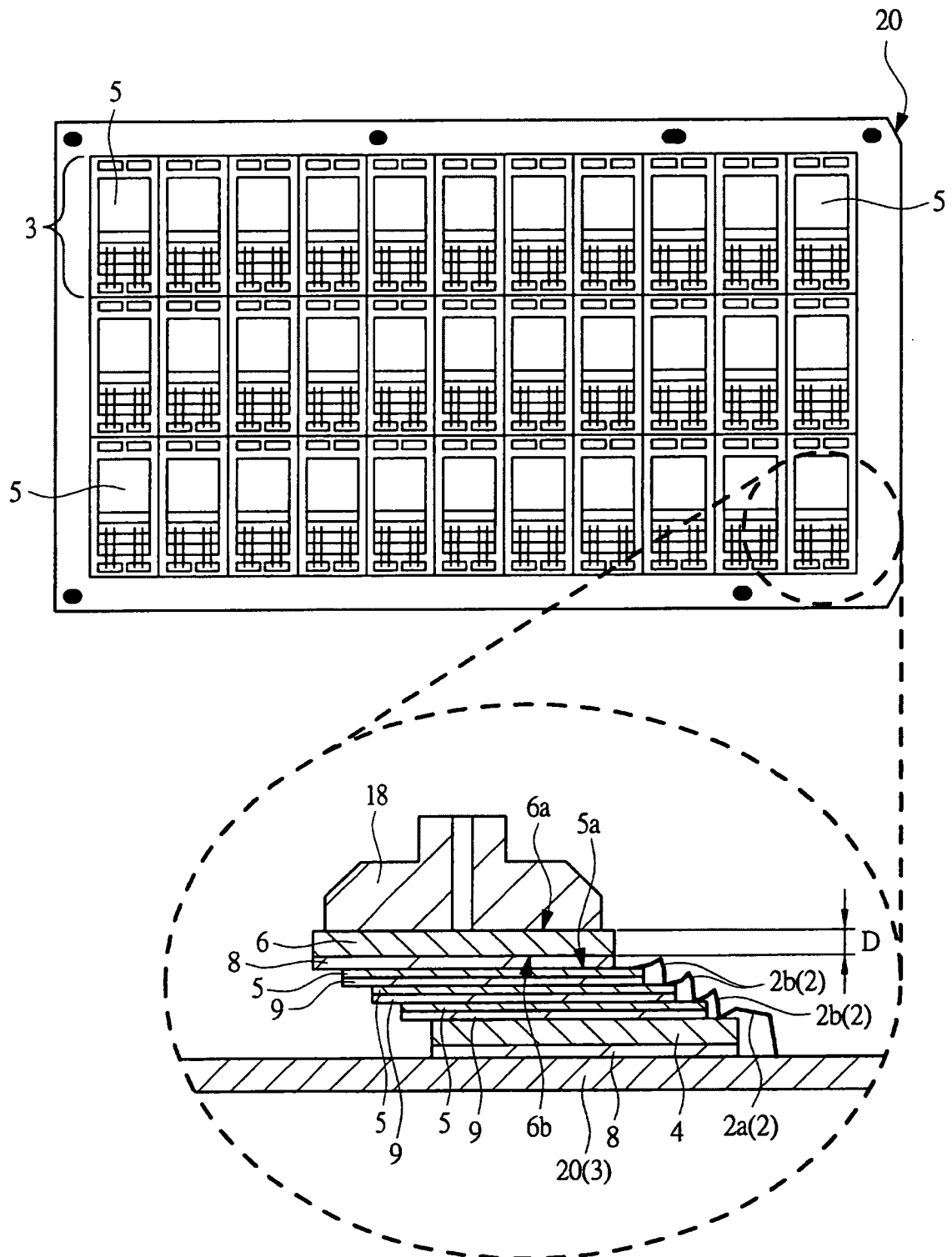


圖 33

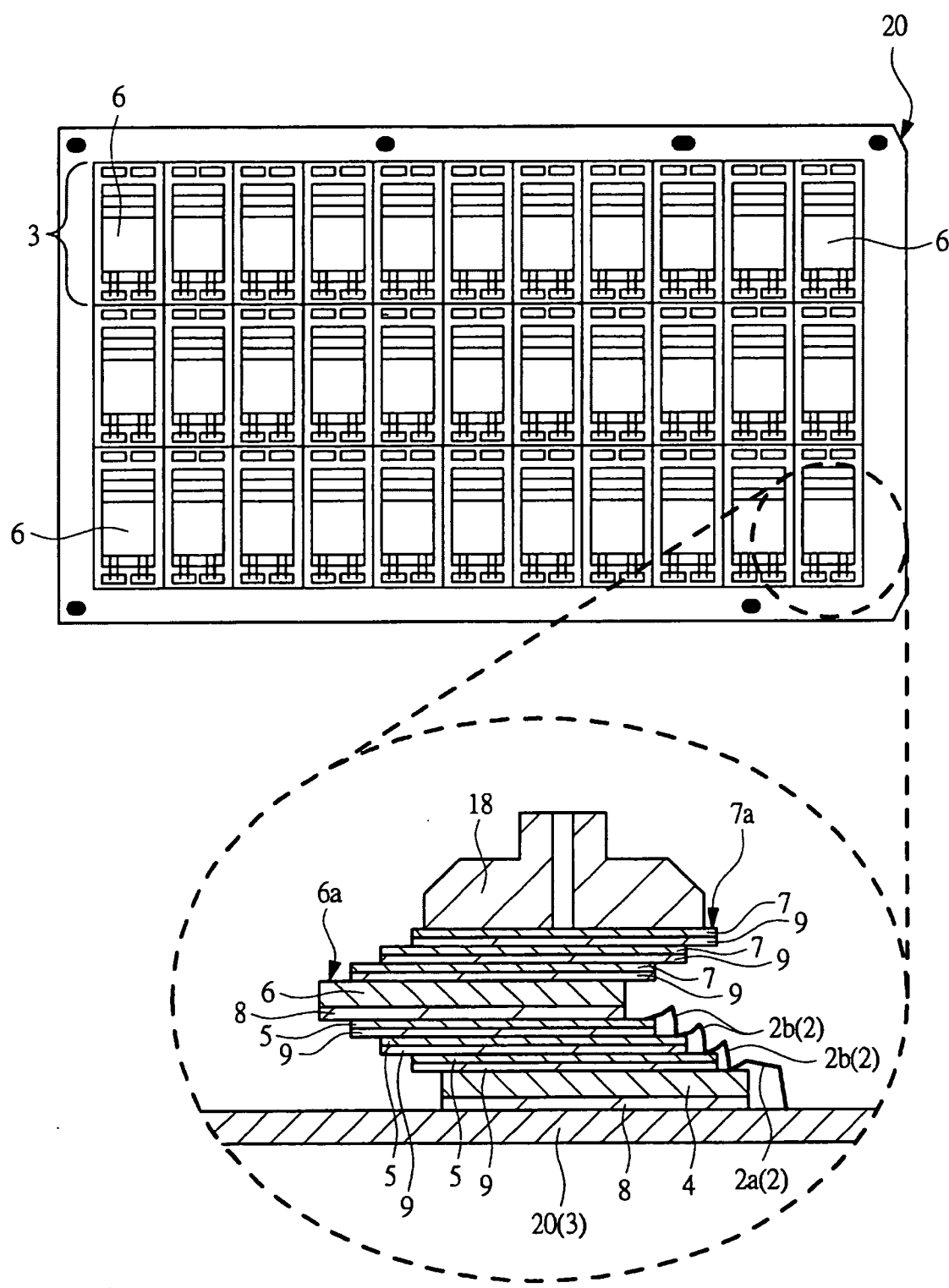


圖34

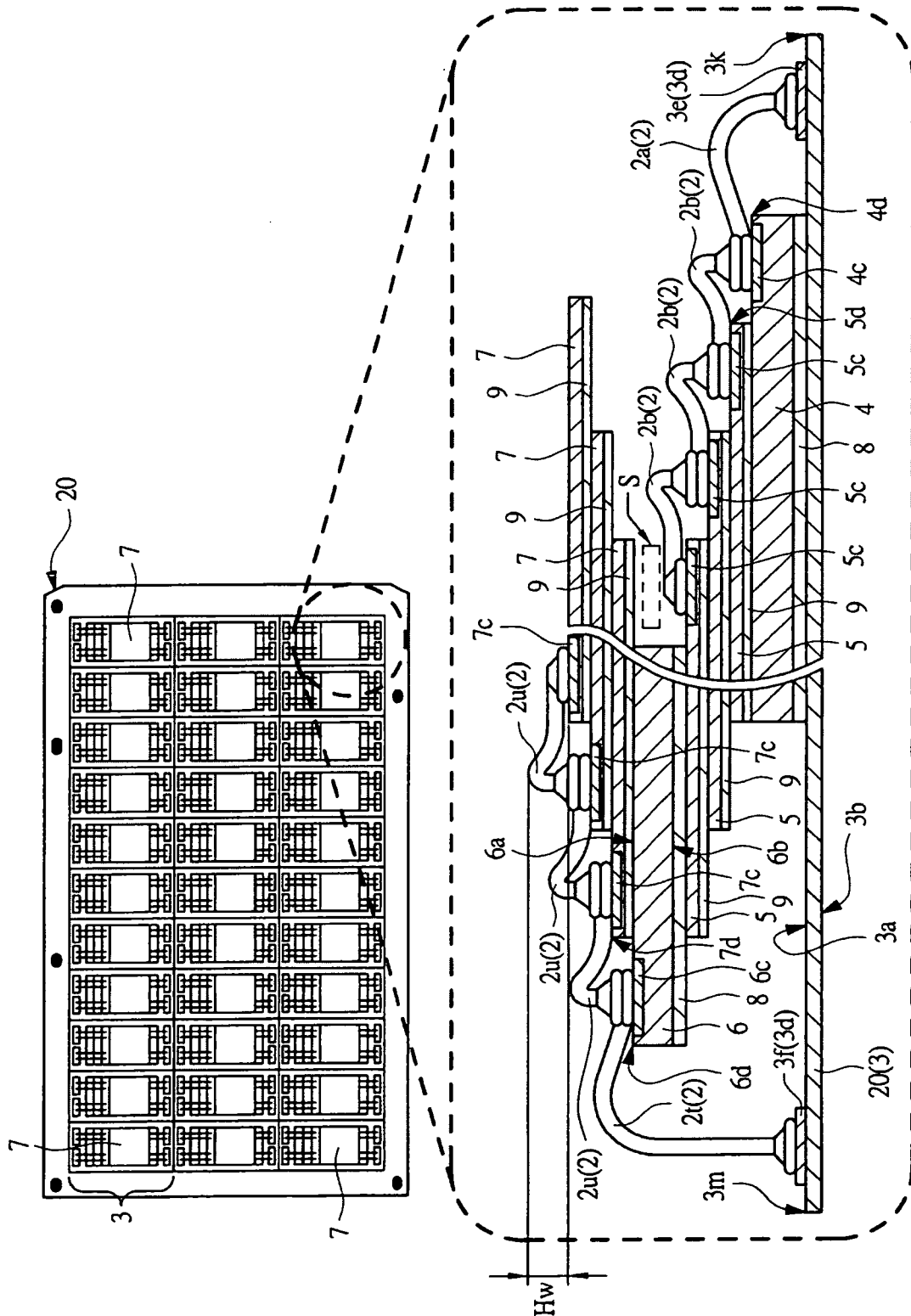


圖 35

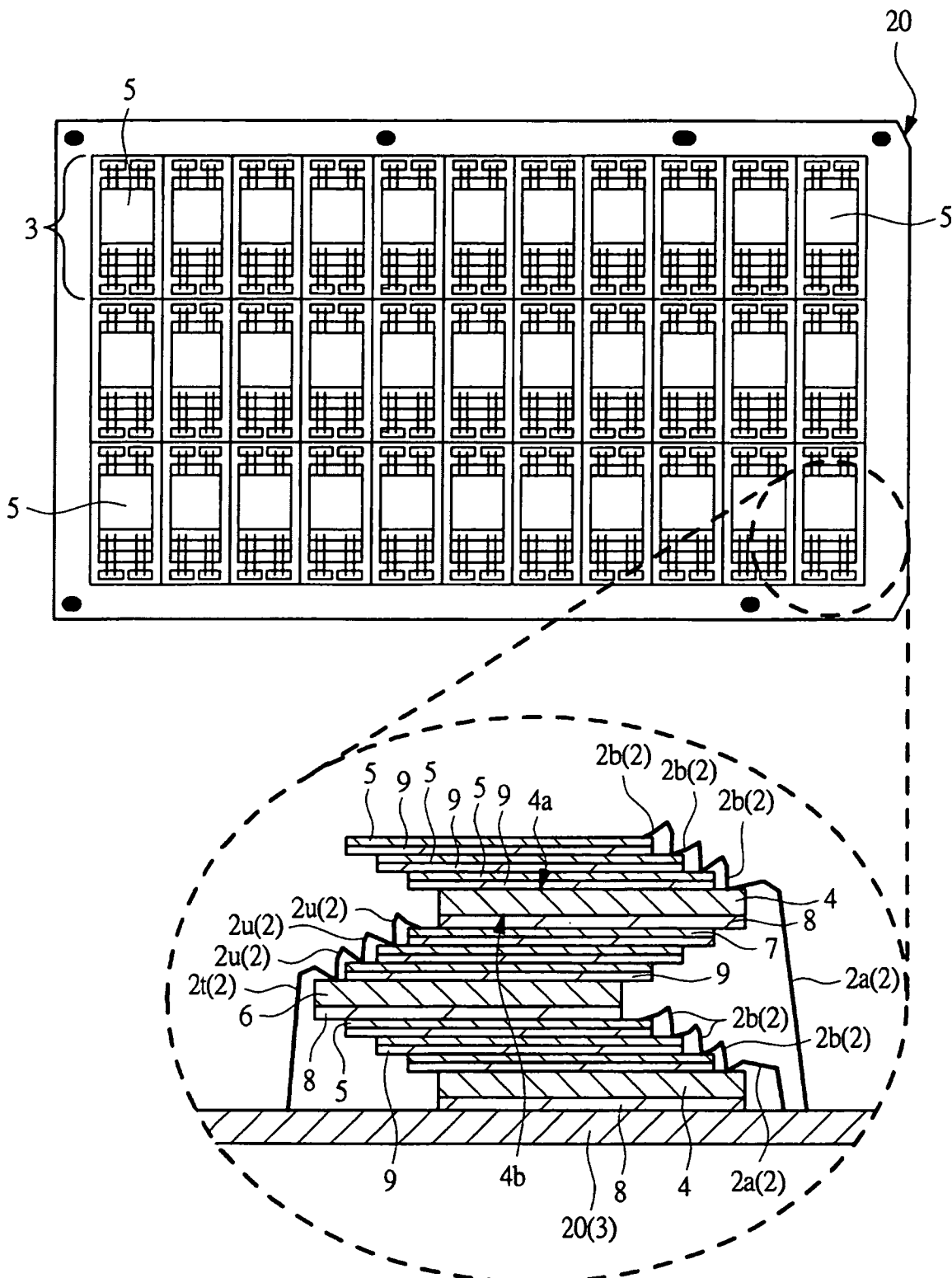


圖 36

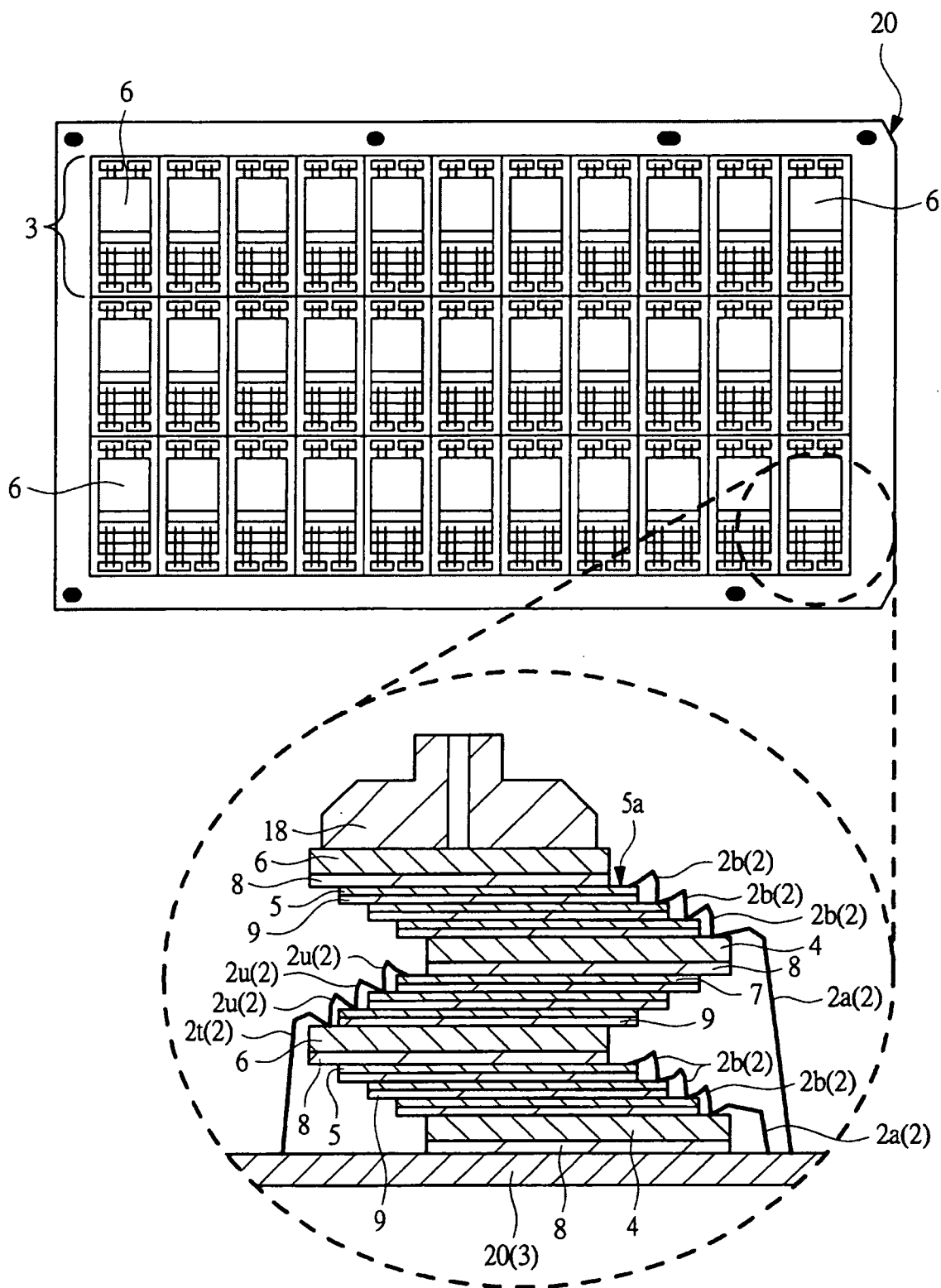


圖37

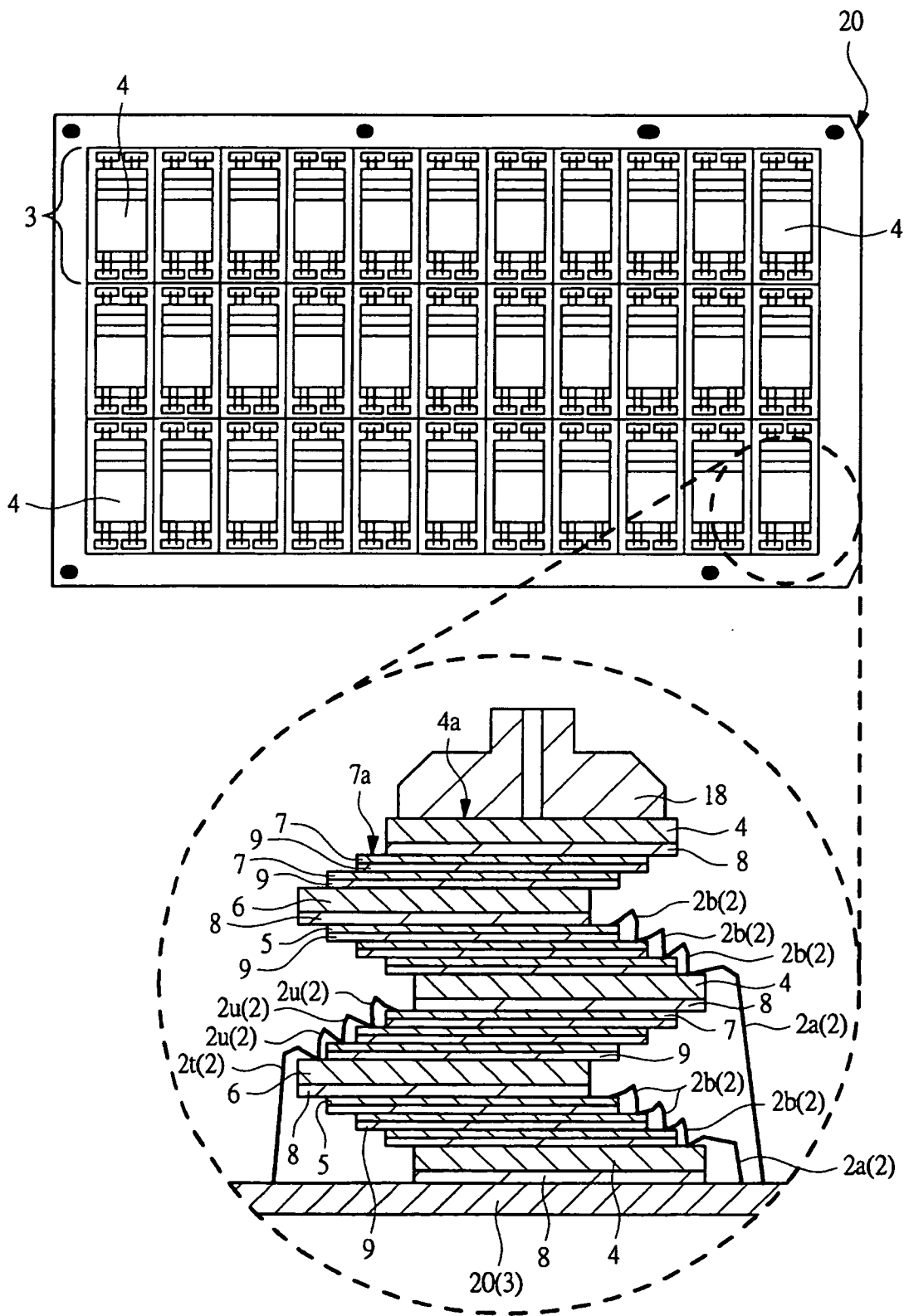


圖38

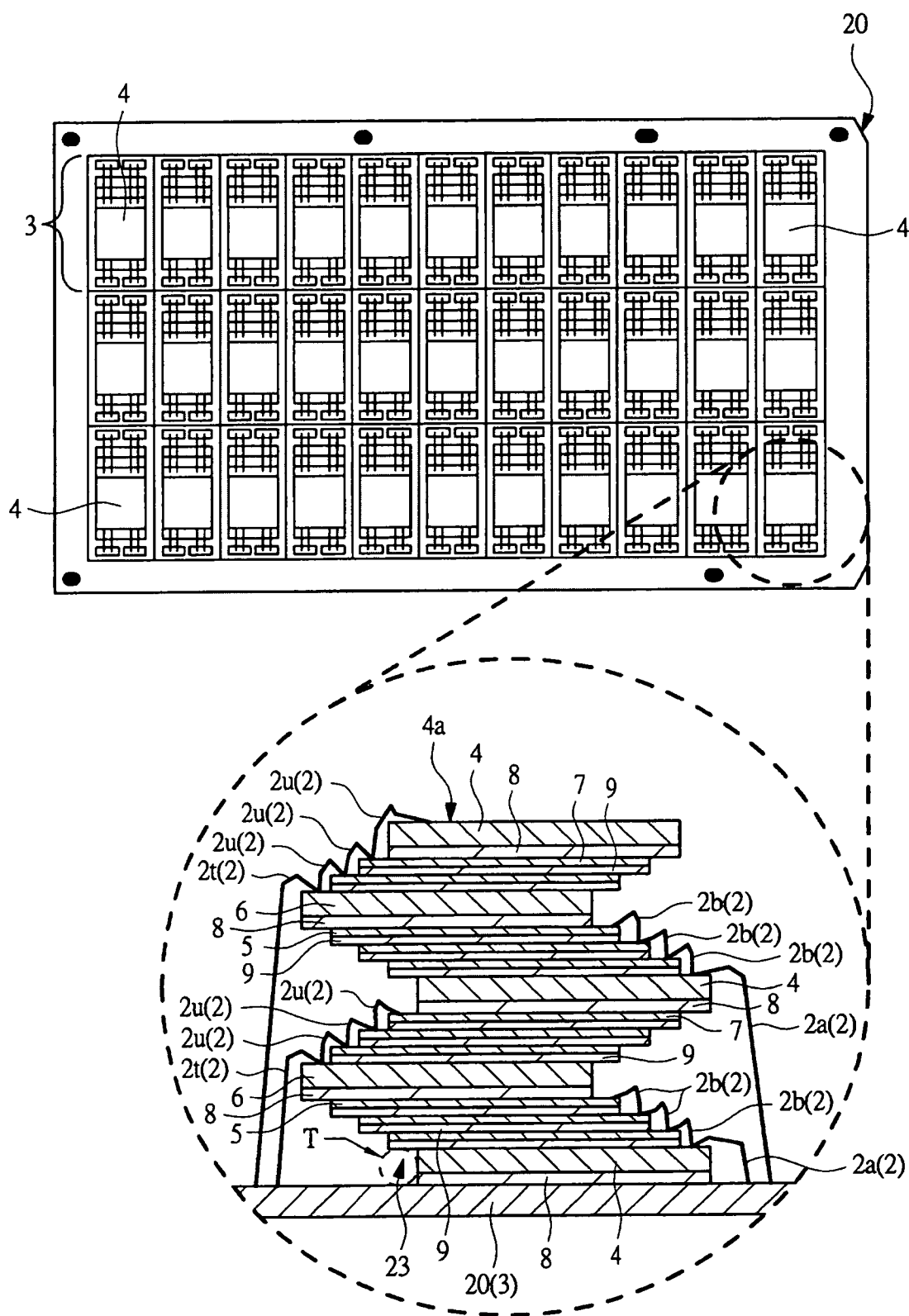


圖39

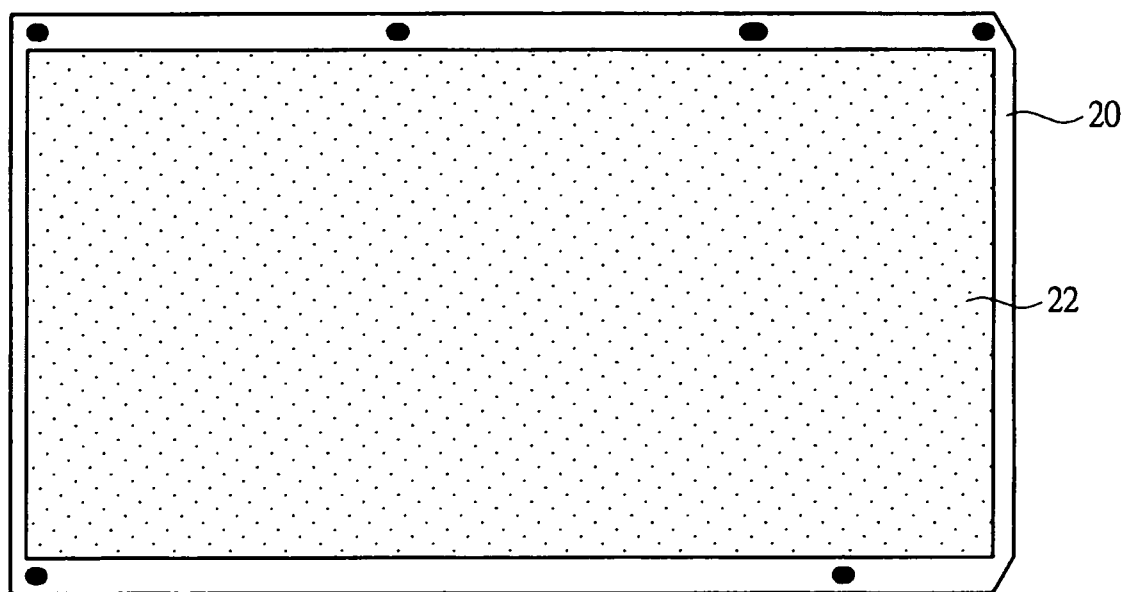


圖 40

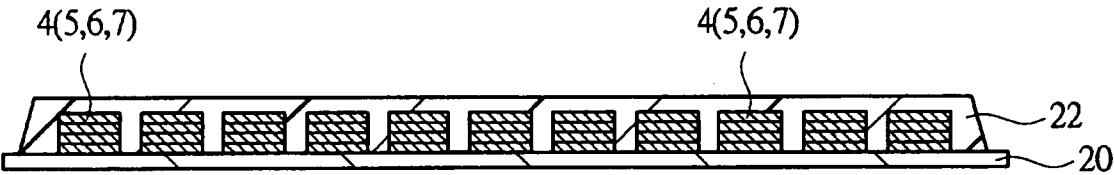


圖41

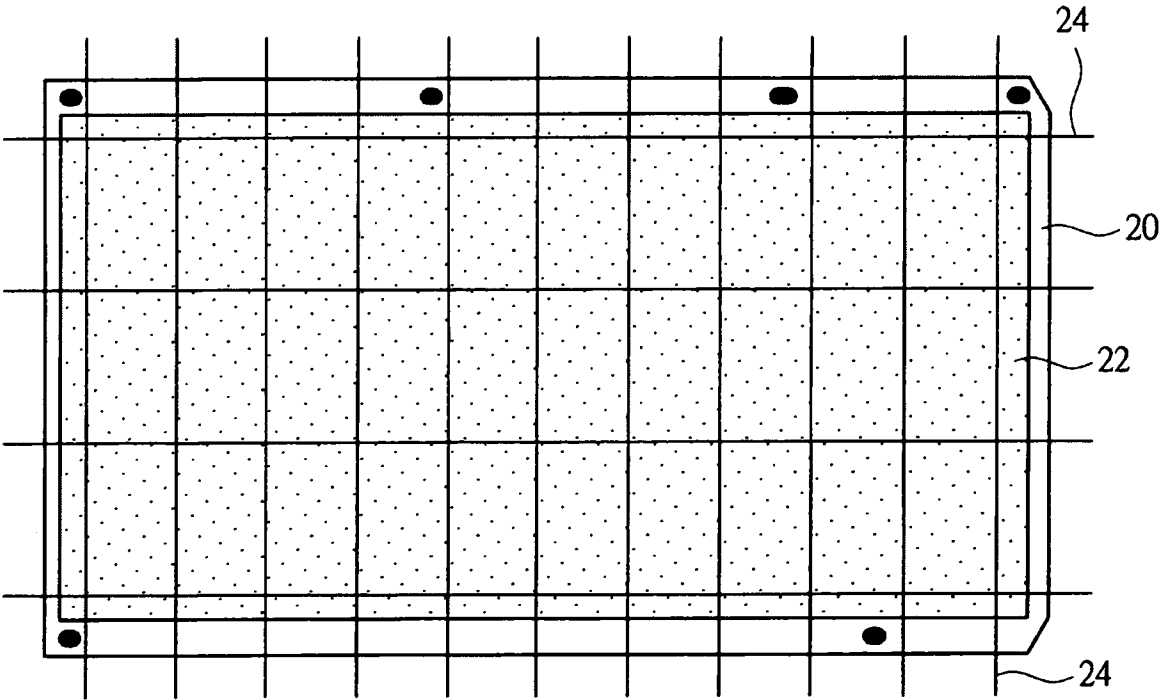


圖42

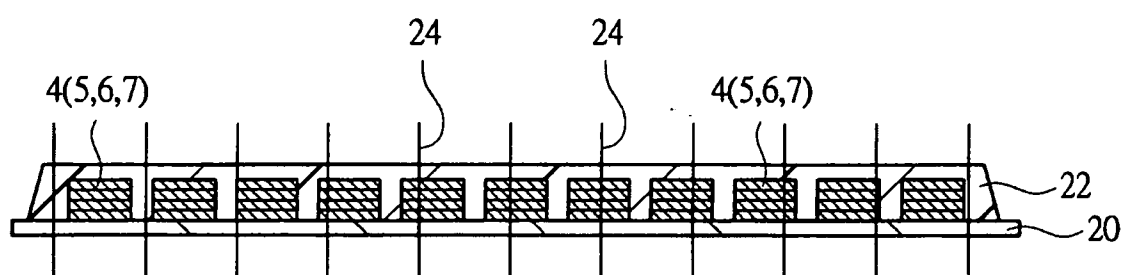


圖 43

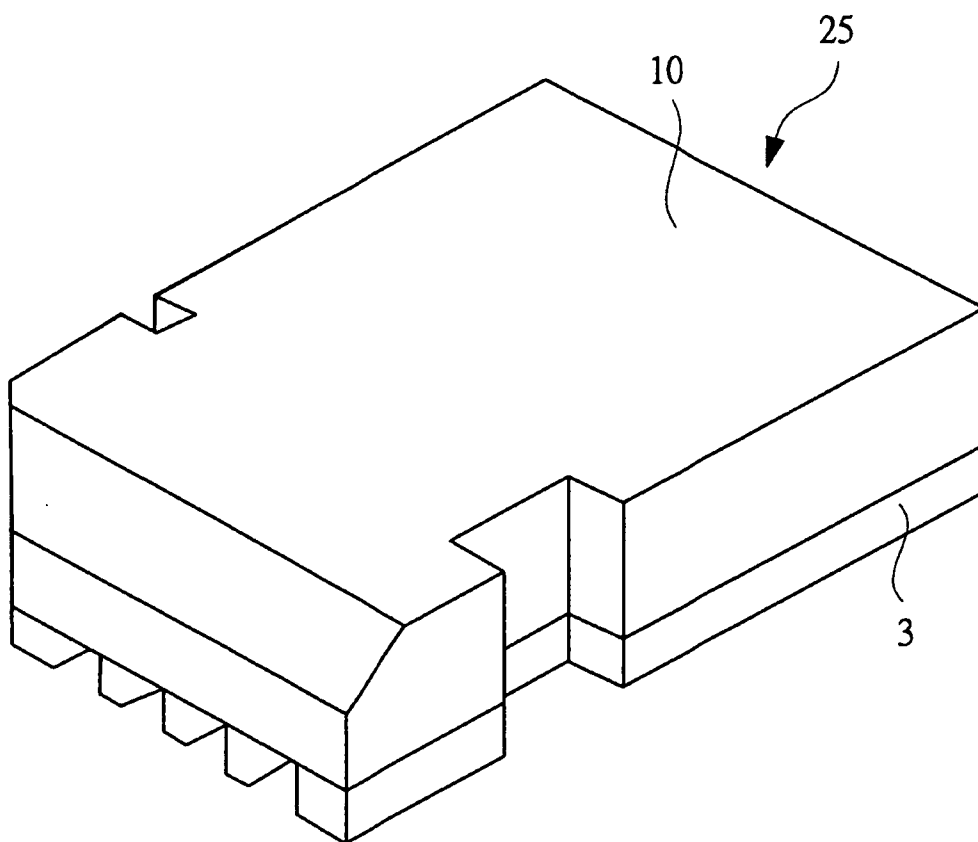


圖 44

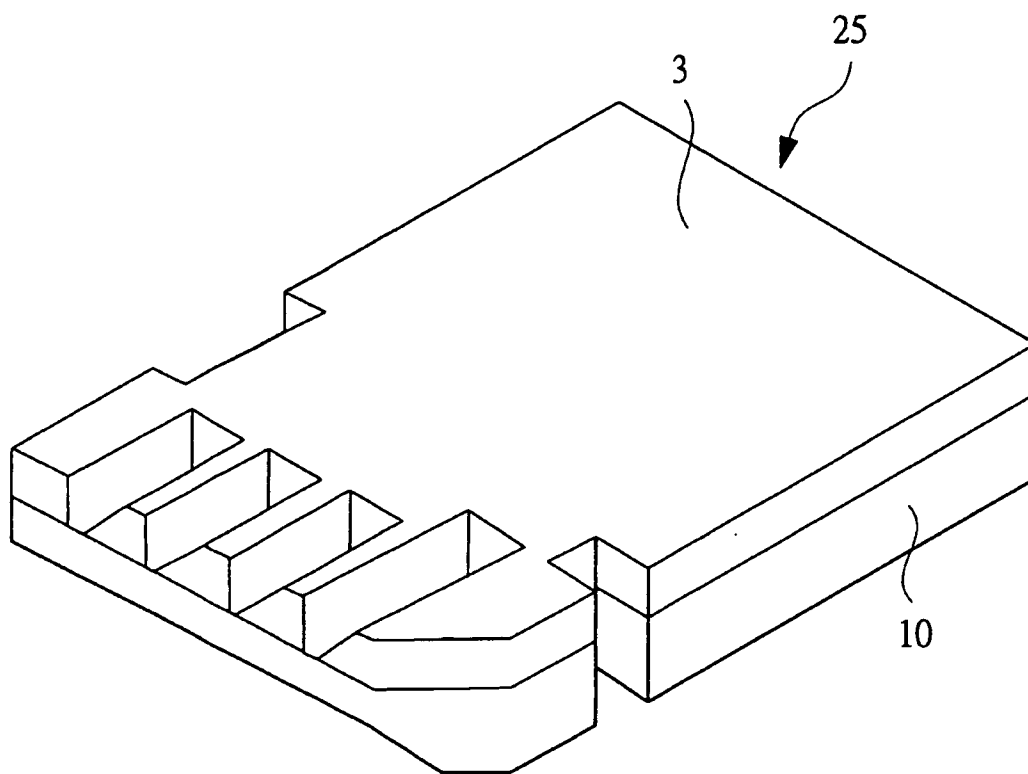


圖45

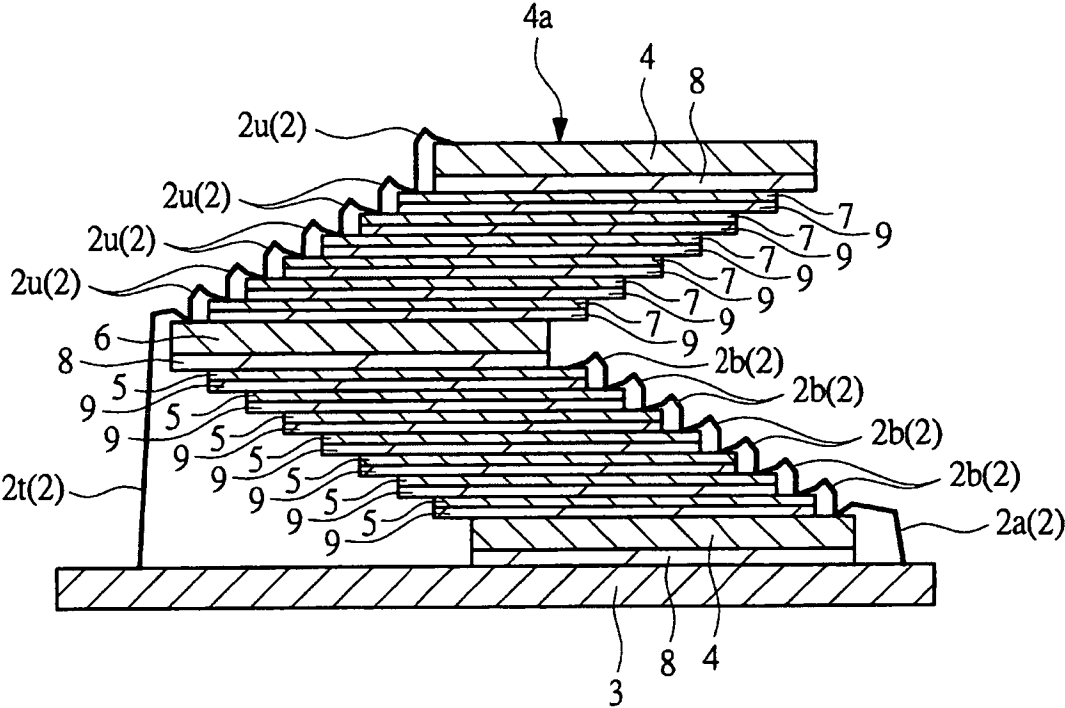


圖 46

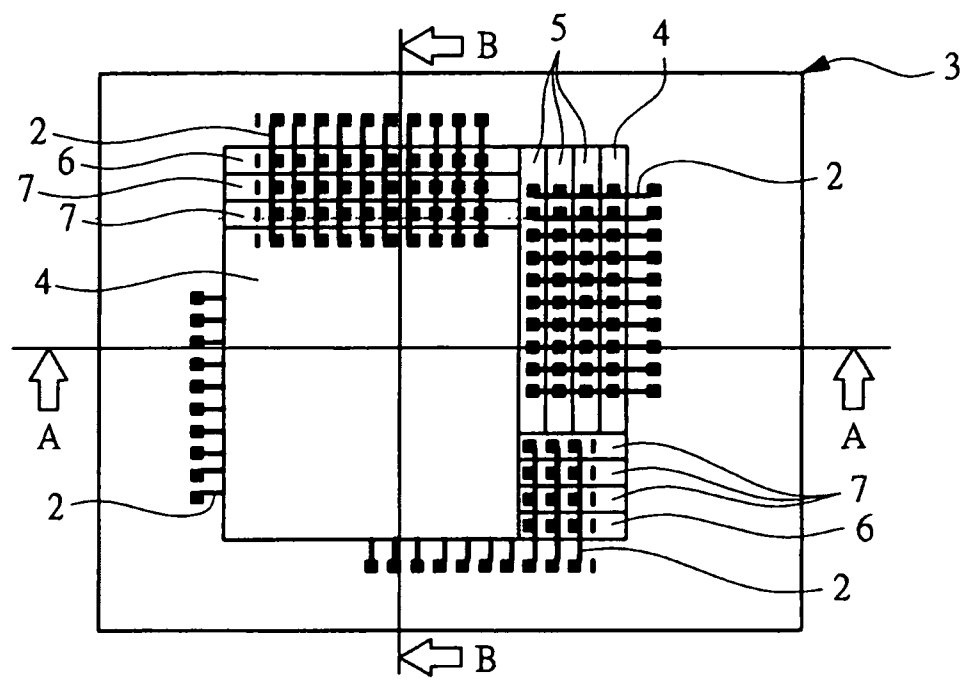


圖 47

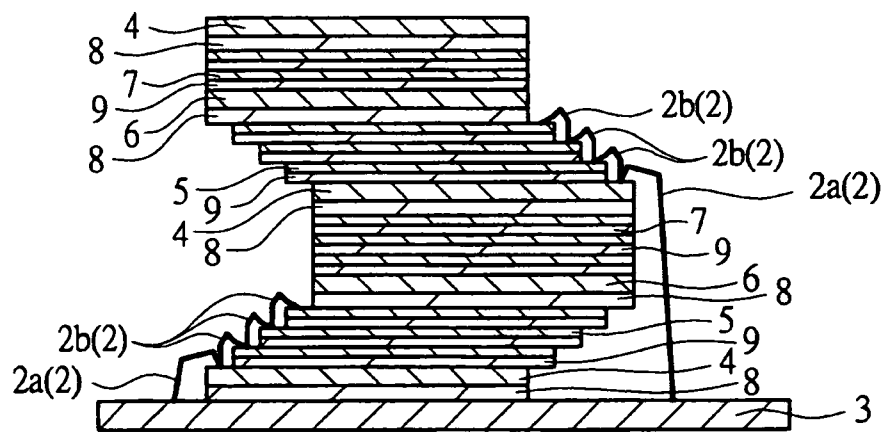


圖 48



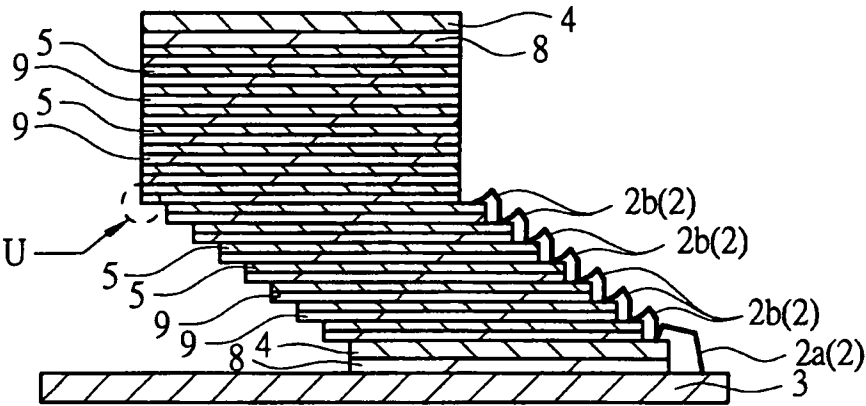


圖 51

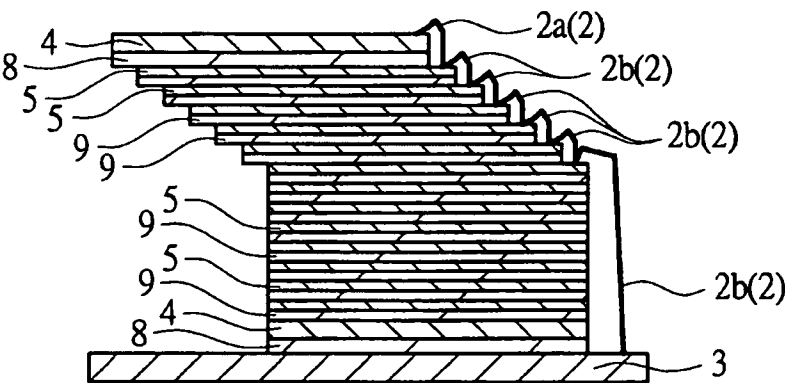


圖 52

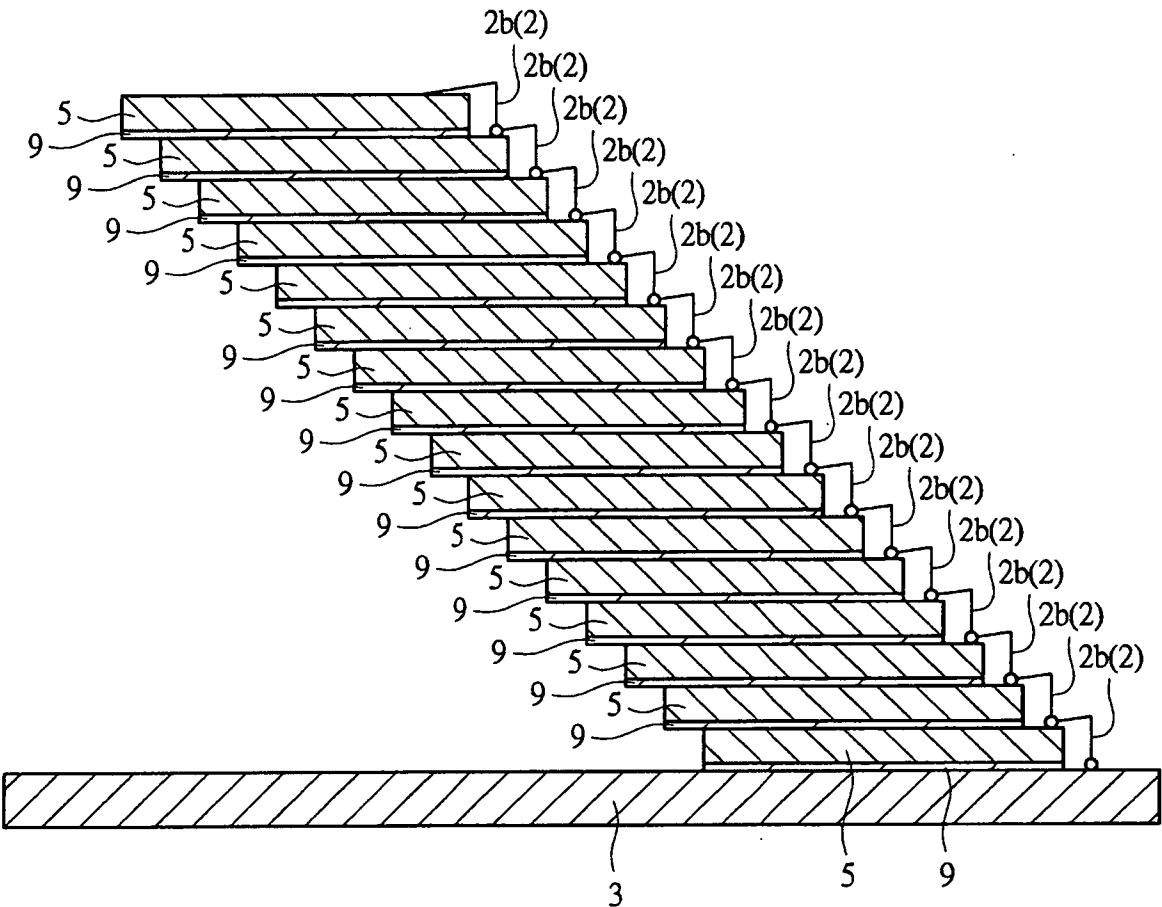


圖53

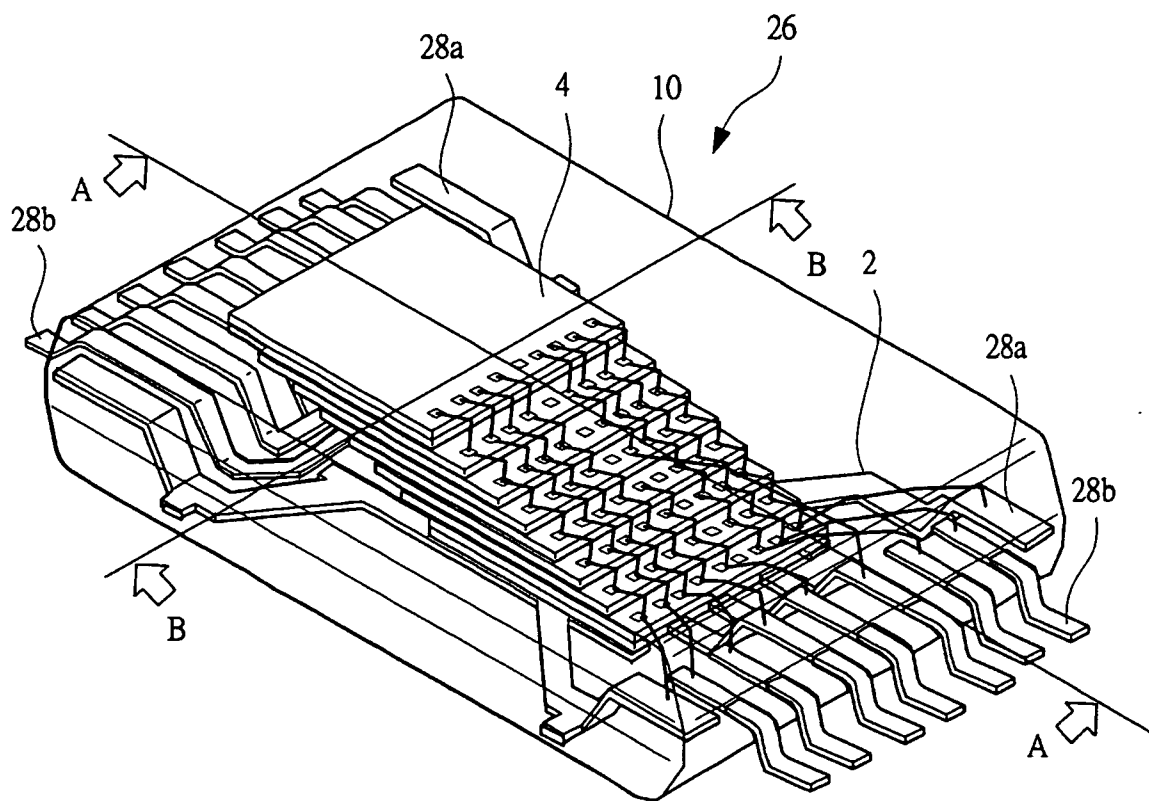


圖 54

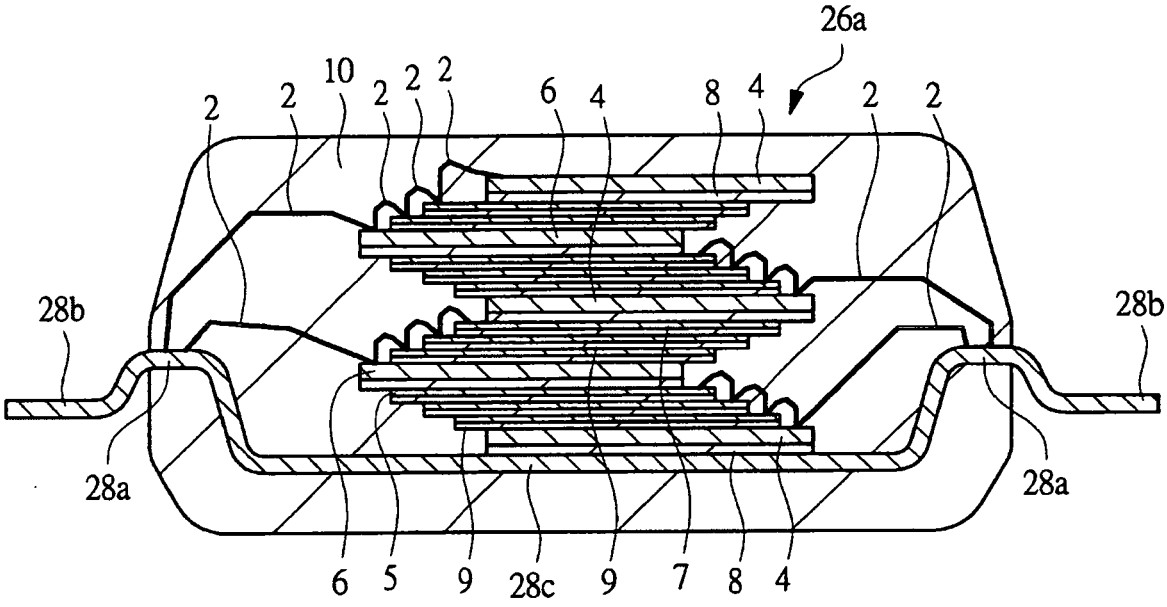


圖55

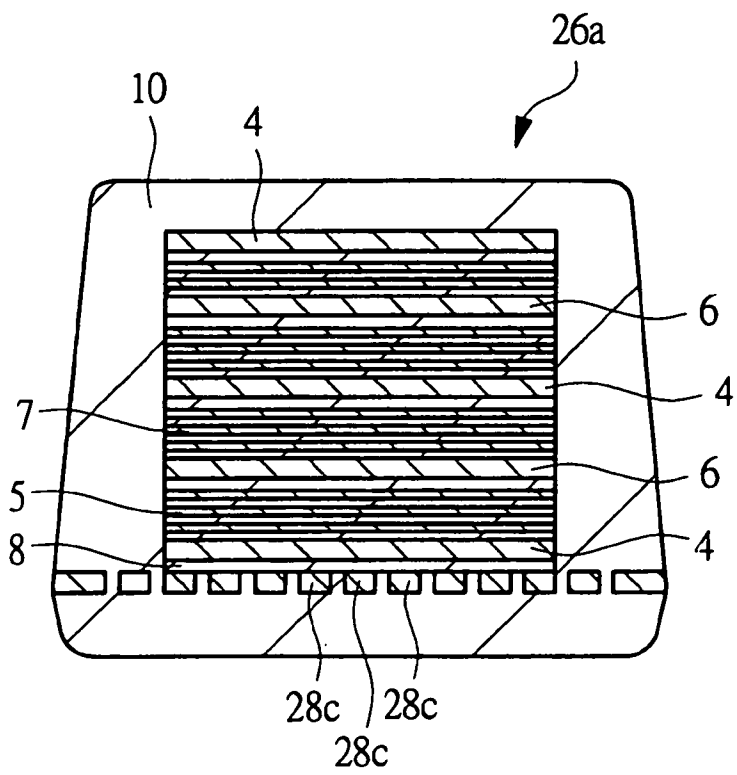


圖 56

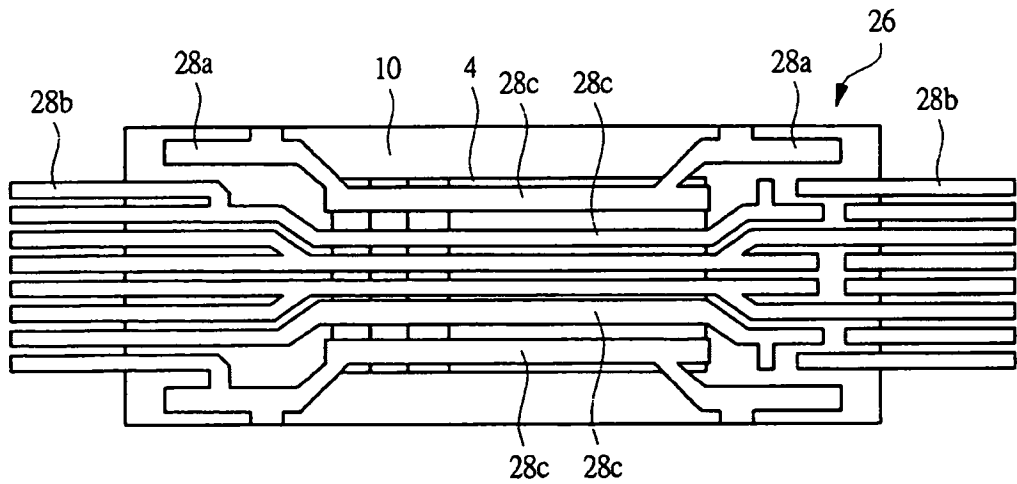


圖 57

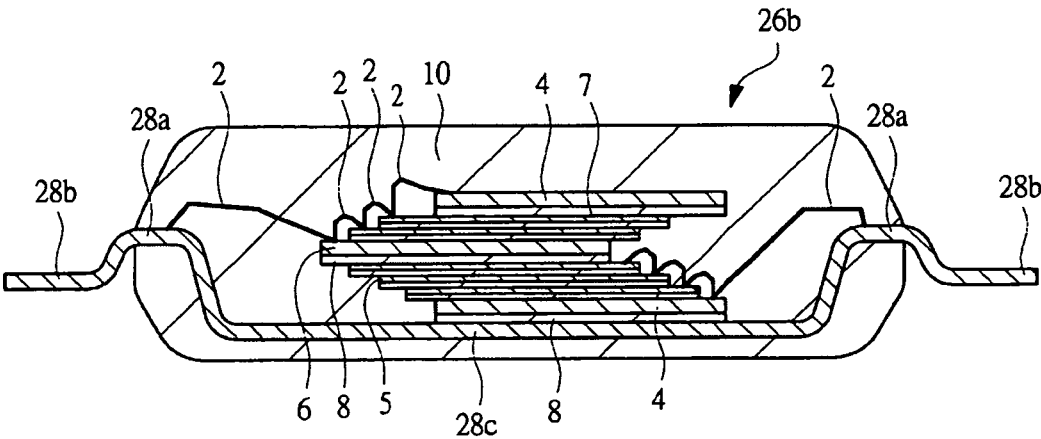


圖 58

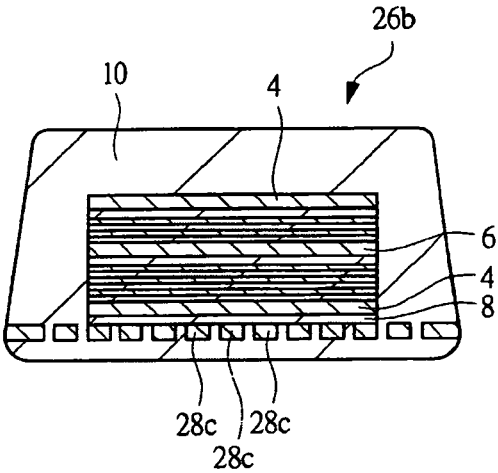


圖 59

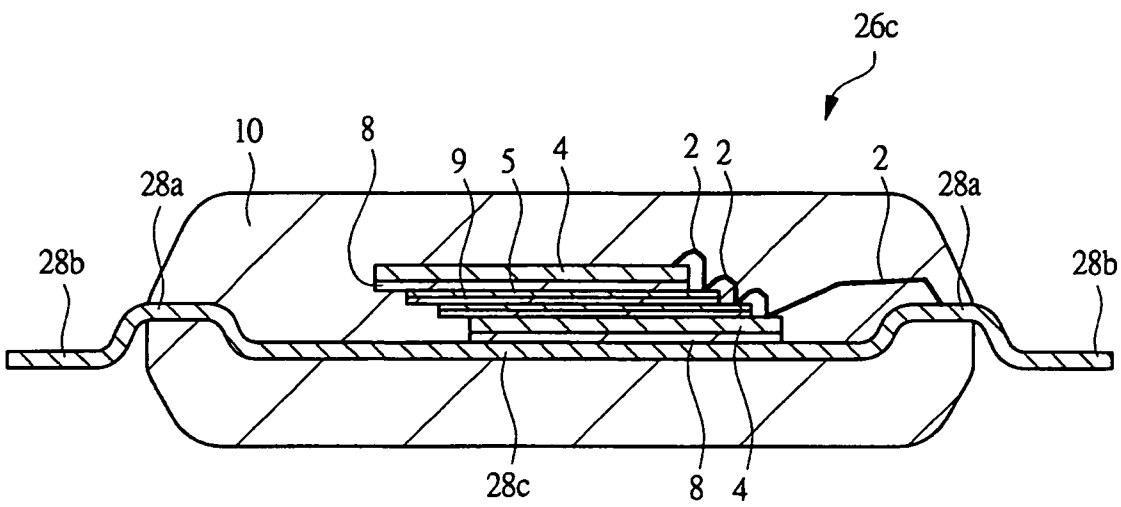


圖 60

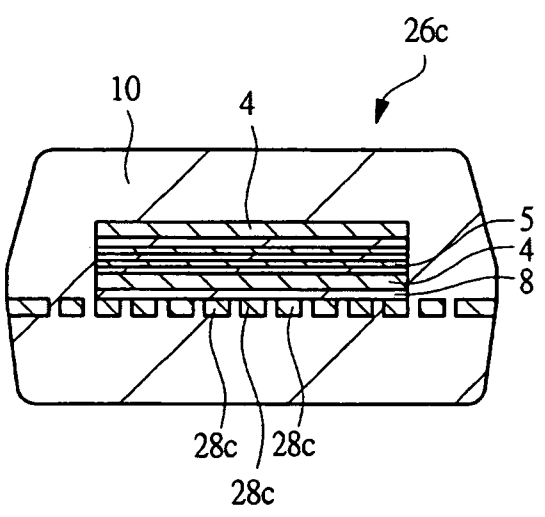


圖 61

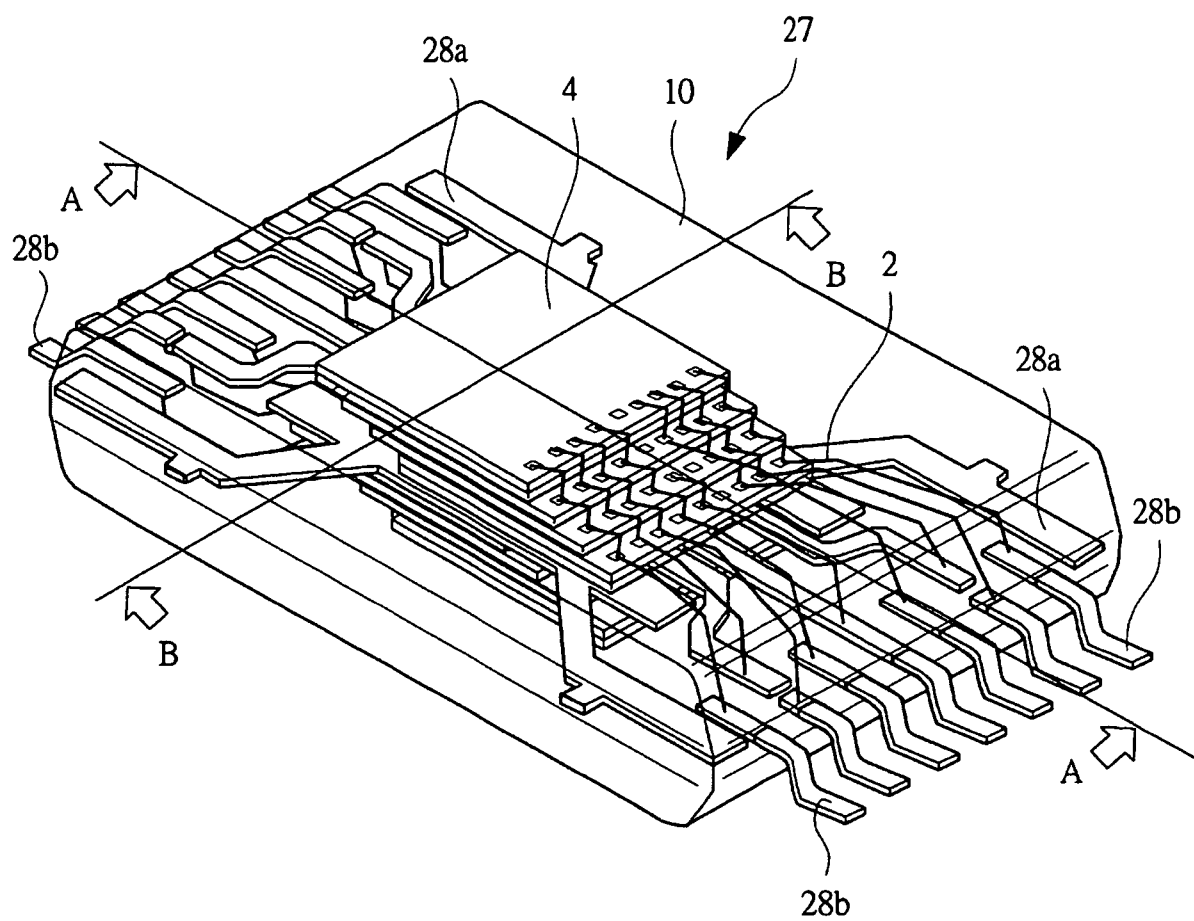


圖 62

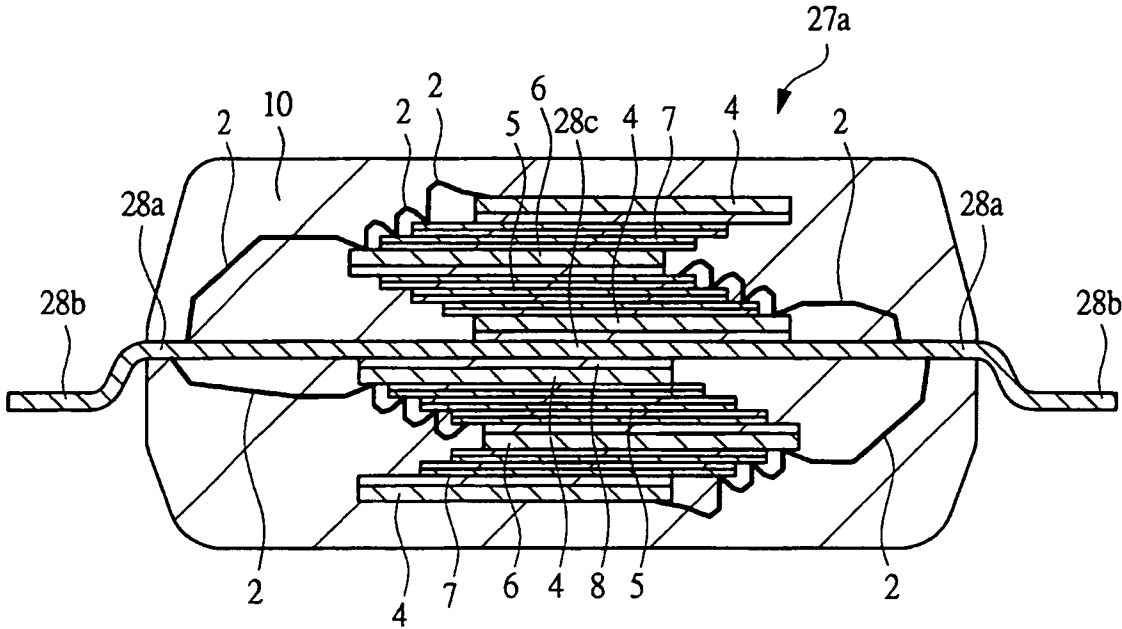


圖63

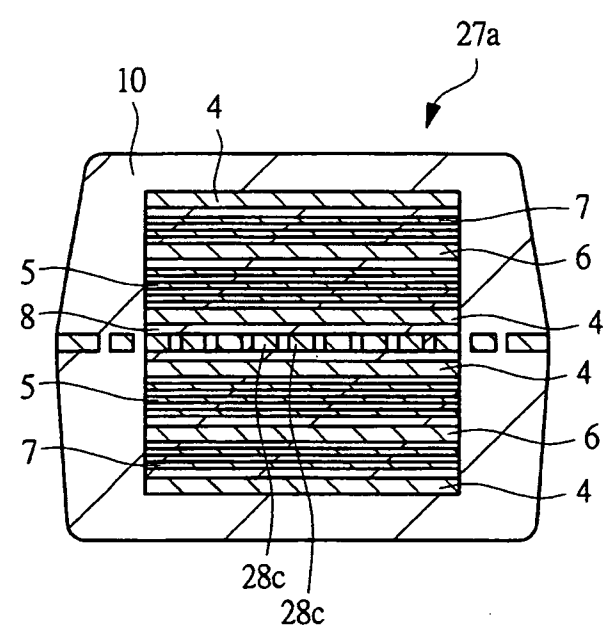


圖64

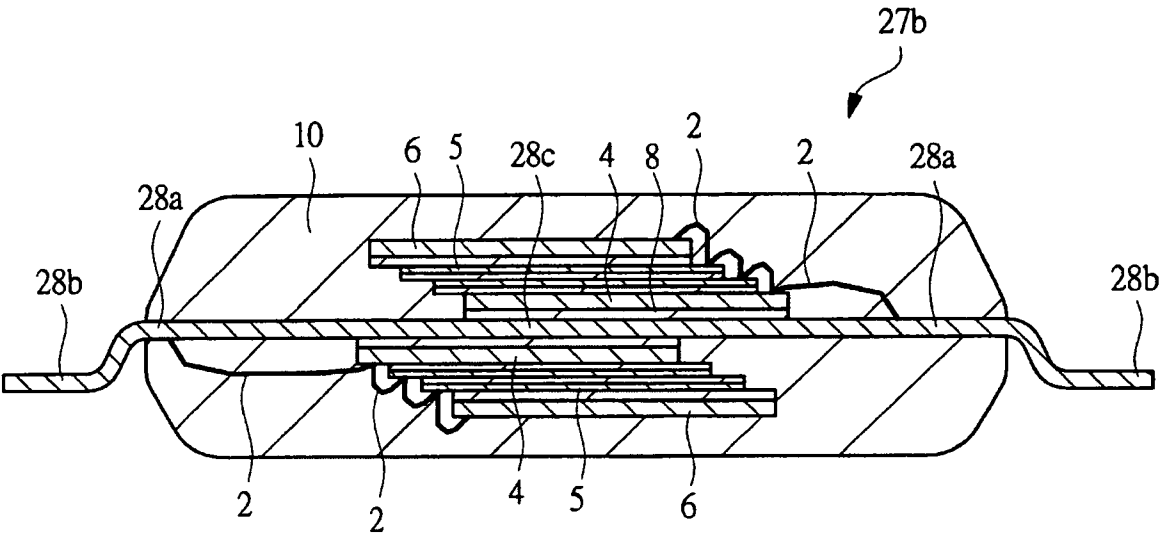


圖 65

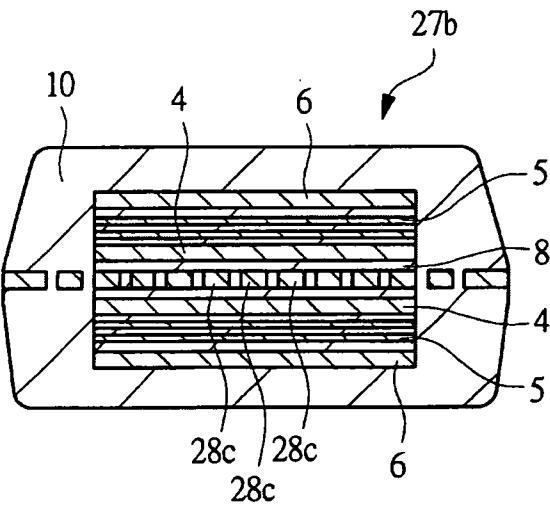


圖 66

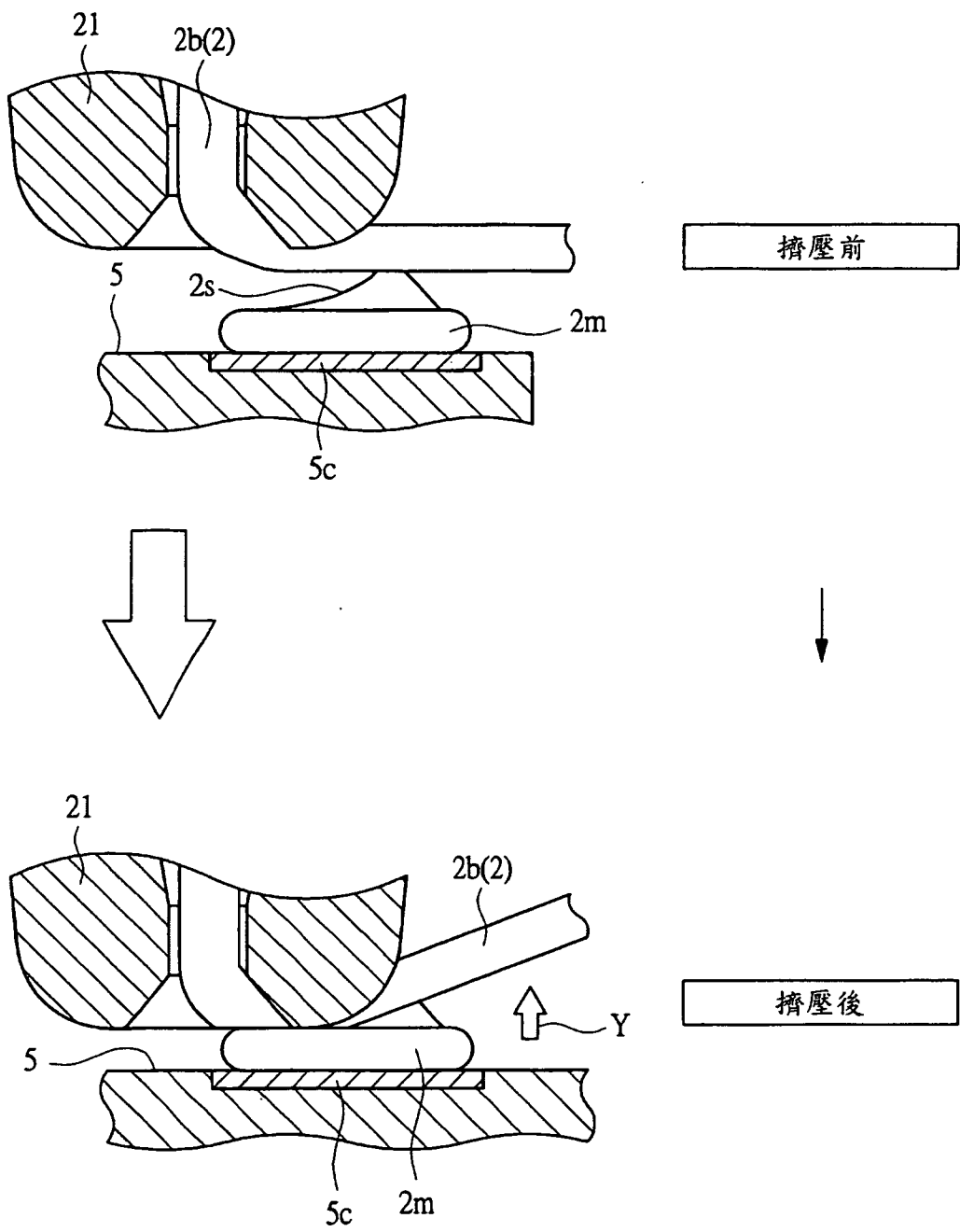


圖67

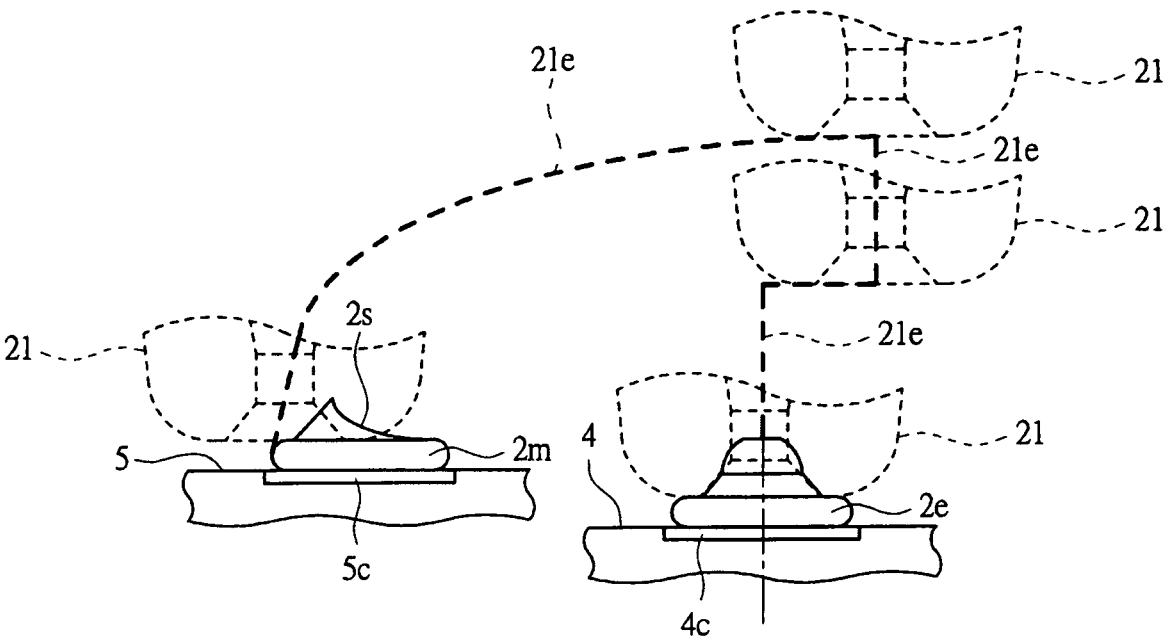


圖68

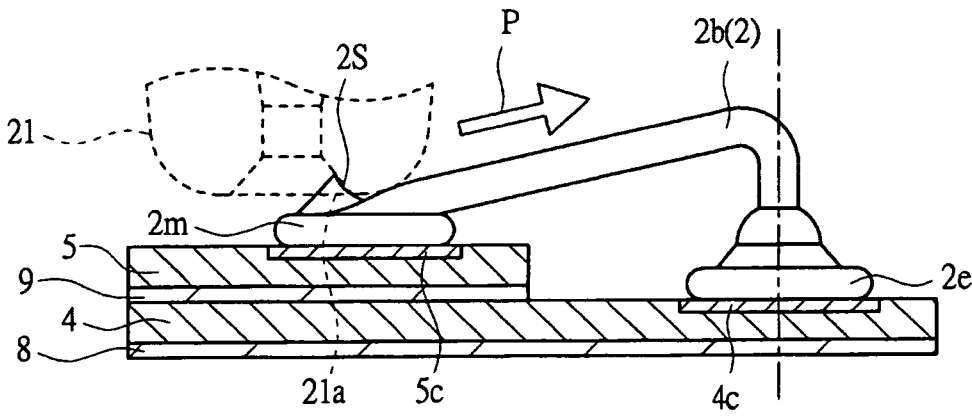


圖69

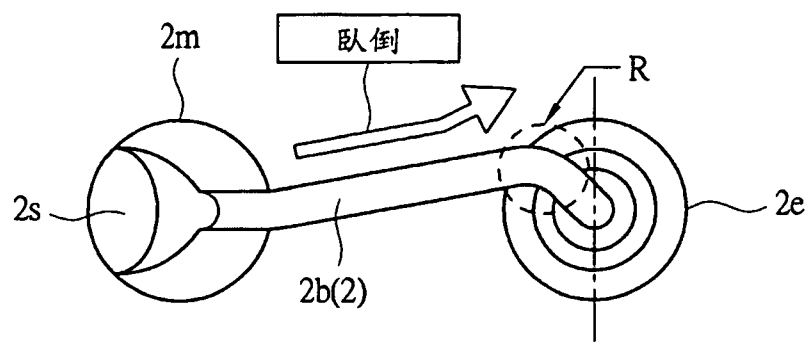


圖 70