

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6702945号  
(P6702945)

(45) 発行日 令和2年6月3日(2020.6.3)

(24) 登録日 令和2年5月11日(2020.5.11)

(51) Int.Cl.

F 1

G O 1 R 19/00 (2006.01)

G O 1 R 19/00

B

H O 1 L 21/822 (2006.01)

H O 1 L 27/04

T

H O 1 L 27/04 (2006.01)

請求項の数 8 (全 24 頁)

(21) 出願番号 特願2017-512369 (P2017-512369)  
 (86) (22) 出願日 平成27年8月20日 (2015.8.20)  
 (65) 公表番号 特表2017-533410 (P2017-533410A)  
 (43) 公表日 平成29年11月9日 (2017.11.9)  
 (86) 國際出願番号 PCT/US2015/046067  
 (87) 國際公開番号 WO2016/039962  
 (87) 國際公開日 平成28年3月17日 (2016.3.17)  
 審査請求日 平成30年8月3日 (2018.8.3)  
 (31) 優先権主張番号 14/482,456  
 (32) 優先日 平成26年9月10日 (2014.9.10)  
 (33) 優先権主張国・地域又は機関  
米国(US)

(73) 特許権者 507364838  
クアルコム、インコーポレイテッド  
アメリカ合衆国 カリフォルニア 921  
21 サンディエゴ モアハウス ドラ  
イブ 5775  
(74) 代理人 100108453  
弁理士 村山 靖彦  
(74) 代理人 100163522  
弁理士 黒田 晋平  
(72) 発明者 パート・リー・プライス  
アメリカ合衆国・カリフォルニア・921  
21・サン・ディエゴ・モアハウス・ドラ  
イブ・5775

前置審査

最終頁に続く

(54) 【発明の名称】電圧平均化を使用する分散型電圧ネットワーク回路ならびに関連するシステムおよび方法

## (57) 【特許請求の範囲】

## 【請求項 1】

複数のソースノードを備える電圧分配ソース構成要素と、  
 複数の電圧負荷ノードを備える分散型負荷回路と、  
 分散型ソース分配ネットワークであって、

前記複数のソースノードの中の各ソースノードを前記複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数の抵抗性相互接続、および

複数の電圧タップノードであって、1つの電圧タップノードが前記複数の電圧負荷ノードの中の各電圧負荷ノードに対応する、複数の電圧タップノードを備える、分散型ソース分配ネットワークと、

電圧平均化回路であって、

複数の抵抗素子であって、前記複数の抵抗素子の中の各抵抗素子が、

前記複数の電圧タップノードの中の対応する電圧タップノードに結合された入力ノード、および

出力ノードを備える、複数の抵抗素子、ならびに

前記複数の抵抗素子の中の各抵抗素子の前記出力ノードに結合され、前記分散型負荷回路の平均電圧を供給するように構成された電圧出力ノードを備える、電圧平均化回路と、

複数のトランジスタであって、前記複数のトランジスタの中の各トランジスタが、前記複数のソースノードの中の1つのソースノードおよび前記複数の電圧負荷ノードの中の1つ

の電圧負荷ノードに対応し、前記複数のトランジスタの中の少なくとも2つのトランジスタが、異なるチャネル幅を有する、複数のトランジスタとを備え、

前記電圧平均化回路内の前記複数の抵抗素子の中の各抵抗素子が、前記対応する電圧タップノードの前記電圧負荷ノードに対応する前記トランジスタのチャネル幅に基づく抵抗を有する、分散型電圧ネットワーク回路。

**【請求項 2】**

前記複数の抵抗素子の中の各抵抗素子が抵抗体を備える、請求項1に記載の分散型電圧ネットワーク回路。

**【請求項 3】**

前記複数のトランジスタの中の各トランジスタが、n型金属酸化膜半導体(NMOS)トランジスタである、請求項1に記載の分散型電圧ネットワーク回路。

10

**【請求項 4】**

前記複数のトランジスタの中の各トランジスタが、p型金属酸化膜半導体(PMOS)トランジスタである、請求項1に記載の分散型電圧ネットワーク回路。

**【請求項 5】**

前記分散型負荷回路に供給される電圧を調整するように構成された電圧調整器回路をさらに備え、前記電圧調整器回路が、

基準電圧源に結合された第1の入力と、

前記電圧平均化回路の前記電圧出力ノードに結合された第2の入力と、

20

前記分散型ソース分配ネットワークに結合された出力とを備える、請求項1に記載の分散型電圧ネットワーク回路。

**【請求項 6】**

分散型負荷回路の平均電圧を計算する方法であって、

ソース電圧を前記分散型負荷回路の複数の電圧負荷ノードに分散型ソース分配ネットワークを介して分配するステップであって、前記分散型ソース分配ネットワークが、複数のソースノードの各ソースノードを前記複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数の抵抗性相互接続を備える、分配するステップと、

前記複数の電圧負荷ノードにおいて前記ソース電圧を受けるステップと、

複数の電圧タップノードのうちの対応する電圧タップノードを介して前記複数の電圧負荷ノードの中の各電圧負荷ノードにおいて存在する電圧を決定するステップであって、1つの電圧タップノードが前記複数の電圧負荷ノードの中の各電圧負荷ノードに対応する、ステップと、

30

前記複数の電圧タップノードの中の各電圧タップノードにおいて存在する前記電圧を複数の抵抗素子の中の対応する抵抗素子に供給するステップと、

前記複数の抵抗素子の中の各抵抗素子の出力電圧を、前記分散型負荷回路の前記平均電圧を供給するように構成された電圧出力ノードに供給するステップと、

前記電圧出力ノード上の前記平均電圧をスケーリングするステップとを含み、

前記分散型負荷回路を備える分散型電圧ネットワーク回路が、複数のトランジスタを備え、前記複数のトランジスタの中の各トランジスタが、前記複数のソースノードの中の1つのソースノードおよび前記複数の電圧負荷ノードの中の1つの電圧負荷ノードに対応し、前記複数のトランジスタの中の少なくとも2つのトランジスタが、異なるチャネル幅を有し、

40

前記複数の抵抗素子の中の各抵抗素子が、前記対応する電圧タップノードの前記電圧負荷ノードに対応する前記トランジスタのチャネル幅に基づく抵抗を有する、方法。

**【請求項 7】**

分散型電圧ネットワーク回路を含む、オンダイ電流測定システムであって、

前記分散型電圧ネットワーク回路は、

複数のソースノードを備える電圧分配ソース構成要素と、

50

複数の電圧負荷ノードを備える分散型負荷回路と、  
分散型ソース分配ネットワークであって、

前記複数のソースノードの中の各ソースノードを前記複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数の抵抗性相互接続、および

複数の電圧タップノードであって、1つの電圧タップノードが前記複数の電圧負荷ノードの中の各電圧負荷ノードに対応する、複数の電圧タップノードを備える、分散型ソース分配ネットワークと、

電圧平均化回路であって、

複数の抵抗素子であって、前記複数の抵抗素子の中の各抵抗素子が抵抗体を備え、前記複数の抵抗素子の中の各抵抗素子が、さらに、

前記複数の電圧タップノードの中の対応する電圧タップノードに結合された入力ノード、および

出力ノードを備る、複数の抵抗素子、ならびに

前記複数の抵抗素子の中の各抵抗素子の前記出力ノードに結合され、前記分散型負荷回路の平均電圧を供給するように構成された電圧出力ノードを備える、電圧平均化回路とを備え、

前記オンダイ電流測定システムは、さらに

電圧源と、

複数のカスコードトランジスタと、

複数のヘッドスイッチトランジスタであって、前記複数のヘッドスイッチトランジスタの中の各ヘッドスイッチトランジスタが前記電圧源に結合される、複数のヘッドスイッチトランジスタと、

複数のミラートランジスタであって、前記複数のミラートランジスタの中の各ミラートランジスタが前記電圧源に結合される、複数のミラートランジスタとを備え、

前記分散型ソース分配ネットワークが、

前記複数のヘッドスイッチトランジスタの中の各ヘッドスイッチトランジスタを前記複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数のヘッドスイッチ抵抗性相互接続と、

前記複数のミラートランジスタの中の各ミラートランジスタを前記複数のカスコードトランジスタの中の対応するカスコードトランジスタのソースに相互接続する複数のミラー抵抗性相互接続と、

各ヘッドスイッチ電圧タップノードが前記複数の電圧負荷ノードの中の1つの電圧負荷ノードに対応する、複数のヘッドスイッチ電圧タップノードと、

各ミラー電圧タップノードが前記複数のカスコードトランジスタの中の1つのカスコードトランジスタに対応する、複数のミラー電圧タップノードとを備え、

前記電圧平均化回路が、複数の抵抗体およびヘッドスイッチ電圧出力ノードを備えるヘッドスイッチ電圧平均化回路であり、

前記複数の抵抗体の中の各抵抗体が、

前記複数のヘッドスイッチ電圧タップノードの中の対応するヘッドスイッチ電圧タップノードに結合された入力ノード、および

出力ノードを備え、

前記ヘッドスイッチ電圧出力ノードが、各抵抗体の前記出力ノードに結合され、前記分散型負荷回路内に存在する平均ヘッドスイッチ電圧を供給するように構成され、

前記オンダイ電流測定システムは、さらに、

複数の抵抗体およびミラー電圧出力ノードを備えるミラー電圧平均化回路であって、

前記複数の抵抗体の中の各抵抗体が、

前記複数のミラートランジスタの中の対応するミラートランジスタに結合された入力ノード、および

10

20

30

40

50

出力ノードを備え、

前記ミラー電圧出力ノードが、各抵抗体の前記出力ノードに結合され、前記複数のカスコードトランジスタ内に存在する平均ミラー電圧を供給するように構成された、ミラー電圧平均化回路と、

検出抗体に結合された前記複数のカスコードトランジスタの中の各カスコードトランジスタのドレインと、

電圧をアナログデジタル変換器(ADC)に供給するように構成された前記検出抗体と、

前記検出抗体からの前記電圧を、前記分散型負荷回路の電源電流を表すデジタル信号に変換するように構成された前記ADCと、

演算増幅器であって、

10

前記ヘッドスイッチ電圧出力ノードに結合された第1の演算増幅器入力、

前記ミラー電圧出力ノードに結合された第2の演算増幅器入力、および

前記複数のカスコードトランジスタに対応するゲートに結合された演算増幅器出力ノードを備える、演算増幅器と

を備える、オンダイ電流測定システム。

#### 【請求項 8】

前記分散型負荷回路に供給される電圧を調整するように構成された電圧調整器回路をさらに備え、前記電圧調整器回路が、

基準電圧源に結合された第1の電圧調整器入力と、

20

前記ヘッドスイッチ電圧平均化回路の前記ヘッドスイッチ電圧出力ノードに結合された第2の電圧調整器入力と、

前記複数のヘッドスイッチトランジスタの中の各ヘッドスイッチトランジスタのゲート、および、前記複数のミラートランジスタの中の各ミラートランジスタのゲートに結合された電圧調整器出力とをさらに備える、請求項7に記載のオンダイ電流測定システム。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

##### 優先権出願

本出願は、その全体が参照により本明細書に組み込まれている、2014年9月10日に出願した「DISTRIBUTED VOLTAGE NETWORK CIRCUITS EMPLOYING VOLTAGE AVERAGING, AND RELATED SYSTEMS AND METHODS」と題する米国特許出願第14/482,456号の優先権も主張するものである。

30

##### 【0002】

本開示の技術は、一般に、分散型電圧ネットワーク回路に関し、特に、そのような回路内の電圧および電流を測定することに関する。

##### 【背景技術】

##### 【0003】

熱放射は、集積回路(IC)設計において関心が高まっている問題である。IC内の高温は、キャリア移動度低下を引き起こすことがあり、キャリア移動度低下によって、ICの動作が減速し、抵抗率が増加し、かつ/または回路故障が引き起こされることがある。この問題は、電圧スケーリングが減速し、単位面積当たりの能動部品の数が増加するにつれて、特に重要になってきた。この点について、マイクロプロセッサまたはキャッシュメモリなど、半導体ダイ上に組み立てられたICの温度は、IC内の電流測定値に基づいて決定または推定されることがある。非限定的な例として、IC内の電流測定は、IC内の電流が規定された電流しきい値を超えるかどうかを決定するために使用されることがある。IC内の測定された電流が規定の電流しきい値を超える場合、ICに対応する制御システムは、ICが過熱するのを予防することなど、IC性能を改善するいくつかの機能を実行するように構成されることがある。

40

##### 【0004】

半導体ダイ上のICのオンダイ電流測定値(on-die current measurement)がICの温度を推

50

定するために使用されることがあるが、IC内の電流を正確に測定することは、難しいことがある。特に、電圧分布、およびしたがって電流分布は、IC内の分散された回路素子にわたって異なることがあるので、ICの特定のエリアの電流プロファイルは、必ずしも、ICの他のエリアまたは全ICの電流プロファイルを示すとは限らない。たとえば、ICの第1のエリアに分配された第1の電流は、ICの第2のエリアに分配された第2の電流と異なることがある。したがって、ICの1つの特定のエリアにおける電流を測定することで、IC内の電流全体の正確な表現がもたらされないことがある。不正確なIC内の電流測定値は、不正確なIC内の温度推定値をもたらし、そのことが、ICの性能を改善するように構成された温度ベースの機能の有効性を低下させることがある。

【発明の概要】

10

【発明が解決しようとする課題】

【0005】

この点について、IC内の分散された素子にわたって変化する電圧および電流のプロファイルの観点から、オンダイ電流をより正確に測定することが有利である。特に、より正確なオンダイ電流測定値を提供することによって、電流測定値を使用してシステム性能を高める、対応する制御システム内の機能によって生成される結果を改善することができる。

【課題を解決するための手段】

【0006】

発明を実施するための形態において開示される態様には、電圧平均化を使用する分散型電圧ネットワーク回路が含まれる。関連するシステムおよび方法も開示される。一態様では、集積回路(IC)内の分散型負荷回路の1つのエリアに分配された電圧は、同じ分散型負荷回路の第2のエリアに分配された電圧から変化するがあるので、分散型電圧ネットワーク回路は、複数のエリアからの電圧をタップして分散型負荷回路内に分配された平均電圧を計算するように構成される。分散型電圧ネットワーク回路は、複数のソースノードを有する電圧分配ソース構成要素を含む。電圧は、各ソースノードから分散型負荷回路の対応する電圧負荷ノードに分配ネットワーク内の抵抗性相互接続を介して分配される。電圧タップノードは、対応する電圧負荷ノードの各々からの電圧にアクセスするために分配ネットワーク内で使用される。分散型負荷回路内の平均電圧を計算するために、各電圧タップノードは、電圧平均化回路内の対応する抵抗素子の入力ノードに結合される。さらに、各抵抗素子の出力ノードが、電圧平均化回路の1つの電圧出力ノードに結合される。各抵抗素子の入力ノードが対応する電圧タップノードに結合されている間に各抵抗素子の出力ノードを結合することで、分散型負荷回路の平均電圧が電圧出力ノード上に生成される。

20

【0007】

特定の電圧負荷ノードにおける電圧は、別の電圧負荷ノードにおける電圧と比較して変化があるので、決定された平均電圧は、分散型負荷回路全体にわたる電圧のより正確な測定値をもたらす。したがって、平均電圧は、ICの特定の1つのエリアまたは単一の電圧負荷ノードにおける電圧を使用して電流を計算することと比較して、分散型負荷回路内の電流をより正確に計算するために使用され得る。より正確な電流測定値は、電流測定値を使用してシステム性能を高める、対応する制御システム内の機能を改善することができる。

30

【0008】

この点について一態様では、分散型電圧ネットワーク回路が開示される。分散型電圧ネットワーク回路は、電圧分配ソース構成要素を備える。電圧分配ソース構成要素は、複数のソースノードを備える。分散型電圧ネットワーク回路は、複数の電圧負荷ノードを備える分散型負荷回路をさらに備える。分散型電圧ネットワーク回路は、分散型ソース分配ネットワークをさらに備える。分散型ソース分配ネットワークは、複数のソースノードの中の各ソースノードを複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数の抵抗性相互接続を備える。分散型ソース分配ネットワークは、複数の電圧タップノードをさらに備え、各電圧タップノードは、複数の電圧負荷ノードの中の1つの電圧負荷

40

50

ノードに対応する。分散型電圧ネットワーク回路は、電圧平均化回路をさらに備える。電圧平均化回路は、複数の抵抗素子を備える。複数の抵抗素子の中の各抵抗素子は、複数の電圧タップノードの中の対応する電圧タップノードに結合された入力ノードと、出力ノードとを備える。電圧平均化回路は、複数の抵抗素子の中の各抵抗素子の出力ノードに結合された電圧出力ノードをさらに備える。電圧出力ノードは、分散型負荷回路内の平均電圧をもたらすように構成される。

#### 【0009】

別の態様では、分散型電圧ネットワーク回路が開示される。分散型電圧ネットワーク回路は、ソース電圧を複数の電圧負荷ノードに分散型ソース分配ネットワークを介して分配するための手段を含み、分散型ソース分配ネットワークは、複数のソースノードの各ソースノードを複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数の抵抗性相互接続を備える。分散型電圧ネットワーク回路は、複数の電圧負荷ノードにおいてソース電圧を受けるための手段をさらに含む。分散型電圧ネットワーク回路は、複数の電圧タップノードのうちの対応する電圧タップノードを介して複数の電圧負荷ノードの中の各電圧負荷ノードにおいて存在する電圧を決定するための手段をさらに含む。分散型電圧ネットワーク回路は、複数の電圧タップノードの中の各電圧タップノードにおいて存在する電圧を複数の抵抗素子の中の対応する抵抗素子に供給するための手段をさらに含む。分散型電圧ネットワーク回路は、複数の抵抗素子の中の各抵抗素子の出力電圧を、複数の電圧負荷ノードにわたる平均電圧を供給するように構成された電圧出力ノードに供給するための手段をさらに含む。

10

20

#### 【0010】

別の態様では、分散型電圧ネットワーク回路の平均電圧を計算する方法が開示される。方法は、ソース電圧を複数の電圧負荷ノードに分散型ソース分配ネットワークを介して分配するステップを含み、抵抗性相互接続ネットワークは、複数のソースノードの各ソースノードを複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数の抵抗性相互接続を備える。方法は、複数の電圧負荷ノードにおいてソース電圧を受けるステップをさらに含む。方法は、複数の電圧タップノードのうちの対応する電圧タップノードを介して複数の電圧負荷ノードの中の各電圧負荷ノードにおいて存在する電圧を決定するステップを含む。方法は、複数の電圧タップノードの中の各電圧タップノードにおいて存在する電圧を複数の抵抗素子の中の対応する抵抗素子に供給するステップをさらに含む。方法は、複数の抵抗素子の中の各抵抗素子の出力電圧を、複数の電圧負荷ノードにわたる平均電圧を供給するように構成された電圧出力ノードに供給するステップをさらに含む。

30

#### 【0011】

別の態様では、オンダイ電流測定システムが開示される。オンダイ電流測定システムは、電圧源を備える。オンダイ電流測定システムは、複数の電圧負荷ノードを備える分散型負荷回路をさらに備える。オンダイ電流測定システムは、複数のカスコードトランジスタをさらに備える。オンダイ電流測定システムは、複数のヘッドスイッチトランジスタ(headdswitch transistor)をさらに備え、複数のヘッドスイッチトランジスタの中の各ヘッドスイッチトランジスタは、電圧源に結合される。オンダイ電流測定システムは、複数のミラートランジスタをさらに備え、複数のミラートランジスタの中の各ミラートランジスタは、電圧源に結合される。オンダイ電流測定システムは、分散型ソース分配ネットワークをさらに備える。分散型ソース分配ネットワークは、複数のヘッドスイッチトランジスタの中の各ヘッドスイッチトランジスタを複数の電圧負荷ノードの中の対応する電圧負荷ノードに相互接続する複数のヘッドスイッチ抵抗性相互接続を備える。分散型ソース分配ネットワークは、複数のミラートランジスタの中の各ミラートランジスタを複数のカスコードトランジスタの中の対応するカスコードトランジスタのソースに相互接続する複数のミラー抵抗性相互接続をさらに備える。分散型ソース分配ネットワークは、複数のヘッドスイッチ電圧タップノードをさらに備え、各ヘッドスイッチ電圧タップノードは、複数の電圧負荷ノードの中の1つの電圧負荷ノードに対応する。分散型ソース分配ネットワークは、複数のミラー電圧タップノードをさらに備え、各ミラー電圧タップノードは、複数のカ

40

50

スコードトランジスタの中の1つのカスコードトランジスタに対応する。

**【0012】**

オンダイ電流測定システムは、複数の抵抗体を備えるヘッドスイッチ電圧平均化回路をさらに備える。複数の抵抗体の中の各抵抗体は、複数のヘッドスイッチ電圧タップノードの中の対応するヘッドスイッチ電圧タップノードに結合された入力ノードと、出力ノードとを備える。ヘッドスイッチ電圧平均化回路は、各抵抗体の出力ノードに結合されたヘッドスイッチ電圧出力ノードをさらに備え、電圧出力ノードは、分散型負荷回路内に存在する平均ヘッドスイッチ電圧を供給するように構成される。オンダイ電流測定システムは、複数の抵抗体を備えるミラー電圧平均化回路をさらに備える。複数の抵抗体の中の各抵抗体は、複数のミラートランジスタの中の対応するミラートランジスタに結合された入力ノードと、出力ノードとを備える。ミラー電圧平均化回路は、各抵抗体の出力ノードに結合されたミラー電圧出力ノードをさらに備え、電圧出力ノードは、複数のカスコードトランジスタ内に存在する平均ミラー電圧を供給するように構成される。10 オンダイ電流測定システムは、検出抵抗体に結合された複数のカスコードトランジスタの中の各カスコードトランジスタのドレインをさらに備え、検出抵抗体は、電圧をアナログデジタル変換器(ADC)に供給するように構成される。オンダイ電流測定システムは、検出抵抗体からの電圧を、分散型負荷回路の電源電流を表すデジタル信号に変換するように構成されたADCをさらに備える。オンダイ電流測定システムは、演算増幅器をさらに備える。演算増幅器は、ヘッドスイッチ電圧出力ノードに結合された第1の入力を備える。演算増幅器は、ミラー電圧出力ノードに結合された第2の入力をさらに備える。演算増幅器は、複数のカスコードトランジスタに対応するゲートに結合された出力ノードをさらに備える。20

**【図面の簡単な説明】**

**【0013】**

【図1】分散型負荷回路の複数のエリア内の電圧を平均化することによって分散型負荷回路の平均電圧を計算するように構成された電圧平均化回路を使用する、集積回路(IC)内の例示的な分散型電圧ネットワーク回路のブロック図である。

【図2】分散型負荷回路の平均電圧を計算するために図1の分散型電圧ネットワーク回路によって使用される例示的なプロセスのフローチャートである。

【図3】図1の分散型電圧ネットワーク回路に類似するが、分散型ソース分配ネットワーク内でn型金属酸化膜半導体(NMOS)トランジスタを使用する、別の例示的な分散型電圧ネットワーク回路の回路図である。30

【図4】図1の分散型電圧ネットワーク回路に類似するが、分散型ソース分配ネットワーク内でp型金属酸化膜半導体(PMOS)トランジスタを使用する、別の例示的な分散型電圧ネットワーク回路の回路図である。

【図5】電圧平均化回路の出力が、分散型負荷回路の電圧負荷ノードにわたって平均電圧を制御するように構成された電圧調整器に供給される、図4のPMOSトランジスタを使用する分散型電圧ネットワーク回路の回路図である。

【図6】ヘッドスイッチトランジスタおよびミラートランジスタに関連し、負荷電圧および負荷電流を調整するように構成された電圧調整器を使用し得る、図1の電圧平均化回路に類似する電圧平均化回路を使用する例示的なオンダイ電流測定システムの回路図である40。

【図7A】図1の電圧平均化回路に類似する電圧平均化回路を含む複数のヘッドスイッチタイルを使用する例示的な試験回路の図である。

【図7B】電圧が、試験回路全体の平均電圧を測定するのではなく、単一のヘッドスイッチタイルにおいて測定される、複数のヘッドスイッチタイルを使用する例示的な試験回路の図である。

【図8A】図7Aおよび図7Bの、理想的非抵抗性金属相互接続を有する試験回路にわたって測定された平均電圧に対応する例示的な信号のセットを示すグラフである。

【図8B】図7Aおよび図7Bの、非理想的抵抗性金属相互接続を有する試験回路にわたって測定された、平均電圧に対応する例示的な信号のセットを示すグラフである。50

【図9】図1の電圧平均化回路を使用することによってプロセッサコアの平均負荷電流を測定するためにプロセッサコアに結合された例示的な複数のヘッドスイッチタイルのブロック図である。

【図10】図1、図3および図4の電圧平均化回路を使用する分散型電圧ネットワーク回路を含み得る例示的なプロセッサベースシステムのブロック図である。

**【発明を実施するための形態】**

**【0014】**

次に図面を参照しながら、本開示のいくつかの例示的態様が説明される。「例示的」という語は、本明細書において「一例、事例、または例示としての役割を果たすこと」を意味するために使用される。「例示的」として本明細書で説明するいずれの態様も、必ずしも他の態様よりも好ましいか、または有利であると解釈されるべきではない。10

**【0015】**

発明を実施するための形態において開示される態様には、電圧平均化を使用する分散型電圧ネットワークが含まれる。関連するシステムおよび方法も開示される。一態様では、集積回路(IC)内の分散型負荷回路の1つのエリアに分配された電圧は、同じ分散型負荷回路の第2のエリアに分配された電圧から変化することがあるので、分散型電圧ネットワーク回路は、複数のエリアからの電圧をタップして分散型負荷回路内に分布する平均電圧を計算するように構成される。分散型電圧ネットワーク回路は、複数のソースノードを有する電圧分配ソース構成要素を含む。電圧は、各ソースノードから分散型負荷回路の対応する電圧負荷ノードに分配ネットワーク内の抵抗性相互接続を介して分配される。電圧タップノードは、対応する電圧負荷ノードの各々からの電圧にアクセスするために分配ネットワーク内で使用される。分散型負荷回路内の平均電圧を計算するために、各電圧タップノードは、電圧平均化回路内の対応する抵抗素子の入力ノードに結合される。さらに、各抵抗素子の出力ノードが、電圧平均化回路の1つの電圧出力ノードに結合される。各抵抗素子が対応する電圧タップノードに結合されている間に各抵抗素子の出力ノードを結合することで、分散型負荷回路の平均電圧が電圧出力ノード上に生成される。20

**【0016】**

特定の電圧負荷ノードにおける電圧は、別の電圧負荷ノードにおける電圧と比較して変化があるので、決定された平均電圧は、分散型負荷回路全体にわたる電圧のより正確な測定値を提供する。したがって、平均電圧は、ICの特定のエリアまたは単一の電圧負荷ノードにおける電圧を使用して電流を計算することと比較して、分散型負荷回路内の電流をより正確に計算するために使用され得る。より正確な電流測定値は、電流測定値を使用してシステム性能を高める、対応する制御システム内の機能を改善することができる。30

**【0017】**

この点について、図1は、電圧平均化回路102を使用する例示的な分散型電圧ネットワーク回路100のブロック図である。分散型電圧ネットワーク回路100は、この例では半導体ダイ内に集積回路(IC)103内に設けられる。電圧平均化回路102は、分散型負荷回路104の複数のエリアに供給される電圧を平均化することによって、分散型負荷回路104の平均電圧( $V_{AVG}$ )を計算するように構成される。より具体的には、分散型電圧ネットワーク回路100は、複数のエリアからの電圧をタップして、分散型負荷回路104に分布する平均電圧( $V_{AVG}$ )を計算するように構成される。したがって、一例として、平均電圧( $V_{AVG}$ )は、分散型負荷回路104内の電流を、分散型負荷回路104の単一の電圧負荷ノード内に存在する電圧を使用して電流を計算することと比較して、より正確に計算するために使用され得る。計算された電流は、IC103内の温度を推定するために使用され得る。40

**【0018】**

引き続き図1を参照すると、分散型電圧ネットワーク回路100は、複数のソースノード108(1)～108(N)を使用する電圧分配ソース構成要素106を含む。電圧は、各ソースノード108(1)～108(N)から分散型負荷回路104の対応する電圧負荷ノード110(1)～110(N)に、分散型ソース分配ネットワーク112を介して分配される。分散型ソース分配ネットワーク112は、50

各ソースノード108(1)～108(N)を対応する電圧負荷ノード110(1)～110(N)に接続する複数の抵抗性相互接続114(1)～114(M)を含む。とりわけ、この態様は、各抵抗性相互接続114(1)～114(M)に対して別々の抵抗体を使用するが、他の態様は、各抵抗性相互接続114(1)～114(M)に対して、非限定的な例として、一定の抵抗値を有するある長さの線など、代替の回路素子を使用することがある。さらに、電圧タップノード116(1)～116(N)が、対応する電圧負荷ノード110(1)～110(N)の各々からの電圧にアクセスするために、分散型ソース分配ネットワーク112内で使用される。

#### 【0019】

引き続き図1を参照すると、分散型負荷回路104内の平均電圧を計算するために、各電圧タップノード116(1)～116(N)は、電圧平均化回路102内の対応する抵抗素子120(1)～120(N)の入力ノード118(1)～118(N)に結合される。とりわけ、この態様における各抵抗素子120(1)～120(N)は単一の抵抗体であるが、他の態様は、同様の機能を達成するために、各抵抗素子120(1)～120(N)のために他の回路素子を使用することがある。各抵抗素子120(1)～120(N)の出力ノード122(1)～122(N)が、電圧平均化回路102の電圧出力ノード124に結合される。各入力ノード118(1)～118(N)が対応する電圧タップノード116(1)～116(N)に結合されながら各出力ノード122(1)～122(N)を結合することで、分散型負荷回路104の平均電圧( $V_{AVG}$ )が電圧出力ノード124上に生成される。より具体的には、平均電圧( $V_{AVG}$ )は、各抵抗素子120(1)～120(N)の抵抗(R)と各電圧タップノード116(1)～116(N)の電圧(V)とを使用して下式

$$V_{AVG} = \frac{(R(120(1)) + R(120(2)) + \dots + R(120(N))) * (V(116(1)) / R(120(1)) + V(116(2)) / R(120(2)) + \dots + V(116(N)) / R(120(N)))}{R(120(1)) + R(120(2)) + \dots + R(120(N))} \quad 10$$

の方法によって計算され得る。

#### 【0020】

このようにして、各電圧負荷ノード110(1)～110(N)における電圧は、任意の他の電圧負荷ノード110(1)～110(N)と比較して変化があるので、平均電圧( $V_{AVG}$ )は、分散型負荷回路104全体に供給された電圧のより正確な測定値を提供する。したがって、平均電圧( $V_{AVG}$ )は、分散型負荷回路104内の電流を、電圧負荷ノード110(1)～110(N)のうちの単一の電圧負荷ノードにおける電圧を使用して電流を計算することと比較して、より正確に計算するために使用され得る。より正確な電流測定値は、電流測定値を使用してシステム性能を高める、対応する制御システム内の機能を改善することができる。 30

#### 【0021】

この点について、図2は、分散型負荷回路104の複数のエリアに供給される電圧を平均化することによって分散型負荷回路104の平均電圧( $V_{AVG}$ )を計算するために、図1の分散型電圧ネットワーク回路100によって使用される例示的なプロセス200を示す。図2を参照すると、電圧分配ソース構成要素106は、ソース電圧を、分散型ソース分配ネットワーク112を介して複数の電圧負荷ノード110(1)～110(N)に分配する(ブロック202)。特に、分散型ソース分配ネットワーク112は、各ソースノード108(1)～108(N)を対応する電圧負荷ノード110(1)～110(N)に相互接続する複数の抵抗性相互接続114(1)～114(M)を含む。そのような相互接続によって、各電圧負荷ノード110(1)～110(N)は、ソース電圧を受ける(ブロック204)。分散型電圧ネットワーク回路100は、分散型ソース分配ネットワーク112内で使用される対応する電圧タップノード116(1)～116(N)の各々を介して、各電圧負荷ノード110(1)～110(N)において存在する電圧を決定する(ブロック206)。各電圧タップノード116(1)～116(N)における電圧が、電圧平均化回路102内の対応する抵抗素子120(1)～120(N)の各々の入力ノード118(1)～118(N)に供給される(ブロック208)。電圧平均化回路102は、各抵抗素子120(1)～120(N)の出力ノード122(1)～122(N)上の電圧を電圧出力ノード124に供給し、電圧出力ノード124は、分散型負荷回路104の電圧負荷ノード110(1)～110(N)にわたる平均電圧( $V_{AVG}$ )を供給するように構成される(ブロック210)。プロセス200を使用することで、分散型電圧ネットワーク回路100が平均電圧( $V_{AVG}$ )を計算することが可能になり、平均電圧( $V_{AVG}$ )は、分散型負荷回路104内の電流を、電圧負荷ノード110(1)～110(N)のうちの単一の電圧負荷ノードに存在する電圧を使用して電流を計算することと比較して、より正確 40

に計算するために使用され得る。

【0022】

図1の分散型電圧ネットワーク回路100に類似する様々なタイプの分散型回路が、平均電圧( $V_{AVG}$ )を有用なメトリックとして使用し得る。非限定的な例として、分散型電圧ネットワーク回路100に類似する分散型電圧ネットワーク回路が分散されたトランジスタを使用してよく、分散型ソース分配ネットワーク112に類似する分散型ソース分配ネットワークは、複数のトランジスタを含む。この点について、図3は、n型金属酸化膜半導体(NMOS)分散型電圧ネットワーク回路300を示しており、分散型ソース分配ネットワーク302は、NMOSトランジスタ304(1)～304(N)を使用する。とりわけ、NMOSトランジスタ304(1)～304(N)は、この態様では分散型ソース分配ネットワーク302内にあるが、NMOSトランジスタ304(1)～304(N)は、他の態様では他の素子の中に配置されてもよい。各NMOSトランジスタ304(1)～304(N)は、対応するドレイン310(1)～310(N)を介して電圧分配ソース構成要素308の対応するソースノード306(1)～306(N)に結合される。分散型ソース分配ネットワーク302は、NMOSトランジスタ304(1)～304(N)とともに、各ソースノード306(1)～306(N)を分散型負荷回路316の対応する電圧負荷ノード314(1)～314(N)に接続する複数の抵抗性相互接続312(1)～312(M)を含む。特に、対応するNMOSトランジスタ304(1)～304(N)の各々のソース318(1)～318(N)が、対応する電圧負荷ノード314(1)～314(N)に結合する。さらに、NMOS分散型電圧ネットワーク回路300のゲート320に供給される電圧は、各NMOSトランジスタ304(1)～304(N)を制御する。電圧タップノード322(1)～322(N)が、対応するソース318(1)～318(N)の各々からの、およびその延長として各電圧負荷ノード314(1)～314(N)からの電圧にアクセスするために、分散型ソース分配ネットワーク302内で使用される。10

【0023】

引き続き図3を参照すると、分散型負荷回路316内の平均電圧( $V_{AVG}$ )を計算するために、各電圧タップノード322(1)～322(N)は、電圧平均化回路328内の対応する抵抗体326(1)～326(N)の入力ノード324(1)～324(N)に結合される。各抵抗体326(1)～326(N)の出力ノード330(1)～330(N)が、電圧平均化回路328の電圧出力ノード332に結合される。各入力ノード324(1)～324(N)が対応する電圧タップノード322(1)～322(N)に結合されながら各出力ノード330(1)～330(N)を結合することで、分散型負荷回路316の平均電圧( $V_{AVG}$ )が電圧出力ノード332上に生成される。前に説明したように、下式20

$$V_{AVG} = \frac{(R(326(1)) + R(326(2)) + \dots + R(326(N))) * (V(322(1))/R(326(1)) + V(322(2))/R(326(2)) + \dots + V(322(N))/R(326(N)))}{R(326(1)) + R(326(2)) + \dots + R(326(N))}$$

は、各抵抗体326(1)～326(N)の抵抗R、および各電圧タップノード322(1)～322(N)における電圧Vに関する平均電圧( $V_{AVG}$ )を記述する。

【0024】

このようにして、上式は、1つまたは複数のNMOSトランジスタ304(1)～304(N)のゲート幅が1つおきのNMOSトランジスタ304(1)～304(N)のゲート幅に近似的に等しくないとき、ならびに各NMOSトランジスタ304(1)～304(N)が近似的に等しいゲート幅を有するときの、電圧出力ノード332上の平均電圧( $V_{AVG}$ )を記述する。とりわけ、1つまたは複数のNMOSトランジスタ304(1)～304(N)のゲート幅が、1つおきのNMOSトランジスタ304(1)～304(N)のゲート幅に近似的に等しくない場合、各抵抗体326(1)～326(N)は、近似的に等しい抵抗Rを持たない。むしろ、各抵抗体326(1)～326(N)は、対応するNMOSトランジスタ304(1)～304(N)のゲート幅に関連する適切な抵抗Rを持たなければならず、それによって上記で記述する式は、平均電圧( $V_{AVG}$ )を正確に計算する。さらに、各NMOSトランジスタ304(1)～304(N)が近似的に等しいゲート幅を有する場合、各抵抗体326(1)～326(N)は、平均電圧( $V_{AVG}$ )を正確に計算するために、近似的に等しい抵抗Rを持たなければならない。特に、各NMOSトランジスタ304(1)～304(N)が近似的に等しいゲート幅を有する場合、各抵抗体326(1)～326(N)は、近似的に等しい抵抗Rを有し、上記で記述する式は、下式40

$$V_{AVG} = \frac{1}{N} * (V(322(1)) + V(322(2)) + \dots + V(322(N)))$$

に簡略化される。

【0025】

引き続き図3を参照すると、抵抗体326(1)～326(N)に加えて、電圧平均化回路328もまた、スケーリング抵抗体334を使用し得る。スケーリング抵抗体334は、接地ソース338に結合された入力ノード336と、各抵抗体326(1)～326(N)の出力ノード330(1)～330(N)に結合された出力ノード340とを有する。このようにして、スケーリング抵抗体334は、スケーリング抵抗体334が使用されないときに生成される平均電圧( $V_{AVG}$ )と比較して、スケーリング抵抗体334の抵抗に対応するスケーリングファクタによって平均電圧( $V_{AVG}$ )をスケーリングするために使用され得る。スケーリング抵抗体334が電圧平均化回路328内で使用されるか否かにかかわらず、平均電圧( $V_{AVG}$ )は、分散型負荷回路316内の電流を、電圧負荷ノード314(1)～314(N)のうちの単一の電圧負荷ノードにおける電圧を使用して電流を計算することと比較して、より正確に計算するために使用され得る。より正確な電流測定値は、電流測定値を使用してシステム性能を高める、対応する制御システム内の機能を改善することができる。10

#### 【0026】

図3のNMOS分散型電圧ネットワーク回路300は、分散型ソース分配ネットワーク302内の分散される素子としてNMOSトランジスタ304(1)～304(N)を使用するが、他の分散型電圧ネットワーク回路が代替のトランジスタタイプを使用することもある。この点について、図4は、p型金属酸化膜半導体(PMOS)分散型電圧ネットワーク回路400を示しており、分散型ソース分配ネットワーク402は、PMOSトランジスタ404(1)～404(N)を使用する。とりわけ、PMOSトランジスタ404(1)～404(N)は、この態様では分散型ソース分配ネットワーク402内にあるが、PMOSトランジスタ404(1)～404(N)は、他の態様では他の素子の中に配置されてもよい。各PMOSトランジスタ404(1)～404(N)は、対応するソース410(1)～410(N)を介して電圧分配ソース構成要素408の対応するソースノード406(1)～406(N)に結合される。図3の分散型ソース分配ネットワーク302と同様に、分散型ソース分配ネットワーク402は、PMOSトランジスタ404(1)～404(N)とともに、各ソースノード406(1)～406(N)を分散型負荷回路416の対応する電圧負荷ノード414(1)～414(N)に接続する複数の抵抗性相互接続412(1)～412(M)を使用する。特に、対応するPMOSトランジスタ404(1)～404(N)の各々のドレイン418(1)～418(N)が、対応する電圧負荷ノード414(1)～414(N)に結合する。さらに、PMOS分散型電圧ネットワーク回路400のゲート420に供給される電圧は、各PMOSトランジスタ404(1)～404(N)を制御する。電圧タップノード422(1)～422(N)が、対応するドレイン418(1)～418(N)の各々からの、およびしたがって各電圧負荷ノード414(1)～414(N)からの電圧にアクセスするために、分散型ソース分配ネットワーク402内で使用される。20

#### 【0027】

引き続き図4を参照すると、各電圧タップノード422(1)～422(N)は、電圧平均化回路428内の対応する抵抗体426(1)～426(N)の入力ノード424(1)～424(N)に結合される。各抵抗体426(1)～426(N)の出力ノード430(1)～430(N)が、電圧平均化回路428の電圧出力ノード432に結合される。したがって、各入力ノード424(1)～424(N)が対応する電圧タップノード422(1)～422(N)に結合されながら各出力ノード430(1)～430(N)を結合することで、分散型負荷回路416の平均電圧( $V_{AVG}$ )が電圧出力ノード432上に生成される。図3のスケーリング抵抗体334に類似するスケーリング抵抗体434は、平均電圧( $V_{AVG}$ )をスケーリングするためにPMOS分散型電圧ネットワーク回路400内で使用されてよい。さらに、同じく、図3に関連して前に説明した、式および関連するゲート幅/抵抗の関係は、図4の平均電圧( $V_{AVG}$ )を計算するときに適用される。このようにして、平均電圧( $V_{AVG}$ )は、分散型負荷回路416内の電流を、電圧負荷ノード414(1)～414(N)のうちの単一の電圧負荷ノードにおける電圧を使用して電流を計算することと比較して、より正確に計算するために使用され得る。30

#### 【0028】

平均電圧( $V_{AVG}$ )を使用して分散型負荷回路内の電流を計算することに加えて、平均電圧( $V_{AVG}$ )は、上記の分散型負荷回路104、316および416などの分散型負荷回路に供給される電圧の調整を助けるために使用されてよい。この点について、図5は、PMOS分散型電圧ネットワーク回路500を示しており、図4のPMOS分散型電圧ネットワーク回路400のゲート420は、電圧調整器回路502に結合される。特に、基準電圧 $V_{REF}$ が、電圧調整器回路502の第140

の入力504に供給される一方で、電圧平均化回路428の電圧出力ノード432が、電圧調整器回路502の第2の入力506に結合される。電圧調整器回路502の出力ノード508が、PMOS分散型電圧ネットワーク回路400のゲート420に結合される。抵抗体426(1)～426(N)は、前述のように分散型負荷回路416にわたって電圧をサンプリングし、したがって、分散型負荷回路416の平均電圧( $V_{AVG}$ )を電圧調整器回路502に供給する。この態様では演算増幅器(「オペアンプ」)である電圧調整器回路502は、分散型負荷回路416に供給される平均電圧( $V_{AVG}$ )を $V_{REF}$ に等しくさせる。特に、平均電圧( $V_{AVG}$ )を電圧調整器回路502に供給することによって、出力ノード508は、電圧をゲート420に供給し、それによって分散型負荷回路416に供給される電圧は、 $V_{REF}$ に調整される。電圧負荷ノード414(1)～414(N)上の電圧は、抵抗性相互接続412(1)～412(M)の抵抗ならびに分散型負荷回路416の物理サイズおよびレイアウトなどのファクタに応じて変化することがある。したがって、電圧負荷ノード414(1)～414(N)のうちの任意の1つのノードにおいて電圧を供給することに反して、平均電圧( $V_{AVG}$ )をこのように電圧調整器回路502に供給することで、分散型負荷回路416に供給される電圧を、分散型負荷回路416全体の電圧分布を反映するように調整することが助けられる。10

#### 【0029】

前述のように、平均電圧( $V_{AVG}$ )は、分散型負荷回路内の電流をより正確に計算するために使用され得る。この点について、図6は、それぞれ、図1、図3および図4の電圧平均化回路102、328および428に類似する電圧平均化回路を使用するときに、より良好な性能をもたらすオンダイ電流測定システム600を示している。オンダイ電流測定システム600は、分散型負荷回路602の電源電流(図示せず)を測定するために使用され、分散型負荷回路602は、非限定的な例として、プロセッサコアまたはキャッシュメモリであってよい。そのような電流を測定するために、オンダイ電流測定システム600は、入力電圧を各ヘッドスイッチトランジスタ606(1)～606(N)のソースに供給する電圧源( $V_{dd}$ )604を含む。ヘッドスイッチトランジスタ606(1)～606(N)は、電圧信号608が分散型負荷回路602上の対応する電圧負荷ノード610(1)～610(N)に到達することを可能にすることによって、電力制御を分散型負荷回路602にもたらす。同じく、電圧源604は、入力電圧を各ミラートランジスタ612(1)～612(N)のソースに供給する。各ミラートランジスタ612(1)～612(N)の幅は、対応するヘッドスイッチトランジスタ606(1)～606(N)の幅の一部分(fraction)(f)である。ヘッドスイッチトランジスタ606(1)～606(N)およびミラートランジスタ612(1)～612(N)は、電界効果トランジスタ(FET)のトライオード領域内に深くバイアスされ、それらのトランジスタは、低い値の抵抗体として効果的に機能する。とりわけ、ヘッドスイッチトランジスタ606(1)～606(N)およびミラートランジスタ612(1)～612(N)は、この態様ではPMOSトランジスタとして使用されるが、他の態様は、ヘッドスイッチトランジスタ606(1)～606(N)およびミラートランジスタ612(1)～612(N)をNMOSトランジスタとして使用することがある。さらに、各ミラートランジスタ612(1)～612(N)によって供給される電圧は、対応するカスコードトランジスタ614(1)～614(N)を超えて検出抵抗体616に至る。検出抵抗体616からの電圧は、アナログデジタル変換器(ADC)618に供給され、ADC618は、電圧を、分散型負荷回路602の電源電流を表すデジタルデータストリーム620に変換する。2030

#### 【0030】

引き続き図6を参照すると、オンダイ電流測定システム600が適切に機能するために、ヘッドスイッチトランジスタ606(1)～606(N)およびミラートランジスタ612(1)～612(N)は、正確に等しいドレイン-ソース電圧を有することが必要である。このようにして、オペアンプ622は、カスコードトランジスタ614(1)～614(N)とともに、ミラートランジスタ612(1)～612(N)のドレイン-ソース電圧を、ヘッドスイッチトランジスタ606(1)～606(N)のドレイン-ソース電圧に等しくさせる。より具体的には、オペアンプ622は、ミラートランジスタ612(1)～612(N)上の電流を、ヘッドスイッチトランジスタ606(1)～606(N)上の電流の一部分(f)に等しく保つためにカスコードトランジスタ614(1)～614(N)を制御する。そうすることによって、ミラートランジスタ612(1)～612(N)およびヘッドスイッチトランジスタ606(1)～606(N)のドレイン-ソース電圧は、互いに等しく保たれる。とりわけ、この態様は、ヘッドスイッチトランジスタ606(1)～606(N)、ミラートランジスタ612(1)～612(N)、4050

およびカスコードトランジスタ614(1)～614(N)を図6のPMOSトランジスタとして示しているが、他の様子は、他のタイプのトランジスタを使用して同様の機能を達成することがある。

### 【0031】

引き続き図6を参照すると、ヘッドスイッチトランジスタ606(1)～606(N)は、分散型ソース分配ネットワーク(図示せず)内のヘッドスイッチ抵抗性相互接続(図示せず)を介して、対応する電圧負荷ノード610(1)～610(N)において分散型負荷回路602に結合されるよう に分配される。したがって、ヘッドスイッチ電圧平均化回路624は、ヘッドスイッチ電圧出力ノード628を経由してオペアンプ622の第1の入力626に平均ヘッドスイッチ電圧( $V_{HSAVG}$ )(図示せず)を供給するために使用される。同様に、ミラートランジスタ612(1)～612(N)は、それぞれ、分散型ソース分配ネットワーク内のミラー抵抗性相互接続(図示せず)を介して対応するカスコードトランジスタ614(1)～614(N)に結合する。したがって、ミラー電圧平均化回路630は、ミラー電圧出力ノード634を経由してオペアンプ622の第2の入力632に平均ミラー電圧( $V_{MRAVG}$ )(図示せず)を供給するために使用される。ヘッドスイッチ電圧平均化回路624とミラー電圧平均化回路630の両方は、それぞれ、図1、図3および図4の電圧平均化回路102、328および428に類似する素子を含む。特に、ヘッドスイッチ電圧平均化回路624内の抗体636(1)～636(N)は、分散型ソース分配ネットワーク内の対応するヘッドスイッチ電圧タップノード638(1)～638(N)に結合し、平均ヘッドスイッチ電圧( $V_{HSAVG}$ )をオペアンプ622の第1の入力626に供給するように構成される。ミラー電圧平均化回路630内の抗体640(1)～640(N)は、分散型ソース分配ネットワーク内の対応するミラー電圧タップノード642(1)～642(N)に結合し、平均ミラー電圧( $V_{MRAVG}$ )をオペアンプ622の第2の入力632に供給するように構成される。平均ヘッドスイッチ電圧( $V_{HSAVG}$ )および平均ミラー電圧( $V_{MRAVG}$ )をこのようにしてオペアンプ622に供給することによって、検出抗体616は、分散型負荷回路602内の電流を、電圧負荷ノード610(1)～610(N)のうちの1つからの電圧を使用して電流を計算することと比較して、より正確に計算するために、オペアンプ622からの電圧を受ける。

### 【0032】

引き続き図6を参照すると、ヘッドスイッチ電圧平均化回路624およびミラー電圧平均化回路630は、それぞれ、必要に応じて、平均ヘッドスイッチ電圧( $V_{HSAVG}$ )および平均ミラー電圧( $V_{MRAVG}$ )をそれぞれスケーリングするために追加の抗体を使用してもよい。より具体的には、ヘッドスイッチ電圧平均化回路624は、図3のスケーリング抗体334に類似するスケーリング抗体644を使用してもよい。このようにして、スケーリング抗体644は、スケーリング抗体644が使用されないときに生成されるヘッドスイッチ平均電圧( $V_{HSAVG}$ )と比較して、スケーリング抗体644の抵抗に対応するスケーリングファクタによってヘッドスイッチ平均電圧( $V_{HSAVG}$ )をスケーリングするために使用され得る。ミラー電圧平均化回路630は、平均ミラー電圧( $V_{MRAVG}$ )をスケーリングするために、ヘッドスイッチ電圧平均化回路624と同様の方法でスケーリング抗体646を使用し得る。

### 【0033】

分散型負荷回路602の電流を測定することに加えて、オンダイ電流測定システム600はまた、分散型負荷回路602に供給された負荷電圧および負荷電流を調整するように構成され得る。この点について、分散型負荷回路602にわたって供給される電圧、およびしたがって電流を調整するように構成された電圧調整器回路648は、オンダイ電流測定システム600内で使用され得る。電圧調整器回路648は、図5の電圧調整器回路502と同様に動作するように構成される。このようにして、基準電圧 $V_{REF}$ および平均ヘッドスイッチ電圧( $V_{HSAVG}$ )を受けることによって、電圧調整器回路648は、基準電圧 $V_{REF}$ に近似的に等しい電圧を分散型負荷回路602に供給する。このようにして、分散型負荷回路602に供給される負荷電圧を調整することで、分散型負荷回路602の負荷電圧が所望のレベルに近似的に維持されることを確実にすることが助けられる。

### 【0034】

図1、図3および図4それぞれの電圧平均化回路102、328および428、ならびに図6のヘッ

10

20

30

40

50

ドスイッチ電圧平均化回路624およびミラー電圧平均化回路630を使用することによって実現され得る、より正確な電圧および電流の測定値を示すために、試験回路が、サンプルデータを生成するために使用され得る。この点について、図7Aは、ヘッドスイッチタイル702(1)～702(48)を使用する第1の試験回路700を示す。抵抗体704(1)～704(48)は、図6のヘッドスイッチ電圧平均化回路624と同様の方法で、平均試験ヘッドスイッチ電圧( $V_{THSAVG}$ )を生成するために対応するヘッドスイッチトランジスタ706(1)～706(48)に結合される。さらに、抵抗体708(1)～708(48)は、図6のミラー電圧平均化回路630と同様の方法で、平均試験ミラー電圧( $V_{TMRAVG}$ )を生成するために対応するミラートランジスタ710(1)～710(48)に結合される。複数の寄生抵抗体712(1)(1)～712(48)(4)は、相互接続抵抗をシミュレートするために第1の試験回路700内に含まれる。同じく、各ミラートランジスタ710(1)～710(48)に対応するカスコードトランジスタ714(1)～714(48)は、各ヘッドスイッチタイル702(1)～702(48)内に含まれる。このようにして、カスコードトランジスタ714(1)～714(48)からの電流が合計されて、検出抵抗体716に供給される。  
10

### 【0035】

加えて、図7Bは、ヘッドスイッチタイル702'(1)～702'(48)を使用する第2の試験回路700'を示す。各ヘッドスイッチタイル702'(1)～702'(48)は、図7Aの第1の試験回路700に類似する、対応するヘッドスイッチトランジスタ706(1)～706(48)および対応するミラートランジスタ710(1)～710(48)を含む。同じく、複数の寄生抵抗体712(1)(1)～712(48)(4)ならびにカスコードトランジスタ714(1)～714(48)は、第2の試験回路700'内に含まれる。しかしながら、図7Aの第1の試験回路700における、対応するヘッドスイッチトランジスタ706(1)～706(48)およびミラートランジスタ710(1)～710(48)にそれぞれ結合された抵抗体704(1)～704(48)および708(1)～708(48)を、ヘッドスイッチタイル702'(1)～702'(48)は含まない。このようにして、第2の試験回路700'は、平均試験ヘッドスイッチ電圧( $V_{THSAVG}$ )と平均試験ミラー電圧( $V_{TMRAVG}$ )とを生成しない。むしろ、ヘッドスイッチ電圧( $V_{HS}$ )およびミラー電圧( $V_{MR}$ )は、ヘッドスイッチタイル702'(48)において測定される。カスコードトランジスタ714(1)～714(48)からの電流が合計されて、検出抵抗体716'に供給される。  
20

### 【0036】

この点について、図8Aは、図7Aおよび図7Bの、理想的非抵抗性金属相互接続を有する第1の試験回路700および第2の試験回路700'にわたって測定された平均電流に対応する例示的な信号のセット800を示す。特に、寄生抵抗体712(1)(1)～712(48)(4)が分配された電圧に対して有することがある、いかなる影響をも除去するために、各寄生抵抗体712(1)(1)～712(48)(4)は、ゼロオーム(0Ω)に等しい抵抗を有する。さらに、各検出抵抗体716、716'は、300オーム(300Ω)に等しい抵抗を有する。検出抵抗体716にわたる電圧( $V_{SENSE1}$ )および検出抵抗体716'にわたる電圧( $V_{SENSE2}$ )はともに、第1のグラフ802の中に示されている。とりわけ、電圧( $V_{SENSE1}$ )および電圧( $V_{SENSE2}$ )は、複数の電流値において近似的に等しい。たとえば、1.5Aの最大電流において、矢印804で示すように、( $V_{SENSE1}$ )および( $V_{SENSE2}$ )はともに、近似的に374mVに等しい。これは、( $V_{SENSE1}$ )と( $V_{SENSE2}$ )との間の値の差を示す第2のグラフ806において証明される。より具体的には、( $V_{SENSE1}$ )と( $V_{SENSE2}$ )との間に存在する最大の差は1.5Aにおいて発生し、その差は、矢印808で示すように、約160μV(マイクロボルト)にすぎない。したがって、寄生抵抗体712(1)(1)～712(48)(4)の影響が効果的に除去されることによって、第1の試験回路700および第2の試験回路700'は、それぞれの検出抵抗体716、716'にわたって、実際上理想的な電圧に近い約374mVを生成する。  
30  
40

### 【0037】

この点について、図8Bは、図7Aおよび図7Bの、非理想的抵抗性金属相互接続を有する第1の試験回路700および第2の試験回路700'にわたって測定された平均電流に対応する例示的な信号のセット800'を示す。特に、各寄生抵抗体712(1)(1)～712(48)(4)は、この態様では非ゼロオームの抵抗を有する。電圧( $V_{SENSE1}$ )および電圧( $V_{SENSE2}$ )はともに、第1のグラフ802'の中に示されている。とりわけ、( $V_{SENSE1}$ )および( $V_{SENSE2}$ )の値は、図8Aにおける電流の変化レベルにおいて、等しくない。たとえば、1.5Aの電流において、( $V_{SENSE1}$ )は、矢印810で示すように近似的に374mVに等しい値を有し、その値は、図8Aで記述され  
50

る理想的な場合の( $V_{SENSE1}$ )と同じ値である。しかしながら、1.5Aの電流において、( $V_{SENSE2}$ )は、矢印812で示すように近似的に63mVに等しい値を有する。この値の差は、( $V_{SENSE1}$ )と( $V_{SENSE2}$ )との間に存在する最大の差はやはり1.5Aにおいて発生することを示す第2のグラフ806'においてさらに示され、その差は、矢印814で示すように約311mVである。通常のスケーリングファクタを使用すると、( $V_{SENSE2}$ )に対する63mVの値は、実際の1.5Aの電流と比較して、252mAの「測定された」電流を表す。

#### 【0038】

この点について、第1の試験回路700において平均化する電圧を使用することで、負荷回路にわたって変化する電流分布プロファイルに基づく、測定された電圧および電流の変化が本質的に除去されることが、図8Aに示す理想的な場合と図8Bに示すより実際的な場合とを比較することで示される。より具体的には、図8Bの実際的な条件のもとで、第2の試験回路700'は、図8Aの理想的な条件のもとで生成された電圧および電流よりはるかに低い電圧および電流をもたらす。しかしながら、図8Bの実際的な条件のもとで、第1の試験回路700は、図8Aの理想的な条件のもとで生成された電圧および電流に近似的に等しい電圧および電流を生成する。言い換えれば、第1の試験回路700は平均電圧を測定する一方で、第2の試験回路700'は単一の電圧負荷ノードにおける電圧を測定する。したがって、第1の試験回路700は不变の平均電圧測定値をもたらす一方で、第2の試験回路700'はどの電圧負荷ノードから電圧が測定されるかに応じて変化する電圧をもたらす。したがって、本明細書で開示するように平均化する電圧を使用することは、分散型負荷回路内の電流を、単一の電圧負荷ノード内に存在する電圧を使用して電流を計算することと比較して、より正確に計算するために使用され得る。

#### 【0039】

この点について、図9は、プロセッサコア904の平均負荷電圧を測定するために、ヘッドスイッチ回路902(1)、902(2)がプロセッサコア904の周りに分配されるシステム900を示す。各ヘッドスイッチ回路902(1)、902(2)は、図7Aのヘッドスイッチタイル702に類似する複数のヘッドスイッチタイルを含む。プロセッサコア904は複数のデジタル回路を含み、デジタル回路の各々は、変化する時間においてアクティブになることがある。プロセッサコア904内の様々なデジタル回路は、異なる時間においてアクティブになることがあるので、プロセッサコア904およびヘッドスイッチ回路902(1)、902(2)全体にわたる電圧および電流の分布は、経時的に大幅に変化することがある。今までの図、とりわけ図7Aで説明したヘッドスイッチ回路902(1)、902(2)内に含まれる電圧平均化機構は、プロセッサコア904内に分布する平均コア電圧( $V_{CAVG}$ )を測定する。したがって、平均コア電圧( $V_{CAVG}$ )は、プロセッサコア904内に分配される電流を、単一の時点の1つの位置のみにおける電圧を使用して電流を計算することと比較して、より正確に計算するために使用され得る。

#### 【0040】

本明細書で開示する態様に従って平均化する電圧を使用する分散型電圧ネットワーク回路は、任意のプロセッサベースデバイス内に設けられてよく、または組み込まれてよい。例としては、限定はしないが、セットトップボックス、エンターテインメントユニット、ナビゲーションデバイス、通信デバイス、定置データユニット、モバイルロケーションデータユニット、モバイルフォン、セルラーフォン、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末(PDA)、モニタ、コンピュータモニタ、テレビジョン、チューナ、ラジオ、衛星ラジオ、音楽プレーヤ、デジタル音楽プレーヤ、ポータブル音楽プレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、およびポータブルデジタルビデオプレーヤがある。

#### 【0041】

この点について、図10は、それぞれ、図1、図3および図4に示す電圧平均化回路102、328および428を使用し得るプロセッサベースシステム1000の一例を示す。この例では、プロセッサベースシステム1000は、それぞれが1つまたは複数のプロセッサ1004を含む、1つまたは複数の中央処理ユニット(CPU)1002を含む。1つまたは複数のプロセッサ1004の各々は、複数のコア1006(0)～1006(N)を使用してよく、各コア1006(0)～1006(N)の平均の負荷電

10

20

30

40

50

圧および負荷電流は、電圧平均化回路102(0)～102(N)、328(0)～328(N)または428(0)～428(N)など、対応する電圧平均化回路を使用して計算されてよい。CPU1002はマスターデバイスとすることができる。CPU1002は、一時的に記憶されたデータへの高速アクセスのためにプロセッサ1004に結合されるキャッシュメモリ1008を有する場合がある。CPU1002は、システムバス1010に結合され、プロセッサベースシステム1000内に含まれるマスターデバイスとスレーブデバイスとを相互結合することができる。よく知られているように、CPU1002は、システムバス1010を介してアドレス情報、制御情報、およびデータ情報を交換することによって、これらの他のデバイスと通信する。たとえば、CPU1002は、スレーブデバイスの一例として、メモリコントローラ1012にバストランザクション要求を通信することができる。図10には示されていないが、複数のシステムバス1010を提供することができ、各システムバス1010が異なるファブリックを構成する。

10

#### 【0042】

他のマスターデバイスおよびスレーブデバイスがシステムバス1010に接続され得る。図10に示されるように、これらのデバイスは、メモリシステム1014、1つまたは複数の入力デバイス1016、1つまたは複数の出力デバイス1018、1つまたは複数のネットワークインターフェースデバイス1020、および1つまたは複数のディスプレイコントローラ1022を例として含み得る。入力デバイス1016は、限定はしないが、入力キー、スイッチ、音声プロセッサなどを含む、任意のタイプの入力デバイスを含むことができる。出力デバイス1018は、限定はしないが、オーディオインジケータ、ビデオインジケータ、他の視覚インジケータなどを含む、任意のタイプの出力デバイスを含むことができる。ネットワークインターフェースデバイス1020は、ネットワーク1024との間のデータ交換を可能にするように構成される任意のデバイスとすることができます。ネットワーク1024は、限定はしないが、有線ネットワークまたはワイヤレスネットワーク、プライベートネットワークまたは公衆ネットワーク、ローカルエリアネットワーク(LAN)、ワイドローカルエリアネットワーク(WLAN)、およびインターネットを含む、任意のタイプのネットワークとすることができます。ネットワークインターフェースデバイス1020は、所望の任意のタイプの通信プロトコルをサポートするように構成することができる。メモリシステム1014は、1つまたは複数のメモリユニット1026(0)～1026(N)を含み得る。

20

#### 【0043】

CPU1002はまた、1つまたは複数のディスプレイ1028に送信される情報を制御するために、システムバス1010を介してディスプレイコントローラ1022にアクセスするように構成することができる。ディスプレイコントローラ1022は、1つまたは複数のビデオプロセッサ1030を介して、表示されるべき情報をディスプレイ1028に送信し、ビデオプロセッサ1030は、表示されるべき情報を、ディスプレイ1028に適したフォーマットになるように処理する。ディスプレイ1028は、限定はしないが、陰極線管(CRT)、液晶ディスプレイ(LCD)、プラズマディスプレイなどを含む任意のタイプのディスプレイを含むことができる。

30

#### 【0044】

本明細書において開示される態様に関して説明される種々の例示的な論理ブロック、モジュール、回路、およびアルゴリズムは、電子ハードウェア、またはメモリもしくは別のコンピュータ可読媒体に記憶され、プロセッサもしくは他の処理デバイスによって実行される命令、またはその両方の組合せとして実現できることは、当業者はさらに理解されよう。本明細書において説明されるマスターデバイスおよびスレーブデバイスは、例として、任意の回路、ハードウェア構成要素、集積回路(IC)、またはICチップにおいて使用することができる。本明細書において開示されるメモリは、任意のタイプおよびサイズのメモリとすることができ、所望の任意のタイプの情報を記憶するように構成することができる。この互換性を明確に説明するために、種々の例示的な構成要素、ブロック、モジュール、回路、およびステップは、概してこれらの機能に関してこれまで説明してきた。そのような機能がどのように実現されるかは、特定の適用例、設計上の選択、および/またはシステム全体に課された設計制約によって決まる。当業者は、説明された機能を特定の適用例ごとに様々な方法で実現することができるが、そのような実装形態の決定は、本開示

40

50

の範囲からの逸脱を引き起こすものと解釈されるべきではない。

**【0045】**

本明細書において開示される態様に関して説明される種々の例示的な論理ブロック、モジュール、および回路は、プロセッサ、デジタルシグナルプロセッサ(DSP)、特定用途向け集積回路(ASIC)、フィールドプログラマブルゲートアレイ(FPGA)もしくは他のプログラマブル論理デバイス、個別ゲートもしくはトランジスタロジック、個別ハードウェア構成要素、または本明細書において説明される機能を実行するように設計されるそれらの任意の組合せを用いて実現または実行することができる。プロセッサは、マイクロプロセッサである場合があるが、代替形態では、プロセッサは、任意の従来のプロセッサ、コントローラ、マイクロコントローラ、またはストートマシンである場合がある。プロセッサは、コンピューティングデバイスの組合せ、たとえば、DSPとマイクロプロセッサの組合せ、複数のマイクロプロセッサ、DSPコアと連携した1つもしくは複数のマイクロプロセッサ、または任意の他のそのような構成として実装される場合もある。10

**【0046】**

本明細書において開示される態様は、ハードウェアにおいて、また、ハードウェアに記憶された命令において具現される場合があり、命令は、たとえば、ランダムアクセスメモリ(RAM)、フラッシュメモリ、読み取り専用メモリ(ROM)、電気的プログラマブルROM(EPROM)、電気的消去可能プログラマブルROM(EEPROM)、レジスタ、ハードディスク、リムーバブルディスク、CD-ROM、または当技術分野において知られている任意の他の形態のコンピュータ可読媒体内に存在する場合がある。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるよう、プロセッサに結合される。代替形態では、記憶媒体は、プロセッサと一体である場合がある。プロセッサおよび記憶媒体は、ASIC内に存在する場合がある。ASICは、リモート局内に存在する場合がある。20。代替形態では、プロセッサおよび記憶媒体は、個別構成要素として、リモート局、基地局、またはサーバ内に存在する場合がある。

**【0047】**

本明細書の例示的な態様のいずれかにおいて説明される動作ステップは、例および考察を提供するために説明されることにも留意されたい。説明される動作は、図示されるシーケンス以外の多数の異なるシーケンスにおいて実行される場合がある。さらに、単一の動作ステップにおいて説明される動作は、実際にはいくつかの異なるステップにおいて実行される場合がある。さらに、例示的な態様において論じられる1つまたは複数の動作ステップが組み合わせられる場合がある。当業者には容易に明らかになるように、流れ図に示される動作ステップは、多数の異なる変更を受ける場合があることは理解されたい。当業者は、情報および信号が様々な異なる技術および技法のいずれかを使用して表される場合があることも理解されよう。たとえば、上記の説明全体を通して参照される場合があるデータ、命令、コマンド、情報、信号、ビット、シンボル、およびチップは、電圧、電流、電磁波、磁場もしくは磁性粒子、光場もしくは光学粒子、またはそれらの任意の組合せによって表される場合がある。30

**【0048】**

本開示の上述の説明は、当業者が本開示を作成するかまたは使用することを可能にするために提供される。本開示に対する種々の変更が、当業者には容易に明らかになり、本明細書において規定される一般原理は、本開示の趣旨または範囲を逸脱することなく、他の変形形態に適用することができる。したがって、本開示は、本明細書で説明する例および設計に限定されるものではなく、本明細書で開示する原理および新規の特徴と一致する最も広い範囲を与えられるべきである。40

**【符号の説明】**

**【0049】**

- 100 分散型電圧ネットワーク回路
- 102 電圧平均化回路
- 102(0) ~ (N) 電圧平均化回路

103	集積回路(IC)	
104	分散型負荷回路	
106	電圧分配ソース構成要素	
108(1) ~ (N)	ソースノード	
110(1) ~ (N)	電圧負荷ノード	
112	分散型ソース分配ネットワーク	
114(1) ~ (M)	抵抗性相互接続	
116(1) ~ (N)	電圧タップノード	
118(1) ~ (N)	入力ノード	
120(1) ~ (N)	抵抗素子	10
122(1) ~ (N)	出力ノード	
124	電圧出力ノード	
300	n型金属酸化膜半導体(NMOS)分散型電圧ネットワーク回路	
302	分散型ソース分配ネットワーク	
304(1) ~ (N)	NMOSトランジスタ	
306(1) ~ (N)	ソースノード	
308	電圧分配ソース構成要素	
310(1) ~ (N)	ドレイン	
312(1) ~ (M)	抵抗性相互接続	
314(1) ~ (N)	電圧負荷ノード	20
316	分散型負荷回路	
318(1) ~ (N)	ソース	
320	ゲート	
322(1) ~ (N)	電圧タップノード	
324(1) ~ (N)	入力ノード	
326(1) ~ (N)	抗体	
328	電圧平均化回路	
328(0) ~ (N)	電圧平均化回路	
330(1) ~ (N)	出力ノード	
332	電圧出力ノード	30
334	スケーリング抗体	
336	入力ノード	
338	接地ソース	
340	出力ノード	
400	p型金属酸化膜半導体(PMOS)分散型電圧ネットワーク回路	
402	分散型ソース分配ネットワーク	
404(1) ~ (N)	PMOSトランジスタ	
406(1) ~ (N)	ソースノード	
408	電圧分配ソース構成要素	
410(1) ~ (N)	ソース	40
412(1) ~ (M)	抵抗性相互接続	
414(1) ~ (N)	電圧負荷ノード	
416	分散型負荷回路	
418(1) ~ (N)	ドレイン	
420	ゲート	
422(1) ~ (N)	電圧タップノード	
424(1) ~ (N)	入力ノード	
426(1) ~ (N)	抗体	
428	電圧平均化回路	
428(0) ~ (N)	電圧平均化回路	50

430(1) ~ (N)	出力ノード	
432	電圧出力ノード	
434	スケーリング抵抗体	
500	PMOS分散型電圧ネットワーク回路	
502	電圧調整器回路	
504	第1の入力	
506	第2の入力	
508	出力ノード	
600	オンダイ電流測定システム	
602	分散型負荷回路	10
604	電圧源( $V_{dd}$ )	
606(1) ~ (N)	ヘッドスイッチトランジスタ	
608	電圧信号	
610(1) ~ (N)	電圧負荷ノード	
612(1) ~ (N)	ミラートランジスタ	
614(1) ~ (N)	カスコードトランジスタ	
616	検出抵抗体	
618	アナログデジタル変換器(ADC)	
620	デジタルデータストリーム	
622	演算増幅器(オペアンプ)	20
624	ヘッドスイッチ電圧平均化回路	
626	第1の入力	
628	ヘッドスイッチ電圧出力ノード	
630	ミラー電圧平均化回路	
632	第2の入力	
634	ミラー電圧出力ノード	
636(1) ~ (N)	抵抗体	
638(1) ~ (N)	ヘッドスイッチ電圧タップノード	
640(1) ~ (N)	抵抗体	
642(1) ~ (N)	ミラー電圧タップノード	30
644	スケーリング抵抗体	
646	スケーリング抵抗体	
648	電圧調整器回路	
700	第1の試験回路	
702(1) ~ (48)	ヘッドスイッチタイル	
704(1) ~ (48)	抵抗体	
706(1) ~ (48)	ヘッドスイッチトランジスタ	
708(1) ~ (48)	抵抗体	
710(1) ~ (48)	ミラートランジスタ	
712(1)(1) ~ (48)(4)	寄生抵抗体	40
714(1) ~ (48)	カスコードトランジスタ	
716	検出抵抗体	
700'	第2の試験回路	
702'(1) ~ (48)	ヘッドスイッチタイル	
716'	検出抵抗体	
800	信号のセット	
802	第1のグラフ	
804	矢印	
806	第2のグラフ	
808	矢印	50

810	矢印	
812	矢印	
814	矢印	
800'	信号のセット	
802'	第1のグラフ	
806'	第2のグラフ	
900	システム	
902(1)	ヘッドスイッチ回路	
902(2)	ヘッドスイッチ回路	
904	プロセッサコア	10
1000	プロセッサベースシステム	
1002	中央処理ユニット(CPU)	
1004	プロセッサ	
1006(0) ~ (N)	コア	
1008	キャッシュメモリ	
1010	システムバス	
1012	メモリコントローラ	
1014	メモリシステム	
1016	入力デバイス	
1018	出力デバイス	20
1020	ネットワークインターフェースデバイス	
1022	ディスプレイコントローラ	
1024	ネットワーク	
1026(0) ~ (N)	メモリユニット	
1028	ディスプレイ	
1030	ビデオプロセッサ	

【図1】

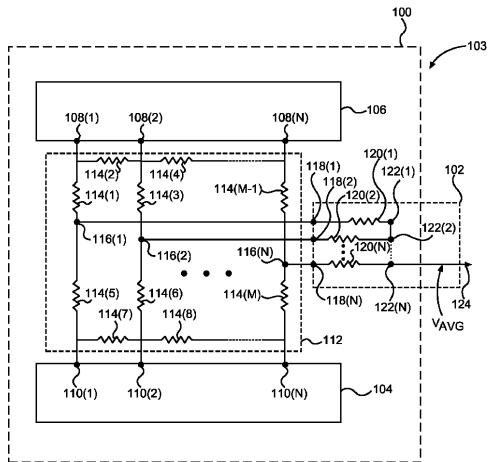
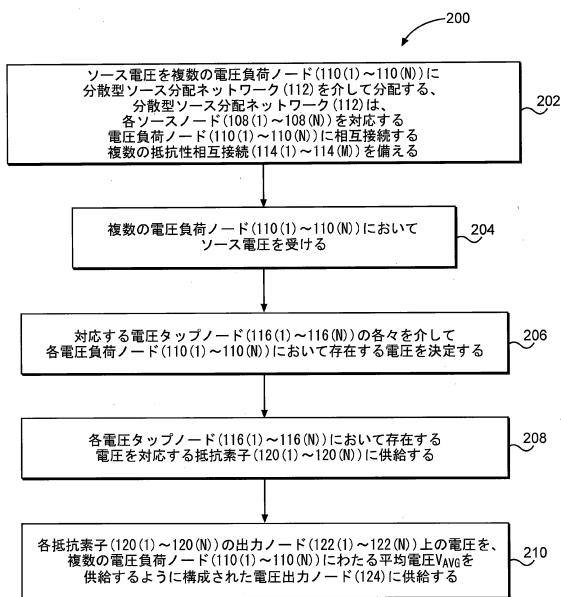


FIG. 1

【図2】



【図3】

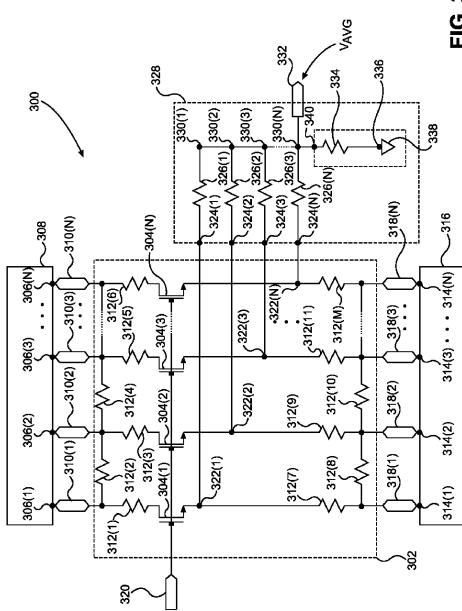


FIG. 3

【図4】

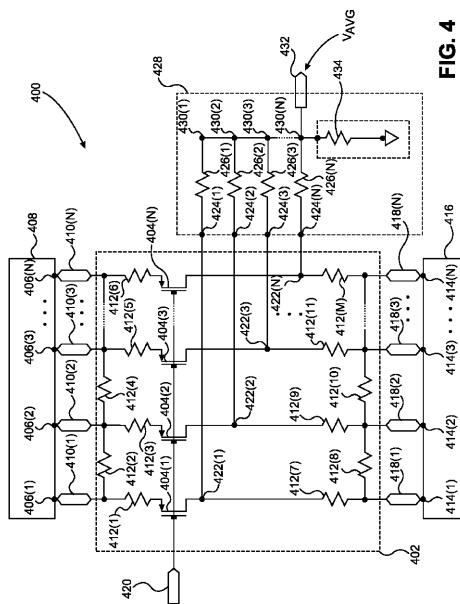


FIG. 4

【図5】

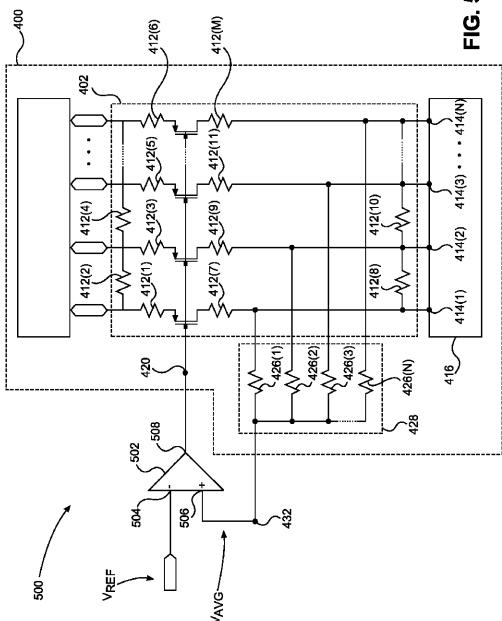


FIG. 5

【図6】

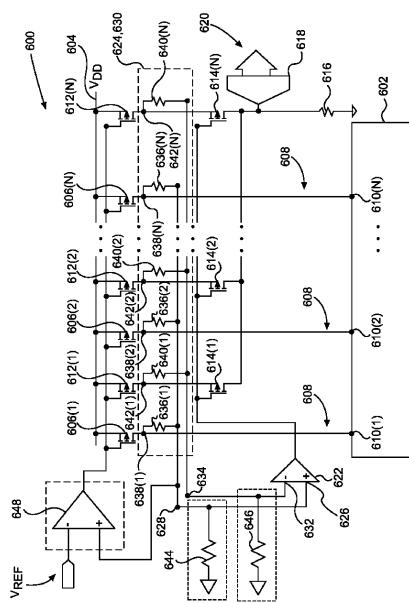


FIG. 6

【図7A】

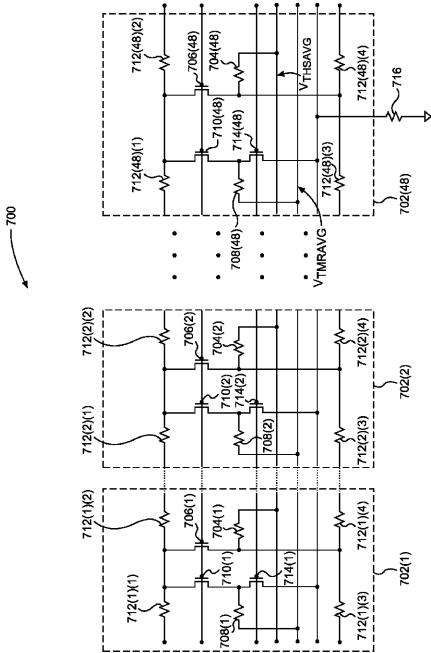


FIG. 7A

【図7B】

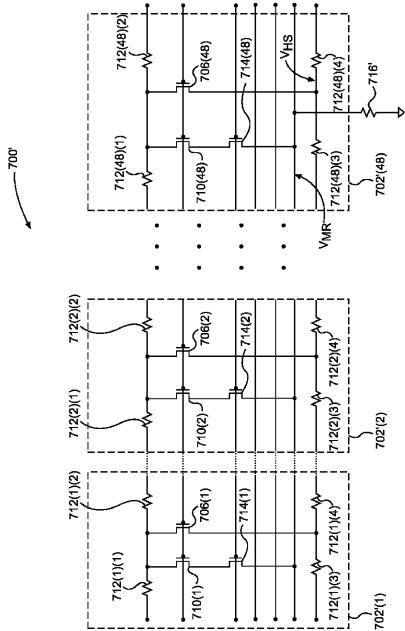
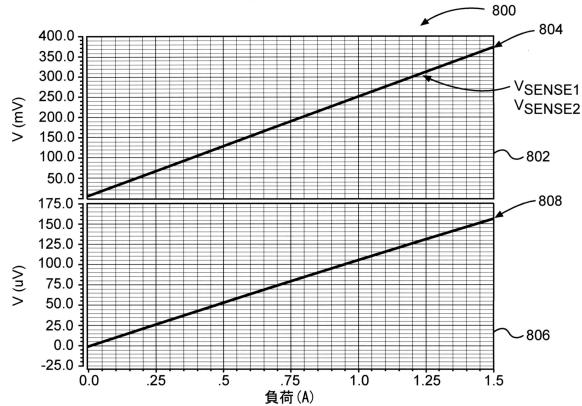
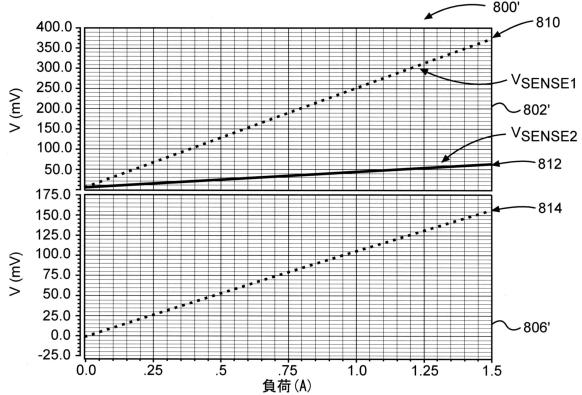


FIG. 7B

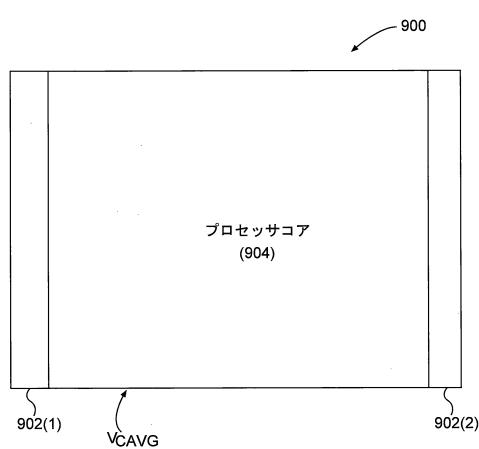
【図 8 A】



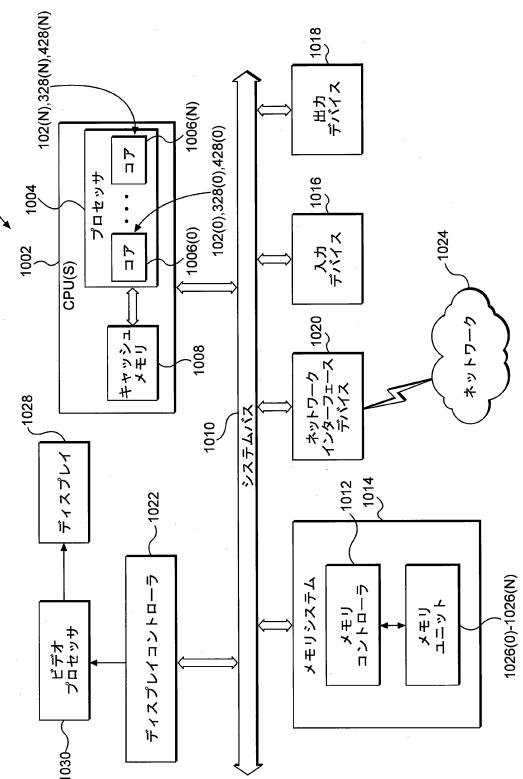
【図 8 B】



【図 9】



【図 10】



---

フロントページの続き

(72)発明者 イエシュワント・ナガラジュ・コッラ

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライヴ・577  
5

(72)発明者 ダハヴァル・ラジエシュバイ・シャア

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライヴ・577  
5

審査官 田口 孝明

(56)参考文献 米国特許出願公開第2014/0097828(US,A1)

米国特許第06937178(US,B1)

米国特許第07718448(US,B1)

国際公開第2012/147139(WO,A1)

特開昭48-003360(JP,A)

特開昭50-038437(JP,A)

米国特許出願公開第2004/0155662(US,A1)

(58)調査した分野(Int.Cl., DB名)

IPC G01R 19/00 - 19/32、

H01L 27/04、

27/822