

本 告 示

申請日期	88 年 12 月 14 日
案 號	88121911
類 別	H03L 7/00, H04L 9/00

A4  
C4

432802

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	在時脈選擇之數位切換實作中之時域間晃避免
	英 文	Time-walking prevention in a digital switching implementation for clock selection
二、發明 創作人	姓 名	(1) 傑瑞米·歐馬士 Omas, Jeremy D.
	國 籍	(1) 美國
	住、居所	(1) 美國德州薩斯帕克瑞吉道六三〇四號 6304 Parkridge Drive, Sachse, TX 75048, U.S.A.
三、申請人	姓 名 (名稱)	(1) 艾可特公司 ALCATEL
	國 籍	(1) 法國
	住、居所 (事務所)	(1) 法國巴黎玻謨堤路五十四號 54, rue La Boetie, 75008 Paris, France
	代 表 人 姓 名	(1) 克理斯丹·格果 Gregoire, Christian

裝 訂 線

經濟部智慧財產局員工消費合作社印製

432802

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權

美國 1999年9月21日 09/399,711 有主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝  
訂  
線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

### 發明背景

#### 1. 發明之技術領域

本發明係有關於數位交換網路。特別地，本發明更有關於一種系統及方法，以避免當切換於數位交換網路的剩餘時脈之間時的時域閒晃(time-walking)。

#### 2. 相關技藝之敘述

在一數位交換網路中，一系統時脈係可被用以驅動多重個模組。該系統時脈也可以提供一同步脈衝至其所驅動之每一模組，於是便使得這些模組可以互相通訊。在任何情況之下，如果時脈失效了，該數位交換網路便切換至一剩餘時脈，以避免模組之間的通訊有所中斷。然而，在一些數位交換網路中，由於一種稱作「時域閒晃」的現象，資料可能會因此而漏失。

如果兩個時脈，彼此相位獨立並且被固定至同一頻率，被重複地切換成所選擇之時脈，時域閒晃的現象便可能發生。時域閒晃係發生於使用該選擇時脈的數位交換網路之同步電路中。如果時域閒晃不被避免，其可能導致資料不再可靠地被交換於未經重置的數位交換網路中。時域閒晃現象之一實例將藉由以下的圖一至圖三而被說明。

圖一係繪示一習用數位交換網路100之電路方塊圖。該習用數位交換網路100係包括時脈一105、時脈二110、選擇器電路A120、選擇器電路B125、

(請先閱讀背面之注意事項再填寫本頁)

訂 · 裝 · 線

## 五、發明說明(2)

模組 A 1 3 0、模組 B 1 3 5、以及模組 C 1 4 0。當時脈一 1 0 5 與時脈二 1 1 0 之中有一個失效，選擇器電路 A 1 2 0 與選擇器電路 B 1 2 5 便在以上兩個時脈之間切換。爲了達到本實例的目的，模組 A 1 3 0、模組 B 1 3 5、以及模組 C 1 4 0 均爲簡單的八態計數器(eight-state counter)，其可在第八狀態上產生一脈衝。模組 A 1 3 0 與模組 B 1 3 5 可在彼此之間傳送資料；而模組 C 1 4 0 則在選擇器電路 A 1 2 0 與選擇器電路 B 1 2 5 切換於時脈一 1 0 5 與時脈二 1 1 0 時，提供穩態下的參考。

在圖一裡，時脈二 1 1 0 與選擇器電路 A 1 2 0 之間有一延遲 1 1 5。因此，在選擇器電路 A 1 2 0 的時脈一 1 0 5 與時脈二 1 1 0 並不同相位。相對地，時脈一 1 0 5 或時脈二 1 1 0 與選擇器電路 B 1 2 5 之間並沒有任何延遲 1。因此，在選擇器電路 B 1 2 5 的時脈一 1 0 5 與時脈二 1 1 0 具有相同相位。模組 C 1 4 0 係只能由時脈一 1 0 5 所驅動。

圖二係繪示穩態下(意即，在選擇器電路 A 1 2 0 或選擇器電路 B 1 2 5 的時脈一 1 0 5 與時脈二 1 1 0 之間沒有切換的動作)選擇器電路 A 之時序圖 2 0 5、選擇器電路 B 之時序圖 2 1 0、以及模組 C 之時序圖 2 1 5。如圖二所示，時脈一 1 0 5 與時脈二 1 1 0 具有相同之頻率。由於沒有切換的動作發生，而且時脈一 1 0 5 不論在選擇器電路 A 1 2 0、選擇器電路 B 1 2 5 以及模組

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

### 五、發明說明(3)

C 1 4 0 均具有相同相位，以致不會有時域閒晃的現象發生。因此，分別繪示於時序圖 2 0 5、2 1 0 與 2 1 5 的模組 A 之脈衝 1 4 5、模組 B 之脈衝 1 5 0、與模組 C 之脈衝 1 5 5 均發生於同一時間。

圖三係繪示選擇器電路 A 之時序圖 3 0 5、選擇器電路 B 之時序圖 3 1 0、以及模組 C 之時序圖 3 1 5，其中選擇器電路 A 1 2 0 與選擇器電路 B 1 2 5 由時脈一 1 0 5 切換至時脈二 1 1 0，再切換回時脈一 1 0 5。再次地，時脈一 1 0 5 與時脈二 1 1 0 具有相同之頻率。然而，選擇器電路 A 之時序圖 3 0 5 顯示，由於前面所述之延遲 1 1 5，時脈一 1 0 5 與時脈二 1 1 0 具有不同之相位。如果選擇器電路 A 1 2 0 不考慮時脈一 1 0 5 與時脈二 1 1 0 之相位差，模組 A 之脈衝 1 4 5 會在相對於模組 B 之脈衝 1 5 0 與模組 C 之脈衝 1 5 5 的時域中間晃，如圖三所示。此一時域閒晃的現象可能導致傳送於模組 A 1 3 0 與模組 B 1 3 5 之間的資料流失。如果選擇器電路 A 1 2 0 繼續在時脈一 1 0 5 與時脈二 1 1 0 之間切換，則將會有更多的資料持續流失。

#### 發明之概述

本發明提供一種系統及方法，其可實質上地消除或減少用於避免數位交換網路時域閒晃之習用系統及方法的缺點與問題。特別地，本發明更提供了一種系統及方法，以避免當切換於數位交換網路中頻率相同且相位獨立之剩餘

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(4)

時脈之間時的時域閒晃現象，其中數位交換網路之可用的最高解析頻率即為剩餘時脈之最高解析頻率。

避免數位交換網路中時域閒晃現象之系統，包括有一時脈分除器選擇電路(clockdividerselectioncircuit)、一增強之數位相位對準器(enhanceddigitalphasealigner)、以及一時脈選擇控制電路(clockselectcontrolcircuit)。該時脈分除器選擇電路輸出一線上分除時脈(on-linedividedclock)與一離線時脈(off-lineclock)至該增強之數位相位對準器。該增強之數位相位對準器可由離線時脈之四種相位取樣線上分除時脈，並且輸出一離線分除時脈(off-linedividedclock)，其係為時間偏移(time-shifted)以使得該離線分除時脈與加或減二分之一離線時脈之時脈週期的線上分除時脈具有相同之相位。

時脈選擇控制電路從時脈分除器選擇電路接收線上分除時脈，從增強之數位相位對準器接收離線分除時脈，並且接收一平坦化時脈(smoothedclock)。當接收到一個要求在第一時脈與第二時脈之間切換的訊號時，時脈選擇控制電路會將線上分除時脈及離線分除時脈與平坦化時脈相比較，並且輸出一時脈選擇控制訊號至時脈分除器選擇電路。

本發明具有一技術上的優點，其係藉由提供一種系統與方法，以避免當切換於數位交換網路中頻率相同且相位獨立之剩餘時脈之間時的時域閒晃現象。

本發明更具有另一技術上的優點，其係藉由提供一個

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(5)

更穩定的環境，使得客戶的資料可以更可靠地被交換於一數位交換網路中，以節省客戶之金錢。

### 圖式之簡要說明

本發明之上述目的、精神與優點，藉由下列參照附圖所作之較佳具體實施例的詳細描述，將會更為明白，其中：

圖一係繪示習知技術之數位交換網路的電路方塊圖；

圖二係繪示穩態下，選擇器電路 A 之時序圖、選擇器電路 B 之時序圖、以及模組 C 之時序圖；

圖三係繪示選擇器電路 A 之時序圖、選擇器電路 B 之時序圖、以及模組 C 之時序圖，其中選擇器電路 A 與選擇器電路 B 由時脈一切換至時脈二，再切換回時脈一；

圖四係繪示本發明所揭示之一電路實施例，其可避免數位交換網路裡，在時脈選擇時之時域閒晃現象；

圖五係繪示本發明所揭示之一增強之數位相位對準器電路實施例；

圖六係繪示一時序圖，以顯示本發明所揭示之系統中的時脈產生器如何將離線時脈分除成四種相位；

圖七係繪示本發明所揭示之一時序偏移器電路實施例；

圖八係繪示一圖表，其詳細說明了在每個正反器後，以奈秒為單位的時間延遲量；

圖九係繪示本發明所揭示之一時脈選擇控制電路實施

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(6)

例；以及

圖十係繪示一時脈控制時序圖，其詳細說明了第一與第二時脈之交換時間。

主要元件對照表

105	第一時脈
110	第二時脈
115	延遲
120	選擇器電路 A
125	選擇器電路 B
130	模組 A
135	模組 B
140	模組 C
145	模組 A 之脈衝
150	模組 B 之脈衝
155	模組 C 之脈衝
205	選擇器電路 A 之時序圖
210	選擇器電路 B 之時序圖
215	模組 C 之時序圖
305	選擇器電路 A 之時序圖
310	選擇器電路 B 之時序圖
315	模組 C 之時序圖
400	時域閒晃避免電路
405	時脈分除器選擇電路

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(7)

- 410 第一時脈分除器電路
- 415 第二時脈分除器電路
- 420 第一多工器
- 425 第二多工器
- 430 線上時脈
- 435 離線時脈
- 440 增強之數位相位對準器
- 445 離線分除時脈
- 450 第三多工器
- 455 第四多工器
- 460 第一時脈分除器干擾訊號
- 465 第二時脈分除器干擾訊號
- 470 鎖相迴路
- 475 時脈選擇控制電路
- 480 時脈選擇控制訊號
- 485 平坦化時脈
- 490 時脈分除器干擾電路
- 505 時脈產生器
- 510 相位分析器
- 515 時序偏移器
- 520 資料取樣器
- 525 控制電路
- 530 計數器
- 535 第一正反器

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(8)

- |      |           |
|------|-----------|
| 540  | 第二正反器     |
| 545  | 第一序列偏移暫存器 |
| 550  | 第二序列偏移暫存器 |
| 555  | 第五多工器     |
| 560  | 第三正反器     |
| 565  | 溢出訊號      |
| 570  | 相位選擇控制訊號  |
| 575  | 線上分除時脈    |
| 705  | 多工器       |
| 710  | 偏移暫存器     |
| 715  | 正反器       |
| 905  | 多工器       |
| 910  | 正反器       |
| 1000 | 時脈控制時序圖   |
| 1005 | 第一交換時間    |
| 1010 | 第二交換時間    |

本發明之詳細描述

在下文中，本發明之較佳具體實施例將藉由參照附圖而被詳細描述。

本發明提供了一種系統及方法，以避免數位交換網路中從一第一時脈切換至一第二時脈時之時域閒晃現象。該第一與第二時脈具有相同頻率以及彼此獨立之相位，其中數位交換網路之可用的最高解析頻率即為該第一與第二時

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 五、發明說明(9)

脈之最高解析頻率。本發明係可包括一時脈分除器選擇電路、一增強之數位相位對準器、以及一時脈選擇控制電路。該避免數位交換網路中時域閒晃現象之系統，包括有一時脈分除器選擇電路、一增強之數位相位對準器、以及一時脈選擇控制電路。該時脈分除器選擇電路輸出一線上分除時脈與一離線時脈至該增強之數位相位對準器。

該增強之數位相位對準器可由離線時脈之四種相位取樣線上分除時脈，並且輸出一離線分除時脈，其係為時間偏移以使得該離線分除時脈與加或減二分之一離線時脈之時脈週期的線上分除時脈具有相同之相位。時脈選擇控制電路從時脈分除器選擇電路接收線上分除時脈，從增強之數位相位對準器接收離線分除時脈，並且接收一平坦化時脈。當接收到一個要求在第一時脈與第二時脈之間切換的訊號時，時脈選擇控制電路會將線上分除時脈及離線分除時脈與平坦化時脈相比較，並且輸出一時脈選擇控制訊號至時脈分除器選擇電路。

圖四係繪示本發明所揭示之一電路實施例，其可避免數位交換網路裡，在時脈選擇時之時域閒晃現象。該時域閒晃避免電路400包括一時脈分除器選擇電路405、一增強之數位相位對準器440、一鎖相迴路(phaselockloop)470、以及一時脈選擇控制電路475、以及一時脈分除器干擾電路490(clockdividerjammingcircuit)。該時脈分除器選擇電路405包括一第一時脈分除器電路410、一第二時脈分

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(10)

除器電路 4 1 5、一第一多工器 (multiplexer) 4 2 0、以及一第二多工器 4 2 5。該時脈分除器干擾電路 4 9 0 包括一第三多工器 4 5 0 與一第四多工器 4 5 5。爲了達到本實施例的目的，第一時脈分除器電路 4 1 0 與第二時脈分除器電路 4 1 5 係分別爲「除以八」(divide by 8) 分除器電路，然而，其他規格之分除器亦可使用。另外，爲了達到本實施例的目的，第一、第二、第三與第四多工器 4 2 0、4 2 5、4 5 0 與 4 5 5 係分別爲 2 : 1 多工器，然而，其他規格之多工器亦可使用。

時脈分除器選擇電路 4 0 5 接收一第一時脈 1 0 5 與一第二時脈 1 1 0，其係爲彼此不同相位之時脈。該第一時脈 1 0 5 係被輸入至第一時脈分除器電路 4 1 0，並且立即被除以八；而該第二時脈 1 1 0 係被輸入至第二時脈分除器電路 4 1 5，並且立即被除以八。一旦第一時脈 1 0 5 與第二時脈 1 1 0 被分別除以八，便被輸入至第二多工器 4 2 5。第一時脈 1 0 5 與第二時脈 1 1 0 也被輸入至第一多工器 4 2 0。該第一多工器 4 2 0 與第二多工器 4 2 5 接收一時脈選擇控制訊號 4 8 0 自該時脈選擇控制電路 4 7 5。第一多工器 4 2 0 輸出第一時脈 1 0 5 或第二時脈 1 1 0 至增強之數位相位對準器 4 4 0，作爲基於時脈選擇控制訊號 4 8 0 之離線時脈 4 3 5。同樣地，第二多工器 4 2 5 輸出分除之第一時脈或分除之第二時脈至增強之數位相位對準器 4 4 0，作爲基於時脈選擇控制訊號 4 8 0 之線上時脈 4 3 0。爲了達到本實施例的目的

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(11)

，假設分除之第一時脈係被選擇為線上分除時脈 4 3 0，而分除之第二時脈係被選擇為離線時脈 4 3 5。

由於第一時脈 1 0 5 與第二時脈 1 1 0 不具相同之相位，增強之數位相位對準器 4 4 0 之目的即在於將線上分除時脈 4 3 0 傳送至離線區段。於是該增強之數位相位對準器 4 4 0 自時脈分除器選擇電路 4 0 5 接收線上分除時脈 4 3 0，自時脈分除器選擇電路 4 0 5 接收離線時脈 4 3 5，並且輸出離線分除時脈 4 4 5，其係為時間偏移以使得該離線分除時脈 4 4 5 與加或減二分之一離線時脈 4 3 5 之時脈週期的線上分除時脈 4 3 0 具有相同之相位。

一旦離線分除時脈 4 4 5 由增強之數位相位對準器 4 4 0 所輸出，便被輸入至時脈選擇控制電路 4 7 5。另外，時脈選擇控制電路 4 7 5 從時脈分除器選擇電路 4 0 5 接收線上分除時脈 4 3 0，並且從鎖相迴路 4 7 0 接收一平坦化時脈 4 8 5。當接收到一個要求在第一時脈 1 0 5 與第二時脈 1 1 0 之間切換的訊號時，時脈選擇控制電路 4 7 5 會將線上分除時脈 4 3 0 及離線分除時脈 4 4 5 與平坦化時脈 4 8 5 相比較，並且輸出一時脈選擇控制訊號 4 8 0 至時脈分除器選擇電路 4 0 5 之第一多工器 4 2 0 與第二多工器 4 2 5。如前面所述者，第一多工器 4 2 0 選擇第一時脈 1 0 5 或第二時脈 1 1 0，作為基於時脈選擇控制訊號 4 8 0 之離線時脈 4 3 5。同樣地，如前面所述者，第二多工器 4 2 5 選擇第一分除時脈或第

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(12)

二分除時脈，作為基於時脈選擇控制訊號480之線上分除時脈430。

離線分除時脈445亦被輸出至時脈分除器干擾電路490。該時脈分除器干擾電路490亦從時脈分除器選擇電路405接收線上分除時脈430，以及從時脈選擇控制電路475接收時脈選擇控制訊號480。時脈選擇控制訊號480、離線分除時脈445以及線上分除時脈430係均被輸入至第三多工器450與第四多工器455。第三多工器450輸出線上分除時脈430或離線分除時脈445，作為基於時脈選擇控制訊號480之第一時脈分除器干擾訊號460。同樣地，第四多工器455輸出線上分除時脈430或離線分除時脈445，作為基於時脈選擇控制訊號480之第二時脈分除器干擾訊號465。

第一時脈分除器干擾訊號460係被回饋至位於時脈分除器選擇電路405中之第一時脈分除器電路410。第二時脈分除器干擾訊號465係被回饋至位於時脈分除器選擇電路405中之第二時脈分除器電路415。第一時脈分除器干擾訊號460與第二時脈分除器干擾訊號465之目的，係分別在於干擾第一時脈分除器電路410與第二時脈分除器電路415，使得第一時脈分除器電路410與第二時脈分除器電路415均輸出除了相位偏移之外完全相同之分除訊號，該相位偏移係相等於第一時脈105與第二時脈110之間的相位偏移。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

### 五、發明說明(13)

圖五係繪示本發明所揭示之一增強之數位相位對準器 440 電路實施例。該增強之數位相位對準器 440 係包括一時脈產生器 505、一相位分析器 510、以及一時序偏移器 515。該相位分析器 510 係包括一資料取樣器 520、一控制電路 525、一計數器 530、一第一正反器 535、一第二正反器 540、一第一序列偏移暫存器 545、一第二序列偏移暫存器 550、一第五多工器 555、以及一第三正反器 560。爲了達到本實施例的目的，該第一序列偏移暫存器 545 與第二序列偏移暫存器 550 係爲 1:8 序列偏移暫存器，該計數器 530 係爲一四位元計數器，以及該第五多工器 555 係爲一 16:1 多工器；然而，其他規格亦可被使用。

時脈產生器 505 從時脈分除器選擇電路 405 接收離線時脈 435，以產生具有四種相位之離線時脈 435，並分別輸入至相位分析器 510。爲了達到本實施例的目的，所產生的四個相位分別爲 0、90、180 與 270 度；然而，其他的相位亦可被產生。圖六係繪示一時序圖，以顯示本發明所揭示之系統中的時脈產生器 505 如何將離線時脈 435 分除成四種相位。在進入相位分析器 510 之後，該四種相位首先由資料取樣器 520 所接收。線上分除時脈 430 亦由資料取樣器 520 所接收。該資料取樣器 520 係使用離線時脈 435 之四種相位，以取樣該線上分除時脈 430 並輸出線上分除時脈 430 之多重資料取樣至控制電路 525。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明 (14 )

控制電路 5 2 5 分析資料取樣器 5 2 0 所輸出之多重資料取樣，並選擇離線時脈 4 3 5 之相位，其為距離線上分除時脈 4 3 0 之最前緣最遠者。當所選擇的取樣點接近資料過度區小於 9 0 度時，輸出取樣便會被改變 1 8 0 度。此乃藉由傳送一自控制電路 5 2 5 所產生之訊號至計數器 5 3 0 所完成，而該訊號對於計數器 5 3 0 會有微增或微減的影響。一旦計數器 5 3 0 被微增或微減，該計數器會傳送出一相位選擇控制訊號 5 7 0 至第五多工器 5 5 5，其可基於計數值，而調整該取樣 1 8 0 度。如果該計數動作完成一週期（例如，從 0 0 0 0 到 1 1 1 1 或者 1 1 1 1 到 0 0 0 0），則將由計數器 5 3 0 輸出一溢出訊號（spillsignal）5 6 5。相位選擇控制訊號 5 7 0 也被輸出至時序偏移器 5 1 5。

圖七係繪示本發明所揭示之一時序偏移器 5 1 5 電路實施例。該時序偏移器 5 1 5 包括一多工器 7 0 5、一偏移暫存器 7 1 0、以及一正反器 7 1 5。時序偏移器 5 1 5 自時脈分除器選擇電路 4 0 5 接收離線時脈 4 3 5，自相位分析器 5 1 0 接收取樣之線上分除時脈 5 7 5，以及自相位分析器 5 1 0 接收相位選擇控制訊號 5 7 0。時序偏移器 5 1 5 之目的係在於將離線分除時脈 4 4 5 予以時序偏移，使得該離線分除時脈 4 4 5 與加或減二分之一離線時脈 4 3 5 之時脈週期的線上分除時脈 4 3 0 具有相同之相位。多工器 7 0 5 的選擇係基於計數器 5 3 0 之計數值。該資訊係藉由相位選擇控制訊號 5 7 0，從計數

（請先閱讀背面之注意事項再填寫本頁）

裝 · 訂 · 線

### 五、發明說明 (15 )

器 5 3 0 傳送至多工器 7 0 5 。計數值之最不重要的三個位元係用以決定需要在取樣之線上分除時脈 5 7 5 上加上多少延遲，才能使得離線分除時脈 4 4 5 的邊緣能盡可能地靠近線上分除時脈 4 3 0 的邊緣。

表一係繪示一圖表，其詳細說明了將取樣之線上分除時脈 5 7 5 予以時序偏移之所需時間延遲。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(16)

表一

正反器 (FF)	從線上分除 時脈輸入訊 號之正反器 之後的延遲	計數狀態 (從 2 倒數至 0)	使得總延遲 n 倍於線上分除時 脈之週期(+/-離線時脈之半週期 )所需增加的延遲(ns)。由於 線上時脈係由輸入之 155MHz 時 脈除以 8，所以 $n = 48ns$
A	6	-	
C	6	-	
C0	12	0000	$48 - 12 - 12 - 6 = 18$
A0	18	0001	$48 - 18 - 12 - 6 = 12$
C1	24	0010	$48 - 24 - 12 - 6 = 6$
A1	30	0011	$48 - 30 - 12 - 6 = 0$
C2	36	0100	$96 - 36 - 12 - 6 = 42$
A2	42	0101	$96 - 42 - 12 - 6 = 36$
C3	48	0110	$96 - 48 - 12 - 6 = 30$
A3	54	0111	$96 - 54 - 12 - 6 = 24$
C4	60	1000	$96 - 60 - 12 - 6 = 18$
A4	66	1001	$96 - 66 - 12 - 6 = 12$
C5	72	1010	$96 - 72 - 12 - 6 = 6$
A5	78	1011	$96 - 78 - 12 - 6 = 0$
C6	84	1100	$144 - 84 - 12 - 6 = 42$
A6	90	1101	$144 - 90 - 12 - 6 = 36$
C7	96	1110	$144 - 96 - 12 - 6 = 30$
A7	102	1111	$144 - 102 - 12 - 6 = 24$
所選擇 之資料	增加 12 奈秒(ns)， 如以上方程式所顯示者		
離線分 除時脈	增加 6 奈秒(ns)， 如以上方程式所顯示者		

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

## 五、發明說明 (17)

舉例來說，在正反器行 (FF) 裡，有 A 與 C 的符號。如果 C 0 被選擇了，則所需要加在取樣之線上分除時脈 5 7 5 的時間將小於一個週期。在最後一欄裡，4 8 奈秒即表示了整個週期的時間。首先，C 0 所加上去的 1 2 奈秒先被減去；接著，正反器 7 1 5 所加上去的 1 2 奈秒再被減去；最後，正反器 C 所加的 6 奈秒再被減去。於是，總共需要 1 8 奈秒以將離線分除時脈 4 4 5 予以時序偏移，使得該離線分除時脈 4 4 5 與加或減二分之一離線時脈 4 3 5 之時脈週期的線上分除時脈 4 3 0 具有相同之相位。接著，偏移暫存器 7 1 0 將接著啟動第三正反器，因為偏移暫存器 7 1 0 之每一正反器具有 6 奈秒的延遲。

圖九係繪示本發明所揭示之一時脈選擇控制電路 4 7 5 實施例。該時脈選擇控制電路 4 7 5 係包括一多工器 9 0 5、與複數個正反器 9 1 0。線上分除時脈 4 3 0 與離線分除時脈 4 4 5 係被輸入至多工器 9 0 5。平坦化時脈 4 8 5 係被輸入至該多工器 9 0 5 以及任一個正反器 9 1 0 中。圖十係繪示一時脈控制時序圖 1 0 0 0，其詳細說明了第一時脈 1 0 5 與第二時脈 1 1 0 之交換時間，其中包括了由第一時脈 1 0 5 切換至第二時脈 1 1 0 的時間，以及由第二時脈 1 1 0 切換至第一時脈 1 0 5 的時間。當接收到一個要求在第一時脈 1 0 5 與第二時脈 1 1 0 之間切換的訊號時，時脈選擇控制電路 4 7 5 會將線上分除時脈及離線分除時脈與平坦化時脈相比較，並且決定該要求係落在第一交換時間 1 0 0 5 或第二交換時間 1 0 1 0。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明（18）

接著，時脈選擇控制電路 475 會輸出一時脈選擇控制訊號至時脈分除器選擇電路以及時脈分除器干擾電路。

綜觀以上所討論者，本發明提供了一種系統及方法，以避免數位交換網路中從一第一時脈切換至一第二時脈時之時域閒晃現象。該第一與第二時脈具有相同頻率以及彼此獨立之相位，其中數位交換網路之可用的最高解析頻率即為該第一與第二時脈之最高解析頻率。該避免數位交換網路中時域閒晃現象之系統，包括有一時脈分除器選擇電路、一增強之數位相位對準器、以及一時脈選擇控制電路。該時脈分除器選擇電路輸出一線上分除時脈與一離線時脈至該增強之數位相位對準器。該增強之數位相位對準器可由離線時脈之四種相位取樣線上分除時脈，並且輸出一離線分除時脈，其係為時間偏移以使得該離線分除時脈與加或減二分之一離線時脈之時脈週期的線上分除時脈具有相同之相位。

時脈選擇控制電路從時脈分除器選擇電路接收線上分除時脈，從增強之數位相位對準器接收離線分除時脈，並且接收一平坦化時脈。當接收到一個要求在第一時脈與第二時脈之間切換的訊號時，時脈選擇控制電路會將線上分除時脈及離線分除時脈與平坦化時脈相比較，並且輸出一時脈選擇控制訊號至時脈分除器選擇電路。

本發明之圖式與描述以一較佳實施例說明如上，僅用於藉以幫助了解本發明之實施，非用以限定本發明之精神，而熟悉此領域技藝者於領悟本發明之精神後，在不脫離

### 五、發明說明(19)

本發明之精神範圍內，當可作些許更動潤飾及同等之變化替換，其專利保護範圍當視後附之申請專利範圍及其等同領域而定。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

四、中文發明摘要(發明之名稱： 在時脈選擇之數位切換實作中之時域閒晃避免 )

所揭示者係為一種系統及方法，以避免數位交換網路中從一第一時脈切換至一第二時脈時之時域閒晃現象。該第一與第二時脈具有相同頻率以及彼此獨立之相位，其中數位交換網路之可用的最高解析頻率即為該第一與第二時脈之最高解析頻率。該系統係可包括一時脈分除器選擇電路 (clock divider selection circuit)、一增強之數位相位對準器 (enhanced digital phase aligner)、以及一時脈選擇控制電路 (clock select control circuit)。該時脈分除器選擇電路係可輸出一線上分除時脈 (on-line divided clock) 與一離線時脈 (off-line clock) 至該增強之數位相位對準器。該增強之數位相位對準器可由離線時脈之四種相位取樣線上分除時脈，並且輸出一離線分除時脈 (off-line divided clock)，其係為時間偏移 (time-shifted) 以使得該離線分除時脈與加或減二分之一離線時脈之時脈週期的線上分除時脈具有相同之相位。時脈選擇控制電路可從時脈分除器選擇電路接收線上分除時脈，從增強之數位相位對準器接收離線

英文發明摘要(發明之名稱： )

TIME-WALKING PREVENTION IN A DIGITAL SWITCHING IMPLEMENTATION FOR CLOCK SELECTION

A system and method for preventing time-walking in a digital switching network when switching from a first clock to a second clock. The first and second clock can be identical in frequency and independent in phase, where the highest resolution frequency available is that of said first and second clock. The system can include a clock divider selection circuit, an enhanced digital phase aligner, and a clock select control circuit. The clock divider selection circuit can output an on-line divided clock and an off-line clock to the enhanced digital phase aligner. The enhanced digital phase aligner can sample the on-line divided clock with four phases of the off-line clock and output an off-line divided clock which is time shifted such that the off-line divided clock is in

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 四、中文發明摘要(發明之名稱：

分除時脈，並且接收一平坦化時脈 (smoothed clock)。當接收到一個要求在第一時脈與第二時脈之間切換的訊號時，時脈選擇控制電路會將線上分除時脈及離線分除時脈與平坦化時脈相比較，並且輸出一時脈選擇控制訊號至時脈分除器選擇電路。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

## 英文發明摘要(發明之名稱：

phase with the on-line divided clock within plus or minus one-half the clock period of the off-line clock. The clock select control circuit can receive the on-line divided clock from the clock divider selection circuit, the off-line divided clock from the enhanced digital phase aligner and a smoothed clock. When a request is made to switch between clock one and clock two, the clock select control circuit can evaluate the on-line divided clock and the off-line divided clock with the smoothed clock and output a clock select control signal to the clock divider selection circuit based on this comparison.

訂

線

## 六、申請專利範圍

1. 一種避免數位交換網路中從一第一時脈切換至一第二時脈時之時域閒晃現象之系統，其包括：

一時脈分除器選擇電路，用以輸出一線上分除時脈與一離線時脈；

一增強之數位相位對準器，其可從該時脈分除器選擇電路輸入該線上分除時脈與一離線時脈，並輸出一離線分除時脈，其係為時間偏移以使得該離線分除時脈與加或減二分之一離線時脈之時脈週期的線上分除時脈具有相同之相位；以及

一時脈選擇控制電路，可從時脈分除器選擇電路接收線上分除時脈，從增強之數位相位對準器接收離線分除時脈，接收一平坦化時脈，將線上分除時脈及離線分除時脈與平坦化時脈相比較，並且輸出一時脈選擇控制訊號至時脈分除器選擇電路。

2. 如申請專利範圍第1項之系統，其中該第一與第二時脈具有相同頻率以及彼此獨立之相位，而可用的最高解析頻率即為該第一與第二時脈之最高解析頻率。

3. 如申請專利範圍第1項之系統，其中該時脈選擇控制訊號係控制該時脈分除器選擇電路，以選擇一第一時脈或一第二時脈作為該離線時脈。

4. 如申請專利範圍第1項之系統，其中該時脈選擇控制訊號係控制該時脈分除器選擇電路，以選擇一第一分除時脈或一第二分除時脈作為該線上分除時脈。

5. 如申請專利範圍第1項之系統，其中該時脈選擇

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 六、申請專利範圍

控制電路係將線上分除時脈及離線分除時脈與平坦化時脈相比較，並且在一第一與一第二交換時間之間作選擇。

6. 如申請專利範圍第1項之系統，其更包括：

一鎖相迴路，其可自該時脈分除器選擇電路接收線上分除時脈，並輸出一平坦化時脈至該時脈選擇控制電路與該數位交換網路；以及

一時脈分除器干擾電路，其可從該時脈分除器選擇電路接收線上分除時脈，從該增強之數位相位對準器接收離線分除時脈，以及從該時脈選擇控制電路接收時脈選擇控制訊號；並且輸出一第一時脈分除器干擾訊號至該時脈分除器選擇電路，以及輸出一第二時脈分除器干擾訊號至該時脈分除器選擇電路。

7. 如申請專利範圍第5項之系統，其中該時脈分除器選擇電路係包括：

一第一時脈分除器電路，其可分除該第一時脈，從該時脈分除器干擾電路接收該第一時脈分除器干擾訊號，並輸出該分除之第一時脈；

一第二時脈分除器電路，其可分除該第二時脈，從該時脈分除器干擾電路接收該第二時脈分除器干擾訊號，並輸出該分除之第二時脈；

一第一多工器，其可接收該第一時脈、該第二時脈、以及該時脈選擇控制訊號，並且輸出該第一時脈或第二時脈，作為基於時脈選擇控制訊號之離線時脈；以及

一第二多工器，其可接收該分除之第一時脈、該分除

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

## 六、申請專利範圍

之第二時脈、以及該時脈選擇控制訊號，並且輸出該第一分除時脈或第二分除時脈，作為基於時脈選擇控制訊號之線上分除時脈。

8. 如申請專利範圍第1項之系統，其中該增強之數位相位對準器係包括：

一時脈產生器，其可從時脈分除器選擇電路接收離線時脈，以產生離線時脈之四種相位；

一相位分析器，其可藉由離線時脈之四種相位以取樣該線上分除時脈；選擇離線時脈之相位，其為距離線上分除時脈之最前緣最遠者；輸出一溢出訊號；並基於該線上分除時脈的取樣，輸出一相位選擇控制訊號；以及

一時序偏移器，其可自時脈分除器選擇電路接收離線時脈；自相位分析器接收取樣之線上分除時脈；以及自相位分析器接收相位選擇控制訊號；將離線分除時脈予以時序偏移，使得該離線分除時脈與加或減二分之一離線時脈之時脈週期的線上分除時脈具有相同之相位；並且輸出該離線分除時脈。

9. 如申請專利範圍第8項之系統，其中該相位分析器係包括：

一資料取樣器，其可藉由離線時脈之四種相位，以取樣該線上分除時脈，並且輸出線上分除時脈之多重資料取樣；

一控制電路，其可分析資料取樣器所輸出之多重資料取樣，並選擇離線時脈之相位，其為距離線上分除時脈之

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

最前緣最遠者：

- 一 計數器；
  - 一 第一序列偏移暫存器；
  - 一 第二序列偏移暫存器；
  - 一 多工器；以及
- 複數個正反器。

1 0 . 如申請專利範圍第 8 項之系統，其中該時序偏移器係包括一偏移暫存器、一正反器、以及一多工器。

1 1 . 如申請專利範圍第 1 項之系統，其中該時脈選擇控制電路係包括一多工器、以及複數個正反器。

1 2 . 如申請專利範圍第 1 項之系統，其中該時脈分除器選擇電路係更可接收一第一時脈、一第二時脈，並分除該第一與第二時脈。

1 3 . 如申請專利範圍第 8 項之系統，其中該離線時脈之四種相位可分別為 0 度、90 度、180 度與 270 度。

1 4 . 一種避免數位交換網路中從一第一時脈切換至一第二時脈時之時域閒晃現象之系統，其中該第一與第二時脈具有相同頻率以及彼此獨立之相位，而最高解析頻率即為該第一與第二時脈之最高解析頻率，其包括：

一時脈分除器選擇電路，用以輸出一線上分除時脈與一離線時脈；

一增強之數位相位對準器，其可從該時脈分除器選擇電路輸入該線上分除時脈與一離線時脈，並輸出一離線分

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

除時脈，其係為時間偏移以使得該離線分除時脈與加或減二分之一離線時脈之時脈週期的線上分除時脈具有相同之相位；

一時脈選擇控制電路，可從時脈分除器選擇電路接收線上分除時脈，從增強之數位相位對準器接收離線分除時脈，接收一平坦化時脈，將線上分除時脈及離線分除時脈與平坦化時脈相比較，並且輸出一時脈選擇控制訊號至時脈分除器選擇電路；

一鎖相迴路，其可自該時脈分除器選擇電路接收線上分除時脈，並輸出一平坦化時脈至該時脈選擇控制電路與該數位交換網路；以及

一時脈分除器干擾電路，其可從該時脈分除器選擇電路接收線上分除時脈，從該增強之數位相位對準器接收離線分除時脈，以及從該時脈選擇控制電路接收時脈選擇控制訊號；並且輸出一第一時脈分除器干擾訊號至該時脈分除器選擇電路，以及輸出一第二時脈分除器干擾訊號至該時脈分除器選擇電路。

15. 一種避免數位交換網路中從一第一時脈切換至一第二時脈時之時域閒晃現象之方法，其中該第一與第二時脈具有相同頻率以及彼此獨立之相位，而最高解析頻率即為該第一與第二時脈之最高解析頻率，其包括以下步驟：

在一增強之數位相位對準器處接收一線上分除時脈與一離線分除時脈，其係來自於一時脈分除器選擇電路；

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

輸出一離線分除時脈，其係為時序偏移者，使得該離線分除時脈與加或減二分之一離線時脈之時脈週期的線上分除時脈具有相同之相位；並且輸出該離線分除時脈；

在一時脈選擇控制電路處接收該線上分除時脈，其係來自於該時脈分除器選擇電路；

在該時脈選擇控制電路處接收該離線分除時脈，其係來自於該增強之數位相位對準器；

在該時脈選擇控制電路處接收一平坦化之時脈；

在該時脈選擇控制電路處將線上分除時脈及離線分除時脈與平坦化時脈相比較；以及

從該時脈選擇控制電路輸出一時脈選擇控制訊號至該時脈分除器選擇電路。

16. 如申請專利範圍第15項之方法，其中該時脈選擇控制訊號係控制該時脈分除器選擇電路，以選擇一第一時脈或一第二時脈作為該離線時脈。

17. 如申請專利範圍第15項之方法，其中該時脈選擇控制訊號係控制該時脈分除器選擇電路，以選擇一第一分除時脈或一第二分除時脈作為該線上分除時脈。

18. 如申請專利範圍第15項之方法，其中該時脈選擇控制電路係將線上分除時脈及離線分除時脈與平坦化時脈相比較，並且在一第一與一第二交換時間之間作選擇。

19. 如申請專利範圍第15項之方法，其包括以下步驟：

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

在一鎖相迴路處接收該線上分除時脈，其係來自於該時脈分除器選擇電路；

輸出一來自於該鎖相迴路之平坦化時脈至該時脈選擇控制電路與該數位交換網路；

在一時脈分除器干擾電路處接收該線上分除時脈，其係來自於該時脈分除器選擇電路；

在該時脈分除器干擾電路處接收該離線分除時脈，其係來自於該增強之數位相位對準器；

在該時脈分除器干擾電路處接收該時脈選擇控制訊號，其係來自於該時脈選擇控制電路；

輸出一來自於該時脈分除器選擇電路之第一時脈分除器干擾訊號至該時脈分除器選擇電路；以及

輸出一來自於該時脈分除器選擇電路之第二時脈分除器干擾訊號至該時脈分除器選擇電路。

20. 如申請專利範圍第19項之方法，其中該時脈分除器選擇電路係包括：

一第一時脈分除器電路，其可分除該第一時脈，從該時脈分除器干擾電路接收該第一時脈分除器干擾訊號，並輸出該分除之第一時脈；

一第二時脈分除器電路，其可分除該第二時脈，從該時脈分除器干擾電路接收該第二時脈分除器干擾訊號，並輸出該分除之第二時脈；

一第一多工器，其可接收該第一時脈、該第二時脈、以及該時脈選擇控制訊號，並且輸出該第一時脈或第二時

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

脈，作為基於時脈選擇控制訊號之離線時脈；以及

一第二多工器，其可接收該分除之第一時脈、該分除之第二時脈、以及該時脈選擇控制訊號，並且輸出該第一分除時脈或第二分除時脈，作為基於時脈選擇控制訊號之線上分除時脈。

2 1 . 如申請專利範圍第 1 5 項之方法，其中該增強之數位相位對準器係包括：

一時脈產生器，其可從時脈分除器選擇電路接收離線時脈，以產生離線時脈之四種相位；

一相位分析器，其可藉由離線時脈之四種相位以取樣該線上分除時脈；選擇離線時脈之相位，其為距離線上分除時脈之最前緣最遠者；輸出一溢出訊號；並基於該線上分除時脈的取樣，輸出一相位選擇控制訊號；以及

一時序偏移器，其可自時脈分除器選擇電路接收離線時脈；自相位分析器接收取樣之線上分除時脈；以及自相位分析器接收相位選擇控制訊號；將離線分除時脈予以時序偏移，使得該離線分除時脈與加或減二分之一離線時脈之時脈週期的線上分除時脈具有相同之相位；並且輸出該離線分除時脈。

2 2 . 如申請專利範圍第 2 1 項之方法，其中該相位分析器係包括：

一資料取樣器，其可藉由離線時脈之四種相位，以取樣該線上分除時脈，並且輸出線上分除時脈之多重資料取樣；

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

一 控制電路，其可分析資料取樣器所輸出之多重資料取樣，並選擇離線時脈之相位，其為距離線上分除時脈之最前緣最遠者；

一 計數器；

一 第一序列偏移暫存器；

一 第二序列偏移暫存器；

一 多工器；以及

複數個正反器。

2 3 . 如申請專利範圍第 2 1 項之方法，其中該時序偏移器係包括一偏移暫存器、一正反器、以及一多工器。

2 4 . 如申請專利範圍第 1 5 項之方法，其中該時脈選擇控制電路係包括一多工器、以及複數個正反器。

2 5 . 如申請專利範圍第 2 1 項之方法，其更可包括以下之步驟：

在該時脈分除器選擇電路處接收一第一時脈與一第二時脈；以及

分除該第一與第二時脈。

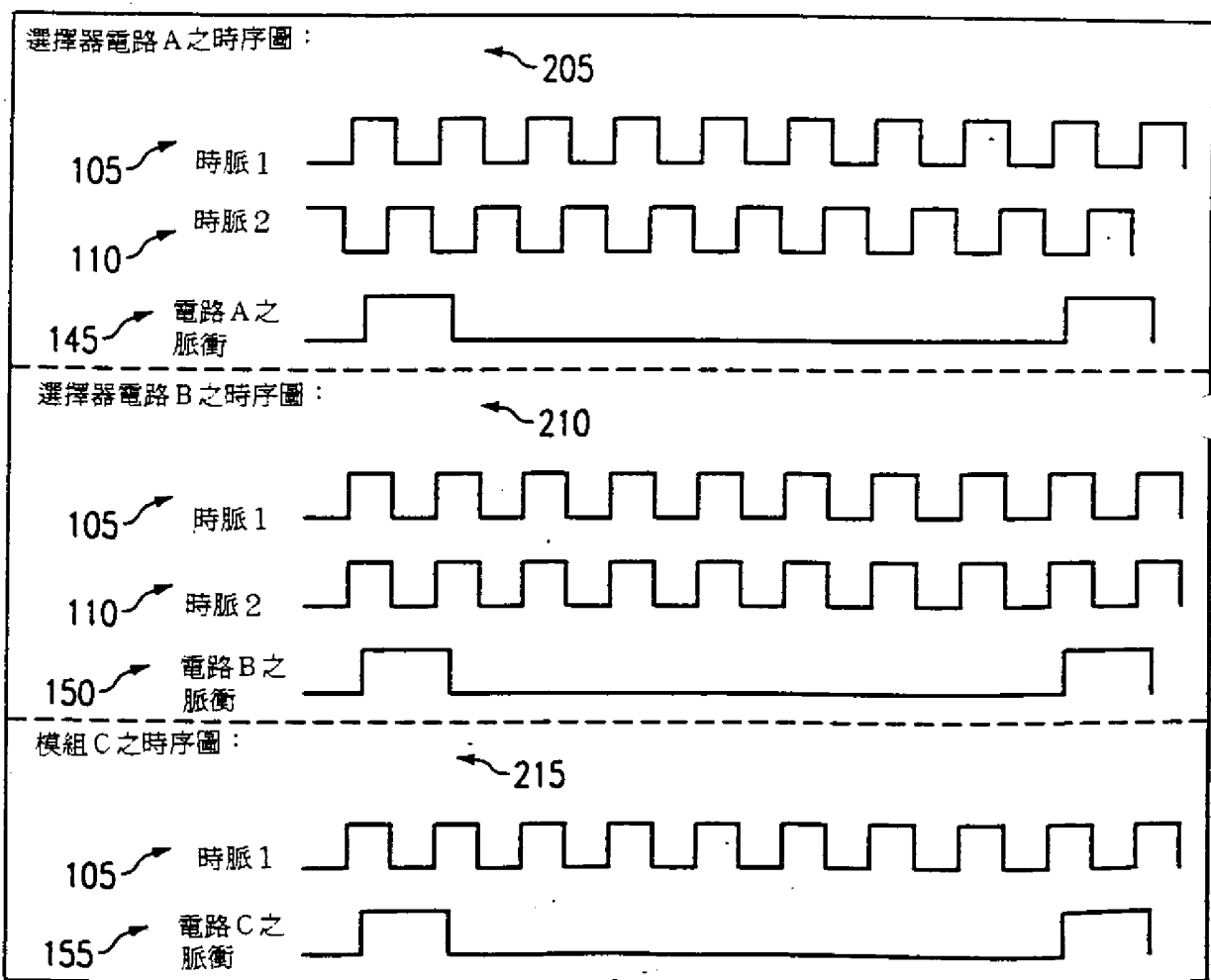
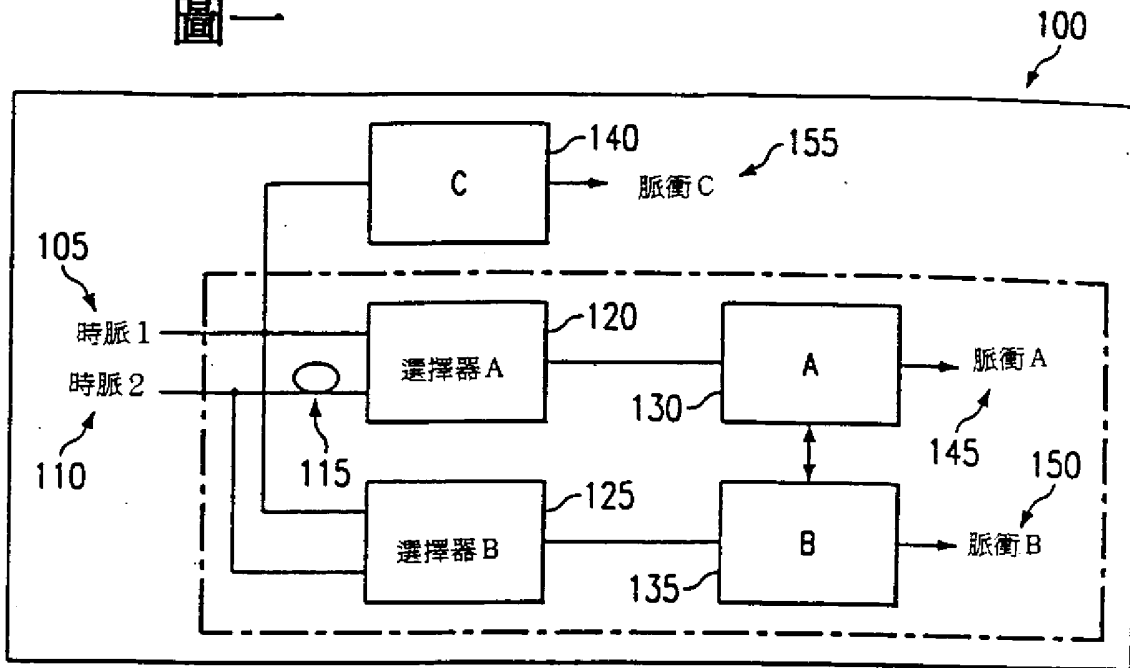
2 6 . 如申請專利範圍第 2 1 項之方法，其中該離線時脈之四種相位可分別為 0 度、9 0 度、1 8 0 度與

2 7 0 度。

(請先閱讀背面之注意事項再填寫本頁)

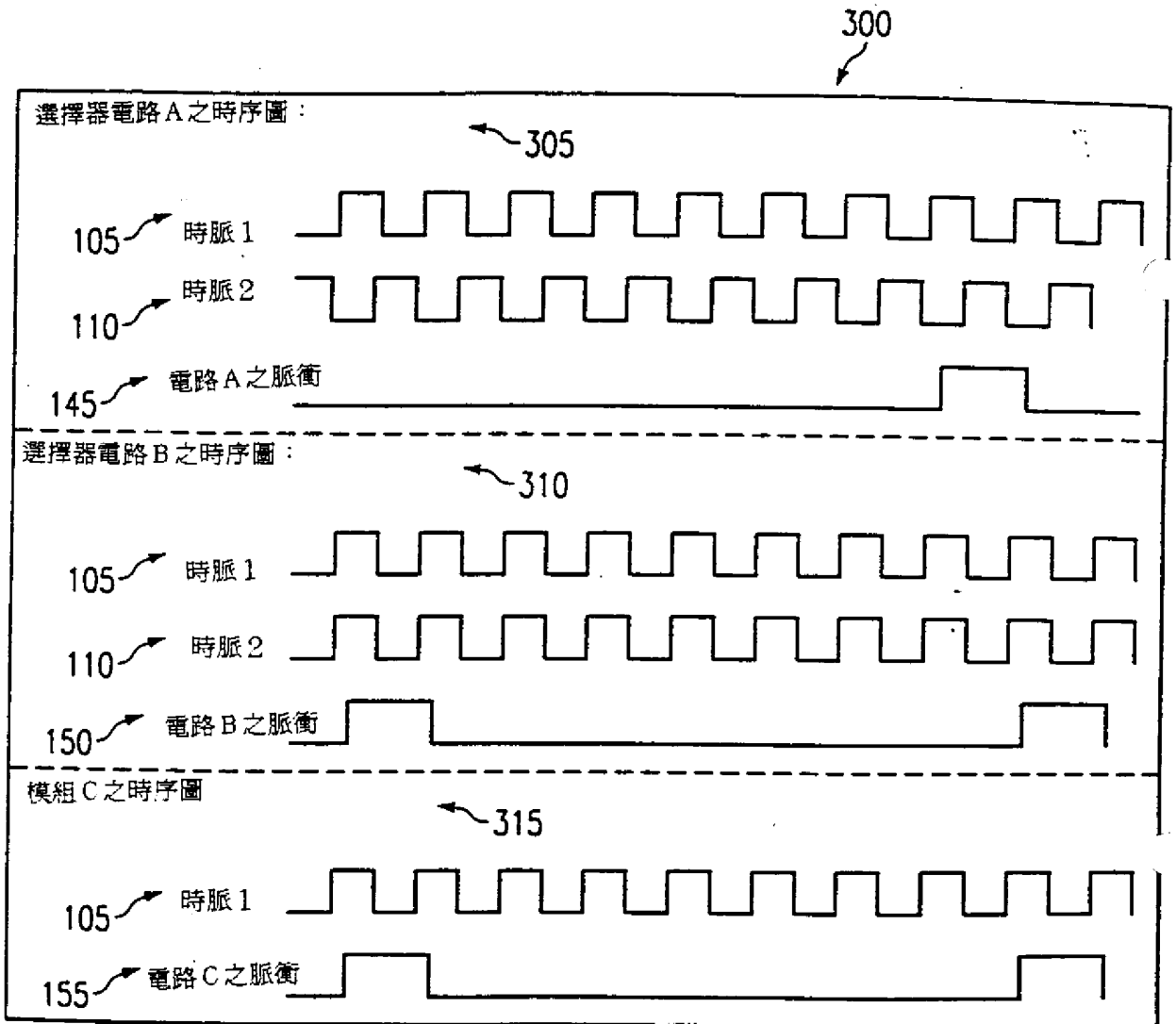
裝 · 訂 · 線

圖一

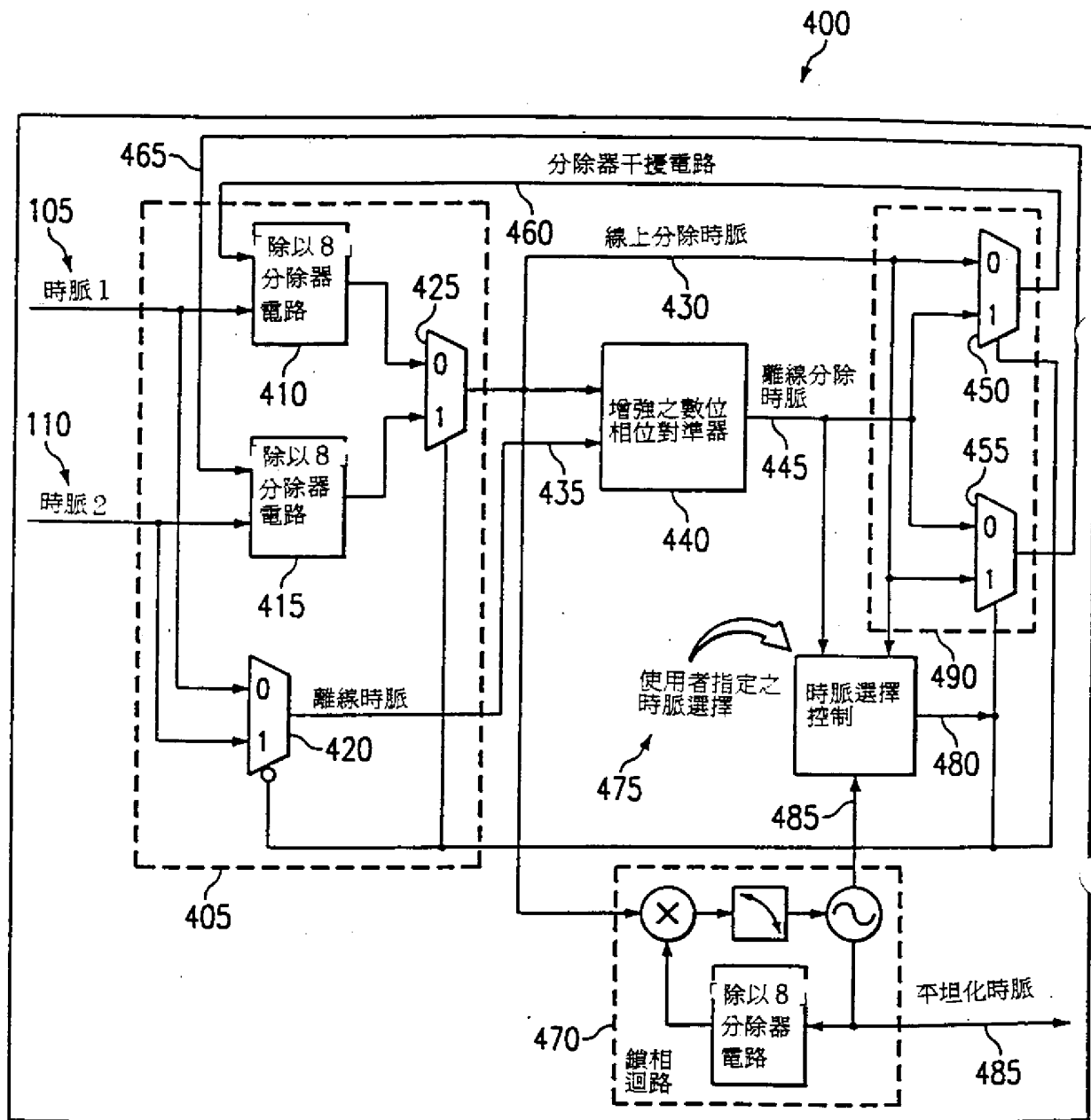


圖二

432802

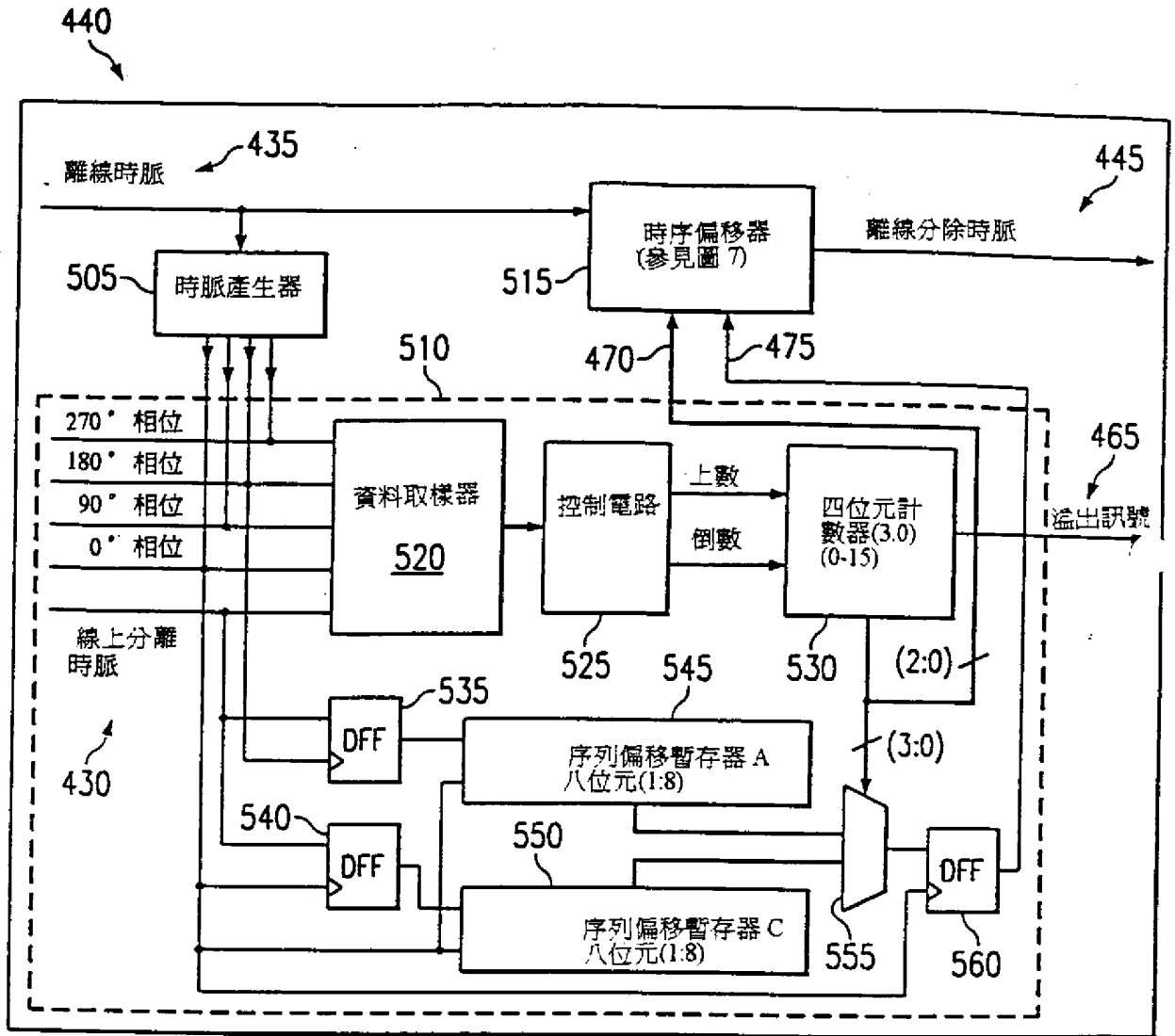


圖三

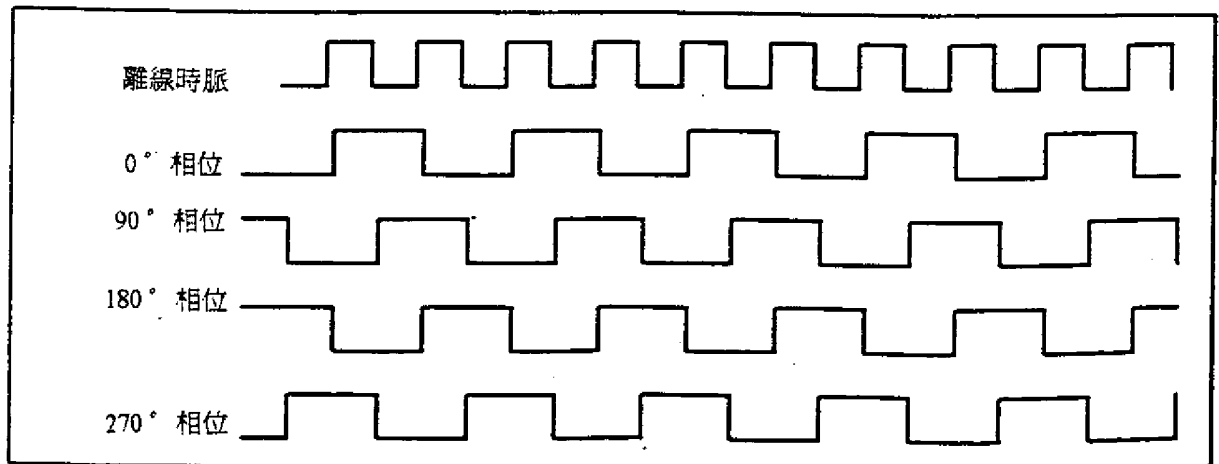


圖四

432862

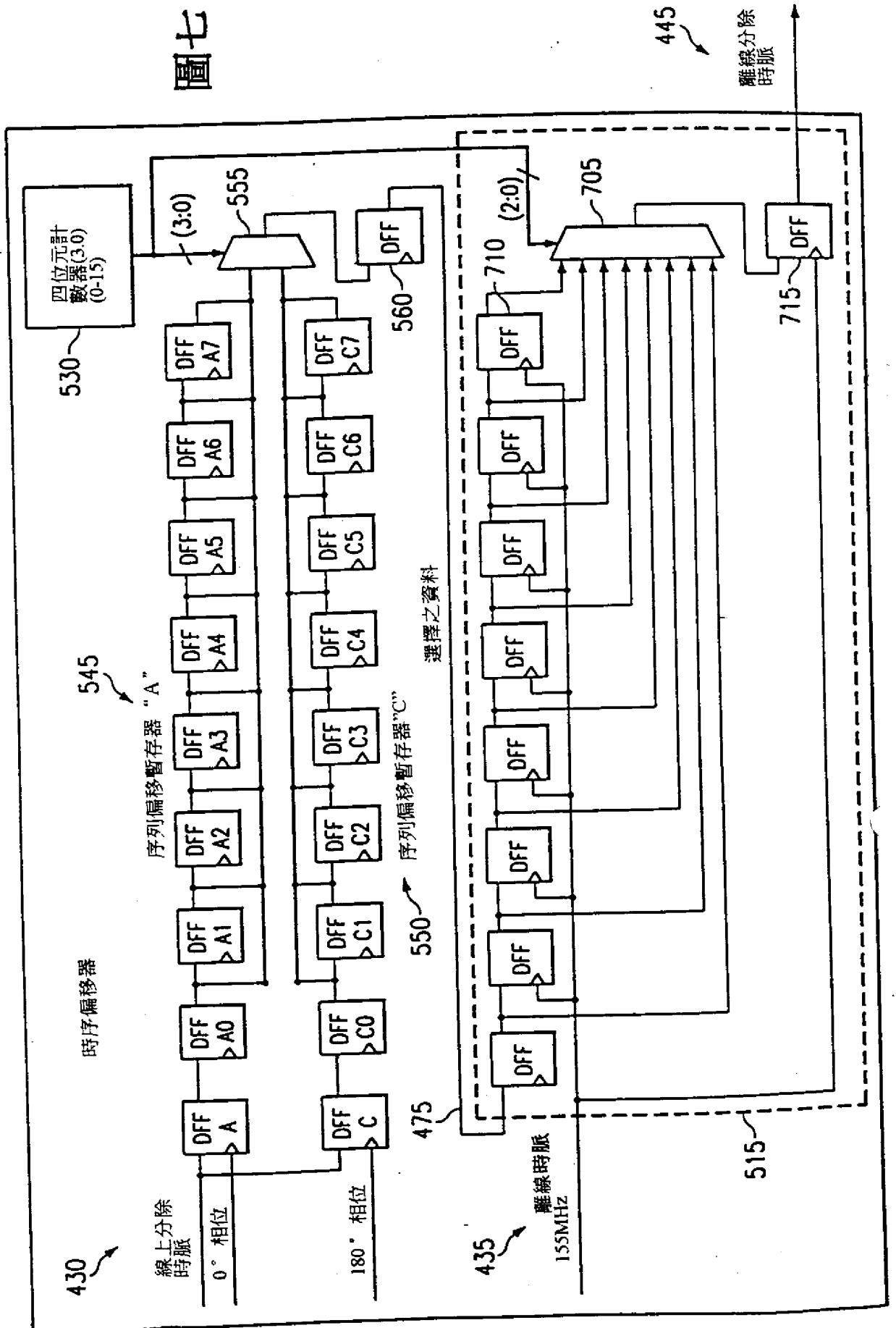


圖五



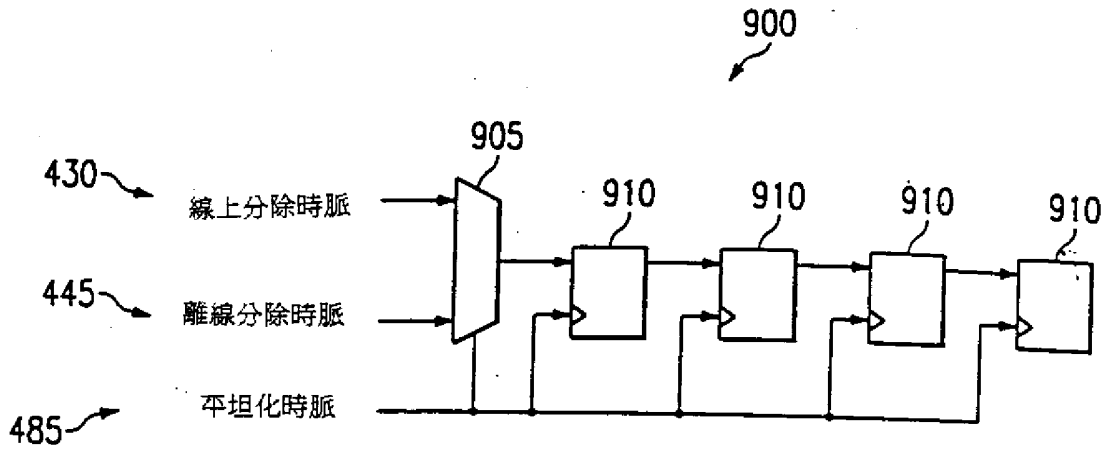
圖六

圖七

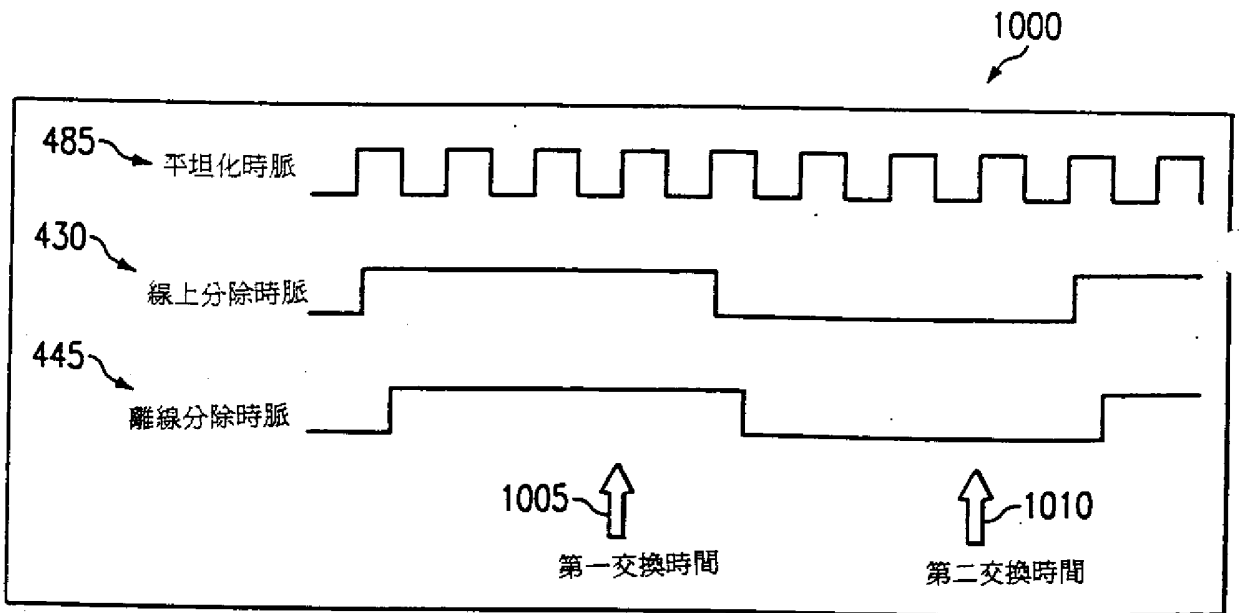


FF	在來自於線上 分除時脈輸入 FF(ns)後之延遲	計數狀態 (2 下數至 0)	所需延遲使總延遲為 n 倍於線上分除時脈之週 期(+/- 離線時脈週期 之一半)
A	6	-	
C	6	-	
C0	12	0000	48-12-12-6=18
A0	18	0001	48-18-12-6=12
C1	24	0010	48-24-12-6=6
A1	30	0011	48-30-12-6=0
C2	36	0100	96-36-12-6=42
A2	42	0101	96-42-12-6=36
C3	48	0110	96-48-12-6=30
A3	54	0111	96-54-12-6=24
C4	60	1000	96-60-12-6=18
A4	66	1001	96-66-12-6=12
C5	72	1010	96-72-12-6=6
A5	78	1011	96-78-12-6=0
C6	84	1100	144-84-12-6=42
A6	90	1101	144-90-12-6=36
C7	96	1110	144-96-12-6=30
A7	102	1111	144-102-12-6=24
所選資料	如以上公式所式加上 12ns		
離線分除 時脈	如以上公式所式加上 6ns		

圖八



圖九



圖十