

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H01L 27/146	(45) 공고일자 2000년 10월 02일
	(11) 등록번호 10-0264833
	(24) 등록일자 2000년 06월 07일
(21) 출원번호 10-1992-0018165	(65) 공개번호 특 1993-0009097
(22) 출원일자 1992년 10월 05일	(43) 공개일자 1993년 05월 22일
(30) 우선권주장 91-290,844 1991년 10월 08일 일본(JP)	
(73) 특허권자 소니 가부시키키가이샤 이데이 노부유키	
(72) 발명자 일본국 도쿄도 시나가와구 기타시나가와 6초메 7반 35고 구노 요시노리	
(74) 대리인 박종길	일본국 도오교도 시나가와구 기다시나가와 6초메 7반 35고 소니 가부시키키가이샤내 히라마 마사히데 일본국 도오교도 시나가와구 기다시나가와 6초메 7반 35고 소니 가부시키키가이샤내

심사관 : 민병준

(54) 엠오에스 트랜지스터 및 이것을 사용한 전하검출장치

요약

본원 발명은 전하전송장치의 출력부로서 사용되는 전하검출장치를 구성하는 소스폴로어회로의 드라이브 MOS 트랜지스터로서 사용하여 적합한 트랜지스터에 관한 것이다.

본원 발명에 의한 MOS 트랜지스터는 1층째의 폴리실리콘으로 형성되어 채널폭을 결정하는 채널스토퍼와, 2층째의 폴리실리콘으로 형성된 게이트 전극을 구비하고, 채널스토퍼에 바이어스전압을 인가한 구성으로 되어 있다. 또한, 본원 발명의 전하검출장치는 전하전송부로부터 전송되어 온 신호전하를 신호전압으로 변환하는 전하검출장치에 있어서, 상기 구성의 MOS 트랜지스터를 소스폴로어회로의 드라이브 MOS 트랜지스터로서 사용하고, 이 드라이브 MOS 트랜지스터의 소스출력전압을 채널스토퍼에 바이어스전압으로서 피드백한 구성으로 되어 있다.

대표도

도 1

명세서

[발명의 명칭]

엠오에스 트랜지스터 및 이것을 사용한 전하검출장치

[도면의 간단한 설명]

제1도는 본원 발명에 의한 MOS 트랜지스터의 일 실시예의 구조도.

제2도는 본원 발명에 의한 MOS 트랜지스터의 패턴도.

제3도는 FD형 전하검출부를 출력부로서 구비한 CCD 고체촬상장치의 일예의 구성도.

제4도는 본원 발명에 의한 다른 실시예의 패턴도.

제5도는 FD형 전하검출부의 구성도.

제6도는 종래의 MOS 트랜지스터의 구조도.

* 도면의 주요부분에 대한 부호의 설명

- 12 : 필드산화막
- 13a, 13b : 채널스토퍼(1st poly)
- 14 : 게이트전극(2nd poly)
- 31 : 포토센서
- 32 : 수직시프트레지스터
- 34 : 수평시프트레지스터
- 35 : 소스폴로어회로
- 37 : FD형 전하검출부

[발명의 상세한 설명]

본원 발명은 MOS 트랜지스터에 관한 것이며, 특히 전하전송장치의 출력부로서 사용되는 전하검출장치를 구성하는 소스폴로어회로의 드라이브 MOS 트랜지스터로서 적합한 MOS 트랜지스터에 관한 것이다.

전하전송장치를 사용하는 예를 들면 CCD 고체촬상장치에는, 그 출력부로서 플로팅디퓨전형 전하검출부를 사용한 것이 있다. 이 플로팅디퓨전형 전하검출부에는 제5도에 도시한 바와 같이 예를 들면 CCD 고체촬상장치의 수평시프트레지스터(전하전송부)(4)로부터 플로팅디퓨전 FD에 공급된 신호전하를 신호전압으로 변환하는 소스폴로어단(51)이 배설되어 있다.

그런데, 해마다 CCD 고체촬상장치의 고감도화의 요구가 강해지고 있으며, 고감도화를 실현하는데는 전하검출부에서의 변환효율을 향상시키는 것이 중요하다. 전하검출부의 변환효율을 향상시키는데 소스폴로어단(51)의 드라이브 MOS 트랜지스터 Q_1 의 게이트면적을 작게 하는 것, 즉 드라이브 MOS 트랜지스터 Q_1 의 축소화가 중요하다.

일반적으로 MOS 트랜지스터는 제6도에 도시한 바와 같이 실리콘 기판(11)상에 필드산화막(SiO_2)(12)을 수백 nm 성장시킨 후, 소스, 게이트 및 드레인의 각 부를 에칭하고 나서, 폴리실리콘으로 게이트 전극(14)을 형성하고, 소스, 드레인용으로 고농도의 불순물이온을 주입함으로써 형성되어 있다.

이 MOS 트랜지스터에서는 그 채널길이 L는 폴리실리콘으로 이루어지는 게이트전극(14)의 폭으로 결정되는데, 채널폭 W은 필드산화막(12)의 저부에 폭으로 결정되므로, 아무리값의 불균일이 채널폭 W쪽이 커지고 만다. 따라서, 전하검출부의 변환효율의 향상을 목적으로 하여 소스폴로어단(51)의 드라이브 MOS 트랜지스터 Q_1 의 게이트 면적을 작게 한 경우, 이 불균일범위가 MOS 트랜지스터의 동작(I_D-V_D 커브)에 영향을 미치게 되므로, 소스폴로어단(51)의 출력전압의 DC 바이어스가 변동하여 변환효율의 불균일도 커지고 만다.

본원 발명은 전술한 점을 감안하여 이루어진 것이며, 게이트면적을 작게 했을 때의 마무리 정밀도를 높임으로써, 소스폴로어단의 출력전압의 DC 바이어스변동과 변환효율의 불균일 저감에 기여할 수 있는 MOS 트랜지스터를 제공하는 것을 목적으로 한다.

본원 발명에 의한 MOS 트랜지스터는 1층째의 폴리실리콘으로 형성되어 채널폭을 결정하는 채널스토퍼와, 2층째의 폴리실리콘으로 형성된 게이트 전극을 구비하고, 채널스토퍼에 바이어스전압을 인가한 구성으로 되어 있다.

또한, 전하전송부로부터 전송되어 온 신호전하를 신호전압으로 변환하는 전하검출장치에 있어서, 상기 구성의 MOS 트랜지스터를 소스폴로어회로의 드라이브 MOS 트랜지스터로서 사용하고, 이 드라이브 MOS 트랜지스터의 소스출력전압을 채널스토퍼에 바이어스전압으로서 피드백한 구성으로 되어 있다.

MOS 트랜지스터에 있어서, 채널스토퍼를 폴리실리콘으로 형성함으로써, 채널폭 W을 가공정밀도가 높은 폴리실리콘으로 결정할 수 있다. 이로써, MOS 트랜지스터의 게이트면적을 작게 한 경우, 그 채널폭 W의 값의 불균일을 작게 할 수 있다.

또, 플로팅디퓨전형 전하검출부에 있어서, 이러한 MOS 트랜지스터를 소스폴로어회로의 드라이브 MOS 트랜지스터로서 사용함으로써, 게이트면적을 작게 한 경우의 채널폭 W을 정밀도 높게 작성할 수 있으므로, 소스폴로어회로의 출력전압의 DC 바이어스변동 및 변환효율의 불균일을 작게 할 수 있다.

다음에, 본원 발명의 실시예에 대하여 도면에 따라서 설명한다.

제1도는 본원 발명에 의한 MOS 트랜지스터의 일 실시예의 구조도이다. 도면에 있어서, 실리콘기판(11)상에는 2산화실리콘(SiO_2)에 의해 필드산화막(12)이 형성되어 있다. 이 필드산화막(12)의 저부에는 1층째의 폴리실리콘(1st poly)에 의해 채널스토퍼(13a), (13b)가 형성되고, 이 채널스토퍼(13a), (13b)의 내측에 의해 채널폭 W이 결정된다. 채널스토퍼(13a), (13b)는 예를 들면 접지레벨이 바이어스 전압으로서 인가됨으로써, 그 기능을 충분히 수행한다.

또, 채널스토퍼(13a), (13b)와 직교하는 방향에는 2층째의 폴리실리콘(2nd poly)에 의해 게이트전극(14)이 형성되어 있다. 이 게이트 전극(14)의 폭에 의해 채널길이 L가 결정된다. 그리고, 필드산화막(12) 및 채널스토퍼(13a), (13b)와 게이트전극(14)과의 사이에는 층간절연막(15)이 개재되어 있다. 제2도는 이러한 구성의 MOS 트랜지스터의 패턴도이다.

이와 같이, MOS 트랜지스터의 채널스토퍼(13a), (13b)를 폴리실리콘(1st poly)에 의해 형성함으로써, 채널폭 W을 가공정밀도가 높은 폴리실리콘으로 결정할 수 있으므로, 게이트면적을 작게 한 경우의 채널폭 W의 값의 불균일을 작게 할 수 있게 된다. 즉, 게이트면적을 작게 했을 때 염려되는 채널폭 W을 정밀도 높게 작성하는 것이 가능하게 된다.

다음에, 본원 발명에 의한 MOS 트랜지스터가 적용되는 FD(플로팅디퓨전)형 전하검출부를 출력부로서 구비하는 예를 들면 인터라인전송방식의 CCD 고체촬상장치의 구성의 일예를 제3도에 도시한다. 도면에 있어서, 화소단위로 2차원 배열되어서 입사광에 따른 신호전하를 축적하는 복수개의 포토센서(31)와, 이들 포토센서(31)의 수직 열마다 배설되고, 또한 수직블랭킹기간의 일부에서 순시에 포토센서(31)로부터 독출된 신호전하를 수직전송하는 수직시프트레지스터(32)에 의해 활상영역(33)이 구성되어 있다.

수직시프트레지스터(32)로 이행된 신호전하는 수평블랭킹기간의 일부에서 1주사선에 상당하는 부분씩 차례로 수평시프트레지스터(34)에 전송된다. 1주사선분의 신호전하는 수평시프트레지스터(34)에 의해 텔레비전신호의 수평주사기간에 맞추어서 순차 신호검출용 플로팅디퓨전 FD에 출력게이트 OG를 통해 전송된

다. 플로팅디퓨전 FD에는 신호전하는 신호전압으로 변환하기 위한 소스플로어회로(35)가 접속되어 있다. 이 소스플로어회로(35)는 예를 들면 2단구성으로 되어 있으며, 1단계의 드라이브 MOS 트랜지스터 Q_1 및 부하 MOS 트랜지스터 Q_2 와, 2단계의 드라이브 MOS 트랜지스터 Q_3 및 부하 MOS 트랜지스터 Q_4 로 이루어지고, 각 단의 부하 MOS 트랜지스터 Q_2 , Q_4 의 게이트에는 바이어스전압 V_b 이 인가되어 있다. 소스플로어회로(35)의 출력은 버퍼(36)를 통해 비디오표출력으로서 도출된다. 이 플로팅디퓨전 FD 및 소스플로어회로(35)에 의해 FD형 전하검출부(37)가 구성되어 있다.

이 FD형 전하검출부(37)에 있어서, 소스플로어회로(35)의 초단의 드라이브 MOS 트랜지스터 Q_1 로서 본원 발명에 의한 MOS 트랜지스터가 사용되는 것이다. 본원 발명에 의한 MOS 트랜지스터에서는 제1도로부터 명백한 바와 같이, 필드산화막(12)이 MOS 트랜지스터영역의 외측에 위치하기 때문에, 채널스토퍼(1st poly)(13a), (13b)와 실리콘기판(11)사이, 채널스토퍼(13a), (13b)와 게이트전극(2nd poly)(14)사이의 산화막두께는 통상의 MOS 트랜지스터에 비해 얇게 되어 있으며, 채널스토퍼(13a), (13b)를 DC 바이어스에 고정시킨 경우에는 그들의 용량이 커져서 변환효율의 저하를 초래하게 된다.

그래서, 제4도에 도시한 바와 같이 드라이브 MOS 트랜지스터 Q_1 의 소스와 채널스토퍼(13a), (13b)를 알루미늄(Al)배선(38)을 통해 결선하고, 드라이브 MOS 트랜지스터 Q_1 의 소스출력전압을 채널스토퍼(13a), (13b)에 바이어스전압으로서 피드백하여 게이트전극(14)과 같은 상(相)으로 구동하는 구성으로 한다. 이것에 의하면, 제4도중 사선부 ①의 용량을 저감할 수 있기 때문에, 용량에 기인하는 변환효율의 저하를 방지할 수 있게 된다.

또, 채널스토퍼(13a), (13b)와 실리콘기판(11)사이의 용량은 채널스토퍼(13a), (13b)가 드라이브 MOS 트랜지스터 Q_1 의 소스에 결선되어 있으므로, 부하로서 디바이스의 주파수특성에도 유효하다. 그래서, 채널스토퍼(13a), (13b)를 제4도중 사선부 ②와 같이 절단하여, 드라이브 MOS 트랜지스터 Q_1 상에 있는 채널스토퍼(13a), (13b)를 필드산화막(12)상에 배선함으로써 용량을 저감할 수 있고, 주파수특성을 향상시킬 수 있게 된다.

이와 같이, 본원 발명에 의한 MOS 트랜지스터를 소스플로어회로(35)의 초단의 드라이브 MOS 트랜지스터 Q_1 로서 사용하고, 더욱이 드라이브 MOS 트랜지스터 Q_1 의 소스출력전압을 채널스토퍼(13a), (13b)에 바이어스전압으로서 피드백함으로써, 전하검출부(37)의 변동 효율의 향상을 목적으로 하여 드라이브 MOS 트랜지스터 Q_1 의 게이트 면적으로 작게 한 경우에 전술한 바와 같이 마무리 정밀도를 높일 수 있으므로, 소스플로어회로(35)의 출력전압의 DC 바이어스변동 및 변환효율의 불균일을 작게 할 수 있다.

나아가서는, 버퍼(36)등을 포함하는 출력회로의 설계시의 다이내믹레인지가 좁아도 제조상의 불균일이 작으므로, 소스플로어회로(35)의 초단의 드라이브 MOS 트랜지스터 Q_1 의 채널폭 W 을 작게 하여 디바이스의 고감도화를 용이하게 도모할 수 있게 된다.

그리고, 상기 실시예에서는 CCD 고체촬상장치의 출력부에 사용되는 FD형 전하검출부(장치)에 적용한 경우에 대해 설명하였으나, 이것에 한정되는 것은 아니며, 본원 발명은 CCD 라인(리니어)센서나 CCD 지연 소자등의 전하전송장치의 출력부에 사용되는 전하검출장치 전반에 적용할 수 있는 것이다.

이상 설명한 바와 같이, 본원 발명에 의하면 MOS 트랜지스터의 채널스토퍼를 폴리실리콘으로 형성함으로써, 채널폭 W 을 가공정밀도가 높은 폴리실리콘으로 결정할 수 있기 때문에, 게이트면적을 작게 한 경우의 채널폭 W 의 값의 불균일을 작게 할 수 있는 효과가 있다.

또, 플로팅디퓨전형 전하검출부에 있어서 이러한 MOS 트랜지스터를 소스플로어회로의 드라이브 MOS 트랜지스터로서 사용함으로써, 게이트면적을 작게 한 경우의 채널폭 W 을 정밀도 높게 작성할 수 있으므로, 소스플로어회로의 출력전압의 DC 바이어스변동 및 변환효율의 불균일을 작게 할 수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

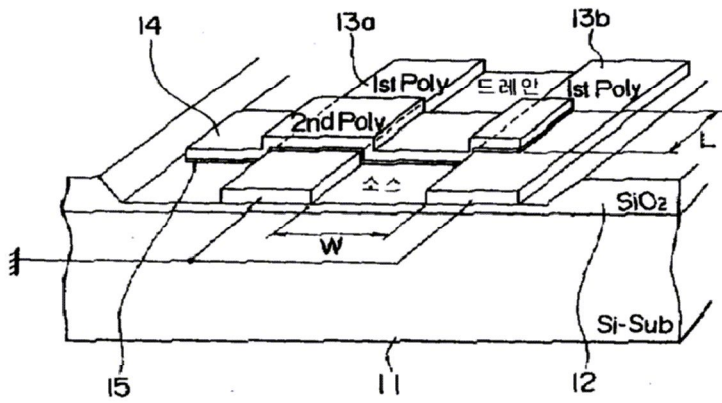
드라이브 MOS 트랜지스터 및 부하 MOS 트랜지스터로 이루어진 소스플로어회로를 구비하고, 전하전송부로부터 전송되어 온 신호전하를 신호전압으로 변환하는 전하검출장치로서, 상기 드라이브 MOS 트랜지스터가, 1층째의 폴리실리콘으로 형성되어 채널폭을 결정하는 채널스토퍼와, 2층째의 폴리실리콘으로 형성된 게이트 전극을 구비하고, 상기 드라이브 MOS 트랜지스터의 소스 출력전압을 상기 채널스토퍼에 바이어스전압으로서 피드백하는 것을 특징으로 하는 전하검출장치.

청구항 2

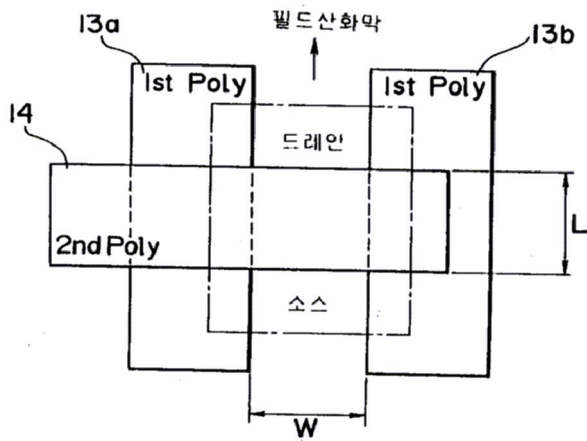
전하전송부와, 드라이브 MOS 트랜지스터 및 부하 MOS 트랜지스터로 이루어진 소스플로어회로를 구비하고, 상기 전하전송부로부터 전송되어 온 신호전하를 신호전압으로 변환하는 전하검출장치를 갖는 전하전송장치로서, 상기 드라이브 MOS 트랜지스터가, 1층째의 폴리실리콘으로 형성되어 채널폭을 결정하는 채널스토퍼와, 2층째의 폴리실리콘으로 형성된 게이트 전극을 구비하고, 상기 드라이브 MOS 트랜지스터의 소스 출력전압을 상기 채널스토퍼에 바이어스전압으로서 피드백하는 것을 특징으로 하는 전하검출장치.

도면

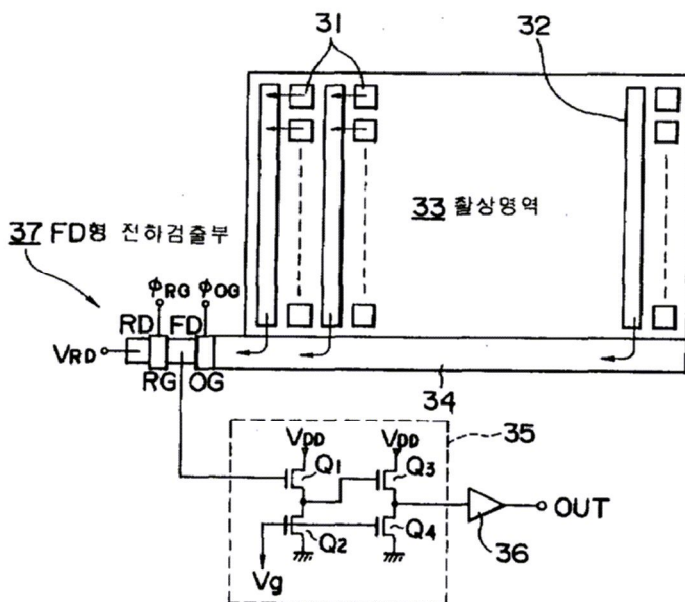
도면1



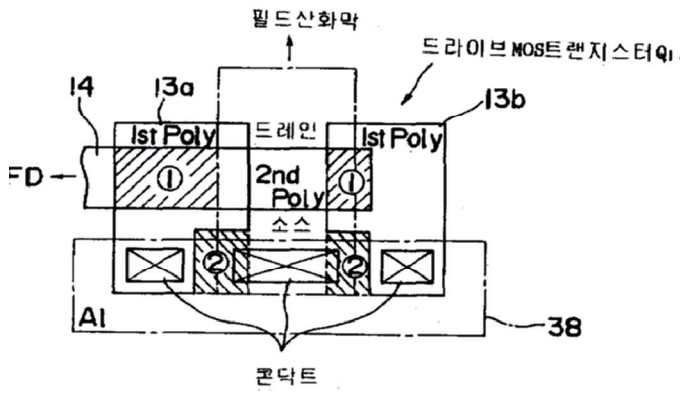
도면2



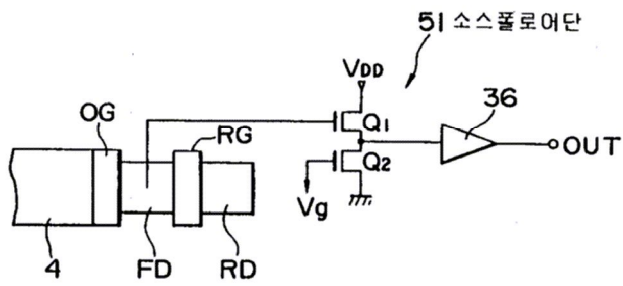
도면3



도면4



도면5



도면6

