

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010年5月20日(20.05.2010)

(10) 国際公開番号
WO 2010/055708 A1

PCT

- (51) 国際特許分類:
G06F 3/041 (2006.01) G06F 3/044 (2006.01)
- (21) 国際出願番号: PCT/JP2009/060040
- (22) 国際出願日: 2009年6月2日(02.06.2009)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2008-291794 2008年11月14日(14.11.2008) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 北角 英人
(KITAKADO, Hidehito).

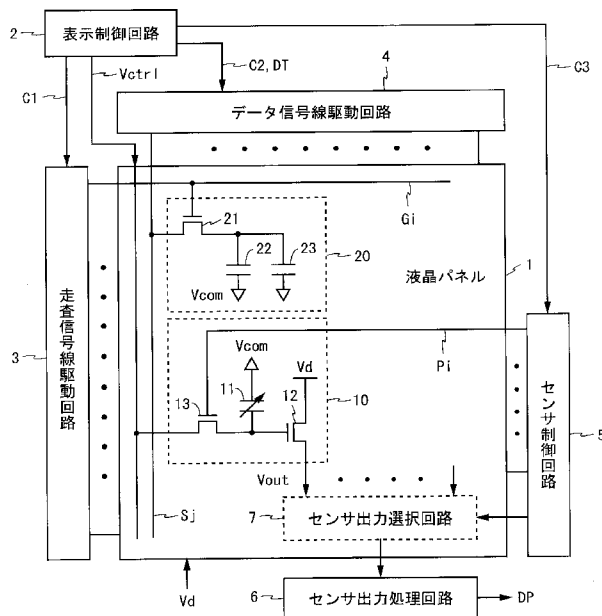
- (74) 代理人: 島田 明宏 (SHIMADA, Akihiro); 〒
6340078 奈良県橿原市八木町 1 丁目 1 0 番 3 号
萬盛庵ビル 島田特許事務所 Nara (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR,
LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW,
MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL,
PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN,
ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ,
NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア
(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ
(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,
GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL,

[続葉有]

(54) Title: CAPACITANCE CHANGE-DETECTING CIRCUIT

(54) 発明の名称: 容量変化検出回路

[図1]



- 1 LIQUID CRYSTAL PANEL
2 DISPLAY CONTROL CIRCUIT
3 SCAN SIGNAL WIRE OPERATING CIRCUIT
4 DATA SIGNAL WIRE OPERATING CIRCUIT
5 SENSOR CONTROL CIRCUIT
6 SENSOR OUTPUT PROCESSING CIRCUIT
7 SENSOR OUTPUT SELECTION CIRCUIT

(57) Abstract: When the surface of a liquid crystal panel (1) is pressed, the capacitance of a variable capacitor (11) changes. One electrode of the variable capacitor (11) is connected to a voltage supply wire on which a common voltage (Vcom) is applied. The other electrode is connected to the gate electrode of a TFT (12). The TFT (12) outputs a voltage (Vout) corresponding to the capacitance of the variable capacitor (11). A TFT (13) is provided between a control voltage wire on which a control voltage (Vctrl) is applied and the gate electrode of the TFT (12). The gate electrode of the TFT (13) is connected to a line selection wire (Pi). By providing the TFT (13), it is possible to apply a desired voltage to the gate electrode of the TFT (12), release the charge accumulated on the same electrode and prevent malfunction of the circuit. By reducing the load capacitance of the control voltage wire, capacitance changes can be detected with high sensitivity. A capacitance change-detecting circuit that can detect capacitance changes with high sensitivity without malfunctions is thereby provided.

(57) 要約:

[続葉有]

WO 2010/055708 A1



NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, 添付公開書類:

CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, — 国際調査報告 (条約第 21 条(3))
TG).

液晶パネル 1 の表面を押すと、可変容量 1 1 の容量値が変化する。可変容量 1 1 の一方の電極は共通電圧 V_{com} を印加した電圧供給線に接続され、他方の電極は T F T 1 2 のゲート電極に接続される。T F T 1 2 は、可変容量 1 1 の容量値に応じた電圧 V_{out} を出力する。T F T 1 3 は制御電圧 V_{ctrl} を印加した制御電圧線と T F T 1 2 のゲート電極の間に設けられ、T F T 1 3 のゲート電極は行選択線 P_i に接続される。T F T 1 3 を設けることにより、T F T 1 2 のゲート電極に所望の電圧を印加し、当該電極に蓄積された電荷を逃がして、回路の誤動作を防止することができる。制御電圧線の負荷容量を減らすことにより、容量変化を高い感度で検出することができる。これにより、容量変化を高い感度で誤動作なく検出できる容量変化検出回路を提供する。

明 細 書

発明の名称：容量変化検出回路

技術分野

[0001] 本発明は、静電容量の変化を検出する容量変化検出回路に関する。本発明の容量変化検出回路は、例えば画像表示装置の表示パネル上に形成され、表示画面内のタッチ位置を検出する用途などに利用される。

背景技術

[0002] 近年、指やペンなどで画面に触れることにより操作可能な電子機器が普及している。また、表示画面内のタッチ位置を検出する方法として、表示パネルに複数の容量変化検出回路を設け、指やペンなどで表示パネルの表面を押したときの静電容量の変化を検出する方法が知られている。

[0003] 特許文献１には、図１０に示す容量変化検出回路を備えた液晶表示装置が記載されている。図１０に示す回路では、液晶パネルの表面を押したときに、可変容量９１の容量値が変化し、これに伴いＴＦＴ（Thin Film Transistor：薄膜トランジスタ）９２のゲート電圧が変化する。このため、ＴＦＴ９３のゲート電極にハイレベルの選択電圧 V_{sel} を与えたときに、ＴＦＴ９３のソース電極から出力される読み出し電流は可変容量９１の容量値に応じて変化する。したがって、ＴＦＴ９３のソース電極から出力される出力電圧 V_{out} を閾値と比較することにより、可変容量９１の近傍で液晶パネルが押されたか否かを判定することができる。特許文献１には、図１１に示す容量変化検出回路も記載されている。図１１に示す回路には、ＴＦＴ９２のゲート電極に制御電圧 V_{ctrl} を印加するために、ＴＦＴ９２のゲート電極に接続する制御配線が追加されている。

[0004] これ以外に本願発明に関連する技術は、特許文献２、３に記載されている。特許文献２には、表示パネルの対向電極に導電性の突起を設け、対向基板がペンで押されたときにトランジスタを流れるリーク電流の増加を検出する方法が記載されている。特許文献３には、基板上の１対の電極と電極間に挿

入された誘電体で可変容量を構成し、物理的あるいは電氣的な力で可変容量の電気容量を変化させることにより、外部入力を検出する方法が記載されている。

先行技術文献

特許文献

[0005] 特許文献1：日本国特開2006-40289号公報

特許文献2：日本国特開平9-80467号公報

特許文献3：日本国特開2004-295881号公報

発明の概要

発明が解決しようとする課題

[0006] 図10に示す回路では、TF T 92のゲート電極は、他の部分から電氣的に切り離された孤立電極となる。しかしながら、TF T 作製工程において、静電気などの影響によりTF T 92のゲート電極に電荷が蓄積されることがある。また、可変容量91の電極間が完全に絶縁されていない場合には、可変容量91の電極が互いに接近あるいは接触したときに、可変容量91の電極間を電荷が移動し、移動した電荷がTF T 92のゲート電極に蓄積されることがある。

[0007] TF T 92のゲート電極に電荷が蓄積されると、TF T 92の閾値電圧が変化し、出力電圧V_{out}も変化する。このため、図10に示す回路は、誤動作することがある。この誤動作を防止するために、容量変化検出回路は、可変容量の一方の電極に接続されたTF Tのゲート電圧を制御できることが好ましい。また、可変容量91の電極が互いに接近あるいは接触したときにTF T 92のゲート電極に一定以上の電荷が蓄積されると、可変容量91の電極間距離が元に戻った後もTF T 92が引き続きオン状態になることが問題となる。この問題を解決するためには、容量変化検出回路には、可変容量の一方の電極に接続されたTF Tのゲート電極に蓄積された電荷を逃がす機能が必須となる。

[0008] 図 1 1 に示す回路では、T F T 9 2 のゲート電極は孤立電極ではないので、上記の問題は生じない。しかしながら、この回路では、制御配線は液晶パネル内の 1 行分の容量変化検出回路に接続されている。1 本の制御配線に多数のゲート電極が接続されるので、制御配線の負荷容量は大きくなる。このため、可変容量 9 1 の容量が変化しても、T F T 9 2 のゲート電圧はわずかにしか変化しない。この結果、図 1 1 に示す回路では容量変化の検出が困難になり、感度が低下する。

[0009] それ故に、本発明は、容量変化を高い感度で誤動作なく検出できる容量変化検出回路を提供することを目的とする。

課題を解決するための手段

[0010] 本発明の第 1 の局面は、静電容量の変化を検出する容量変化検出回路であって、

一方の電極が電圧供給線に接続された可変容量と、

ゲート電極が前記可変容量の他方の電極に接続され、前記可変容量の容量値に応じた電気信号を出力する検出用トランジスタと、

制御電圧線と前記検出用トランジスタのゲート電極との間に設けられた電圧印加用スイッチング素子とを備える。

[0011] 本発明の第 2 の局面は、本発明の第 1 の局面において、

前記電圧印加用スイッチング素子がオン状態である間に、所定の制御電圧が前記制御電圧線に印加され、前記電圧印加用スイッチング素子がオフ状態に変化した後は、前記検出用トランジスタのゲート電極はフローティング状態を保つことを特徴とする。

[0012] 本発明の第 3 の局面は、本発明の第 1 の局面において、

前記検出用トランジスタを通過する電流の経路上に設けられ、前記電気信号を出力するか否かを切り替える出力制御用スイッチング素子をさらに備える。

[0013] 本発明の第 4 の局面は、表示画面内のタッチ位置を検出できる画像表示装置であって、

複数の画素回路と 1 以上の容量変化検出回路とを含む表示パネルと、
前記表示パネルの制御回路とを備え、
前記容量変化検出回路は、

一方の電極が電圧供給線に接続された可変容量と、

ゲート電極が前記可変容量の他方の電極に接続され、前記可変容量の容量値に応じた電気信号を出力する検出用トランジスタと、

制御電圧線と前記検出用トランジスタのゲート電極との間に設けられた電圧印加用スイッチング素子とを含む。

[0014] 本発明の第 5 の局面は、本発明の第 4 の局面において、

前記表示パネルは、行方向および列方向に配置された複数の容量変化検出回路を含み、

同じ行に配置された容量変化検出回路に含まれる電圧印加用スイッチング素子のゲート電極は、共通の信号線に接続されていることを特徴とする。

発明の効果

[0015] 本発明の第 1 の局面によれば、制御電圧線と検出用トランジスタのゲート電極との間に電圧印加用スイッチング素子を設けることにより、検出用トランジスタのゲート電圧を好適に制御し、検出用トランジスタのゲート電極に蓄積された電荷を逃がして、回路の誤動作を防止することができる。また、電圧印加用トランジスタを用いて制御電圧線と検出用トランジスタのゲート電極とを電氣的に切り離すことにより、制御電圧線の負荷容量は小さくなる。このため、可変容量の容量値が変化したときに、検出用トランジスタのゲート電圧は大きく変化する。したがって、容量変化を高い感度で検出することができる。

[0016] 本発明の第 2 の局面によれば、電圧印加用スイッチング素子の状態を制御すると共に、制御電圧線に所定の制御電圧を印加することにより、検出用トランジスタのゲート電圧を好適に制御し、容量変化を検出することができる。

[0017] 本発明の第 3 の局面によれば、検出用トランジスタを通過する電流の経路

上に出力制御用スイッチング素子を設けることにより、容量変化検出回路から電気信号を出力するか否かを切り替えることができる。これにより、検出用トランジスタが完全にオフ状態にならないときでも、容量変化検出回路が不要な電気信号を出力しないようにすることができる。

[0018] 本発明の第4の局面によれば、容量変化を高い感度で誤動作なく検出できる容量変化検出回路を用いて、表示画面内のタッチ位置を高い感度で誤動作なく検出できる画像表示装置を構成することができる。

[0019] 本発明の第5の局面によれば、容量変化検出回路を2次元状に配置したときに、同じ行に配置された容量変化検出回路に含まれる電圧印加用スイッチング素子のゲート電極を共通の信号線に接続することにより、容量変化検出回路の制御に使用する信号線を減らすことができる。

図面の簡単な説明

[0020] [図1]本発明の第1の実施形態に係る容量変化検出回路を含む液晶表示装置の構成を示すブロック図である。

[図2]本発明の第1の実施形態に係る容量変化検出回路の回路図である。

[図3]図2に示す容量変化検出回路の一部の構造を示す断面図である。

[図4]図2に示す容量変化検出回路の特性図である。

[図5]図2に示す容量変化検出回路の特性図である。

[図6]本発明の第2の実施形態に係る容量変化検出回路を含む液晶表示装置の構成を示すブロック図である。

[図7]本発明の第2の実施形態に係る容量変化検出回路の回路図である。

[図8]本発明の第2の実施形態の変形例に係る容量変化検出回路の回路図である。

[図9A]図6に示す容量変化検出回路と画素回路の回路図である。

[図9B]図9Aに示す回路から信号線を減らした回路（第1例）の回路図である。

[図9C]同じく第2例の回路図である。

[図9D]同じく第3例の回路図である。

[図9E] 同様に第4例の回路図である。

[図9F] 同様に第5例の回路図である。

[図9G] 同様に第6例の回路図である。

[図9H] 同様に第7例の回路図である。

[図10] 従来の容量変化検出回路の回路図である。

[図11] 従来の容量変化検出回路の回路図である。

発明を実施するための形態

[0021] (第1の実施形態)

図1は、本発明の第1の実施形態に係る容量変化検出回路を含む液晶表示装置の構成を示すブロック図である。図1に示す液晶表示装置は、液晶パネル1、表示制御回路2、走査信号線駆動回路3、データ信号線駆動回路4、センサ制御回路5、および、センサ出力処理回路6を備えている。本実施形態に係る容量変化検出回路10は、画素回路20と共に液晶パネル1上に形成され、液晶パネル1の表面が押されたときの静電容量の変化を検出する。

[0022] 液晶パネル1は、2枚のガラス基板の間に液晶物質を挟み込んだ構造を有する。液晶パネル1には、互いに平行な複数の走査信号線 G_i と、走査信号線 G_i と直交する互いに平行な複数のデータ信号線 S_j とが設けられる。走査信号線 G_i とデータ信号線 S_j の各交点の近傍には、画素回路20が設けられる。走査信号線 G_i は同じ行に配置された画素回路20に接続され、データ信号線 S_j は同じ列に配置された画素回路20に接続される。画素回路20のそれぞれに対応して、容量変化検出回路10が設けられる。また、走査信号線 G_i と平行に走査信号線 G_i と同数の行選択線 P_i が設けられる。行選択線 P_i は、同じ行に配置された容量変化検出回路10に接続される。液晶パネル1には、容量変化検出回路10の出力を選択するセンサ出力選択回路7も設けられる。

[0023] 画素回路20は、TFT21、液晶容量22、および、補助容量23を含んでいる。TFT21は、Nチャネル型MOSトランジスタである。TFT21のゲート電極は1本の走査信号線 G_i に接続され、ソース電極は1本の

データ信号線 S_j に接続され、ドレイン電極は液晶容量 22 と補助容量 23 の一方の電極に接続される。液晶容量 22 と補助容量 23 の他方の電極（対向電極）は、共通電圧 V_{com} を印加した電圧供給線（図示せず）に接続される。

[0024] 表示制御回路 2、走査信号線駆動回路 3、データ信号線駆動回路 4 およびセンサ制御回路 5 は、液晶パネル 1 の制御回路である。表示制御回路 2 は、走査信号線駆動回路 3 に対して制御信号 C_1 を出力し、データ信号線駆動回路 4 に対して制御信号 C_2 と映像信号 DT を出力する。また、表示制御回路 2 は、センサ制御回路 5 に対して制御信号 C_3 を出力し、液晶パネル 1 に対して制御電圧 V_{ctrl} を供給する。

[0025] 走査信号線駆動回路 3 は、制御信号 C_1 に従い複数の走査信号線 G_i の中から 1 本の走査信号線を選択し、選択した走査信号線にゲートオン電圧（ TFT がオン状態になる電圧）を印加する。データ信号線駆動回路 4 は、制御信号 C_2 に従い、映像信号 DT に応じた電圧をデータ信号線 S_j に印加する。これにより 1 行分の画素回路 20 を選択し、選択した画素回路に対して映像信号 DT に応じた電圧を書き込み、所望の画像を表示することができる。

[0026] センサ制御回路 5 は、制御信号 C_3 に従い複数の行選択線 P_i の中から 1 本の行選択線を選択し、選択した行選択線にゲートオン電圧を印加する。また、センサ制御回路 5 は、制御信号 C_3 に従いセンサ出力選択回路 7 を制御する。センサ出力選択回路 7 は、センサ制御回路 5 からの制御に従い、複数の容量変化検出回路 10 の出力信号の中から 1 以上の信号を選択し、選択した信号を液晶パネル 1 の外部に出力する。センサ出力処理回路 6 は、液晶パネル 1 から出力された信号に基づき、表示画面内のタッチ位置を示す位置データ DP を求める。

[0027] 図 2 は、容量変化検出回路 10 の回路図である。図 2 に示すように、容量変化検出回路 10 は、可変容量 11、および、 TFT_{12} 、 13 を含んでいる。 TFT_{12} 、 13 は、 N チャネル型 MOS トランジスタである。可変容量 11 の一方の電極は共通電圧 V_{com} を印加した電圧供給線に接続され、

他方の電極はTFT12のゲート電極に接続される。TFT12のドレイン電極には液晶パネル1の外部から供給されたドレイン電圧 V_d が印加され、ソース電極からは出力電圧 V_{out} が出力される。TFT13のゲート電極は、選択電圧 V_{sel} を印加した行選択線Piに接続される。TFT13の他の2個の電極のうち一方は制御電圧 V_{ctrl} を印加した制御電圧線に接続され、他方はTFT12のゲート電極に接続される。TFT12は、可変容量11の容量値に応じた電気信号を出力する検出用トランジスタとして機能する。TFT13は、制御電圧線とTFT12のゲート電極との間に設けられた電圧印加用スイッチング素子として機能する。

[0028] 図3は、容量変化検出回路10の一部の構造を示す断面図である。図3には、ガラス基板31上に対向電極33を形成した対向基板30と、ガラス基板41上にTFT12などを形成したTFT側基板40とが記載されている。対向基板30の一方の面（TFT側基板40に対向する面；図3では下側の面）には突起物32が設けられ、その上にITO（Indium Tin Oxide：酸化インジウムスズ）を成膜することにより対向電極33が形成される。TFT側基板40の一方の面（対向基板30に対向する面；図3では上側の面）には各種の回路が形成され、その上にITOを成膜することにより画素電極と可変容量電極42が形成される。対向基板30とTFT側基板40は対向して配置され、両基板の間には液晶物質（図示せず）が充填される。これにより、液晶容量22と可変容量11が形成される。

[0029] 突起物32を設けた部分では他の部分と比べて、対向電極33と可変容量電極42の間の距離が短くなる。この部分に可変容量11が形成される。突起物32を設けた部分に形成された対向電極33が可変容量11の一方の電極（共通電圧 V_{com} を印加した電極）となり、突起物32を設けた部分に対向する部分に形成された可変容量電極42が可変容量11の他方の電極となる。可変容量電極42は、画素電極から分離されている。

[0030] TFT側基板40において可変容量11の近傍には、ゲート電極43、ソース電極44およびドレイン電極45を有するTFT12が形成される。ゲ

ート電極 43 は、コンタクト 46 を介して可変容量 11 の他方の電極に電氣的に接続される。対向電極 33 には共通電圧 V_{com} が印加される。この状態で対向基板 30 の表面を指やペンなどで押すと、対向基板 30 は TFT 側基板 40 に接近し、可変容量 11 の電極間距離（図 3 に示す距離 d ）は小さくなる。電極間距離 d が変化すると、可変容量 11 の容量値は変化し、これに伴い TFT 12 のゲート電圧は変化し、出力電圧 V_{out} も変化する。したがって、出力電圧 V_{out} を閾値と比較することにより、可変容量 11 の近傍で液晶パネル 1 が押されたか否かを判定することができる。

[0031] 図 4 は、容量変化検出回路 10 の特性図である。図 4 には、共通電圧 V_{com} を直流 5 V とし、TFT 12 のチャネル幅 W を変化させた場合について、可変容量 11 の電極間距離 d と TFT 12 のゲート電圧 V_g との関係が記載されている。図 4 に示すように、ゲート電圧 V_g は電極間距離 d が小さいほど高くなり、電極間距離 d が 0 のときには共通電圧 5 V に等しくなる。また、ゲート電圧 V_g はチャネル幅 W が狭いほど高くなる。

[0032] N チャネル型の TFT 12 は、ゲート電圧 V_g が閾値電圧以上のときにオン状態になる。しかし、ゲート電圧 V_g が閾値電圧に近いときには、TFT 12 を流れる読み出し電流が少ないので、出力電圧 V_{out} の変化に時間がかかる。そこで、閾値電圧よりも高い境界電圧 V_b を設定し、ゲート電圧 V_g が境界電圧 V_b 以上であれば、容量変化あり（すなわち、液晶パネル 1 が押された）と判断することにする。ここでは、TFT 12 の閾値電圧を 1 V、境界電圧 V_b を 2.5 V とする。図 4 には、ゲート電圧 V_g が閾値電圧以下である範囲（TFT オフ領域）と、ゲート電圧 V_g が境界電圧以上である範囲（検出領域）とが記載されている。なお、2.5 V は境界電圧 V_b の一例であり、境界電圧 V_b は用途などに応じて任意に決定される。

[0033] 図 4 に示すように、チャネル幅 W が $4\ \mu\text{m}$ のときには、電極間距離 d が約 $0.2\ \mu\text{m}$ 以下になると、容量変化ありと判断される。一方、チャネル幅 W が $20\ \mu\text{m}$ のときには、電極間距離 d が約 $0.05\ \mu\text{m}$ 以下になると、容量変化ありと判断される。このように容量変化検出回路 10 の感度は、TFT

12のチャネル幅 W に応じて変化する。TFT12のチャネル幅 W は、用途などに応じて任意に決定される。

[0034] 図5は、図4と同様の関係を、TFT13のゲート電極にゲートオン電圧を印加して、制御電圧 V_{ctrl} を変化させた場合について示す図である。図5に示す特性は、以下に示す容量変化検出回路10について求めたものである。可変容量11の電極のサイズは $4 \times 4 \mu m$ である。可変容量11の電極間距離 d は $0 \mu m \sim 0.5 \mu m$ の間で変化する。液晶の誘電係数は、液晶長軸に平行な方向の分量 ε （ $\diagup$ ）が4、液晶長軸に垂直な方向の分量 ε （ $\perp$ ）が7である。TFT12、13のチャネル幅とチャネル長はいずれも $4 \mu m$ であり、ゲート絶縁膜の厚さは $80 nm$ である。

[0035] 図5に示すように、制御電圧 V_{ctrl} が $+2 V$ のときは、電極間距離 d が $0.5 \mu m$ 以下である限り、常に容量変化ありと判断される。制御電圧 V_{ctrl} が $+1 V$ のときには、電極間距離 d が約 $0.35 \mu m$ 以下になると、容量変化ありと判断される。制御電圧 V_{ctrl} を $0 V$ および $-1 V$ に変化させたときに、容量変化ありと判断されるための条件は、電極間距離 d が約 $0.15 \mu m$ 以下および約 $0.06 \mu m$ 以下に変化する。このように制御電圧 V_{ctrl} を変化させることにより、TFT12のゲート電圧を好適に制御し、容量変化検出回路10の感度を調整することができる。

[0036] 以下、容量変化検出回路10の動作を説明する。以下の説明では、共通電圧 V_{com} は直流 $5 V$ 、制御電圧 V_{ctrl} は $0 V$ 、TFT12の閾値電圧 V_{th} は $1 V$ 、出力電圧 V_{out} の初期値は $0 V$ 、可変容量11の電極間距離 d の初期値は $0.5 \mu m$ 、であるとする。また、容量変化検出回路10は図5に示す特性を有するものとし、TFTがオフ状態になる電圧をゲートオフ電圧という。

[0037] まず、TFT13のゲート電極には、ゲートオン電圧（例えば、 $5 V$ ）が印加される。このときTFT13はオン状態になり、制御電圧線に印加された制御電圧 $0 V$ はTFT13を経由してTFT12のゲート電極に印加される。制御電圧 $0 V$ はTFT12の閾値電圧 $1 V$ よりも低いので、可変容量1

1の容量値にかかわらず、TF T 1 2はオフ状態になる。このときに出力電圧 V_{out} は変化しないので、TF T 1 2がオフ状態になった後も出力電圧 V_{out} は0Vのままである。

[0038] 次に、TF T 1 3のゲート電極には、ゲートオフ電圧（例えば、0V）が印加される。このときTF T 1 3はオフ状態になり、TF T 1 2のゲート電極はフローティング状態になる。このときに可変容量11の電極間距離 d が初期値 $0.5\mu m$ であれば、TF T 1 2のゲート電圧 V_g は約1Vとなる（図5を参照）。出力電圧 V_{out} は約0Vのままである。

[0039] 対向基板30の表面を指やペンなどで押すと、可変容量11の電極間距離 d は小さくなる。このとき可変容量11の容量値は増大し、TF T 1 2のゲート電圧 V_g は上昇する。例えば、電極間距離 d が $0.1\mu m$ になると、TF T 1 2のゲート電圧 V_g は約3Vとなる。また、 $V_{out} = V_g - V_{th}$ より、出力電圧 V_{out} は約2Vとなる。TF T 1 2の閾値電圧 V_{th} を考慮して出力電圧 V_{out} を境界電圧 V_b と比較することにより、容量変化ありと判断される。

[0040] このように容量変化検出回路10では、TF T 1 3をオン状態に制御することにより、TF T 1 2のゲート電極に制御電圧 V_{ctrl} を印加し、TF T 1 3をオフ状態に制御することにより、TF T 1 2のゲート電極をフローティング状態に設定することができる。これにより、フローティング状態のTF T 1 2のゲート電極に電荷が蓄積されていた場合でも、TF T 1 3をオン状態に制御したときに、TF T 1 2のゲート電極に蓄積されていた電荷を逃がし、TF T 1 2のゲート電圧を制御電圧 V_{ctrl} に等しくすることができる。このため、TF T 作製工程で電荷がTF T 1 2のゲート端子に蓄積される場合や、使用時に対向電極33から移動した電荷がTF T 1 2のゲート端子に蓄積される場合でも、TF T 1 2のゲート電圧がこれらの電荷の影響を受けることがない。したがって、容量変化検出回路10によれば、回路の誤動作を防止することができる。

[0041] また、TF T 1 3を用いて制御電圧線とTF T 1 2のゲート電極を電氣的

に切り離すことにより、制御電圧線の負荷容量は図 11 に示す従来の回路よりも小さくなる。このため、可変容量 11 の容量値が変化したときに、TFT 12 のゲート電圧は大きく変化する。したがって、本実施形態に係る容量変化検出回路 10 によれば、液晶パネル 1 の表面が押されたときの容量変化を高い感度で検出することができる。

[0042] 以上に示すように、本実施形態に係る容量変化検出回路 10 によれば、TFT 13 を介して TFT 12 のゲート電極に制御電圧 V_{ctrl} を印加することにより、容量変化を高い感度で誤動作なく検出することができる。また、容量変化検出回路 10 を用いることにより、表示画面内のタッチ位置を高い感度で誤動作なく検出できる画像表示装置を構成することができる。また、容量変化検出回路 10 を 2 次元状に配置したときに、同じ行に配置された容量変化検出回路 10 に含まれる TFT 13 のゲート電極を共通の行選択線 P_i に接続することにより、容量変化検出回路 10 の制御に使用する信号線を減らすことができる。

[0043] (第 2 の実施形態)

図 6 は、本発明の第 2 の実施形態に係る容量変化検出回路を含む液晶表示装置の構成を示すブロック図である。図 6 に示す液晶表示装置は、第 1 の実施形態に係る液晶表示装置 (図 1) において、液晶パネル 1 とセンサ制御回路 5 を液晶パネル 8 とセンサ制御回路 9 に置換したものである。本実施形態に係る容量変化検出回路 15 は、画素回路 20 と共に液晶パネル 8 上に形成され、液晶パネル 8 の表面が押されたときの静電容量の変化を検出する。なお、本実施形態の構成要素のうち第 1 の実施形態と同一の要素については、同一の参照符号を付して説明を省略する。

[0044] 液晶パネル 8 には、液晶パネル 1 と同様に、複数の走査信号線 G_i 、複数のデータ信号線 S_j 、複数の行選択線 P_i (以下、第 1 行選択線 P_i という)、複数の画素回路 20、複数の容量変化検出回路 15、および、センサ出力選択回路 7 が設けられる。これに加えて液晶パネル 8 には、第 1 行選択線 P_i と平行に第 1 行選択線 P_i と同数の第 2 行選択線 Q_i が設けられる。第

2行選択線 Q_i は、第1行選択線 P_i と同様に、同じ行に配置された容量変化検出回路15に接続される。

[0045] センサ制御回路9は、センサ制御回路5と同様に、制御信号 C_3 に従い第1行選択線 P_i を選択し、センサ出力選択回路7を制御する。これに加えてセンサ制御回路9は、制御信号 C_3 に従い複数の第2行選択線 Q_i の中から1本の第2行選択線を選択し、選択した第2行選択線にゲートオン電圧を印加する。センサ制御回路9は、第1行選択線 P_i と第2行選択線 Q_i を異なるタイミングで選択する。

[0046] 図7は、容量変化検出回路15の回路図である。図7に示す容量変化検出回路15は、第1の実施形態に係る容量変化検出回路10（図2）にTFT14を追加したものである。TFT14は、Nチャネル型MOSトランジスタである。容量変化検出回路15では、TFT13のゲート電極は、第1行選択電圧 V_{sel1} を印加した第1行選択線 P_i に接続される。TFT12のドレイン電極はTFT14のソース電極に接続される。TFT14のゲート電極は第2行選択電圧 V_{sel2} を印加した第2行選択線 Q_i に接続され、ドレイン電極には液晶パネル8の外部から供給されたドレイン電圧 V_d が印加される。TFT14は、TFT12を通過する電流の経路上に設けられ、出力電圧 V_{out} を出力するか否かを切り替える出力制御用スイッチング素子として機能する。

[0047] TFT14は、センサ制御回路9によってオン状態またはオフ状態に制御される。容量変化検出回路15は、TFT14がオン状態のときには出力電圧 V_{out} を出力し、TFT14がオフ状態のときには出力電圧 V_{out} を出力しない。このように本実施形態に係る容量変化検出回路15によれば、TFT12を通過する電流の経路上にTFT14を設けることにより、出力電圧 V_{out} を出力するか否かを切り替えることができる。

[0048] 例えば、図5に示す特性を有する容量変化検出回路について、制御電圧 V_{ctrl} を $-4V \sim +2V$ の範囲内で変化させる場合を考える。この場合、電極間距離 d が $0.1 \mu m$ 以下になると、制御電圧 V_{ctrl} にかかわらず

、 TFT_{12} が完全なオフ状態になることはない。このため、 TFT_{12} にリーク電流が流れ、容量変化検出回路の消費電力が増大する。本実施形態に係る容量変化検出回路15によれば、このように TFT_{12} が完全にオフ状態にならないときでも、 TFT_{12} にリーク電流が流れず、不要な出力電圧 V_{out} を出力しないようにすることができる。

[0049] また、容量変化検出回路15では、 TFT_{12} のゲート電極に制御電圧 V_{ctrl} が印加されたときの可変容量11の容量値に応じて、可変容量11の容量値がその後に変化したときの TFT_{12} のゲート電圧が変化する。したがって、第1行選択線 P_i と第2行選択線 Q_i を異なるタイミングで選択し、制御電圧 V_{ctrl} の印加と容量変化検出回路15の選択を異なるタイミングで行うことにより、 TFT_{12} のゲート電圧と可変容量11の容量値との関係を常に一定に保つことができる。

[0050] なお、図7に示す容量変化検出回路15では TFT_{14} は TFT_{12} のドレイン電極側に設けられているが、図8に示すように TFT_{14} を TFT_{12} のソース電極側に設けてもよい。図8に示す容量変化検出回路16では、 TFT_{12} のドレイン電極にはドレイン電圧 V_d が印加され、ソース電極は TFT_{14} のドレイン電極に接続される。 TFT_{14} のソース電極からは出力電圧 V_{out} が出力される。この変形例に係る容量変化検出回路16は、容量変化検出回路15と同様に動作し、同様の効果を奏する。

[0051] また、以上の説明では、液晶パネルには画素回路ごとに容量変化検出回路を設けることとしたが、液晶パネルには任意個の容量変化検出回路を任意の形態で設けてもよい。例えば、2個以上の画素回路に対応して容量変化検出回路を設けてもよく、画素回路に対応させずに液晶パネルの一部だけに容量変化検出回路を設けてもよい。また、容量変化検出回路に必要な電圧を供給でき、容量変化検出回路から出力される電気信号を液晶パネルの外部に出力できる限り、液晶パネルには任意の種類の配線を任意の形態で設けてもよい。また、共通電圧 V_{com} は直流電圧でもよく、交流電圧でもよい。

[0052] また、画素回路内の TFT の端子と容量変化検出回路内の TFT の端子が

すべて独立している場合には、異なる端子を同じ信号線に接続して信号線を共通化することにより、液晶パネルに設ける信号線の本数を減らすことができる。図9Aは、図6に示す容量変化検出回路15と画素回路20の回路図（ただし、補助容量23を除く）である。この回路については、以下に例示する7つの方法により、液晶パネルに設ける信号線の本数を減らすことができる。

[0053] まず、図9Bに示すように、出力制御用スイッチング素子（TF T 1 4）のゲート電極と画素回路内の書き込み用スイッチング素子（TF T 2 1）のゲート電極を同じ信号線（走査信号線G i）に接続してもよい。あるいは、図9Cに示すように、出力制御用スイッチング素子（TF T 1 4）のゲート電極とドレイン電極を同じ信号線（第2行選択線Q i）に接続してもよい。あるいは、図9Dに示すように、電圧印加用スイッチング素子（TF T 1 3）のゲート電極と書き込み用スイッチング素子（TF T 2 1）のゲート電極を同じ信号線（走査信号線G i）に接続してもよい。あるいは、図9Eに示すように、電圧印加用スイッチング素子（TF T 1 3）のゲート電極と出力制御用スイッチング素子（TF T 1 7）のゲート電極を同じ信号線（第1行選択線P i）に接続してもよい。ただし、この場合には、Pチャネル型のTF T 1 7を使用する。

[0054] あるいは、図9Fに示すように、検出用トランジスタ（TF T 1 2）のソース電極と書き込み用スイッチング素子（TF T 2 1）のソース電極を同じ信号線（データ信号線S j）に接続してもよい。あるいは、図9Gに示すように、電圧印加用スイッチング素子（TF T 1 3）の1つの電極と書き込み用スイッチング素子（TF T 2 1）のソース電極を同じ信号線（データ信号線S j）に接続してもよい。あるいは、図9Hに示すように、電圧印加用スイッチング素子（TF T 1 3）の1つの電極と液晶容量22の共通電極を同じ信号線（制御電圧V c t r lを印加した制御電圧線）に接続してもよい。また、上記7つの方法を好適に組み合わせることにより、液晶パネルに設ける信号線の本数をさらに減らすこともできる。

産業上の利用可能性

- [0055] 本発明の容量変化検出回路は、容量変化を高い感度で誤動作なく検出できるという特徴を有するので、画像表示装置において表示画面内のタッチ位置を検出する用途など、容量変化を検出する各種の用途に利用することができる。

符号の説明

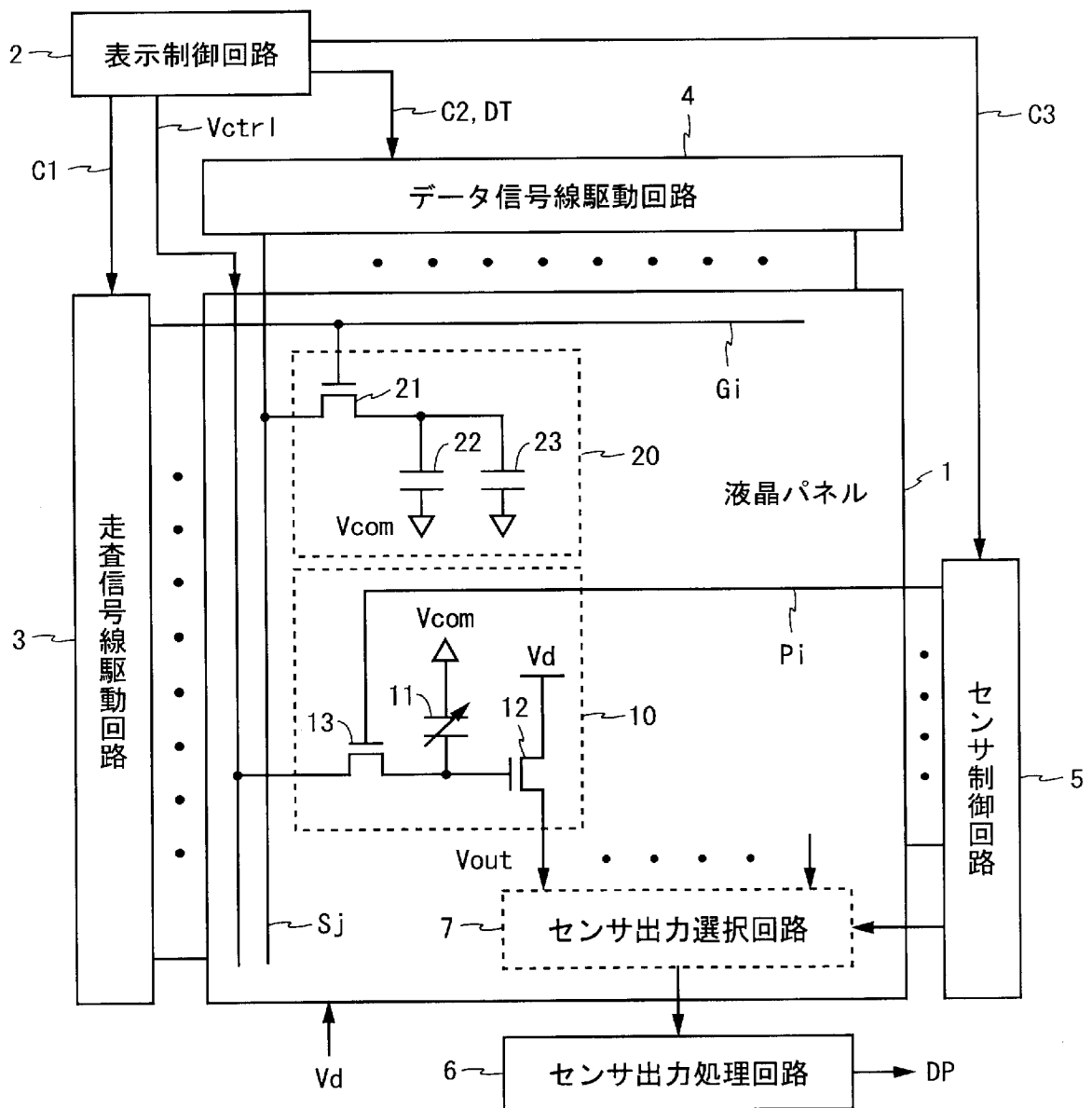
- [0056] 1、8…液晶パネル
2…表示制御回路
3…走査信号線駆動回路
4…データ信号線駆動回路
5、9…センサ制御回路
6…センサ出力処理回路
7…センサ出力選択回路
10、15、16…容量変化検出回路
11…可変容量
12～14、17…TFT
20…画素回路
30…対向基板
31、41…ガラス基板
32…突起物
33…対向電極
34…絶縁膜
40…TFT側基板
42…可変容量電極
43…ゲート電極

請求の範囲

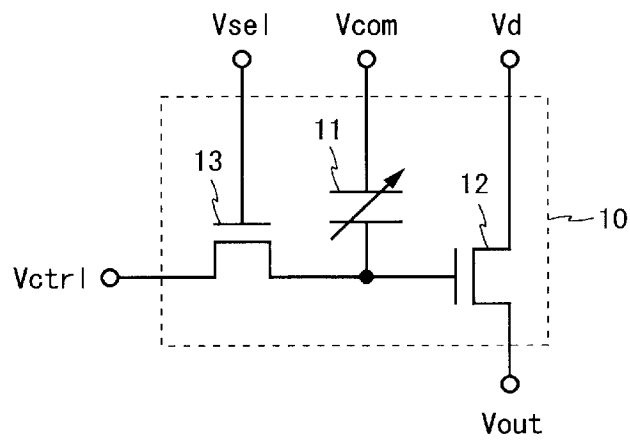
- [請求項1] 静電容量の変化を検出する容量変化検出回路であって、
一方の電極が電圧供給線に接続された可変容量と、
ゲート電極が前記可変容量の他方の電極に接続され、前記可変容量の容量値に応じた電気信号を出力する検出用トランジスタと、
制御電圧線と前記検出用トランジスタのゲート電極との間に設けられた電圧印加用スイッチング素子とを備えた、容量変化検出回路。
- [請求項2] 前記電圧印加用スイッチング素子がオン状態である間に、所定の制御電圧が前記制御電圧線に印加され、前記電圧印加用スイッチング素子がオフ状態に変化した後は、前記検出用トランジスタのゲート電極はフローティング状態を保つことを特徴とする、請求項1に記載の容量変化検出回路。
- [請求項3] 前記検出用トランジスタを通過する電流の経路上に設けられ、前記電気信号を出力するか否かを切り替える出力制御用スイッチング素子をさらに備えた、請求項1に記載の容量変化検出回路。
- [請求項4] 表示画面内のタッチ位置を検出できる画像表示装置であって、
複数の画素回路と1以上の容量変化検出回路とを含む表示パネルと、
前記表示パネルの制御回路とを備え、
前記容量変化検出回路は、
一方の電極が電圧供給線に接続された可変容量と、
ゲート電極が前記可変容量の他方の電極に接続され、前記可変容量の容量値に応じた電気信号を出力する検出用トランジスタと、
制御電圧線と前記検出用トランジスタのゲート電極との間に設けられた電圧印加用スイッチング素子とを含む、画像表示装置。
- [請求項5] 前記表示パネルは、行方向および列方向に配置された複数の容量変化検出回路を含み、
同じ行に配置された容量変化検出回路に含まれる電圧印加用スイッ

チング素子のゲート電極は、共通の信号線に接続されていることを特徴とする、請求項 4 に記載の画像表示装置。

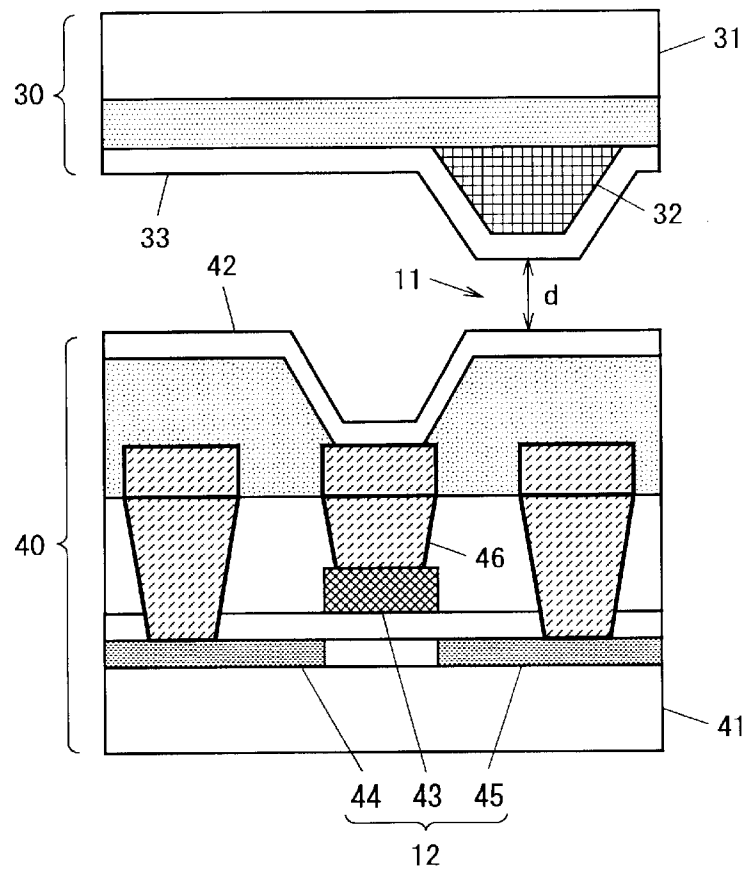
[図1]



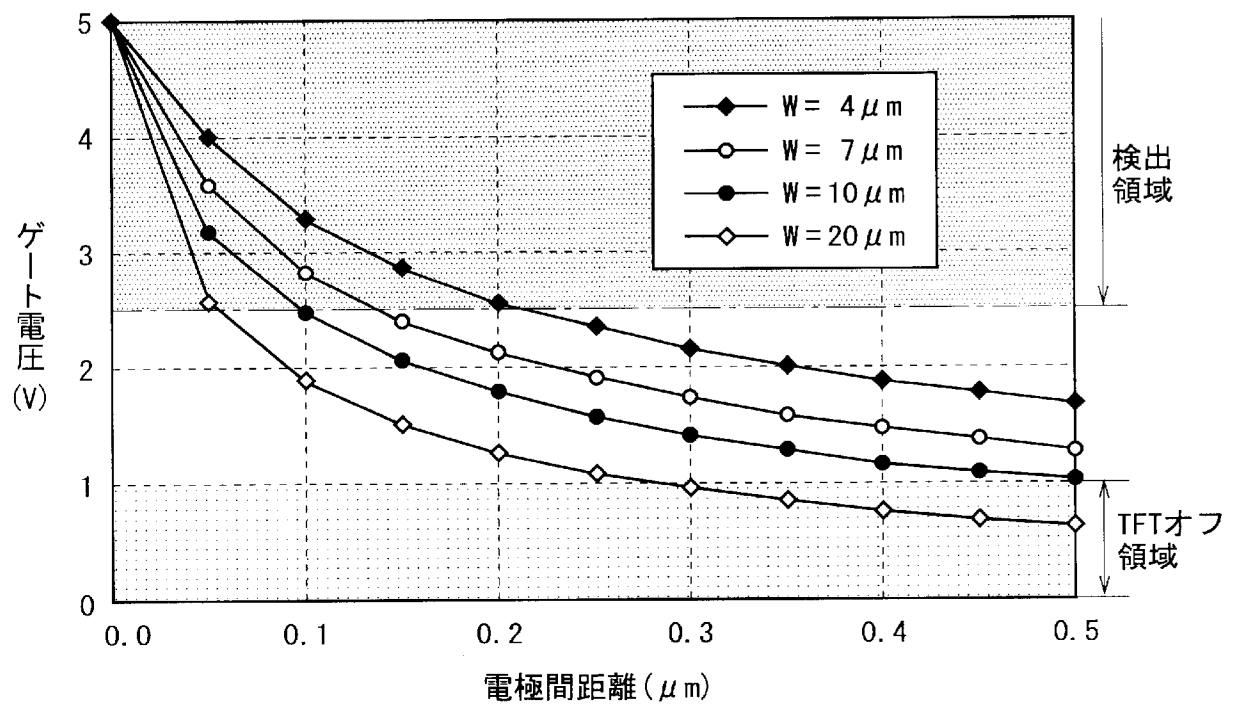
[図2]



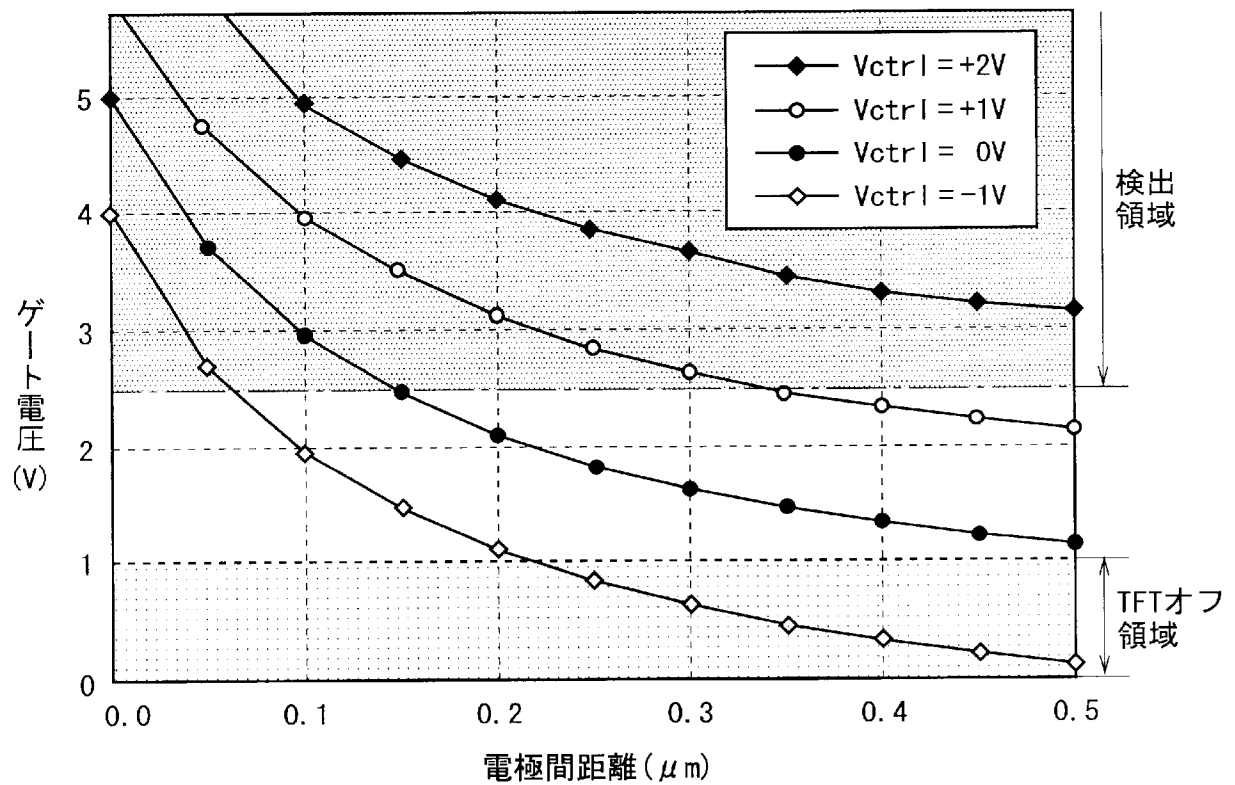
[図3]



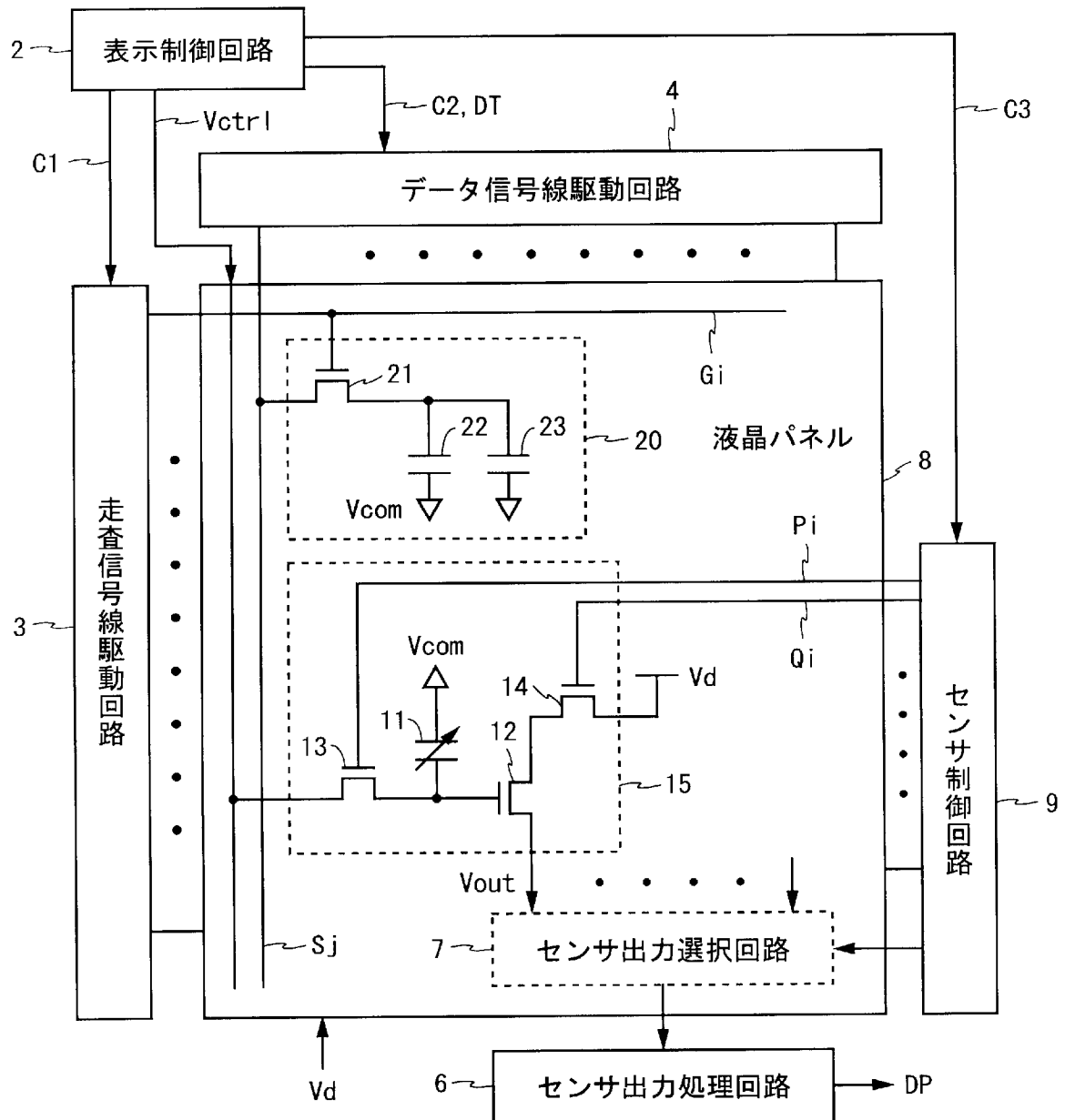
[図4]



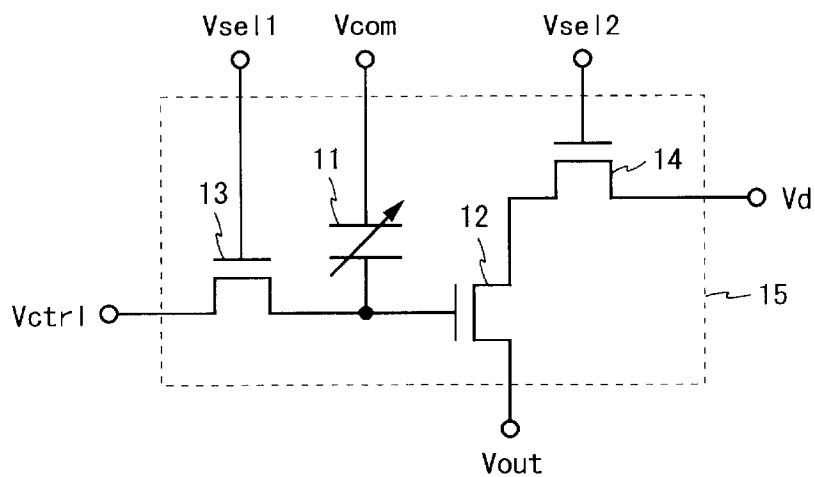
[図5]



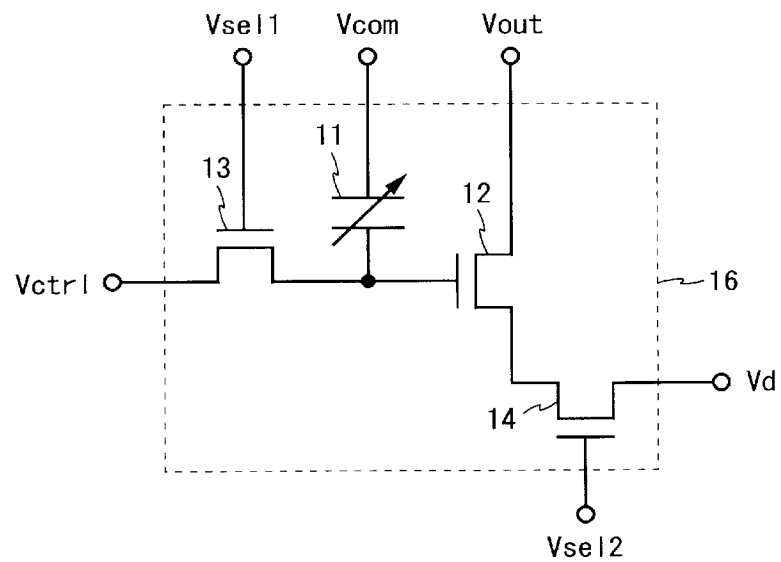
[図6]



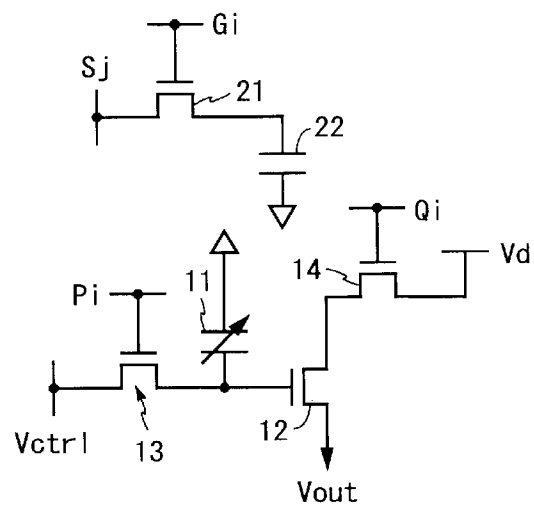
[図7]



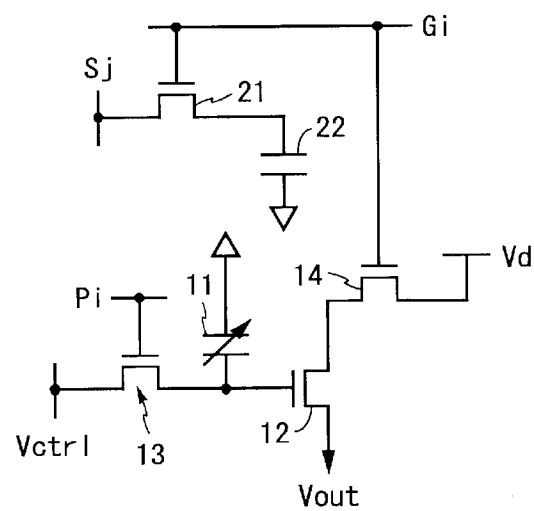
[図8]



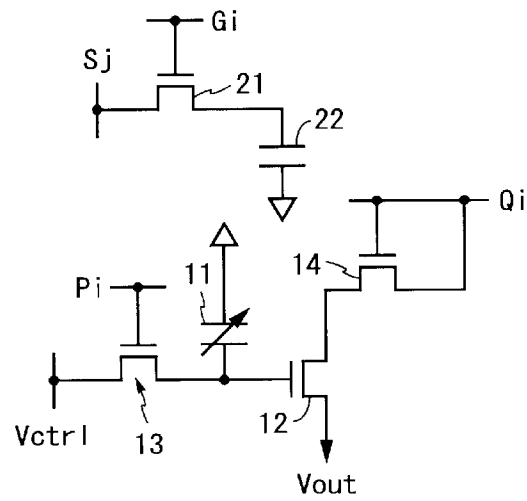
[図9A]



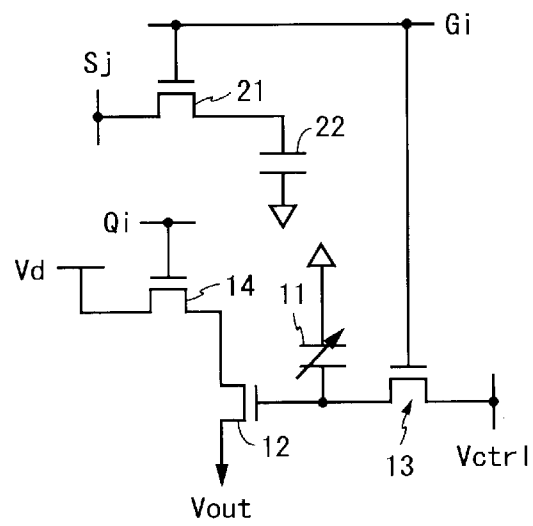
[図9B]



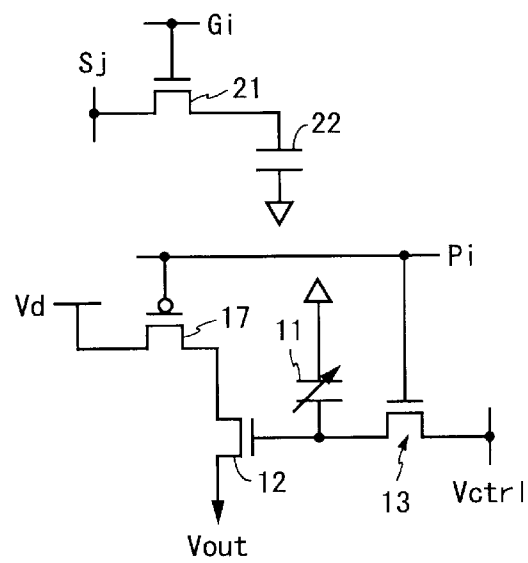
[図9C]



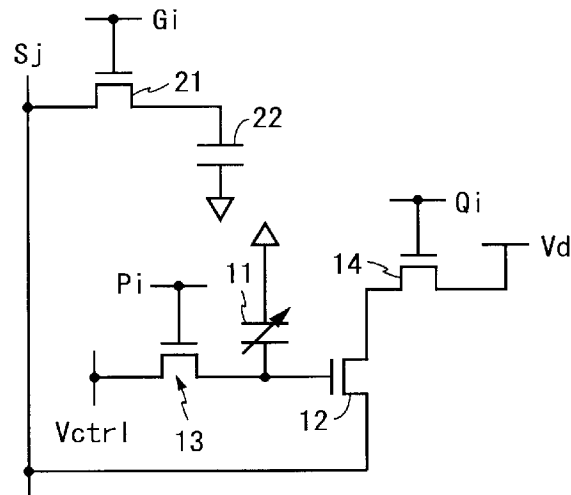
[図9D]



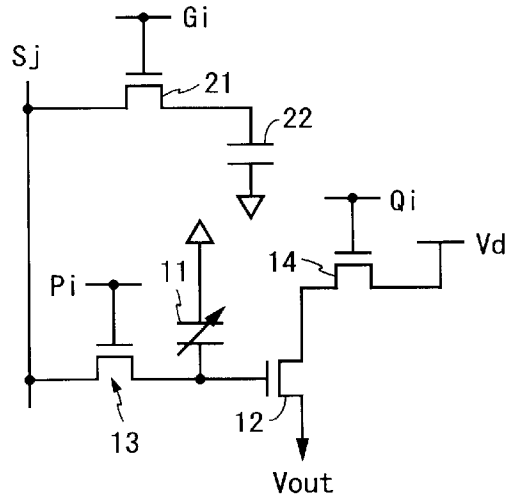
[図9E]



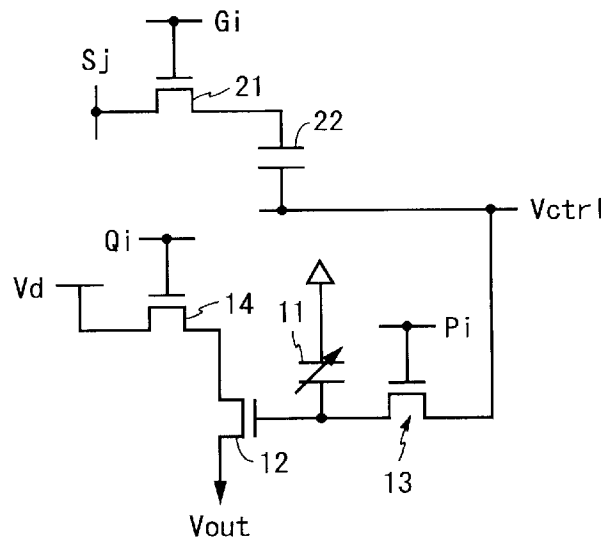
[図9F]



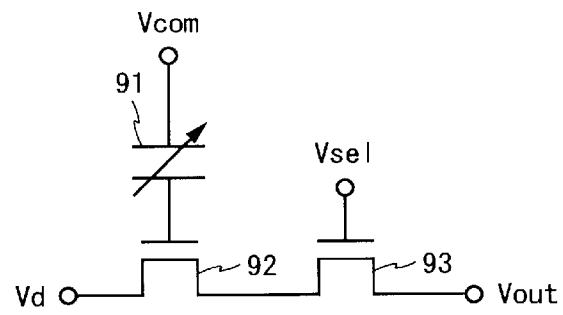
[図9G]



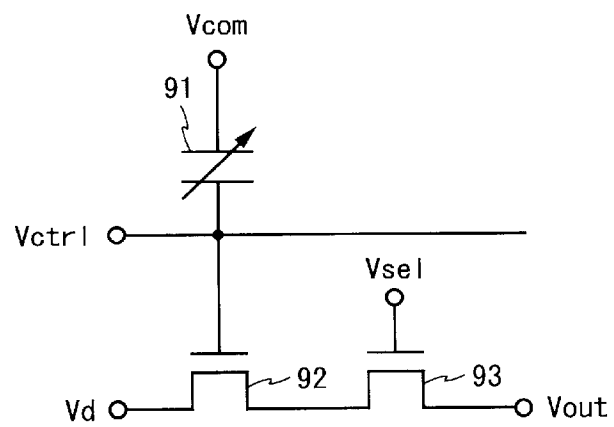
[図9H]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2009/060040

A. CLASSIFICATION OF SUBJECT MATTER

G06F3/041(2006.01) i, G06F3/044(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F3/041, G06F3/044

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-295881 A (Semiconductor Energy Laboratory Co., Ltd.), 21 October, 2004 (21.10.04), Par. Nos. [0028] to [0034] & US 2004/0178434 A1	1, 2, 4 3, 5
Y	JP 2002-287887 A (Citizen Watch Co., Ltd.), 04 October, 2002 (04.10.02), Par. Nos. [0020], [0021], [0038] to [0040]; Fig. 1 (Family: none)	3, 5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
02 September, 2009 (02.09.09)

Date of mailing of the international search report
15 September, 2009 (15.09.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F3/041 (2006.01)i, G06F3/044 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F3/041, G06F3/044

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-295881 A (株式会社半導体エネルギー研究所) 2004.10.21,	1, 2, 4
Y	段落【0028】-段落【0034】 & US 2004/0178434 A1	3, 5
Y	JP 2002-287887 A (シチズン時計株式会社) 2002.10.04, 段落【0020】, 段落【0021】, 段落【0038】-段落【0040】, 図1 (ファミリーなし)	3, 5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 2 . 0 9 . 2 0 0 9

国際調査報告の発送日

1 5 . 0 9 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

山崎 慎一

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 2 1

5 E

4 5 3 6