



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년10월19일
(11) 등록번호 10-2456460
(24) 등록일자 2022년10월14일

(51) 국제특허분류(Int. Cl.)
H01L 21/02 (2006.01) H01L 21/205 (2006.01)
H01L 21/3065 (2006.01) H01L 27/115 (2017.01)
(52) CPC특허분류
H01L 21/02274 (2013.01)
H01L 21/0228 (2013.01)
(21) 출원번호 10-2016-0039312
(22) 출원일자 2016년03월31일
심사청구일자 2021년02월08일
(65) 공개번호 10-2016-0118961
(43) 공개일자 2016년10월12일
(30) 우선권주장
62/141,606 2015년04월01일 미국(US)
(56) 선행기술조사문헌
JP2012174961 A*
KR1020070102764 A*
US20140357064 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050
(72) 발명자
자, 프라켓 피.
미국 95129 캘리포니아 새너제이 노워크 드라이브
4241 아파트먼트 제트209
코, 알렌
미국 94539 캘리포니아 프리몬트 릴 웨이 167
(74) 대리인
특허법인 남앤남

전체 청구항 수 : 총 14 항

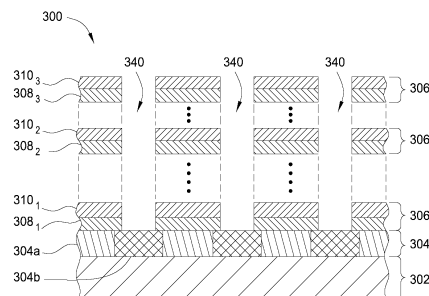
심사관 : 양진석

(54) 발명의 명칭 3D NAND 메모리 디바이스들에서의 개선된 수직 에칭 성능을 위한 막들의 플라즈마 강화 화학 기상 증착

(57) 요약

본 개시의 구현들은 일반적으로, 고 중형비 피쳐 정의들을 포함하는 박막들, 및 그러한 박막들을 형성하기 위한 방법들에 관한 것이다. 게이트 높이가 증가됨에 따라, 3D NAND 게이트 스택들은 더 높은 중형비 에칭을 받는다. 에칭 기법들의 현재의 제한들로 인해, 수직 에칭 프로파일은 전형적으로, 게이트 스택 내로의 깊이가 증가됨에 따라, 테이퍼링(taper)한다. 본 발명자들은, 새로운(novel) 플라즈마-강화 화학 기상 증착(PECVD) 막 증착 방법에 의해 딥(deep) 트렌치들에서의 에칭 성능 저하를 보상하는 고유한 증착 스킴(scheme)을 고안하였다. 본 발명자들은, 증착-직후의(as-deposited) 막들(예컨대, 실리콘 질화물)의 다양한 특성들(예컨대, 막의 굴절률, 응력(stress), 막에서의 도펀트 농도)을 그레이딩(grading)함으로써, 건식 및 습식 에칭 레이트들 양자 모두에서의 차이들을 보상하여, 더 균일한 에칭 프로파일이 달성될 수 있다는 것을 발견하였다.

대표도



(52) CPC특허분류

H01L 21/205 (2013.01)

H01L 21/3065 (2013.01)

H01L 21/32136 (2013.01)

H01L 27/11556 (2013.01)

H01L 27/11582 (2013.01)

(72) 발명자

한, 신하이

미국 95054 캘리포니아 산타 클라라 레어드 씨클
4411

권, 토마스 종완

미국 94568 캘리포니아 더블린 탈 웨이 4417

김, 복현

미국 95120 캘리포니아 새너제이 스틸링 게이트 드
라이브 1116

길, 병호

서울특별시 강동구 양재대로 1716, 2동 201호 (고
덕동, 대우아파트)

김, 룬관

강원도 원주시 유문1길 9-1 (학성동)

김, 상혁

경기도 이천시 부발읍 경충대로 2060, 현대파크빌
딩 5층

명세서

청구범위

청구항 1

고 중형비 피쳐(feature)를 형성하기 위한 방법으로서,

진공의 존재 시에 그리고 프로세싱 챔버에 위치한 기판 상에 하나 또는 그 초과와 실리콘 산화물/실리콘 질화물 함유 스택(stack)들을 증착하는 단계; 및

플라즈마 에칭 또는 습식 에칭 기법들을 사용하여, 상기 하나 또는 그 초과와 실리콘 산화물/실리콘 질화물 함유 스택들에 하나 또는 그 초과와 고 중형비 피쳐들을 형성하는 단계

를 포함하며,

상기 하나 또는 그 초과와 실리콘 산화물/실리콘 질화물 함유 스택들을 증착하는 단계는,

(a) 제 1 플라즈마로 제 1 프로세스 가스를 에너지화(energizing)하는 단계;

(b) 상기 제 1 플라즈마로부터 상기 기판 상에 제 1 막 층을 증착하는 단계;

(c) 제 2 플라즈마로 제 2 프로세스 가스를 에너지화하는 단계;

(d) 상기 제 2 플라즈마로부터 상기 제 1 막 층 상에 제 2 막 층을 증착하는 단계 - 상기 제 2 막 층은 제 1 굴절률을 가짐 -;

미리 결정된 수의 제 1 막 층들 및 제 2 막 층들이 상기 기판 상에 증착될 때까지, 상기 (a) 단계, 상기 (b) 단계, 상기 (c) 단계, 및 상기 (d) 단계를 반복하는 단계 - 상기 제 1 막 층 및 상기 제 2 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 상기 제 1 막 층은 상기 제 2 막 층과 상이함 -;

(e) 제 3 플라즈마로 제 3 프로세스 가스를 에너지화하는 단계;

(f) 상기 제 3 플라즈마로부터 이전의 층 상에 제 3 막 층을 증착하는 단계;

(g) 제 4 플라즈마로 제 4 프로세스 가스를 에너지화하는 단계;

(h) 상기 제 4 플라즈마로부터 상기 제 3 막 층 상에 제 4 막 층을 증착하는 단계 - 상기 제 4 막 층은 상기 제 2 막 층의 굴절률보다 더 큰 굴절률을 가짐 -; 및

미리 결정된 수의 제 3 막 층들 및 제 4 막 층들이 증착될 때까지, 상기 (e) 단계, 상기 (f) 단계, 상기 (g) 단계, 및 상기 (h) 단계를 반복하는 단계

를 포함하고,

상기 제 3 막 층 및 상기 제 4 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 상기 제 3 막 층은 상기 제 4 막 층과 상이한,

고 중형비 피쳐를 형성하기 위한 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 프로세스 가스는 실리콘-함유 가스 및 산소-함유 가스를 포함하는,

고 중형비 피쳐를 형성하기 위한 방법.

청구항 3

제 2 항에 있어서,

상기 실리콘-함유 가스는 테트라에틸 오르토실리케이트(TEOS)이고, 상기 산소-함유 가스는 N_2O 인,

고 종횡비 피처를 형성하기 위한 방법.

청구항 4

제 3 항에 있어서,

상기 제 2 프로세스 가스는 실리콘-함유 가스 및 질소-함유 가스를 포함하는,

고 종횡비 피처를 형성하기 위한 방법.

청구항 5

제 4 항에 있어서,

상기 실리콘-함유 가스는 실란(SiH_4)이고, 상기 질소-함유 가스는 NH_3 인,

고 종횡비 피처를 형성하기 위한 방법.

청구항 6

제 1 항에 있어서,

상기 제 2 프로세스 가스 및 상기 제 4 프로세스 가스는 각각, 질소-함유 가스를 포함하고, 상기 제 4 프로세스 가스에서의 질소-함유 가스의 유량은 상기 제 2 프로세스 가스에서의 질소-함유 가스의 유량에 비하여 증가되는,

고 종횡비 피처를 형성하기 위한 방법.

청구항 7

제 1 항에 있어서,

상기 제 2 프로세스 가스 및 상기 제 4 프로세스 가스는 각각, 실리콘-함유 가스를 포함하고, 상기 제 4 프로세스 가스에서의 실리콘-함유 가스의 유량은 상기 제 2 프로세스 가스에서의 실리콘-함유 가스의 유량에 비하여 증가되는,

고 종횡비 피처를 형성하기 위한 방법.

청구항 8

제 1 항에 있어서,

상기 고 종횡비 피처는 약 10:1 내지 약 20:1의 높이 대 폭 비율을 갖는,

고 종횡비 피처를 형성하기 위한 방법.

청구항 9

제 1 항에 있어서,

(i) 제 5 플라즈마로 제 5 프로세스 가스를 에너지이징하는 단계;

(j) 상기 제 5 플라즈마로부터 이전의 층 상에 제 5 막 층을 증착하는 단계;

(k) 제 6 플라즈마로 제 6 프로세스 가스를 에너지이징하는 단계;

(l) 상기 제 6 플라즈마로부터 상기 제 5 막 층 상에 제 6 막 층을 증착하는 단계 — 상기 제 6 막 층은 상기 제 4 막 층의 굴절률보다 더 큰 굴절률을 가짐 —; 및

미리 결정된 수의 제 5 막 층들 및 제 6 막 층들이 상기 기판 상에 증착될 때까지, 상기 (i) 단계, 상기 (j) 단계, 상기 (k) 단계, 및 상기 (l) 단계를 반복하는 단계

를 더 포함하며,

상기 제 5 막 층 및 상기 제 6 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 상기 제 5 막 층은 상기

제 6 막 층과 상이한,
고 증황비 피처를 형성하기 위한 방법.

청구항 10

제 9 항에 있어서,
상기 제 2 막 층의 굴절률은 약 1.85 내지 약 1.90이고, 상기 제 4 막 층의 굴절률은 약 1.91 내지 약 1.95이고, 상기 제 6 막 층의 굴절률은 약 1.95 내지 약 2.1인,
고 증황비 피처를 형성하기 위한 방법.

청구항 11

제 1 항에 있어서,
상기 하나 또는 그 초과인 실리콘 산화물/실리콘 질화물 함유 스택들 상에 하나 또는 그 초과인 패터닝 층들을 형성하는 단계를 더 포함하는,
고 증황비 피처를 형성하기 위한 방법.

청구항 12

삭제

청구항 13

막 구조로서,
기판 상에 형성된 하나 또는 그 초과인 제 1 실리콘 산화물/실리콘 질화물 함유 스택들; 및
상기 하나 또는 그 초과인 제 1 실리콘 산화물/실리콘 질화물 함유 스택들 상에 형성된 하나 또는 그 초과인 제 2 실리콘 산화물/실리콘 질화물 함유 스택들
을 포함하며,
상기 하나 또는 그 초과인 제 1 실리콘 산화물/실리콘 질화물 함유 스택들은,
상기 기판 상에 형성된 제 1 막 층; 및
상기 제 1 막 층 상에 형성된 제 2 막 층
을 포함하고,
상기 제 2 막 층은 제 1 굴절률을 갖고, 상기 제 1 막 층 및 상기 제 2 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 상기 제 1 막 층은 상기 제 2 막 층과 상이하고,
상기 하나 또는 그 초과인 제 2 실리콘 산화물/실리콘 질화물 함유 스택들은,
이전의 층 상에 형성된 제 3 막 층; 및
상기 제 3 막 층 상에 형성된 제 4 막 층
을 포함하고,
상기 제 4 막 층은 상기 제 2 막 층의 굴절률보다 더 큰 굴절률을 갖고, 상기 제 3 막 층 및 상기 제 4 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 상기 제 3 막 층은 상기 제 4 막 층과 상이한,
막 구조.

청구항 14

제 13 항에 있어서,
상기 하나 또는 그 초과인 제 2 실리콘 산화물/실리콘 질화물 함유 스택들 상에 형성된 하나 또는 그 초과인 제

3 실리콘 산화물/실리콘 질화물 함유 스택들을 더 포함하며,

상기 하나 또는 그 초과 제 3 실리콘 산화물/실리콘 질화물 함유 스택들은,

이전의 층 상에 형성된 제 5 막 층; 및

상기 제 5 막 층 상에 형성된 제 6 막 층

을 포함하고,

상기 제 6 막 층은 상기 제 4 막 층의 굴절률보다 더 큰 굴절률을 갖고, 상기 제 5 막 층 및 상기 제 6 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 상기 제 5 막 층은 상기 제 6 막 층과 상이한,

막 구조.

청구항 15

제 14 항에 있어서,

상기 하나 또는 그 초과 제 3 실리콘 산화물/실리콘 질화물 함유 스택들에 형성된 약 10:1 내지 약 20:1의 높이 대 폭 비율을 갖는 하나 또는 그 초과 고 종횡비 피쳐들을 더 갖는,

막 구조.

발명의 설명

기술 분야

[0001] 본 개시의 구현들은 일반적으로, 고 종횡비 피쳐 정의(feature definition)들을 포함하는 박막들, 및 그러한 박막들을 형성하기 위한 방법들에 관한 것이다.

배경 기술

[0002] 차세대 디바이스들에 대해 회로 밀도들이 증가됨에 따라, 피쳐(feature)들의 종횡비(aspect ratio)들을 증가시키는 것의 결과로, 비아(via)들, 트렌치(trench)들, 콘택(contact)들, 게이트 구조들 및 다른 피쳐들과 같은 상호연결부들, 뿐만 아니라, 이들 사이의 유전체 재료들의 폭들이 45 nm 및 32 nm 치수들로 감소되는 반면에, 유전체 층들의 두께는 실질적으로 일정하게 유지된다. 차세대 디바이스들 및 구조들의 제조를 가능하게 하기 위하여, 트랜지스터들의 성능을 개선하기 위해, 반도체 칩들의 3차원(3D) 스택킹(stack)이 종종 활용된다. 통상적인 2차원 대신에 3차원으로 트랜지스터들을 배열함으로써, 다수의 트랜지스터들은 집적 회로들(IC들)에서 서로에 대해 매우 가깝게 배치될 수 있다. 반도체 칩들의 3차원(3D) 스택킹은 와이어(wire) 길이들을 감소시키고, 와이어링 지연(wiring delay)을 낮게 유지한다. 반도체 칩들의 3차원(3D) 스택킹의 제조 시에, 계단(stair)-형 구조들이 종종 활용되어, 다수의 상호연결 구조들이 그 위에 배치되게 허용하여, 고-밀도의 수직 트랜지스터 디바이스들을 형성한다.

[0003] 수직으로 스택킹된 디바이스들의 밀도가 증가됨에 따라, 피쳐들의 종횡비가 대응하여 증가된다. 종횡비들에서의 증가에 따라, 균일한 에칭 프로파일을 달성하는 것이 더 어렵게 된다. 균일한 에칭 프로파일을 달성하기 위한 하나의 종래의 접근법은 다중-동작(multi-operation) 에칭 레시피의 사용이다. 제 1 동작은 측벽들을 개방(open)하고, 그에 이어서, 고-에너지 충격(bombardment)의 후속 동작들이 후속되어, 균일한 에칭 프로파일을 갖는 직선의(straight) 벽이 형성된다. 그러나, 종횡비들이 증가됨에 따라, 종래의 다중-동작 에칭 레시피들을 사용하여, 균일한 에칭 프로파일을 달성하는 것이 더 어렵게 되었다. 다른 종래의 접근법에서, 이방성(anisotropic) 에칭을 제공하기 위해, 매우 높은 이온 충격을 이용하는 단일 동작 에칭 레시피가 사용된다. 그러나, 종래의 단일 동작 에칭 레시피들을 사용하여 직선의 에칭 프로파일을 달성하기 위해 요구되는 고 에너지들은, 구조의 상단 표면 상의 플라즈마 손상을 야기한다.

[0004] 따라서, 균일한 에칭 프로파일들을 달성하기 위한 부가적인 방법들에 대한 필요성이 존재한다.

발명의 내용

[0005] 본 개시의 구현들은 일반적으로, 고 종횡비 피쳐 정의들을 포함하는 박막들, 및 그러한 박막들을 형성하기 위한 방법들에 관한 것이다. 일 구현에서, 고 종횡비 피쳐를 형성하기 위한 방법이 제공된다. 방법은, 프

로세싱 챔버에 기판을 위치시키고, 진공의 존재 시에 기판 상에 하나 또는 그 초과 실리콘 산화물/실리콘 질화물 함유 스택들을 증착하는 단계를 포함한다. 하나 또는 그 초과 실리콘 산화물/실리콘 질화물 함유 스택들을 증착하는 단계는, 제 1 플라즈마로 제 1 프로세스 가스를 에너지화(energizing)하는 단계, 제 1 플라즈마로부터 기판 상에 제 1 막 층을 증착하는 단계, 제 2 플라즈마로 제 2 프로세스 가스를 에너지화하는 단계, 제 2 플라즈마로부터 제 1 막 층 상에 제 2 막 층을 증착하는 단계를 포함하며, 제 2 막 층은 제 1 굴절률을 갖는다. 위의 동작들은, 미리 결정된 수의 제 1 막 층들 및 제 2 막 층들이 기판 상에 증착될 때까지, 반복되고, 제 1 막 층 및 제 2 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 제 1 막 층은 제 2 막 층과 상이하다. 하나 또는 그 초과 실리콘 산화물/실리콘 질화물 함유 스택들을 증착하는 단계는, 제 3 플라즈마로 제 3 프로세스 가스를 에너지화하는 단계, 제 3 플라즈마로부터 이전의 층 상에 제 3 막 층을 증착하는 단계, 제 4 플라즈마로 제 4 프로세스 가스를 에너지화하는 단계, 제 4 플라즈마로부터 제 3 막 층 상에 제 4 막 층을 증착하는 단계 - 제 4 막 층은 제 2 막 층의 굴절률보다 더 큰 굴절률을 가짐 -, 및 미리 결정된 수의 제 3 막 층들 및 제 4 막 층들이 기판 상에 증착될 때까지, 위의 동작들을 반복하는 단계를 더 포함하며, 제 3 막 층 및 제 4 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 제 3 막 층은 제 4 막 층과 상이하다.

[0006] 다른 구현에서, 고 종횡비 피쳐들을 갖는 막 구조가 제공된다. 막 구조는, 기판 상에 형성된 하나 또는 그 초과 제 1 실리콘 산화물/실리콘 질화물 함유 스택들을 포함하며, 하나 또는 그 초과 제 1 실리콘 산화물/실리콘 질화물 함유 스택들은, 기판 상에 형성된 제 1 막 층, 제 1 막 층 상에 형성된 제 2 막 층을 포함하고, 제 2 막 층은 제 1 굴절률을 갖고, 제 1 막 층 및 제 2 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 제 1 막 층은 제 2 막 층과 상이하다. 막 구조는, 하나 또는 그 초과 제 1 실리콘 산화물/실리콘 질화물 함유 스택들 상에 형성된 하나 또는 그 초과 제 2 실리콘 산화물/실리콘 질화물 함유 스택들을 더 포함하며, 하나 또는 그 초과 제 2 실리콘 산화물/실리콘 질화물 함유 스택들은, 이전의 층 상에 형성된 제 3 막 층, 및 제 3 막 층 상에 형성된 제 4 막 층을 포함하고, 제 4 막 층은 제 2 막 층의 굴절률보다 더 큰 굴절률을 갖고, 제 3 막 층 및 제 4 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 제 3 막 층은 제 4 막 층과 상이하다.

[0007] 또 다른 구현에서, 고 종횡비 피쳐들을 갖는 막 구조가 제공된다. 막 구조는, 기판 상에 형성된 하나 또는 그 초과 제 1 실리콘 산화물/실리콘 질화물 함유 스택들을 포함하며, 하나 또는 그 초과 제 1 실리콘 산화물/실리콘 질화물 함유 스택들은, 기판 상에 형성된 제 1 막 층, 및 제 1 막 층 상에 형성된 제 2 막 층을 포함하고, 제 2 막 층은 제 1 굴절률을 갖고, 제 1 막 층 및 제 2 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 제 1 막 층은 제 2 막 층과 상이하다. 막 구조는, 하나 또는 그 초과 제 1 실리콘 산화물/실리콘 질화물 함유 스택들 상에 형성된 하나 또는 그 초과 제 2 실리콘 산화물/실리콘 질화물 함유 스택들을 더 포함하며, 하나 또는 그 초과 제 2 실리콘 산화물/실리콘 질화물 함유 스택들은, 이전의 층 상에 형성된 제 3 막 층, 및 제 3 막 층 상에 형성된 제 4 막 층을 포함하고, 제 4 막 층은 제 2 막 층의 굴절률보다 더 큰 굴절률을 갖고, 제 3 막 층 및 제 4 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 제 3 막 층은 제 4 막 층과 상이하다. 막 구조는, 하나 또는 그 초과 제 2 실리콘 산화물/실리콘 질화물 함유 스택들 상에 형성된 하나 또는 그 초과 제 3 실리콘 산화물/실리콘 질화물 함유 스택들을 더 포함하며, 하나 또는 그 초과 제 3 실리콘 산화물/실리콘 질화물 함유 스택들은, 이전의 층 상에 형성된 제 5 막 층, 및 제 5 막 층 상에 형성된 제 6 막 층을 포함하고, 제 6 막 층은 제 4 막 층의 굴절률보다 더 큰 굴절률을 갖고, 제 5 막 층 및 제 6 막 층은 실리콘 산화물 층 또는 실리콘 질화물 층이고, 제 5 막 층은 제 6 막 층과 상이하고, 제 2 막 층의 굴절률은 약 1.85 내지 약 1.90이고, 제 4 막 층의 굴절률은 약 1.91 내지 약 1.95이고, 제 6 막 층의 굴절률은 약 1.95 내지 약 2.1이다.

도면의 간단한 설명

[0008] 본 개시의 상기 열거된 특징들이 상세히 이해될 수 있는 방식으로, 앞서 간략히 요약된 본 개시의 보다 구체적인 설명이 구현들을 참조로 하여 이루어질 수 있는데, 이러한 구현들의 일부는 첨부된 도면들에 예시되어 있다. 그러나, 첨부된 도면들은 본 개시의 단지 전형적인 구현들을 도시하는 것이므로 본 개시의 범위를 제한하는 것으로 간주되지 않아야 한다는 것이 주목되어야 하는데, 이는 본 개시가 다른 균등하게 유효한 구현들을 허용할 수 있기 때문이다.

[0009] 도 1은, 본원에서 설명되는 구현들에 따라 막 층들을 형성하기 위해 활용될 수 있는 프로세싱 챔버의 개략적인 측면도를 도시한다.

[0010] 도 2a 내지 도 2b는, 본원에서 설명되는 구현들에 따라 박막들에 고 종횡비 피쳐 정의들을 형성하는 방

법의 흐름도를 도시한다.

[0011] 도 3a 내지 도 3c는, 도 2에서 도시된 방법을 활용하여 기판 상에 형성된 막 구조의 단면도들을 도시한다.

[0012] 도 4는, 실리콘 질화물 재료의 굴절률과 관련된, 실리콘 질화물 재료에 대한 건식 에칭 레이트(Å/초)를 도시하는 플롯(plot)이다.

[0013] 도 5a는, 종래 기술 방법들에 따른, 일정한 굴절률을 갖는 실리콘 질화물 함유 구조에 형성된 트렌치의 에칭 프로파일을 나타내는 마이크로그래프(micrograph)이다.

[0014] 도 5b는, 본원에서 설명되는 구현들에 따른, 굴절률 그레이디언트를 갖는 실리콘 질화물 함유 구조에 형성된 트렌치의 에칭 프로파일을 나타내는 마이크로그래프이다.

[0015] 도 5c는, 본원에서 설명되는 구현들에 따른, 굴절률 그레이디언트를 갖는 실리콘 질화물 함유 구조에 형성된 다른 트렌치의 에칭 프로파일을 나타내는 마이크로그래프이다.

[0016] 이해를 용이하게 하기 위하여, 도면들에 대해 공통인 동일한 엘리먼트들을 지시하기 위해 가능한 경우에 동일한 참조 번호들이 사용되었다. 일 구현에서 개시된 엘리먼트들이, 구체적인 설명 없이 다른 구현들에 대해 유익하게 사용될 수 있다는 것이 고려된다.

발명을 실시하기 위한 구체적인 내용

[0009] [0017] 다음의 개시는, 고 종횡비 피처들이 내부에 형성된 박막들, 박막들의 증착 및 그러한 박막들에서의 고 종횡비 피처의 형성을 위한 프로세스들, 및 전술된 프로세스들을 수행하기 위한 디바이스들을 설명한다. 본 개시의 다양한 구현들의 완전한 이해를 제공하기 위해, 특정한 세부사항들이 다음의 설명에서 그리고 도 1 내지 도 5에서 설명된다. 박막들의 증착과 종종 연관되는 잘-알려진 방법들 및 시스템들을 설명하는 다른 세부사항들은, 다양한 구현들의 설명을 불필요하게 불명료히 하는 것을 회피하기 위해, 다음의 개시에서 설명되지 않는다.

[0010] [0018] 본원에서 설명되는 세부사항들, 컴포넌트들, 및 다른 피처들 중 다수는, 단지, 특정한 구현들의 예시일 뿐이다. 따라서, 다른 구현들은, 본 개시의 범위 또는 사상으로부터 벗어나지 않으면서, 다른 세부사항들, 컴포넌트들, 및 피처들을 가질 수 있다. 부가하여, 아래에서 설명되는 세부사항들 중 몇몇이 없이, 본 개시의 추가적인 구현들이 실시될 수 있다.

[0011] [0019] 다른 증착 챔버들이 또한, 본 개시로부터 이익을 얻을 수 있고, 본원에서 개시되는 파라미터들은, 본원에서 설명되는 3D NAND 게이트 스택들을 형성하기 위해 사용되는 특정한 증착 챔버에 따라 변화될 수 있다. 예컨대, 다른 증착 챔버들은 더 큰 또는 더 작은 볼륨을 가질 수 있고, 그에 따라, Applied Materials, Inc.로부터 입수가 가능한 증착 챔버들에 대해 열거된 가스 유량들보다 더 많거나 또는 더 적은 가스 유량들을 요구할 수 있다.

[0012] [0020] 게이트 높이가 증가됨에 따라, 3D NAND 게이트 스택들은 매우 높은 종횡비 에칭을 수반한다. 에칭 기법들의 현재의 제한들로 인해, 수직 에칭 프로파일은 전형적으로, 게이트 스택 내로의 깊이가 증가됨에 따라, 테이퍼링(taper)한다. 본 발명자들은, 새로운(novel) 플라즈마-강화 화학 기상 증착(PECVD) 막 증착 방법에 의해 딥(deep) 트렌치들에서의 에칭 성능 저하를 보상하는 고유한 증착 스킴(scheme)을 고안하였다. 본 발명자들은, 증착-직후의(as-deposited) 막들(예컨대, 실리콘 질화물)의 다양한 특성들(예컨대, 막의 굴절률, 응력(stress), 막에서의 도펀트 농도)을 그레이딩(grading)함으로써, 건식 및 습식 에칭 레이트들 양자 모두에서의 차이들을 보상하여, 더 균일한 에칭 프로파일이 달성될 수 있다는 것을 발견하였다. 예컨대, 스택 높이가 증가됨에 따라, 1.90 내지 2.1로 굴절률을 그레이딩함으로써, 건식 및 습식 에칭 레이트들이 최대 20 %만큼 조절될 수 있고, 그에 따라, 에칭 프로파일이 더 균일하게 될 수 있다는 것이 발견되었다. 본원에서 3D NAND 디바이스들에 관하여 설명되지만, 본원에서 설명되는 구현들은 또한, 증가되는 두께에서 감소되는 에칭 프로파일 균일성을 나타내는 다른 증착-에칭 통합 스킴들에 대해 적용가능하다.

[0013] [0021] 도 1은, 본원에서 설명되는 구현들에 따라 막 층들을 형성하기 위해 활용될 수 있는 프로세싱 챔버(100)의 개략적인 측면도를 도시한다. 프로세싱 챔버(100)는, 챔버 바디(102), 챔버 바디(102) 내부에 배치된 기관 지지부(104), 및 챔버 바디(102)에 커플링되고 프로세싱 볼륨(120)에 기관 지지부(104)를 인클로징(enclosing)하는 덮개 어셈블리(106)를 특징으로 한다. 기관(302)은 개구(126)를 통해 프로세싱 볼륨(120)에

제공되고, 개구(126)는 통상적으로, 프로세싱을 위해 도어를 사용하여 밀봉될 수 있다. 기관 지지부(104)는, 화살표(145)에 의해 표시된 바와 같이, 기관 지지부(104)의 샤프트(144)가 위치한 축(147)을 따라 회전가능할 수 있다. 대안적으로, 기관 지지부(104)는, 증착 프로세스 동안에, 필요에 따라, 회전하기 위해 리프팅될 수 있다.

[0014] [0022] 플라즈마 프로파일 조절기(modulator)(111)가, 기관 지지부(104) 상에 배치된 기관(302)에 걸친 플라즈마 분배(distribution)를 제어하기 위해, 프로세싱 챔버(100)에 배치될 수 있다. 플라즈마 프로파일 조절기(111)는, 챔버 바디(102) 근처에 배치될 수 있고 덮개 어셈블리(106)의 다른 컴포넌트들로부터 챔버 바디(102)를 분리시킬 수 있는 제 1 전극(108)을 포함한다. 제 1 전극(108)은 덮개 어셈블리(106)의 일부일 수 있거나, 또는 개별적인 측벽 전극일 수 있다. 제 1 전극(108)은 환상 또는 링-형 부재일 수 있고, 링 전극일 수 있다. 제 1 전극(108)은, 프로세싱 볼륨(120)을 둘러싸는, 프로세싱 챔버(100)의 둘레 주위의 연속적인 루프일 수 있거나, 또는 원하는 경우에, 선택된 위치들에서 불연속적일 수 있다. 제 1 전극(108)은 또한, 메시(mesh) 전극 또는 천공된 링과 같은 천공된 전극일 수 있다. 제 1 전극(108)은 또한, 플레이트 전극, 예컨대 이차 가스 분배기일 수 있다.

[0015] [0023] 유전체 재료, 예컨대 세라믹 또는 금속 산화물, 예를 들어 알루미늄 산화물 및/또는 알루미늄 질화물일 수 있는 하나 또는 그 초과인 아이솔레이터(isolator)들(110a, 110b)(일괄적으로, 110)이 제 1 전극(108)과 접촉하고, 가스 분배기(112)로부터 그리고 챔버 바디(102)로부터 제 1 전극(108)을 전기적으로 그리고 열적으로 분리시킨다. 가스 분배기(112)는 프로세싱 볼륨(120) 내로의 프로세스 가스들의 진입을 허용하기 위한 개구들(118)을 특징으로 한다. 가스 분배기(112)는 전력의 제 1 소스(제 1 전력 소스)(142), 예컨대 RF 생성기, RF 전력 소스에 커플링될 수 있고, DC 전력, 펄스형 DC 전력, 및 펄스형 RF 전력이 또한 사용될 수 있다. 일 구현에서, 전력의 제 1 소스(142)는 RF 전력 소스이다.

[0016] [0024] 가스 분배기(112)는 전도성 가스 분배기 또는 비-전도성 가스 분배기일 수 있다. 가스 분배기(112)는 또한, 전도성 및 비-전도성 컴포넌트들로 제조될 수 있다. 예컨대, 가스 분배기(112)의 바디는 전도성일 수 있는 한편, 가스 분배기(112)의 페이스 플레이트는 비-전도성이다. 가스 분배기(112)는, 예컨대, 도 1에서 도시된 바와 같은 전력의 제 1 소스(142)에 의해 전력공급될 수 있거나, 또는 가스 분배기(112)는 접지에 커플링될 수 있다.

[0017] [0025] 제 1 전극(108)은, 프로세싱 챔버(100)의 접지 경로를 제어하는 제 1 튜닝 회로(128)에 커플링될 수 있다. 제 1 튜닝 회로(128)는 제 1 전자 센서(130) 및 제 1 전자 제어기(134)를 포함한다. 제 1 전자 제어기(134)는 가변 캐패시터 또는 다른 회로 엘리먼트(들)일 수 있거나, 또는 가변 캐패시터 또는 다른 회로 엘리먼트(들)를 포함할 수 있다. 제 1 튜닝 회로(128)는 하나 또는 그 초과인 인덕터들(132)일 수 있거나, 또는 하나 또는 그 초과인 인덕터들(132)을 포함할 수 있다. 제 1 튜닝 회로(128)는, 프로세싱 동안에, 프로세싱 볼륨(120)에 존재하는 플라즈마 조건들 하에서의 가변 또는 제어가능한 임피던스를 가능하게 하는 임의의 회로일 수 있다. 도 1의 구현에서, 제 1 튜닝 회로(128)는, 제 1 전자 센서(130)와 접지 사이에서 병렬로 커플링된, 제 1 회로 레그(leg)와 제 2 회로 레그를 특징으로 한다. 제 1 회로 레그는 제 1 인덕터(132A)를 포함한다. 제 2 회로 레그는, 제 1 전자 제어기(134)와 직렬로 커플링된 제 2 인덕터(132B)를 포함한다. 제 2 인덕터(132B)는, 제 1 전자 센서(130)에 제 1 및 제 2 회로 레그들 양자 모두를 연결시키는 노드와 제 1 전자 제어기(134) 사이에 배치될 수 있다. 제 1 전자 센서(130)는 전압 또는 전류 센서일 수 있고, 프로세싱 볼륨(120) 내부의 플라즈마 조건들의 페루프 제어의 정도를 제공하기 위해 제 1 전자 제어기(134)에 커플링될 수 있다.

[0018] [0026] 제 2 전극(122)은 기관 지지부(104)에 커플링될 수 있다. 제 2 전극(122)은 기관 지지부(104) 내에 임베딩될(embedded) 수 있거나, 또는 기관 지지부(104)의 표면에 커플링될 수 있다. 제 2 전극(122)은 플레이트, 천공된 플레이트, 메시, 와이어 스크린(wire screen), 또는 전도성 엘리먼트들의 임의의 다른 분배된 배열일 수 있다. 제 2 전극(122)은 튜닝 전극일 수 있고, 예컨대, 기관 지지부(104)의 샤프트(144)에 배치된 50 옴(Ω)과 같은 선택된 저항을 갖는 케이블과 같은 도관(146)에 의해 제 2 튜닝 회로(136)에 커플링될 수 있다. 제 2 튜닝 회로(136)는, 제 2 가변 캐패시터일 수 있는 제 2 전자 제어기(140) 및 제 2 전자 센서(138)를 가질 수 있다. 제 2 전자 센서(138)는 전압 또는 전류 센서일 수 있고, 프로세싱 볼륨(120)에서의 플라즈마 조건들에 대한 추가적인 제어를 제공하기 위해 제 2 전자 제어기(140)에 커플링될 수 있다.

[0019] [0027] 바이어스 전극 및/또는 정전 척킹(chucking) 전극일 수 있는 제 3 전극(124)이 기관 지지부(104)에 커플링될 수 있다. 제 3 전극은, 임피던스 정합 회로일 수 있는 필터(148)를 통해 전력의 제 2 소스(제 2 전력 소스)(150)에 커플링될 수 있다. 전력의 제 2 소스(150)는 DC 전력, 펄스형 DC 전력, RF 바이어스 전력, 펄스형

RF 소스 또는 바이어스 전력, 또는 이들의 조합일 수 있다. 일 구현에서, 전력의 제 2 소스(150)는 RF 바이어스 전력이다.

[0020] [0028] 도 1의 기관 지지부(104) 및 덮개 어셈블리(106)는, 플라즈마 또는 열 프로세싱을 위한 임의의 프로세싱 챔버와 함께 사용될 수 있다. 덮개 어셈블리(106) 및 기관 지지부(104)가 유익하게 사용될 수 있는 플라즈마 프로세싱 챔버의 일 예는, 캘리포니아, 산타클라라에 위치한 Applied Materials, Inc.로부터 입수가 가능한 PRODUCER[®] 또는 PRECISION[®] 플랫폼 및 챔버들이다. 다른 제조자들로부터의 챔버들이 또한, 위에서 설명된 컴포넌트들과 함께 사용될 수 있다.

[0021] [0029] 동작 시에, 프로세싱 챔버(100)는 프로세싱 볼륨(120)에서의 플라즈마 조건들의 실시간 제어를 제공한다. 기관(302)이 기관 지지부(104) 상에 배치되고, 프로세스 가스들이, 임의의 원하는 유동 플랜(plan)에 따라, 유입구(114)를 사용하여, 덮개 어셈블리(106)를 통해 유동된다. 가스들은 배출구(152)를 통해 프로세싱 챔버(100)에서 빠져나간다. 프로세싱 볼륨(120)에서 플라즈마를 설정(establish)하기 위해, 가스 분배기(112)에 전력이 커플링된다. 기관은, 원하는 경우에, 제 3 전극(124)을 사용하여, 전기 바이어스를 받을 수 있다.

[0022] [0030] 프로세싱 볼륨(120)에서 플라즈마를 에너지이징할 시에, 제 1 전극(108)과 플라즈마 사이에 전위차가 설정된다. 또한, 제 2 전극(122)과 플라즈마 사이에 전위차가 설정된다. 그 후에, 전자 제어기들(134, 140)이, 2개의 튜닝 회로들(128 및 136)에 의해 표현된 접지 경로들의 유동 특성들을 조정하기 위해 사용될 수 있다. 중심으로부터 에지까지의 플라즈마 밀도 균일성 및 증착 레이트의 독립적인 제어를 제공하기 위해, 제 1 튜닝 회로(128) 및 제 2 튜닝 회로(136)에 세트 포인트가 전달될 수 있다. 전자 제어기들이 양자 모두 가변 캐패시터들인 구현에서, 전자 센서들은 독립적으로, 증착 레이트를 최대화하고 두께 불-균일성을 최소화하기 위해, 가변 캐패시터들을 조정할 수 있다.

[0023] [0031] 튜닝 회로들(128, 136) 각각은, 각각의 전자 제어기들(134, 140)을 사용하여 조정될 수 있는 가변 임피던스를 갖는다. 전자 제어기들(134, 140)이 가변 캐패시터들인 경우에, 가변 캐패시터들 각각의 캐패시턴스 범위, 및 제 1 인덕터(132A) 및 제 2 인덕터(132B)의 인덕턴스들은, 플라즈마의 주파수 및 전압 특성들에 따라, 각각의 가변 캐패시터의 캐패시턴스 범위에서 최소치를 갖는 임피던스 범위를 제공하도록 선택된다. 따라서, 제 1 전자 제어기(134)의 캐패시턴스가 최소 또는 최대인 경우에, 제 1 튜닝 회로(128)의 임피던스는 높고, 그에 따라, 기관 지지부에 걸친 최소의 에어리얼(aerial)(측방향(lateral)) 커버리지를 갖는 플라즈마 형상이 야기된다. 제 1 전자 제어기(134)의 캐패시턴스가 제 1 튜닝 회로(128)의 임피던스를 최소화하는 값에 접근하는 경우에, 플라즈마의 에어리얼 커버리지가 최대로 성장되어, 기관 지지부(104)의 전체 작업 영역을 유효하게 커버링한다. 제 1 전자 제어기(134)의 캐패시턴스가 최소 임피던스 세팅으로부터 벗어남에 따라, 플라즈마 형상이 챔버 벽들로부터 축소되고, 기관 지지부의 에어리얼 커버리지가 감소된다. 제 2 전자 제어기(140)는, 제 2 전자 제어기(140)의 캐패시턴스가 변화됨에 따라, 기관 지지부에 걸친 플라즈마의 에어리얼 커버리지를 증가시키고 감소시키는 유사한 효과를 갖는다.

[0024] [0032] 전자 센서들(130, 138)은, 페루프로 각각의 회로들(128, 136)을 튜닝하기 위해 사용될 수 있다. 사용되는 센서의 타입에 따라, 전류 또는 전압에 대한 세트 포인트가 각각의 센서에 설치될 수 있고, 세트 포인트로부터 벗어나는 것을 최소화하기 위해, 각각의 개별 전자 제어기(134, 140)에 대한 조정을 결정하는 제어 소프트웨어가 센서에 제공될 수 있다. 이러한 방식으로, 플라즈마 형상이 선택될 수 있고, 프로세싱 동안에, 동적으로 제어될 수 있다. 전술된 논의가, 가변 캐패시터들인 전자 제어기들(134, 140)에 기초하지만, 조정가능한 특성을 갖는 임의의 전자 컴포넌트가, 조정가능한 임피던스를 튜닝 회로들(128 및 136)에 제공하기 위해 사용될 수 있다는 것을 주목해야 한다.

[0025] [0033] 도 2a 및 도 2b는, 본원에서 설명되는 구현들에 따른, 박막들에 고 종횡비 피쳐 정의들을 형성하는 방법(200)의 흐름도를 도시한다. 고 종횡비 피쳐 정의들은, 적어도 약 5:1 또는 그 초과(예컨대, 종횡비 of 6:1 또는 그 초과, 7:1 또는 그 초과, 8:1 또는 그 초과, 9:1 또는 그 초과, 10:1 또는 그 초과, 11:1 또는 그 초과, 12:1, 16:7 또는 그 초과, 또는 심지어 약 10:1 내지 약 20:1)의 고 높이 대 폭 종횡비들(홀의 폭에 의해 제한된 베어(bare) 홀의 높이의 비율)을 갖는 피쳐들을 포함한다. 본원에서 설명되는 구현들을 사용하여 형성될 수 있는 예시적인 피쳐 정의들은, 비아들, 트렌치들, 라인들, 콘택 홀들, 스루-홀들, 또는 고 비율 콘택 플러그(contact plug)들과 같은, 반도체, 솔라(solar), 또는 다른 전자 디바이스들에서 활용되는 다른 피쳐 정의들을 포함한다.

[0026] [0034] 도 3a 내지 도 3c는, 도 2a 및 도 2b에서 도시된 방법을 활용하여 기관(302) 상에서 고 종횡비 피쳐들이

내부에 형성된 막 구조(300)의 단면도를 도시한다. 일 구현에서, 막 구조(300)는, 3차원(3D) NAND 반도체 애플리케이션들을 위한 게이트 구조들을 형성하기 위해 활용될 수 있다. 3차원(3D) NAND 반도체 애플리케이션들의 제조 시에, 회로 밀도를 증가시키기 위해, 구조들의 계단-형 산화물-질화물 쌍들이 종종, 고 종횡비 게이트 스택 NAND 셀들에 대해 활용된다.

[0027] [0035] 막 구조(300)는 기판(302)의 선택적인 베이스 층(304) 상에 형성될 수 있다. 선택적인 베이스 층(304)은 제 1 재료(304a) 및 제 2 재료(304b)를 포함하는 패턴닝된 층일 수 있다. 막 구조(300)는, 선택적인 베이스 층(304) 상에 순차적으로 형성된 복수의 재료 층 스택들(306₁, 306₂, 306₃...306_n)(일괄적으로, 306)을 갖는다. 각각의 재료 층 스택(306)은, 제 1 막 층(308₁, 308₂, 308₃...308_n)(일괄적으로, 308), 및 그 제 1 막 층 상에 형성된 제 2 막 층(310₁, 310₂, 310₃...310_n)(일괄적으로, 310)을 포함할 수 있고, 그에 따라, 막 구조(300)는, 교번하여 형성된, 복수의 제 1 막 층들(308) 및 제 2 막 층들(310)을 포함한다. 막들의 다양한 막 특성들(예컨대, 막의 굴절률, 응력, 막에서의 도펀트 농도)이, 피쳐 깊이가 증가됨에 따른 건식 및 습식 에칭 레이트들에서의 차이들을 보상함으로써, 더 균일한 에칭 프로파일을 달성하기 위해, 막 구조(300) 전반에 걸쳐 그레이딩될 수 있다. 일 구현에서, 복수의 제 1 막 층들(308)은 실리콘 산화물 층들이고, 복수의 제 2 막 층들(310)은 실리콘 질화물 층들이다. 복수의 재료 층 스택들(306)은, 프로세싱 챔버(100)와 같은 하나의 프로세싱 챔버에서 PECVD 증착 기법들에 의해 형성될 수 있다.

[0028] [0036] 추가적인 구현들에서, 제 1 재료 층/제 2 재료 층 스택들은, 산화물/실리콘, 실리콘/도핑된 실리콘, 또는 실리콘/질화물일 수 있다. 재료들의 모든 이러한 조합들은, BiCS(Bit-Cost Scalable), TCAT(Terabit Cell Array Transistor), 및 다른 3D 메모리 구조들에서 사용될 수 있다. 다른 구현들에서, 제 1 재료 층/제 2 재료 층 스택들은 재료들의 다른 조합들일 수 있다. 기판(302) 상의 제 1 막 층들(308) 및 제 2 막 층들(310)의 증착 순서는 또한, 반대로 될 수 있다.

[0029] [0037] 층들의 수는, 제조되는 메모리 디바이스에 따라 좌우될 수 있다. 일 실시예에서, 스택 수들은 8x일 수 있거나, 또는 16x일 수 있거나, 또는 24x일 수 있거나, 또는 한층 더 높을 수 있고, 여기에서, 8개, 16개, 24개, 32개, 64개, 128개, 또는 그 초과와 층들의 각각의 스택은 하나의 메모리 디바이스에 대응한다. 상이한 재료들의 2개의 층들이 각각의 스택을 형성하고, 따라서, 8x 스택 수에 대한 층들의 대응하는 수는 16일 수 있고, 16x 스택 수는 32개의 층들을 가질 수 있고, 24x 스택 수는 48개의 층들을 가질 수 있고, 더 높은 스택 수는, 각각, 더 높은 수의 층들을 가질 수 있다.

[0030] [0038] 방법(200)은, 도 3a에서 도시된 기판(302)과 같은 기판이, 도 1에서 도시된 프로세싱 챔버(100) 또는 다른 적합한 프로세싱 챔버와 같은 프로세싱 챔버 내에 위치되는 동작(210)에서 시작된다. 도 3a에서 도시된 기판(302)은 기판(302) 상에 형성된 선택적인 베이스 층(304)을 포함한다. 선택적인 베이스 층(304)이 존재하지 않는 구현들에서, 막 구조(300)는 기판(302)의 표면 바로 위에 형성될 수 있다. 일 구현에서, 기판(302)은 실질적으로 평탄한 표면, 평탄하지 않은 표면, 또는 위에 구조가 형성된 실질적으로 평탄한 표면을 가질 수 있다. 기판(302)은, 재료, 예컨대, 결정질 실리콘(예컨대, Si<100> 또는 Si<111>), 실리콘 산화물, 스트레인드(strained) 실리콘, 실리콘 게르마늄, 도핑된 또는 도핑되지 않은 폴리실리콘, 도핑된 또는 도핑되지 않은 실리콘 웨이퍼들, 및 패턴닝된 또는 패턴닝되지 않은 웨이퍼들, SOI(silicon on insulator), 탄소 도핑된 실리콘 산화물들, 실리콘 질화물, 도핑된 실리콘, 게르마늄, 갈륨 비소, 유리, 사파이어일 수 있다. 기판(302)은, 직사각형 또는 정사각형 패들들, 뿐만 아니라, 200 mm 또는 300 mm 직경의 웨이퍼들과 같이 다양한 치수들을 가질 수 있다. 다르게 언급되지 않는 한, 본원에서 설명되는 구현들 및 예들은, 200 mm 직경, 300 mm 직경, 또는 450 mm 직경을 갖는 기판들 상에서 실시된다. 일 구현에서, 기판(302)은 결정질 실리콘 기판일 수 있다.

[0031] [0039] 동작(220)에서, 제 1 재료 층 스택(306₁)이 기판(302) 상에 형성된다. 제 1 재료 층 스택(306₁)은, 제 1 막 층(308₁), 및 제 1 막 층(308₁) 상에 형성된 제 2 막 층(310₁)을 포함한다. 제 2 막 층(310₁)은 제 1 굴절률을 갖는다. 본 구현에서, 다양한 막 층들의 굴절률이, 막 구조 전반에 걸쳐 변화되지만, 본원에서 설명되는 구현들이 또한, 막 구조(300) 내에서 다른 막 특성들(예컨대, 막 응력, 도펀트 농도)을 변화시키는 것에 대해 적용가능하다는 것이 이해되어야 한다.

[0032] [0040] 동작(222)에서, 제 1 막 층(308₁)이 기판(302) 상에 형성된다. 제 1 막 층(308₁)은, 실리콘 산화물-함유 층, 실리콘 질화물-함유 층, 실리콘-함유 층, 예컨대 비정질 실리콘, 다결정질 실리콘, 또는 임의의 적합한 결정질 실리콘 층들일 수 있다. 도 3a에서 도시된 구현에서, 제 1 재료 층 스택(306₁)은, 실리콘 산화물 층과

같은 실리콘 산화물-함유 층이다.

- [0033] [0041] 동작(222) 동안에, 증착 가스 혼합물이 프로세싱 챔버 내로 제공된다. 증착 가스 혼합물은 실리콘-함유 가스 및 반응 가스를 포함할 수 있다. 실리콘-함유 가스의 적합한 예들은, 실란(SiH_4), 디실란(Si_2H_6), 실리콘 사플루오르화물(SiF_4), 실리콘 사염화물(SiCl_4), 디클로로실란(SiH_2Cl_2), 테트라에틸 오르토실리케이트(TEOS) 등을 포함하지만 이에 제한되지는 않는다.
- [0034] [0042] 반응 가스는, 실리콘 산화물-함유 층을 형성하기 위한 산소-함유 가스, 실리콘 질화물 함유 층을 형성하기 위한 질소-함유 가스, 또는 실리콘 탄화물 함유 층을 형성하기 위한 탄소 함유 가스일 수 있다. 산소-함유 가스의 적합한 예들은 O_2 , N_2O , NO_2 , O_3 , H_2O 등을 포함한다. 질소-함유 가스의 적합한 예들은 N_2 , N_2O , NO_2 , NH_3 , N_2H_2 등을 포함한다. 탄소 함유 가스의 적합한 예들은 CO_2 , CO , CH_4 , CF_4 , 다른 적합한 탄소 계 폴리머 가스들 등을 포함한다.
- [0035] [0043] 본원에서 도시되는 일 구현에서, 도 3a에서 도시된, 실리콘 산화물-함유 층과 같은 제 1 막 층(308₁)을 형성하기 위해, 실리콘-함유 가스는 TEOS이고, 반응 가스는 N_2O 와 같은 산소-함유 가스이다.
- [0036] [0044] 일 구현에서, TEOS 가스와 같은 실리콘-함유 가스와 산소-함유 가스(O_2 , N_2O , NO_2 , O_3 , 및 H_2O)와 같은 반응 가스의 가스 비율은, 가스 혼합물의 반응 거동(behavior)을 제어함으로써, 형성되는 실리콘 막에서 원하는 비율의 산소 엘리먼트들을 허용하기 위해, 유지된다. 일 구현에서, 실리콘-함유 가스(예컨대, TEOS 가스)는, 300 mm 기판에 대해, 약 500 mgm 내지 약 3500 mgm(예컨대, 약 500 mgm 내지 약 1000 mgm; 약 1100 mgm 내지 약 2000 mgm; 약 2100 mgm 내지 약 3500 mgm)의 유량으로 공급될 수 있고, 산소-함유 가스(예컨대, N_2O)는, 300 mm 기판에 대해, 약 500 sccm 내지 약 9000 sccm(예컨대, 약 500 sccm 내지 약 2500 sccm; 약 3000 sccm 내지 약 6000 sccm; 약 6500 sccm 내지 약 9500 sccm)의 유량으로 공급될 수 있다. TEOS 가스와 N_2O 가스의 가스 혼합물은, 약 1:1 내지 약 1:150, 예컨대 약 1:1 내지 약 1:120, 예를 들어 약 1:100의 TEOS 대 N_2O 의 비율로 공급될 수 있다.
- [0037] [0045] 대안적으로, 하나 또는 그 초과 of 비활성 가스들이, 프로세싱 챔버(100)에 제공되는 증착 가스 혼합물에 포함될 수 있다. 비활성 가스는, 노블(noble) 가스, 예컨대 Ar, He 및 Xe, 또는 N_2 등을 포함할 수 있지만 이에 제한되지는 않는다. 비활성 가스는, 300 mm 기판에 대해, 약 0 sccm 내지 약 5000 sccm(약 100 sccm 내지 약 1500 sccm; 약 2000 sccm 내지 약 4000 sccm)의 유량으로 프로세싱 챔버(100)에 공급될 수 있다. 비활성 가스는, 약 1:1 내지 약 1:150의 비활성 가스 대 TEOS 가스의 유동 비율로 프로세싱 챔버(100)에 공급될 수 있다. 몇몇 구현들에서, 비활성 가스의 유동은, 프로세스 챔버 내로 증착 가스의 유동을 공급하기 전에, 개시될 수 있다.
- [0038] [0046] 본원에서 설명되는 일 구현에서, 도 3a에서 도시된, 실리콘 산화물-함유 층과 같은 제 1 막 층(308₁)을 형성하기 위해, 실리콘-함유 가스는 TEOS이고, 반응 가스는 N_2O 와 같은 산소-함유 가스이고, 비활성 가스는 아르곤이다.
- [0039] [0047] 증착 가스 혼합물이 프로세싱 챔버 내로 공급되면서, 수개의 프로세스 파라미터들이 조절된다. 일 구현에서, 증착 프로세싱 챔버에서의 프로세스 가스 혼합물의 압력은 약 10 mTorr 내지 약 15 Torr로 조절되고, 기판 온도는 섭씨 약 200 도 내지 섭씨 약 700 도로 유지된다.
- [0040] [0048] 동작(222) 동안에, 프로세싱 챔버 내로 증착 가스 혼합물을 공급하면서, RF 소스 전력이, 전력의 제 1 소스(142)(도 1에서 도시됨)에 의해 생성될 수 있고, 플라즈마에서의 반응성 종으로 증착 가스 혼합물을 해리(dissociating)시키는 것을 보조하기 위해 가스 혼합물에 커플링될 수 있다. 몇몇 구현들에서, RF 소스 전력은, 프로세스 챔버 내로 증착 가스를 공급하기 전에, 생성될 수 있다.
- [0041] [0049] RF 소스 및/또는 바이어스 전력은, 플라즈마가 지속됨(sustained) 수 있도록, 프로세싱 볼륨(120) 내의 증착 가스 혼합물을 에너지화한다. 일 구현에서, 전력의 제 1 소스(142)는, 0.3 MHz 내지 약 14 MHz, 예컨대 약 13.56 MHz의 주파수에서의 RF 전력을 제공하도록 동작될 수 있다. 전력의 제 1 소스(142)는, 약 10 와트 내지 약 5000 와트(예컨대, 약 300 와트 내지 약 1500 와트; 약 500 와트)에서의 RF 전력을 생성할 수 있다. 몇몇 구현들에서, RF 소스 전력에 부가하여, 전력의 제 2 소스(150)(도 1에서 도시됨)에 의해 제공되는 RF 바이어스 전력이 또한, 증착 가스 혼합물을 해리시켜서 플라즈마를 형성하는 것을 보조하기 위해, 증착 프로세스 동안

에, 활용될 수 있다. 일 구현에서, 전력의 제 1 소스(142)는, 0.3 MHz 내지 약 14 MHz, 예컨대 약 13.56 MHz의 주파수에서의 RF 전력을 제공하도록 동작될 수 있다. RF 바이어스 전력은, 300 kHz의 주파수에서 약 0 와트 내지 약 1000 와트(예컨대, 약 10 와트 내지 약 100 와트)로 공급될 수 있다. 일 구현에서, RF 바이어스 전력은, 약 500 Hz 내지 약 10 kHz의 RF 주파수에서 약 10 내지 약 95 퍼센트의 듀티 사이클로 펄싱될 수 있다.

[0042] [0050] 게다가, 기관(302)에 걸친 플라즈마의 분배 및 프로파일을 제어하는 것을 보조하기 위해, 플라즈마 프로파일 조절기(111)에 전류/전압이 공급될 수 있다. 일 구현에서, 프로세싱 볼륨(120)에서 생성되는 플라즈마를 제어하는 것을 보조하기 위해, (예컨대, 제 1 전극(108)에 공급되는) 측벽 튜닝 전극 전류 타겟이 약 0.5 암페어 내지 약 40 암페어, 예컨대 약 6 암페어로 세팅되고, (예컨대, 제 2 전극(122)에 공급되는) 기관 지지부 튜닝 전극 전류 타겟이 약 0.5 암페어 내지 약 40 암페어, 예컨대 약 6 암페어로 세팅된다.

[0043] [0051] 몇몇 구현들에서, 동작(222) 동안에, 약 300 와트 내지 약 1500 와트의 고 주파수 RF와 약 0 와트 내지 약 1000 와트의 저 주파수 RF의 조합이, 증착 프로세스 동안에, 인가될 수 있다.

[0044] [0052] 원하는 두께의 제 1 막 층(308₁)이 증착된 후에, 그러면, 증착 프로세스가 종료될 수 있다. 일 구현에서, 제 1 막 층(308₁)은 약 10 nm 내지 약 60 nm, 예컨대 약 30 nm의 두께를 가질 수 있다. 제 1 막 층(308₁)이 실리콘 산화물 층과 같은 실리콘 산화물-함유 층인 구현에서, 실리콘 산화물-함유 층은 약 0 MPa 내지 약 +1000 MPa의 응력 범위를 가질 수 있다.

[0045] [0053] 프로세싱 챔버로부터 잔여의 가스들 또는 증착 부산물들을 펌핑/퍼징하기 위한 선택적인 펌프/퍼지 프로세스가, 제 1 막 층(308₁) 상에 제 2 막 층(310₁)을 형성하기 전에, 수행될 수 있다. 동작(222) 동안에 비활성 가스가 사용되는 몇몇 구현들에서, 비활성 가스는, RF 전력이 인가되거나 또는 인가되지 않으면서, 퍼지 가스로서 사용될 수 있다.

[0046] [0054] 동작(224)에서, 제 2 막 층(310₁)이 제 1 막 층(308₁) 상에 형성된다. 제 2 막 층(310₁)은, 실리콘 산화물-함유 층, 실리콘 질화물-함유 층, 실리콘-함유 층, 예컨대 비정질 실리콘, 다결정질 실리콘, 또는 임의의 적합한 결정질 실리콘 층들일 수 있다. 도 3a에서 도시된 구현에서, 제 2 막 층(310₁)은 실리콘 질화물 층과 같은 실리콘 질화물 함유 층이다.

[0047] [0055] 동작(224) 동안에, 증착 가스 혼합물이 프로세싱 챔버 내로 제공된다. 증착 가스 혼합물은 실리콘-함유 가스 및 반응 가스를 포함할 수 있다. 실리콘-함유 가스의 적합한 예들은, 실란(SiH₄), 디실란(Si₂H₆), 실리콘 사플루오르화물(SiF₄), 실리콘 사염화물(SiCl₄), 디클로로실란(SiH₂Cl₂), 테트라에틸 오르토실리케이트(TEOS) 등을 포함하지만 이에 제한되지는 않는다.

[0048] [0056] 반응 가스는, 실리콘 산화물-함유 층을 형성하기 위한 산소-함유 가스, 실리콘 질화물 함유 층을 형성하기 위한 질소-함유 가스, 또는 실리콘 탄화물 함유 층을 형성하기 위한 탄소 함유 가스일 수 있다. 산소-함유 가스의 적합한 예들은 O₂, N₂O, NO₂, O₃, H₂O 등을 포함한다. 질소-함유 가스의 적합한 예들은 N₂, N₂O, NO₂, NH₃, N₂H₂ 등을 포함한다. 탄소 함유 가스의 적합한 예들은 CO₂, CO, CH₄, CF₄, 다른 적합한 탄소 계 폴리머 가스들 등을 포함한다.

[0049] [0057] 본원에서 도시되는 일 구현에서, 도 3a에서 도시된 바와 같은, 실리콘 질화물 함유 층과 같은 제 2 막 층(310₁)을 형성하기 위해, 실리콘-함유 가스는 SiH₄이고, 반응 가스는 NH₃ 및 N₂와 같은 질소-함유 가스이다.

[0050] [0058] 일 구현에서, SiH₄ 가스와 같은 실리콘-함유 가스와 질소-함유 가스(N₂, N₂O, 또는 NH₃)와 같은 반응 가스의 가스 비율은, 가스 혼합물의 반응 거동을 제어함으로써, 형성되는 실리콘 막에서 원하는 비율의 질소 엘리먼트들을 허용하기 위해, 유지된다. 일 구현에서, 실리콘-함유 가스(예컨대, SiH₄ 가스)는, 300 mm 기관에 대해, 약 30 sccm 내지 약 400 sccm(예컨대, 약 30 sccm 내지 약 100 sccm; 약 150 sccm 내지 약 300 sccm)의 유량으로 공급될 수 있고, 질소-함유 가스(예컨대, NH₃)는, 300 mm 기관에 대해, 약 200 sccm 내지 약 9000 sccm(예컨대, 약 200 sccm 내지 약 7000 sccm; 약 500 sccm 내지 약 2500 sccm; 약 3000 sccm 내지 약 6000 sccm; 약 6500 sccm 내지 약 9500 sccm)의 유량으로 공급될 수 있다. SiH₄ 가스와 NH₃ 가스의 가스 혼합물은, 약 1:1 내지 약 1:150, 예컨대 약 1:1 내지 약 1:120, 예를 들어 약 1:100의 SiH₄ 대 NH₃의 비율로 공급될 수 있다.

[0051] [0059] 대안적으로, 하나 또는 그 초과 비활성 가스들이, 프로세싱 챔버(100)에 제공되는 증착 가스 혼합물에

포함될 수 있다. 비활성 가스는, 노블 가스, 예컨대 Ar, He 및 Xe, 또는 N₂ 등을 포함할 수 있지만 이에 제한되지는 않는다. 비활성 가스는, 300 mm 기판에 대해, 약 0 sccm 내지 약 5000 sccm(약 100 sccm 내지 약 1500 sccm; 약 2000 sccm 내지 약 4000 sccm)의 유량으로 프로세싱 챔버(100)에 공급될 수 있다. 비활성 가스는, 약 1:1 내지 약 1:150의 비활성 가스 대 TEOS 가스의 유동 비율로 프로세싱 챔버(100)에 공급될 수 있다. 몇몇 구현들에서, 비활성 가스의 유동은, 프로세스 챔버 내로 증착 가스의 유동을 공급하기 전에, 개시될 수 있다.

[0052] [0060] 본원에서 설명되는 일 구현에서, 도 3a에서 도시된, 실리콘 산화물-함유 층과 같은 제 2 막 층(310₁)을 형성하기 위해, 실리콘-함유 가스는 SiH₄이고, 반응 가스는 NH₃ 및 N₂와 같은 질소-함유 가스이고, 비활성 가스는 아르곤이다.

[0053] [0061] 증착 가스 혼합물이 프로세싱 챔버 내로 공급되면서, 수개의 프로세스 파라미터들이 조절된다. 일 구현에서, 증착 프로세싱 챔버에서의 프로세스 가스 혼합물의 압력은 약 10 mTorr 내지 약 15 Torr로 조절되고, 기판 온도는 섭씨 약 200 도 내지 섭씨 약 700 도로 유지된다.

[0054] [0062] 동작(222) 동안에, 프로세싱 챔버 내로 증착 가스 혼합물을 공급하면서, RF 소스 전력이, 전력의 제 1 소스(142)(도 1에서 도시됨)에 의해 생성될 수 있고, 플라즈마에서의 반응성 종으로 증착 가스 혼합물을 해리시키는 것을 보조하기 위해 가스 혼합물에 커플링될 수 있다.

[0055] [0063] RF 소스 및/또는 바이어스 전력은, 플라즈마가 지속될 수 있도록, 프로세싱 볼륨(120) 내의 증착 가스 혼합물을 에너지시킨다. 일 구현에서, 전력의 제 1 소스(142)는, 0.3 MHz 내지 약 14 MHz, 예컨대 약 13.56 MHz의 주파수에서의 RF 전력을 제공하도록 동작될 수 있다. 전력의 제 1 소스(142)는, 약 10 와트 내지 약 5000 와트(예컨대, 약 300 와트 내지 약 1500 와트; 약 500 와트)에서의 RF 전력을 생성할 수 있다. 몇몇 구현들에서, RF 소스 전력에 부가하여, 전력의 제 2 소스(150)(도 1에서 도시됨)에 의해 제공되는 RF 바이어스 전력이 또한, 증착 가스 혼합물을 해리시켜서 플라즈마를 형성하는 것을 보조하기 위해, 증착 프로세스 동안에, 활용될 수 있다. 일 구현에서, 전력의 제 1 소스(142)는, 0.3 MHz 내지 약 14 MHz, 예컨대 약 13.56 MHz의 주파수에서의 RF 전력을 제공하도록 동작될 수 있다. RF 바이어스 전력은, 300 kHz의 주파수에서 약 0 와트 내지 약 1000 와트(예컨대, 약 10 와트 내지 약 100 와트)로 공급될 수 있다. 일 구현에서, RF 바이어스 전력은, 약 500 Hz 내지 약 10 kHz의 RF 주파수에서 약 10 내지 약 95 퍼센트의 듀티 사이클로 펄스될 수 있다.

[0056] [0064] 게다가, 기판(302)에 걸친 플라즈마의 분배 및 프로파일을 제어하는 것을 보조하기 위해, 플라즈마 프로파일 조절기(111)에 전류/전압이 공급될 수 있다. 일 구현에서, 프로세싱 볼륨(120)에서 생성되는 플라즈마를 제어하는 것을 보조하기 위해, (예컨대, 제 1 전극(108)에 공급되는) 측벽 튜닝 전극 전류 타겟이 약 0.5 암페어 내지 약 40 암페어, 예컨대 약 6 암페어로 세팅되고, (예컨대, 제 2 전극(122)에 공급되는) 기판 지지부 튜닝 전극 전류 타겟이 약 0.5 암페어 내지 약 40 암페어, 예컨대 약 6 암페어로 세팅된다.

[0057] [0065] 원하는 두께의 제 2 막 층(310₁)이 증착된 후에, 그러면, 증착 프로세스가 종료될 수 있다. 일 구현에서, 제 2 막 층(310₁)은 약 10 nm 내지 약 60 nm, 예컨대 약 30 nm의 두께를 가질 수 있다. 제 2 막 층(310₁)이 실리콘 질화물 층과 같은 실리콘 질화물 함유 층인 구현에서, 실리콘 질화물 함유 층은 약 0 MPa 내지 약 1000 MPa의 응력 범위를 가질 수 있다. 제 2 막 층(310₁)은 약 1.85 내지 약 2.1의 굴절률(예컨대, 약 1.85 내지 약 1.90의 굴절률; 약 1.90의 굴절률)을 갖는다.

[0058] [0066] 프로세싱 챔버로부터 잔여의 가스들 또는 증착 부산물들을 펌핑/퍼징하기 위한 선택적인 펌프/퍼지 프로세스가, 제 2 막 층(310₁)을 형성한 후에, 수행될 수 있다. 동작(224) 동안에 비활성 가스가 사용되는 몇몇 구현들에서, 비활성 가스는, RF 전력이 인가되거나 또는 인가되지 않으면서, 퍼지 가스로서 사용될 수 있다.

[0059] [0067] 도 2의 동작들(222 및 224)은, 원하는 두께의 제 1 재료 층 스택(306₁)이 달성될 때까지, 제 1 막 층들(308₁) 및 제 2 막 층들(310₁)을 교번시키면서, 재료 층 스택(306₁)을 형성하기 위해, 연속적으로 수행될 수 있다. 제 1 막 층(308₁)이 실리콘 산화물 층이고, 제 2 막 층(310₁)이 실리콘 질화물 층인 일 구현에서, 도 2의 방법(200)은, 프로세싱 챔버(100)로부터 기판(302)을 제거하지 않으면서(예컨대, 진공을 파괴(breaking)하지 않으면서), 상이한 조성들을 갖는 막 층들(308₁, 310₁)을 형성하기 위해, 상이한 증착 가스 혼합물들을 스위칭함으로써, 수행될 수 있다.

[0060] [0068] 예컨대, 막 재료 층 스택(306₁)은, 먼저, 실리콘 산화물 층과 같은 제 1 막 층(308₁)을 형성하기 위해,

(동작(222)에서 조절되는) 프로세스 파라미터들의 제 1 세트와 함께, 제 1 증착 가스 혼합물을 공급함으로써, 형성될 수 있다. 제 1 증착 가스 혼합물은 적어도 실리콘-함유 가스 및 산소-함유 가스를 포함할 수 있다. 제 1 막 층(308₁)의 두께가 도달된 후에, 제 1 증착 가스 혼합물은, 실리콘 질화물 층과 같은 제 2 막 층(310₁)을 형성하기 위해, 프로세스 파라미터들의 제 2 세트와 함께, 제 2 증착 가스 혼합물로 스위칭될 수 있다. 제 2 증착 가스 혼합물은 적어도 실리콘-함유 가스 및 질소-함유 가스를 포함할 수 있다. 제 1 및 제 2 증착 가스 혼합물들 간의 스위칭은 선택적으로, 기관(302) 상에 다음 막 층을 형성하기 전에, 프로세싱 챔버로부터 잔여의 가스들 또는 증착 부산물들을 펌핑/퍼지하기 위한 펌프/퍼지 프로세스를 가질 수 있다.

[0061] [0069] 동작(230)에서, 기관 상의 제 1 재료 층 스택(306₁)의 증착 후에, 제 2 재료 층 스택(306₂)이 제 1 재료 층 스택(306₁) 상에 형성된다. 제 2 재료 층 스택(306₂)은, 제 3 막 층(308₂), 및 제 3 막 층(308₂) 상에 형성된 제 4 막 층(310₂)을 포함한다. 제 4 막 층(310₂)은, 제 2 막 층(310₁)의 제 1 굴절률보다 더 큰 제 2 굴절률을 갖는다.

[0062] [0070] 동작(232)에서, 제 3 막 층(308₂)이 제 1 재료 층 스택(306₁) 위에 형성된다. 제 3 막 층(308₂)은, 실리콘 산화물-함유 층, 실리콘 질화물-함유 층, 실리콘-함유 층, 예컨대 비정질 실리콘, 다결정질 실리콘, 또는 임의의 적합한 결정질 실리콘 층들일 수 있다. 도 3a에서 도시된 구현에서, 제 3 막 층(308₂)은 실리콘 산화물 층과 같은 실리콘 산화물-함유 층이다. 제 3 막 층(308₂)은 제 1 막 층(308₁)과 유사할 수 있고, 동작(222)에서 설명된 프로세스 조건들을 사용하여 형성될 수 있다.

[0063] [0071] 제 3 막 층(308₂) 상에 제 4 막 층(310₂)을 형성하기 전에, 프로세싱 챔버로부터 잔여의 가스들 또는 증착 부산물들을 펌핑/퍼지하기 위한 선택적인 펌프/퍼지 프로세스가 수행될 수 있다. 동작(232) 동안에 비활성 가스가 사용되는 몇몇 구현들에서, 비활성 가스는, RF 전력이 인가되거나 또는 인가되지 않으면서, 퍼지 가스로서 사용될 수 있다.

[0064] [0072] 동작(234)에서, 제 4 막 층(310₂)이 제 3 막 층(308₂) 상에 형성된다. 제 4 막 층(310₂)은, 실리콘 산화물-함유 층, 실리콘 질화물-함유 층, 실리콘-함유ing 층, 예컨대 비정질 실리콘, 다결정질 실리콘, 또는 임의의 적합한 결정질 실리콘 층들일 수 있다. 도 3a에서 도시된 구현에서, 제 4 막 층(310₂)은 실리콘 질화물 층과 같은 실리콘 질화물 함유 층이다. 제 4 막 층(310₂)은 제 2 막 층(310₁)의 굴절률보다 더 큰 굴절률을 갖는다. 제 4 막 층(310₂)은, 동작(224)에 대해 설명된 프로세스 조건들과 유사한 프로세스 조건들을 사용하여 증착될 수 있다. 그러나, 제 2 막 층(310₁)의 굴절률보다 더 큰 굴절률을 달성하기 위해, 다양한 프로세스 파라미터들이, 동작(224)에서 설명된 프로세스 파라미터들에 비하여 변화된다.

[0065] [0073] 몇몇 구현들에서, 실리콘-함유 가스(예컨대, SiH₄)의 유량 또는 질소-함유 가스(예컨대, NH₃)의 유량이, 제 2 막 층(310₁)에 비하여 제 4 막 층(310₂)의 더 큰 굴절률을 달성하기 위해, 동작(224)에서 설명된 유량들에 비하여 변화된다. 가스 분배기(112)와 기관(302) 사이의 간격 및/또는 챔버 압력과 같은 다른 프로세스 조건들이, 증가된 굴절률을 달성하기 위해, 조정될 수 있다. 예컨대, 일 구현에서, 실리콘-함유 가스(예컨대, SiH₄)의 유량은, 동작(224)에서 설명된 제 2 막 층(310₁)을 형성하기 위해 사용된 실리콘-함유 가스(예컨대, SiH₄)의 유량에 비하여 증가된다. 다른 구현에서, 질소-함유 가스(예컨대, NH₃)의 유량은, 동작(224)에서 설명된 제 2 막 층(310₁)을 형성하기 위해 사용된 질소-함유 가스(예컨대, NH₃)의 유량에 비하여 증가된다.

[0066] [0074] 원하는 두께의 제 4 막 층(310₂)이 증착된 후에, 그러면, 증착 프로세스가 종료될 수 있다. 일 구현에서, 제 4 막 층(310₂)은 약 10 nm 내지 약 60 nm, 예컨대 약 30 nm의 두께를 가질 수 있다. 제 4 막 층(310₂)이 실리콘 질화물 층과 같은 실리콘 질화물 함유 층인 구현에서, 실리콘 질화물 함유 층은 약 0 MPa 내지 약 1000 MPa의 응력 범위를 가질 수 있다. 제 4 막 층(310₂)은 약 1.85 내지 약 2.1의 굴절률(예컨대, 약 1.91 내지 약 1.95의 굴절률; 약 1.93의 굴절률)을 갖는다.

[0067] [0075] 제 4 막 층(310₂)을 형성한 후에, 프로세싱 챔버로부터 잔여의 가스들 또는 증착 부산물들을 펌핑/퍼지하기 위한 선택적인 펌프/퍼지 프로세스가 수행될 수 있다. 동작(234) 동안에 비활성 가스가 사용되는 몇몇 구

현들에서, 비활성 가스는, RF 전력이 인가되거나 또는 인가되지 않으면서, 퍼지 가스로서 사용될 수 있다.

[0068] [0076] 도 2의 동작들(232 및 234)은, 원하는 두께의 제 2 재료 층 스택(306₂)이 달성될 때까지, 제 3 막 층들(308₂) 및 제 4 막 층들(310₂)을 교번시키면서, 제 2 재료 층 스택(306₂)을 형성하기 위해, 연속적으로 수행될 수 있다. 제 3 막 층(308₂)이 실리콘 산화물 층이고, 제 4 막 층(310₂)이 실리콘 질화물 층인 일 구현에서, 도 2의 방법(200)은, 프로세싱 챔버(100)로부터 기판(302)을 제거하지 않으면서(예컨대, 진공을 파괴하지 않으면서), 상이한 조성들을 갖는 막 층들(308₂, 310₂)을 형성하기 위해, 상이한 증착 가스 혼합물들을 스위칭함으로써, 수행될 수 있다.

[0069] [0077] 동작(240)에서, 기판 상의 제 2 재료 층 스택(306₂)의 증착 후에, 제 3 재료 층 스택(306₃)이 제 2 재료 층 스택(306₂) 상에 형성된다. 제 3 재료 층 스택(306₃)은, 제 5 막 층(308₃), 및 제 5 막 층(308₃) 상에 형성된 제 6 막 층(310₃)을 포함한다. 제 6 막 층(310₃)은 제 4 막 층(310₂)의 제 2 굴절률보다 더 큰 제 3 굴절률을 갖는다.

[0070] [0078] 동작(242)에서, 제 5 막 층(308₃)이 제 2 재료 층 스택(306₂) 위에 형성된다. 제 5 막 층(308₃)은, 실리콘 산화물-함유 층, 실리콘 질화물-함유 층, 실리콘-함유 층, 예컨대 비정질 실리콘, 다결정질 실리콘, 또는 임의의 적합한 결정질 실리콘 층들일 수 있다. 도 3a에서 도시된 구현에서, 제 5 막 층(308₃)은 실리콘 산화물 층과 같은 실리콘 산화물-함유 층이다. 제 5 막 층(308₃)은 제 1 막 층(308₁) 및 제 3 막 층(308₂)과 유사할 수 있고, 동작들(222 및 232)에서 설명된 프로세스 조건들을 사용하여 형성될 수 있다.

[0071] [0079] 제 5 막 층(308₃) 상에 제 6 막 층(310₃)을 형성하기 전에, 프로세싱 챔버로부터 잔여의 가스들 또는 증착 부산물들을 펌핑/퍼지하기 위한 선택적인 펌프/퍼지 프로세스가 수행될 수 있다. 동작(242) 동안에 비활성 가스가 사용되는 몇몇 구현들에서, 비활성 가스는, RF 전력이 인가되거나 또는 인가되지 않으면서, 퍼지 가스로서 사용될 수 있다.

[0072] [0080] 동작(244)에서, 제 6 막 층(310₃)이 제 5 막 층(308₃) 상에 형성된다. 제 6 막 층(310₃)은, 실리콘 산화물-함유 층, 실리콘 질화물-함유 층, 실리콘-함유 층, 예컨대 비정질 실리콘, 다결정질 실리콘, 또는 임의의 적합한 결정질 실리콘 층들일 수 있다. 도 3a에서 도시된 구현에서, 제 6 막 층(310₃)은 실리콘 질화물 층과 같은 실리콘 질화물 함유 층이다. 제 6 막 층(310₃)은 제 4 막 층(310₂)의 굴절률보다 더 큰 굴절률을 갖는다. 제 6 막 층(310₃)은, 동작들(224 및 234)에 대해 설명된 프로세스 조건들과 유사한 프로세스 조건들을 사용하여 증착될 수 있다. 그러나, 제 4 막 층(310₂)의 굴절률보다 더 큰 굴절률을 달성하기 위해, 다양한 프로세스 파라미터들이, 동작들(224 및 234)에서 설명된 프로세스 파라미터들에 비하여 변화된다. 몇몇 구현들에서, 실리콘-함유 가스(예컨대, SiH₄)의 유량 또는 질소-함유 가스(NH₃)의 유량이, 제 4 막 층(310₂)의 굴절률에 비하여 제 6 막 층(310₃)의 더 큰 굴절률을 달성하기 위해, 동작(234)에서 설명된 유량들에 비하여 변화된다. 예컨대, 일 구현에서, 실리콘-함유 가스(예컨대, SiH₄)의 유량은, 동작(234)에서 설명된 제 4 막 층(310₂)을 형성하기 위해 사용된 실리콘-함유 가스(예컨대, SiH₄)의 유량에 비하여 증가된다. 다른 구현에서, 질소-함유 가스(예컨대, NH₃)의 유량은, 동작(234)에서 설명된 제 4 막 층(310₂)을 형성하기 위해 사용된 질소-함유 가스(예컨대, NH₃)의 유량에 비하여 증가된다.

[0073] [0081] 원하는 두께의 제 6 막 층(310₃)이 증착된 후에, 그러면, 증착 프로세스가 종료될 수 있다. 일 구현에서, 제 6 막 층(310₃)은 약 10 nm 내지 약 60 nm, 예컨대 약 30 nm의 두께를 가질 수 있다. 제 6 막 층(310₃)이 실리콘 질화물 층과 같은 실리콘 질화물 함유 층인 구현에서, 실리콘 질화물 함유 층은 약 0 MPa 내지 약 1000 MPa의 응력 범위를 가질 수 있다. 제 6 막 층(310₃)은 약 1.85 내지 약 2.1의 굴절률(예컨대, 약 1.95 내지 약 2.1의 굴절률; 약 1.95의 굴절률)을 갖는다.

[0074] [0082] 제 6 막 층(310₃)을 형성한 후에, 프로세싱 챔버로부터 잔여의 가스들 또는 증착 부산물들을 펌핑/퍼지하기 위한 선택적인 펌프/퍼지 프로세스가 수행될 수 있다. 동작(244) 동안에 비활성 가스가 사용되는 몇몇 구현들에서, 비활성 가스는, RF 전력이 인가되거나 또는 인가되지 않으면서, 퍼지 가스로서 사용될 수 있다.

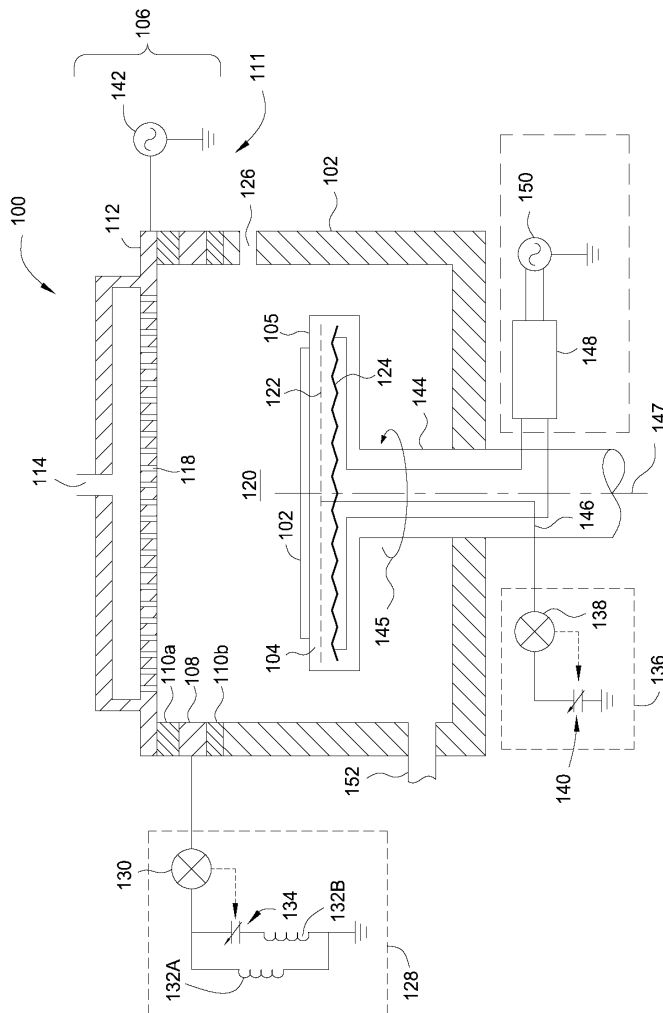
- [0075] [0083] 도 2b의 동작들(242 및 244)은, 원하는 두께의 제 2 재료 층 스택(306₂)이 달성될 때까지, 제 5 막 층들(308₃) 및 제 6 막 층들(310₃)을 교번시키면서, 제 3 재료 층 스택(306₃)을 형성하기 위해, 연속적으로 수행될 수 있다. 제 5 막 층(308₃)이 실리콘 산화물 층이고, 제 6 막 층(310₃)이 실리콘 질화물 층인 일 구현에서, 도 2의 방법(200)은, 프로세싱 챔버(100)로부터 기판(302)을 제거하지 않으면서(예컨대, 진공을 파괴하지 않으면서), 상이한 조성들을 갖는 막 층들(308₃, 310₃)을 형성하기 위해, 상이한 증착 가스 혼합물들을 스위칭함으로써, 수행될 수 있다.
- [0076] [0084] 동작(250)에서, 하나 또는 그 초과 패터닝 층들(320)이 막 구조(300) 상에 형성된다. 하나 또는 그 초과 패터닝 층들은, 예컨대, 하드마스크 층(322)(예컨대, 비정질 탄소 층), 반사-방지 코팅 층(324), 및 포토레지스트 층(326)을 포함할 수 있다. 하나 또는 그 초과 패터닝 층들은, 개구들(330)을 형성하기 위해, 본 기술분야에 알려져 있는 기법들을 사용하여 패터닝될 수 있다. 예컨대, 패터닝 이미지는, 알려진 리소그래피 기법들을 사용하여, 포토레지스트 층(326) 내로 도입될 수 있다. 포토레지스트 층(326)에 도입된 패터닝 이미지는, 그러한 층을 통해 패터닝을 정의하기 위해, 적절한 현상제에서 현상될 수 있다. 그 후에, 포토레지스트 층(326)에 정의된 패터닝은, 반사-방지 코팅 층(324) 및 하드마스크 층(322) 양자 모두를 통해 전사된다. 패터닝은, 마스크로서 포토레지스트 층(326)을 사용하여, 반사-방지 코팅 층(324) 및 하드마스크 층(322) 양자 모두를 통해 전사된다. 패터닝은, 예컨대, 수소-함유 플루오르화 탄소(C_xF_yH_z), 및 수소(H₂), 질소(N₂), 산소(O₂), 아르곤(Ar), 및 헬륨(He)으로 구성된 그룹으로부터 선택되는 하나 또는 그 초과 가스를 포함하는 가스 혼합물을 사용하여, 반사-방지 코팅 층(324)을 통해 전사될 수 있다. 하드마스크 층(322)은, 오존, 산소, 또는 암모니아 플라즈마들을, 단독으로, 또는 특히 수소 브롬화물(HBr), 질소(N₂), 탄소 사플루오르화물(CF₄), 아르곤(Ar)과 조합하여, 사용함으로써 에칭될 수 있다.
- [0077] [0085] 동작(260)에서, 하나 또는 그 초과 고 종횡비 피쳐들(340)이 막 구조(300)에 형성된다. 하나 또는 그 초과 패터닝 층들(320)에 정의된 개구들(330)은, 하드마스크 층(322)을 사용하여, 하나 또는 그 초과 고 종횡비 피쳐들(340)을 형성하기 위해, 막 구조(300)를 통해 전사될 수 있다. 고 종횡비 피쳐들(340)은, 반응성 이온 에칭 기법들 또는 다른 이방성 에칭 기법들을 사용하여 형성될 수 있다. 일 구현에서, 에칭 가스의 이온 빔 또는 플라즈마가, 하나 또는 그 초과 고 종횡비 피쳐들(340)을 형성하기 위해, 기판(302)으로 지향될 수 있다. 에칭 가스는, SF₆, C₃F₈, CF₄, BF₃, BI₃, N₂, Ar, PH₃, AsH₃, B₂H₆, H₂, Xe, Kr, Ne, He, SiH₄, SiF₄, GeH₄, GeF₄, CH₄, AsF₅, PF₃, PF₅, 또는 이들의 조합들을 포함할 수 있다.
- [0078] [0086] 동작(270)에서, 막 구조(300)에서의 고 종횡비 피쳐들(340)의 형성 후에, 하드마스크 층(322)은, 오존, 산소, 암모니아 플라즈마에서, 단독으로, 또는 플루오르화 화합물들, 질소, 또는 수소 플라즈마들과 조합하여, 하드마스크 층(322)을 에칭함으로써, 막 구조(300)로부터 박리될 수 있다.
- [0079] [0087] 도 4는, 실리콘 질화물 재료의 굴절률과 관련된, 실리콘 질화물 재료에 대한 건식 에칭 레이트(Å/초)를 도시하는 플롯(400)이다. 플롯(400)에서 도시된 바와 같이, 실리콘 질화물 막의 굴절률이 증가함에 따라, 건식 에칭 레이트가 감소된다.
- [0080] [0088] 도 5a는, 종래 기술 방법들에 따라 형성된, 굴절률 그레이디언트(gradient)를 갖지 않은 실리콘 질화물 함유 구조에 형성된 트렌치의 에칭 프로파일을 나타내는 마이크로그래프이다. 도 5a에서 도시된 바와 같이, 굴절률을 갖지 않은 실리콘 질화물 막의 에칭 프로파일은 불-균일하다.
- [0081] [0089] 도 5b는, 본원에서 설명되는 구현들에 따른, 굴절률 그레이디언트를 갖는 실리콘 질화물 함유 구조에 형성된 트렌치의 에칭 프로파일을 나타내는 마이크로그래프이다. 도 5b에서 도시된 바와 같이, 1.9의 굴절률을 갖는 다수의 실리콘 질화물 층들, 및 2.0의 굴절률을 갖는 다수의 실리콘 질화물 층들을 갖는 구조에 형성된 트렌치의 에칭 프로파일은, 도 5a에서 도시된 에칭 프로파일에 비하여 더 균일하다.
- [0082] [0090] 도 5c는, 본원에서 설명되는 구현들에 따른, 굴절률 그레이디언트를 갖는 실리콘 질화물 함유 구조에 형성된 다른 트렌치의 에칭 프로파일을 나타내는 마이크로그래프이다. 도 5c에서 도시된 바와 같이, 1.9의 굴절률을 갖는 다수의 실리콘 질화물 층들, 1.95의 굴절률을 갖는 다수의 실리콘 질화물 층들, 및 2.0의 굴절률을 갖는 다수의 실리콘 질화물 층들을 갖는 구조에 형성된 트렌치의 에칭 프로파일은, 도 5a 및 도 5b 양자 모두에서 도시된 에칭 프로파일들에 비하여 더 균일하다.
- [0083] [0091] 본원에서 사용되는 바와 같이, 다음의 용어들은, 이들의 사용의 문맥으로부터 명확하거나 또는 다르게

명시되지 않는 한, 아래에서 설명된 의미를 갖는다.

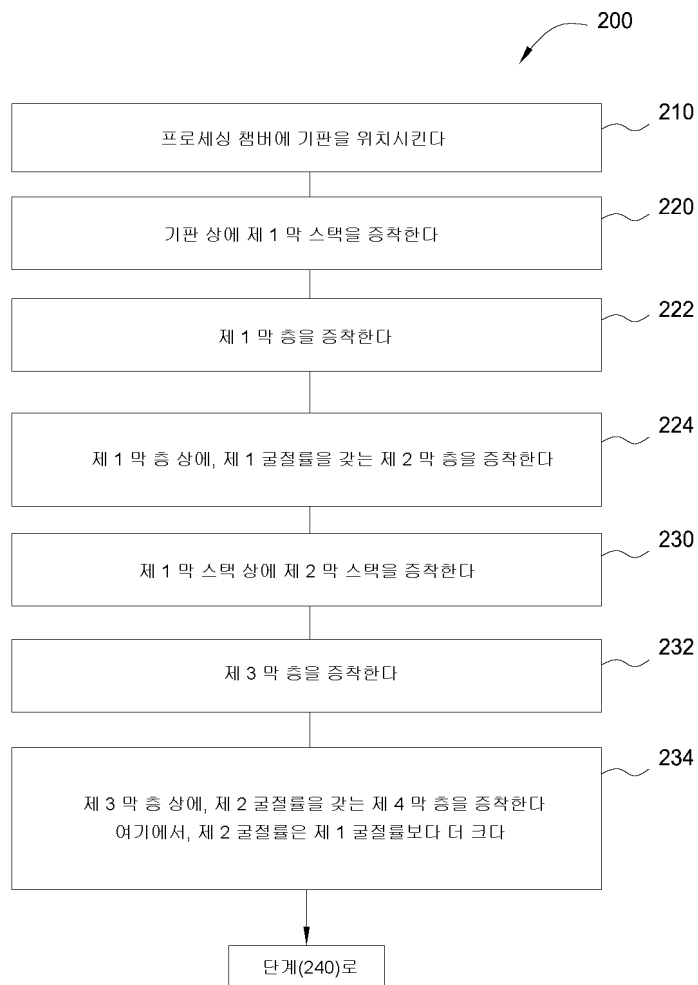
- [0084] [0092] 본 개시, 또는 본 개시의 예시적인 양상들 또는 구현(들)의 엘리먼트들을 도입하는 경우에, 관사들("a", "an", "the" 및 "상기")은, 엘리먼트들의 하나 또는 그 초과가 존재하는 것을 의미하도록 의도된다.
- [0085] [0093] "포함하는", "구비하는", 및 "갖는"이라는 용어들은 포괄적이도록 의도되고, 열거된 엘리먼트들 이외에 추가적인 엘리먼트들이 존재할 수 있는 것을 의미한다.
- [0086] [0094] "기판"이라는 용어는, 층들이 위에 형성되거나 또는 형성되지 않은 지지 기판을 지칭한다. 지지 기판은, 다양한 도핑 농도들 및 프로파일들의 반도체 또는 절연체일 수 있고, 예컨대, 집적 회로들의 제조 시에 사용되는 타입의 반도체 기판일 수 있다.
- [0087] [0095] 전술한 내용은 본 개시의 구현들에 관한 것이지만, 본 개시의 다른 그리고 추가적인 구현들이, 본 개시의 기본 범위로부터 벗어나지 않고 안출될 수 있으며, 본 개시의 범위는 이하의 청구항들에 의해 결정된다.

도면

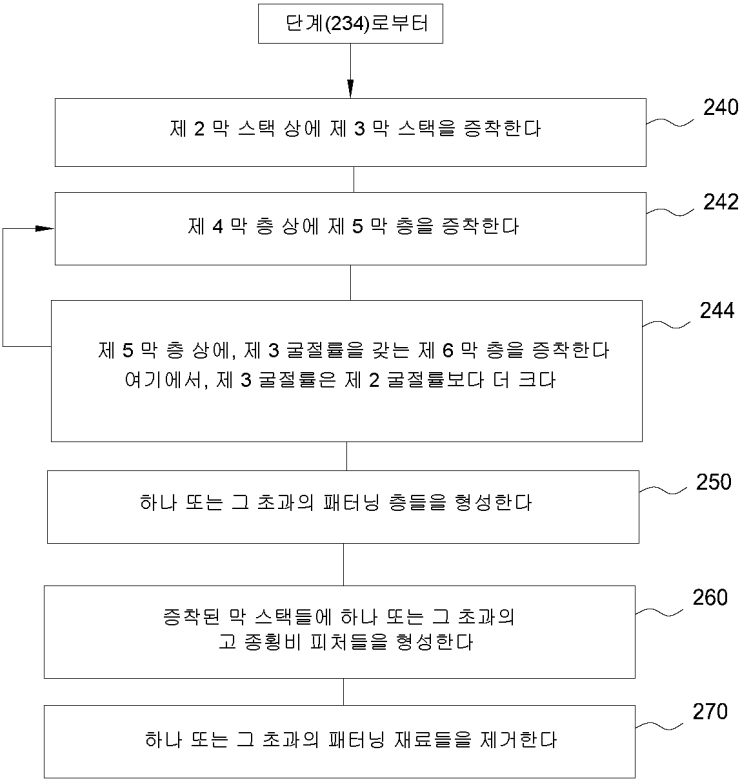
도면1



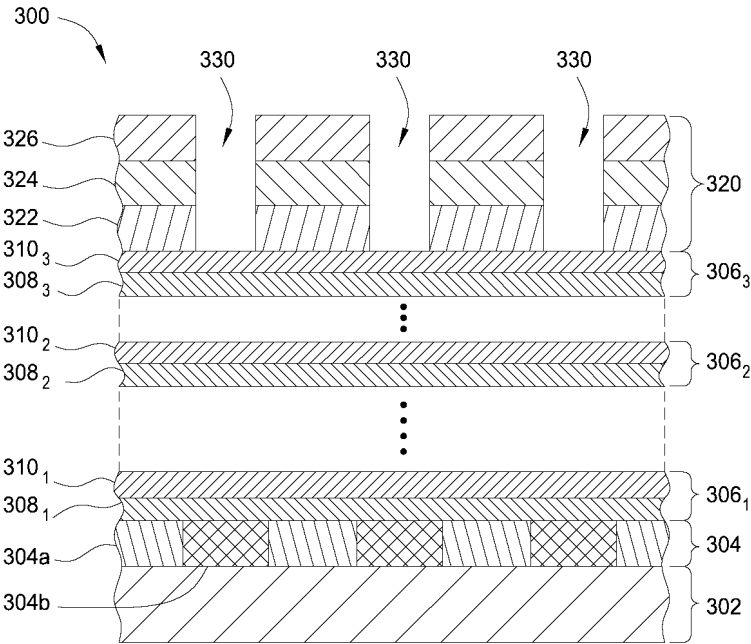
도면2a



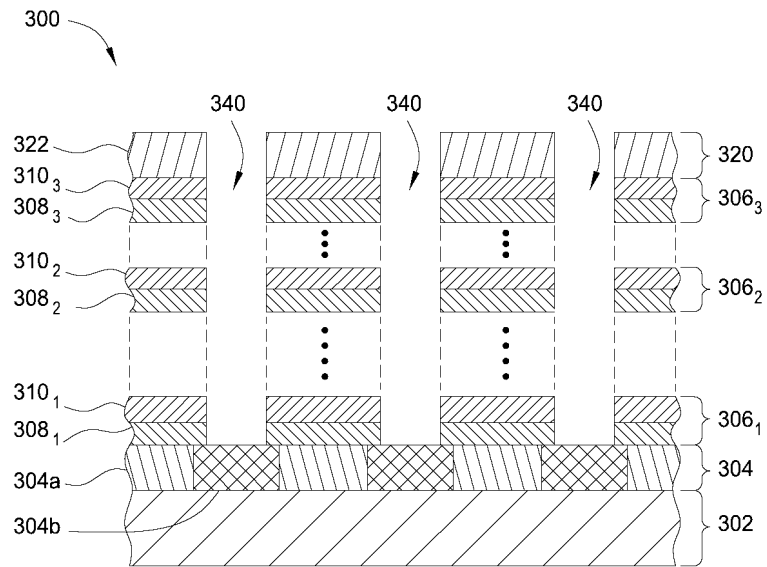
도면2b



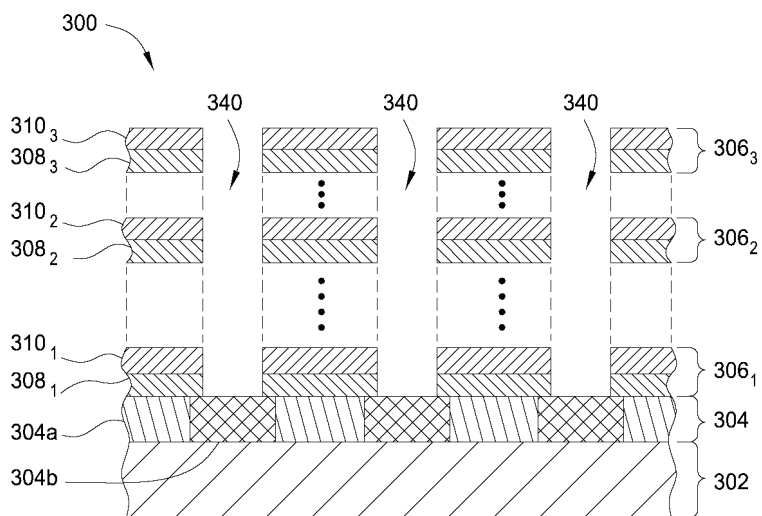
도면3a



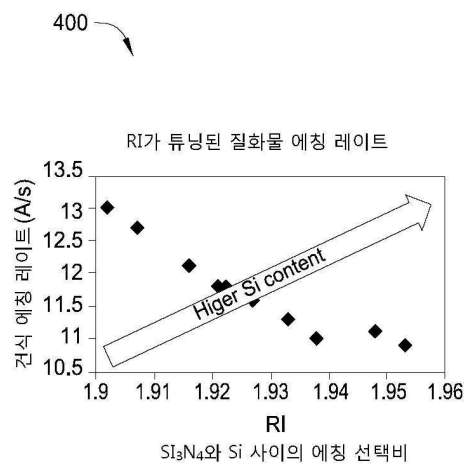
도면3b



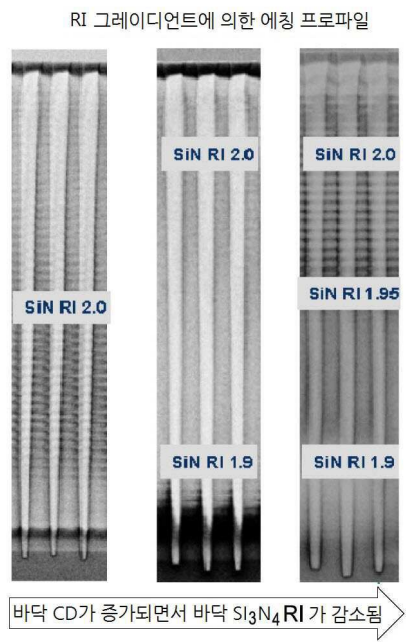
도면3c



도면4



도면5a

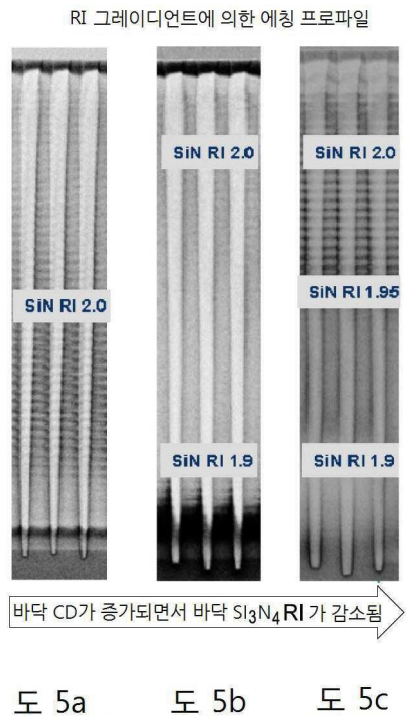


도 5a

도 5b

도 5c

도면5b



도면5c

