



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0080705
(43) 공개일자 2025년06월05일

(51) 국제특허분류(Int. Cl.)
G11C 11/4094 (2006.01) G06F 9/30 (2018.01)
G11C 11/408 (2006.01) G11C 11/4096 (2015.01)
(52) CPC특허분류
G11C 11/4094 (2013.01)
G06F 9/30029 (2013.01)
(21) 출원번호 10-2024-0012196
(22) 출원일자 2024년01월26일
심사청구일자 2024년01월26일
(30) 우선권주장
1020230168014 2023년11월28일 대한민국(KR)

(71) 출원인
국립강릉원주대학교산학협력단
강원특별자치도 강릉시 죽헌길 7 (지변동)
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
권민우
강원특별자치도 강릉시 교동광장로 138-12, 309동 806호 (교동, 교동주공3단지아파트)
조성재
서울특별시 용산구 효창원로 17, 107동 1005호 (산천동, 리버힐삼성아파트)
(74) 대리인
권오준

전체 청구항 수 : 총 7 항

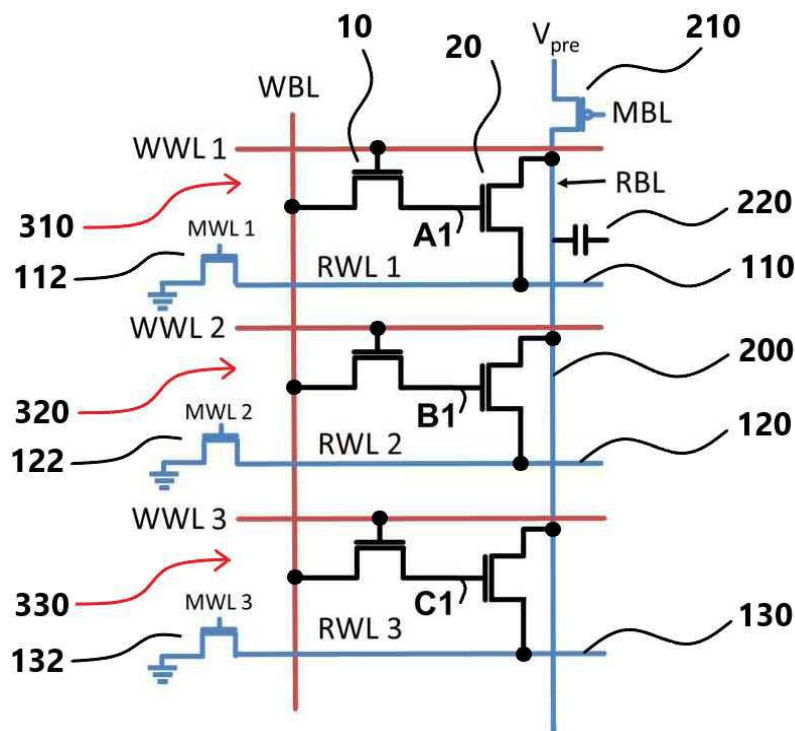
(54) 발명의 명칭 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이 및 이를 이용한 논리 연산 동작 방법

(57) 요약

본 발명은 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이 및 이를 이용한 논리 연산 동작 방법에 관한 것으로, 트랜지스터 제어 워드 라인으로 집지용 트랜지스터를 선택적으로 턴온시켜 연산할 2개의 셀을 선택하고, 트랜지스터 제어 비트 라인으로 프리차징용 트랜지스터를 제어하여 읽기 비트 라인의 전압 state를 구분하여 논리 연산

(뒷면에 계속)

대표도 - 도1



을 수행할 수 있게 됨으로써, 프리차징용 트랜지스터의 제어 정도에 따라 [1,0]과 [1,1]의 시간 차이를 늘일 수 있어 동작 window 확보 가능하고, XOR 구현을 위해 읽기 비트 라인의 출력 전압을 세개의 state(Tri-state)로 구분할 수 있는 효과가 있다.

본 발명은 과학기술정보통신부의 PIM인공지능반도체핵심기술개발(소자)사업(2T DRAM 기반 저전력/고성능 PIM 셀, 집적회로 및 아키텍처 개발, 과제고유번호: 1711185918) 및 차세대지능형반도체기술개발(소자)사업(온칩 학습을 위한 전하 저장 기반의 고집적·저전력·비휘발성 3차원 수직형 시냅스 어레이 및 아키텍처 개발, 과제고유번호: 1711197511)과 함께 강원특별자치도의 재원으로 강원테크노파크의 지원을 받아 수행된 반도체 연구개발 지원사업(강원테크노파크 제2023-027호, IoT 기술 구현을 위한 차세대 신소재 기반 광센서, 지능형 반도체 및 화합물 반도체 기반 통신 소자 개발)을 통해 개발된 기술이다.

(52) CPC특허분류

G11C 11/4085 (2013.01)

G11C 11/4096 (2018.05)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711185918
과제번호	2022M3I7A1078936
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	PIM인공지능반도체핵심기술개발(소자)
연구과제명	2T DRAM 기반 저전력/고성능 PIM 셀, 집적회로 및 아키텍처 개발
과제수행기관명	이화여자대학교
연구기간	2023.01.01 ~ 2023.12.31

이 발명을 지원한 국가연구개발사업

과제고유번호	1711197511
과제번호	00258527
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	차세대지능형반도체기술개발(소자)
연구과제명	온칩 학습을 위한 전하 저장 기반의 고집적·저전력·비휘발성 3차원 수직형 시냅스 어레이 및 아키텍처 개발
과제수행기관명	이화여자대학교
연구기간	2023.04.01 ~ 2023.12.31

명세서

청구범위

청구항 1

복수 개의 쓰기 워드 라인;

복수 개의 읽기 워드 라인;

복수 개의 쓰기 비트 라인;

복수 개의 읽기 비트 라인;

상기 읽기 비트 라인의 각 일단에 구비되어 전원공급을 제어하는 프리차징용 트랜지스터;

상기 읽기 워드 라인의 각 일단에 구비되어 접지와 연결을 제어하는 접지용 트랜지스터;

상기 프리차징용 트랜지스터의 각 게이트에 연결된 복수 개의 트랜지스터 제어 비트 라인;

상기 접지용 트랜지스터의 각 게이트에 연결된 복수 개의 트랜지스터 제어 워드 라인;

상기 쓰기 워드 라인 중 하나에 게이트가 연결되고, 상기 쓰기 비트 라인 중 하나에 드레인이 연결된 제 1 MOS펫(MOSFET);

상기 제 1 MOS펫의 소스에 게이트가 연결되고, 상기 읽기 비트 라인 중 하나에 드레인이 연결되고, 상기 읽기 워드 라인 중 하나에 소스가 연결된 제 2 MOS펫; 및

상기 제 1 MOS펫과 상기 제 2 MOS펫으로 구성된 단위 셀이 상기 읽기 비트 라인 중 하나를 따라 복수로 배치된 메모리 셀을 포함하여 구성된 것을 특징으로 하는 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이.

청구항 2

제 1 항에 있어서,

상기 프리차징용 트랜지스터는 p형 MOS펫(PMOS)이고,

상기 접지용 트랜지스터, 상기 제 1 MOS펫 및 상기 제 2 MOS펫은 n형 MOS펫(NMOS)이고,

단위 셀은 상기 제 1 MOS펫의 소스와 상기 제 2 MOS펫의 게이트가 연결된 노드를 저장 노드로 하는 것을 특징으로 하는 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이.

청구항 3

제 1 항에 있어서,

상기 읽기 비트 라인의 각 타단에는 XOR 연산용 읽기 회로가 더 연결된 것을 특징으로 하는 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이.

청구항 4

제 1 항 내지 제 3 항 중 어느 하나의 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이를 이용하고,

상기 트랜지스터 제어 비트 라인과 상기 트랜지스터 제어 워드 라인에 선택적으로 전압을 인가하여 상기 메모리 셀 중 선택된 2개의 셀에 저장된 데이터로 논리 연산을 수행하는 것을 특징으로 하는 논리 연산 동작 방법.

청구항 5

제 4 항에 있어서,

상기 트랜지스터 제어 비트 라인 중 선택된 하나는 상기 프리차징용 트랜지스터의 턴오프(turn off) 전압을 인가하고,

상기 트랜지스터 제어 워드 라인 중 선택된 2개는 각각 상기 접지용 트랜지스터의 턴온(turn on) 전압을 인가하고, 나머지 비선택된 트랜지스터 제어 워드 라인은 상기 접지용 트랜지스터의 턴오프 전압을 인가하거나 플로팅시켜 OR 연산을 수행하는 것을 특징으로 하는 논리 연산 동작 방법.

청구항 6

제 4 항에 있어서,

상기 트랜지스터 제어 비트 라인 중 선택된 하나는 상기 프리차징용 트랜지스터의 턴온 전압을 인가하고,

상기 트랜지스터 제어 워드 라인 중 선택된 2개는 각각 상기 접지용 트랜지스터의 턴온 전압을 인가하고, 나머지 비선택된 트랜지스터 제어 워드 라인은 상기 접지용 트랜지스터의 턴오프 전압을 인가하거나 플로팅시켜 AND 연산을 수행하는 것을 특징으로 하는 논리 연산 동작 방법.

청구항 7

제 4 항에 있어서,

상기 트랜지스터 제어 비트 라인 중 선택된 하나는 상기 프리차징용 트랜지스터의 턴온 전압과 턴오프 전압 사이의 전압을 인가하고,

상기 트랜지스터 제어 워드 라인 중 선택된 2개는 각각 상기 접지용 트랜지스터의 턴온 전압을 인가하고, 나머지 비선택된 트랜지스터 제어 워드 라인은 상기 접지용 트랜지스터의 턴오프 전압을 인가하거나 플로팅시켜 XOR 연산을 수행하는 것을 특징으로 하는 논리 연산 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 프로세싱-인-메모리(Processing-In-Memory; PIM) 인공지능 반도체에 관한 것으로, 더욱 상세하게는 프로세싱-인-메모리 구현을 위한 2T(Two transistors) DRAM 어레이 및 이를 이용한 논리 연산 동작 방법에 관한 것이다.

배경 기술

[0002] 프로세싱-인-메모리(PIM)로 인공지능을 구현하려는 반도체 기술이 개발되고 있다.

[0003] 또한, DRAM을 기반으로 하는 저전력/고성능 PIM 셀, 집적회로 및 아키텍처 개발에 대한 관심이 높아지고 있으며, 집적도와 고속 동작 특성을 위해 커패시터를 제거한 새로운 구조의 DRAM 기술에 대한 요구가 커지고 있다.

[0004] 본 발명은 과학기술정보통신부의 PIM인공지능반도체핵심기술개발(소자)사업(2T DRAM 기반 저전력/고성능 PIM 셀, 집적회로 및 아키텍처 개발, 과제고유번호: 1711185918) 및 차세대지능형반도체기술개발(소자)사업(운집 학습을 위한 전하 저장 기반의 고집적·저전력·비휘발성 3차원 수직형 시냅스 어레이 및 아키텍처 개발, 과제고유번호: 1711197511)과 함께 강원특별자치도의 재원으로 강원테크노파크의 지원을 받아 수행된 반도체 연구개발 지원사업(강원테크노파크 제2023-027호, IoT 기술 구현을 위한 차세대 신소재 기반 광센서, 지능형 반도체 및 화합물 반도체 기반 통신 소자 개발)을 통해 개발된 기술이다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 한국공개특허 제10-2020-0082709호(2020.07.08)

발명의 내용

해결하려는 과제

[0006] 본 발명은 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이 및 이를 이용한 논리 연산 동작 방법을 제공하고자 한다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위하여, 본 발명의 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이는 복수 개의 쓰기 워드 라인; 복수 개의 읽기 워드 라인; 복수 개의 쓰기 비트 라인; 복수 개의 읽기 비트 라인; 상기 읽기 비트 라인의 각 일단에 구비되어 전원공급을 제어하는 프리차징용 트랜지스터; 상기 읽기 워드 라인의 각 일단에 구비되어 접지와 연결을 제어하는 접지용 트랜지스터; 상기 프리차징용 트랜지스터의 각 게이트에 연결된 복수 개의 트랜지스터 제어 비트 라인; 상기 접지용 트랜지스터의 각 게이트에 연결된 복수 개의 트랜지스터 제어 워드 라인; 상기 쓰기 워드 라인 중 하나에 게이트가 연결되고, 상기 쓰기 비트 라인 중 하나에 드레인이 연결된 제 1 MOS펫(MOSFET); 상기 제 1 MOS펫의 소스에 게이트가 연결되고, 상기 읽기 비트 라인 중 하나에 드레인이 연결되고, 상기 읽기 워드 라인 중 하나에 소스가 연결된 제 2 MOS펫; 및 상기 제 1 MOS펫과 상기 제 2 MOS펫으로 구성된 단위 셀이 상기 읽기 비트 라인 중 하나를 따라 복수로 배치된 메모리 셀을 포함하여 구성된다.

[0008] 상기 프리차징용 트랜지스터는 p형 MOS펫(PMOS)이고, 상기 접지용 트랜지스터, 상기 제 1 MOS펫 및 상기 제 2 MOS펫은 n형 MOS펫(NMOS)이고, 단위 셀은 상기 제 1 MOS펫의 소스와 상기 제 2 MOS펫의 게이트가 연결된 노드를 저장 노드로 할 수 있다.

[0009] 상기 읽기 비트 라인의 각 타단에는 XOR 연산용 읽기 회로가 더 연결될 수 있다.

[0010] 본 발명의 논리 연산 동작 방법은 상술한 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이를 이용하고, 상기 트랜지스터 제어 비트 라인과 상기 트랜지스터 제어 워드 라인에 선택적으로 전압을 인가하여 상기 메모리 셀 중 선택된 2개의 셀에 저장된 데이터로 논리 연산을 수행한다.

[0011] 상기 트랜지스터 제어 비트 라인 중 선택된 하나는 상기 프리차징용 트랜지스터의 턴오프(turn off) 전압을 인가하고, 상기 트랜지스터 제어 워드 라인 중 선택된 2개는 각각 상기 접지용 트랜지스터의 턴온(turn on) 전압을 인가하고, 나머지 비선택된 트랜지스터 제어 워드 라인은 상기 접지용 트랜지스터의 턴오프 전압을 인가하거나 플로팅시켜 OR 연산을 수행할 수 있다.

[0012] 상기 트랜지스터 제어 비트 라인 중 선택된 하나는 상기 프리차징용 트랜지스터의 턴온 전압을 인가하고, 상기 트랜지스터 제어 워드 라인 중 선택된 2개는 각각 상기 접지용 트랜지스터의 턴온 전압을 인가하고, 나머지 비선택된 트랜지스터 제어 워드 라인은 상기 접지용 트랜지스터의 턴오프 전압을 인가하거나 플로팅시켜 AND 연산을 수행할 수 있다.

[0013] 상기 트랜지스터 제어 비트 라인 중 선택된 하나는 상기 프리차징용 트랜지스터의 턴온 전압과 턴오프 전압 사이의 전압을 인가하고, 상기 트랜지스터 제어 워드 라인 중 선택된 2개는 각각 상기 접지용 트랜지스터의 턴온 전압을 인가하고, 나머지 비선택된 트랜지스터 제어 워드 라인은 상기 접지용 트랜지스터의 턴오프 전압을 인가하거나 플로팅시켜 XOR 연산을 수행할 수 있다.

발명의 효과

[0014] 본 발명은 프로세서의 기능에 의존하지 않고 2T DRAM 어레이 내부에서 논리 연산을 수행할 수 있는 기술을 내용의 골자로 하며, 보다 구체적으로는 트랜지스터 제어 워드 라인으로 접지용 트랜지스터를 선택적으로 턴온시켜 연산할 2개의 셀을 선택하고, 트랜지스터 제어 비트 라인으로 프리차징용 트랜지스터를 제어하여 읽기 비트 라인의 전압 state를 구분하여 논리 연산을 수행할 수 있게 됨으로써, 프리차징용 트랜지스터의 제어 정도에 따라 [1,0]과 [1,1]의 시간 차이를 늘릴 수 있어 동작 window 확보 가능하고, XOR 구현을 위해 읽기 비트 라인의 출

력 전압을 세개의 state(Tri-state)로 구분할 수 있는 효과가 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 일 실시예에 의한 2T DRAM 어레이 구성도이다.

도 2는 본 발명의 일 실시예에 의한 동작 전압 조건 예시도이다.

도 3은 본 발명의 일 실시예에 의한 OR 연산 시뮬레이션 결과도이다.

도 4는 본 발명의 일 실시예에 의한 AND 연산 시뮬레이션 결과도이다.

도 5는 본 발명의 일 실시예에 의한 XOR 연산 시뮬레이션 결과도이다.

도 6은 도 1의 어레이에서 읽기 비트 라인의 끝에 XOR 연산용 읽기 회로가 더 연결될 수 있음을 보여준다.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 첨부된 도면을 참조하며 본 발명의 바람직한 실시예에 대하여 설명한다. 아래 설명에서 구성의 명칭은 한국어 용례에 따라 복수의 의미를 포함하는 것으로 해석되어야 한다. 예를 들어, "복수 개의 쓰기 워드 라인"에서 "워드 라인"은 복수의 의미로 해석되어야 한다.

[0017] 본 발명의 일 실시예에 따른 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이는, 도 1로 참조되듯이, 복수 개의 쓰기 워드 라인(WWL1, WWL2, WWL3); 복수 개의 읽기 워드 라인(RWL1, RWL2, RWL3; 110, 120, 130); 복수 개의 쓰기 비트 라인(WBL); 복수 개의 읽기 비트 라인(RBL, 200); 상기 읽기 비트 라인(RBL; 200)의 각 일단에 구비되어 전원공급(Vpre)을 제어하는 프리차징용 트랜지스터(210); 상기 읽기 워드 라인(110, 120, 130)의 각 일단에 구비되어 접지와 연결을 제어하는 접지용 트랜지스터(112, 122, 132); 상기 프리차징용 트랜지스터(210)의 각 게이트에 연결된 복수 개의 트랜지스터 제어 비트 라인(MBL); 상기 접지용 트랜지스터(112, 122, 132)의 각 게이트에 연결된 복수 개의 트랜지스터 제어 워드 라인(MWL1, MWL2, MWL3); 상기 쓰기 워드 라인 중 하나(WWL 1)에 게이트가 연결되고, 상기 쓰기 비트 라인 중 하나(WBL)에 드레인이 연결된 제 1 MOS펫(MOSFET, 10); 상기 제 1 MOS펫(10)의 소스에 게이트가 연결되고, 상기 읽기 비트 라인 중 하나(200)에 드레인이 연결되고, 상기 읽기 워드 라인 중 하나(RWL1)에 소스가 연결된 제 2 MOS펫(20); 및 상기 제 1 MOS펫(10)과 상기 제 2 MOS펫(20)으로 구성된 단위 셀(310)이 상기 읽기 비트 라인 중 하나(200)를 따라 복수로 배치된 메모리 셀(310, 320, 330)을 포함하여 구성된다.

[0018] 도 1에서 쓰기 비트 라인(WBL), 읽기 비트 라인(RBL, 200), 프리차징용 트랜지스터(210) 및 트랜지스터 제어 비트 라인(MBL)이 하나씩 도시되어 있으나, 각각 복수 개로 구성됨은 당연하다. 또한, 읽기 비트 라인(200)의 커패시터(220)는 별도 설치하여 연결시킨 것이 아니라 읽기 비트 라인(200)이 갖는 기생 커패시터로 보아야 한다.

[0019] 또한, 도 1에서 프리차징용 트랜지스터(210)는 p형 MOS펫(PMOS)으로 도시되어 있으나, 이에 제한되지 않고 읽기 비트 라인(200)의 각 일단에 구비되어 전원공급(Vpre)의 공급 정도를 제어할 수 있으면 n형 MOS펫(NMOS) 등 다른 형태의 스위칭 소자도 가능하다. 그러나, 동작 window 확보 등을 고려하면, PMOS가 바람직하다.

[0020] 도 1에서 접지용 트랜지스터(112, 122, 132), 단위 셀(310)을 구성하는 제 1 MOS펫(10) 및 제 2 MOS펫(20)이 모두 NMOS로 도시되어 있으나, 이에 제한되지 않는다. 즉, 접지용 트랜지스터(112, 122, 132)는 읽기 워드 라인(110, 120, 130)의 각 일단에 구비되어 접지와 연결 여부를 제어할 수 있는 스위칭 소자는 어떤 형태로든 가능하다. 단위 셀(310)을 구성하는 2개의 트랜지스터는 모두 NMOS로 합이 바람직하나, NMOS와 PMOS의 조합으로도 가능하다.

[0021] 메모리 셀을 이루는 각 단위 셀(310)(320)(330)은 제 1 MOS펫(10)의 소스와 제 2 MOS펫(20)의 게이트가 연결된 노드를 저장 노드(A1)(B1)(C1)로 한다.

[0022] 상술한 설명에서 제 1 MOS펫(10)과 제 2 MOS펫(20)의 각 소스와 드레인은 구조상 대칭이므로, 소스는 드레인으로, 드레인은 소스로 서로 바뀌어 표현될 수 있음을 이해해야 한다.

[0023] 도 6을 참조하면, 상술한 각 실시예에서 읽기 비트 라인(RBL, 200)의 각 타단에는 XOR 연산용 읽기 회로(400)가 더 연결될 수 있다.

[0024] 상기 XOR 연산용 읽기 회로(400)는 다양한 형태로 구현될 수 있으나, 도 6과 같이, 전원 공급단과 출력단(410) 사이에 병렬로 연결되어 상기 읽기 비트 라인(RBL, 200)의 출력 전압을 각 게이트로 인가받도록 구비된

NMOS(30)와 PMOS(40), 접지와 출력단(410) 사이에 연결되어 제 1 바이어스 전압(Va)으로 제어되는 읽기용 트랜지스터(NMOS, 50), 전원 공급단과 출력단(410) 사이에 연결되어 제 2 바이어스 전압(Vb)으로 제어되는 출력단 리셋용 트랜지스터(PMOS, 60)로 구성될 수 있다.

- [0025] 다음은, 상술한 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이를 이용하는 논리 연산 동작 방법에 대하여 설명한다.
- [0026] 본 발명에 의한 논리 연산 동작 방법은 상술한 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이의 트랜지스터 제어 비트 라인(MBL)과 트랜지스터 제어 워드 라인(MWL1, MWL2, MWL3)에 선택적으로 전압을 인가하여 선택된 읽기 비트 라인(200)을 따라 복수로 배치된 메모리 셀(310, 320, 330) 중 선택된 2개의 셀(예를 들어, 310과 320)에 저장된 데이터로 논리 연산(AND, NAND, OR, NOR, XOR, XNOR)을 수행하는 것을 특징으로 한다.
- [0027] 본 발명에 의한 논리 연산 동작 방법을 구체적으로 설명하기에 앞서 이를 구현하기 위한 메모리 어레이의 일 예로 상술한 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이에 대하여 간단히 요약하고, 전체 동작에 대한 내용을 개괄한다.
- [0028] 하나의 셀(cell) 당, 즉 단위 셀 당 2개의 워드 라인(WWL, RWL)과 2개의 비트 라인(WBL, RBL)이 지나가게(단위 셀과 연결되게) 구성된다.
- [0029] 여기서, WWL(write word line)은 상술한 복수 개의 쓰기 워드 라인(WWL1, WWL2, WWL3)으로, data write 시에는 하나의 WWL 선택, data read와 logic 연산 시에는 off(즉, floating)되게 한다.
- [0030] WBL(write bit line)은 상술한 복수 개의 쓰기 비트 라인으로, data write 시에는 선택된 셀(예컨대, 310)의 제 1 모스펫(10)의 드레인에 높은 전압을 인가하여 저장 노드(A1)에 data 1(D1)이 저장되게 하거나, 낮은 전압을 인가하여 저장 노드(A1)에 data 0(D0)이 저장되게 하고, read 시에는 감지 증폭기(sense amplifier)의 reference 전압을 인가한다.
- [0031] RBL(read bit line)은 상술한 복수 개의 읽기 비트 라인으로, 선택된 읽기 비트 라인(200) 마다 data read 시 프리차징용 트랜지스터(210)의 개폐로 프리차징(pre-charging) 후, 선택된 셀들(예컨대, 310과 320)의 data에 따라서 전압이 유지 또는 하강(discharge)하게 한다.
- [0032] RWL(read word line)은 상술한 복수 개의 읽기 워드 라인(RWL1, RWL2, RWL3; 110, 120, 130)으로, data read 시 하나의 RWL(논리 연산 결과 data read 시는 두개의 RWL)을 선택하여 접지(ground)와 연결하고, 나머지 RWL은 floating 상태를 유지한다. 이를 위한 제어는 상술한 접지용 트랜지스터(112, 122, 132)의 각 게이트에 연결된 복수 개의 트랜지스터 제어 워드 라인(MWL1, MWL2, MWL3)으로 한다.
- [0033] 도 2는 본 발명의 상술한 실시예에 따른 동작 전압 조건을 보여준다. (a)는 선택된 셀에 쓰기 동작 전압을 보여준다. 예를 들어, 선택된 셀(310)을 지나는 WBL에 높은 전압이 인가될 때 WWL1에 제 1 모스펫(MOSFET, 10)의 턴온 전압을 인가하면, 저장 노드(A1)에 data 1(D1)이 저장(write)하게 된다. 물론, WBL에 낮은 전압을 유지하고 있는 상태에서 WWL1에 제 1 모스펫(MOSFET, 10)의 턴온 전압을 인가하면, 저장 노드(A1)에 data 0(D0)이 저장(write)하게 된다. 다른 저장 노드(예컨대, B1)에 대해서도 같은 방식으로 쓰기 동작을 한다. (b)는 선택된 읽기 비트 라인(200)에 프리차징용 전원공급(Vpre)이 되고 있는 상태에서 트랜지스터 제어 비트 라인(MBL)에 프리차징용 트랜지스터(210)의 턴온 전압(PMOS의 경우 낮은 전압)이 인가되어 선택된 읽기 비트 라인(200)을 프리차징(pre-charging)시키는 것을 보여준다. (c)는 선택된 셀(310)에 대하여 트랜지스터 제어 워드 라인(MWL, 논리 연산 결과 read 시는 2개, 예컨대 MWL1과 MWL2)에 각 접지용 트랜지스터(112)(122)의 턴온 전압(NMOS의 경우 높은 전압)을 인가하여, 연산하고자 하는 2개의 읽기 워드 라인(예컨대, RWL1, RWL2; 110, 120)을 접지(ground)시키는 것을 보여준다. 이때, 나머지 비선택 RWL은 floating 상태를 유지한다. 그 결과 연산하고자 하는 2개 셀(예컨대, 310과 320)의 각 저장노드(A1)(B1)에 저장된 데이터에 따라 각 셀의 제 2 모스펫(20)이 온(on) 또는 오프(off)되면서 프리차징(pre-charging)된 선택된 읽기 비트 라인(200)의 전압 변동을 주게 되고, 이를 통해 연산 결과를 읽게 된다.
- [0034] 구체적 연산은 연산마다 트랜지스터 제어 비트 라인(MBL)에 인가되는 전압을 다르게 조절하여 선택된 읽기 비트 라인(200)의 일단에 구비된 프리차징용 트랜지스터(210)의 개폐 정도를 조절하고, 여기에 상기 읽기 시의 선택된 읽기 비트 라인(200)의 전압 변동을 반영하여 읽기 비트 라인(200)의 출력 전압 state를 구분해 이를 기초로 논리 연산(AND, NAND, OR, NOR, XOR, XNOR)의 결과를 얻게 된다.
- [0035] 이렇게 함으로써, 2개 셀(예컨대, 310과 320)의 저장노드(A1, B1)의 데이터 [1,0]과 [1,1]의 시간 차이를 늘림

으로써 동작 window를 확보할 수 있고, XOR 구현을 위하여 읽기 비트 라인(200)의 출력 전압 state를 3개의 state(Tri-state)로 구분해, 읽기 비트 라인(200)에 연결된 XOR 연산용 읽기 회로(400) 및/또는 증폭기(amplifier)를 통해서 High와 Low state인 경우는 출력을 '1', 중간 state인 경우는 출력을 '0'으로 하는 회로 설계가 가능하게 하는 장점이 있다.

[0036] 이하, 도 1, 도 3 내지 도 5와 표 1과 표 2를 참조하며, 구체적인 논리 연산 동작 방법에 대하여 설명한다. 아래 설명에서 구체적 연산으로 OR, AND, XOR 연산에 대해서만 설명하고 있으나, 이에 제한되지 않는다.

[0037] [표 1] <SPICE Simulation 결과 Table>

불 연산	동작 조건	Storage node DATA 에 따른 출력(RBL) 전압			
	(High :1V Low: <u>gnd</u>)	[0,0]	[1,0]	[0,1]	[1,1]
OR	V _{MBL} : High V _{MWL1} : High V _{MWL2} : High V _{MWL3~n} : Low	1V [High]	0V [Low]	0V [Low]	0V [Low]
AND	V _{MBL} : 0.1V V _{MWL1} : High V _{MWL2} : High V _{MWL3~n} : Low	1V [High]	0.8V [High]	0.8V [High]	0.1V [Low]
XOR	V _{MBL} : 0.5V V _{MWL1} : High V _{MWL2} : High V _{MWL3~n} : Low	1V [High]	0.6V [middle]	0.6V [middle]	0.2V [Low]

[0038]

[0039] 여기서, V_{MBL}은 트랜지스터 제어 비트 라인(MBL)의 인가전압, V_{MWL1}은 선택된 셀(310)의 트랜지스터 제어 워드 라인 MWL1의 인가전압, V_{MWL2}은 선택된 셀(320)의 트랜지스터 제어 워드 라인 MWL2의 인가전압, V_{MWL3~n}은 비선택된 셀(330 등)의 트랜지스터 제어 워드 라인 MWL3~MWLn의 인가전압을 의미하고, gnd는 접지(ground)를 의미한다. 2개의 피연산 데이터 [0,0], [1,0], [0,1], [1,1]은 각각 선택된 2개 셀(310, 320)의 저장노드(A1, B1)에 저장된 데이터 쌍을 나타낸다.

[0040] <OR 연산>

[0041] 도 1 및 표 1을 참조하면, OR 연산은 상술한 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이의 트랜지스터 제어 비트 라인 중 선택된 하나(MBL)는 프리차징용 트랜지스터(210)의 턴오프(turn off) 전압을 인가하고, 트랜지스터 제어 워드 라인 중 선택된 2개(MWL1, MWL2)는 각각 접지용 트랜지스터(112, 122)의 턴온(turn on) 전압을 인가하고, 나머지 비선택된 트랜지스터 제어 워드 라인(MWL3~MWLn)은 접지용 트랜지스터(132 등)의 턴오프 전압을 인가하거나 플로팅시켜서 구현할 수 있다. 표 1의 동작 조건은 도 1과 같이 프리차징용 트랜지스터(210)가 PMOS, 접지용 트랜지스터(112, 122, 132)는 NMOS로 구성될 때의 예를 보여준다(이하, 다른 연산에도 같음).

[0042] OR 연산 결과는 도 3과 같다. 읽기 비트 라인(RBL, 200)의 출력 전압(V_{RBL}) state는 Low 상태(212)로 있다가, 트랜지스터 제어 비트 라인(MBL)에 프리차징용 트랜지스터(210)의 턴온 전압(PMOS의 경우 낮은 전압)이 인가될 때 프리차징용 전원공급(V_{pre})으로 High 상태(214)로 바뀌고, 상기 OR 연산 동작 조건으로 트랜지스터 제어 비트 라인(MBL)과 트랜지스터 제어 워드 라인(MWL1~MWLn)에 전압이 인가되거나 플로팅되면, 선택된 2개 셀(310, 320)의 저장노드(A1, B1) 중 어느 하나의 데이터가 High(데이터 '1')일 경우 해당 셀의 제 2 모스펫(20)이 온(on)되면서 읽기 비트 라인(200)의 출력 전압(V_{RBL})은 Low 상태(218)로 떨어지고, 2개 저장노드(A1, B1)의 데이터 모두 Low(데이터 '0')일 경우에만 선택된 2개 셀(310, 320)의 각 제 2 모스펫(20)이 오프(off)되어 읽기 비트 라인(200)의 출력 전압(V_{RBL})은 High 상태(216)를 그대로 유지하게 된다. 이를 통해 선택된 2개 셀(310, 320)의 데이터로 OR 연산을 할 수 있게 된다.

[0043] <AND 연산>

[0044] 도 1 및 표 1을 참조하면, AND 연산은 상술한 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이의 트랜지스터 제어 비트 라인 중 선택된 하나(MBL)는 프리차징용 트랜지스터(210)의 턴온 전압을 인가하고, 트랜지스터 제어 워드 라인 중 선택된 2개(MWL1, MWL2)는 각각 접지용 트랜지스터(112, 122)의 턴온 전압을 인가하고, 나머지 비선

택된 트랜지스터 제어 워드 라인(MWL3~MWLn)은 접지용 트랜지스터(132 등)의 턴오프 전압을 인가하거나 플로팅시켜서 구현할 수 있다.

[0045] AND 연산 결과는 도 4와 같다. 읽기 비트 라인(RBL, 200)의 출력 전압(V_{RBL}) state는 프리차징용 트랜지스터(210)가 턴온되어 High 상태(214)로 있다가, 상기 AND 연산 동작 조건으로 트랜지스터 제어 비트 라인(MBL)과 트랜지스터 제어 워드 라인(MWL1~MWLn)에 전압이 인가되거나 플로팅되면, 선택된 2개 셀(310, 320)의 저장노드(A1, B1) 데이터 모두 Low(데이터 '0')일 경우는 각 셀의 제 2 모스펫(20)이 오프되어 읽기 비트 라인(200)의 출력 전압(V_{RBL})은 그대로 High 상태(222)를 유지하고, 선택된 2개 셀(310, 320) 중 어느 하나의 데이터가 High(데이터 '1')일 경우에는 해당 셀의 제 2 모스펫(20)이 온(on) 되면서, 읽기 비트 라인(RBL, 200)에서 제 2 모스펫(20)을 거쳐 접지에 이르는 전류 패스(path)가 생기며 읽기 비트 라인(200)의 출력 전압(V_{RBL})이 연산 전 초기값보다 약간 떨어진 값을 가지나 High 상태를 유지하게 되고, 2개 저장노드(A1, B1)의 데이터 모두 High(데이터 '1')일 경우에만 선택된 2개 셀(310, 320)의 각 제 2 모스펫(20)이 모두 온(on) 되어 읽기 비트 라인(200)의 출력 전압(V_{RBL})은 Low 상태(224)로 바뀌게 된다. 여기서, 선택된 2개 셀(310, 320) 중 어느 하나의 데이터가 High(데이터 '1')일 경우 읽기 비트 라인(200)의 출력 전압(V_{RBL})의 연산 전 초기값은 트랜지스터 제어 비트 라인(MBL)에 인가되는 전압을 조절하여 프리차징용 트랜지스터(210)의 턴온 정도를 조절함으로써, 연산 후 High 상태를 유지하는 window를 조절할 수 있다. 즉, 도 1과 같이, 프리차징용 트랜지스터(210)를 PMOS로 하는 경우, 트랜지스터 제어 비트 라인(MBL)에 0.2V를 인가할 때(228)보다 0.1V를 인가할 때(226) 연산 전 초기값을 크게 하여 High 상태를 유지하는 window를 크게 할 수 있다. 트랜지스터 제어 비트 라인(MBL)에 0.1V를 인가하여 AND 연산을 한 시뮬레이션 결과는 표 1과 같다.

[0046] <XOR 연산>

[0047] 도 1 및 표 1을 참조하면, XOR 연산은 상술한 프로세싱-인-메모리 구현을 위한 2T DRAM 어레이의 트랜지스터 제어 비트 라인 중 선택된 하나(MBL)는 프리차징용 트랜지스터(210)의 턴온 전압과 턴오프 전압 사이의 전압(즉, 프리차징용 트랜지스터가 PMOS일 경우, 턴온 전압보다 높고 턴오프 전압보다 낮은 전압)을 인가하고, 트랜지스터 제어 워드 라인 중 선택된 2개(MWL1, MWL2)는 각각 접지용 트랜지스터(112, 122)의 턴온 전압을 인가하고, 나머지 비선택된 트랜지스터 제어 워드 라인(MWL3~MWLn)은 접지용 트랜지스터(132 등)의 턴오프 전압을 인가하거나 플로팅시켜서 구현할 수 있다.

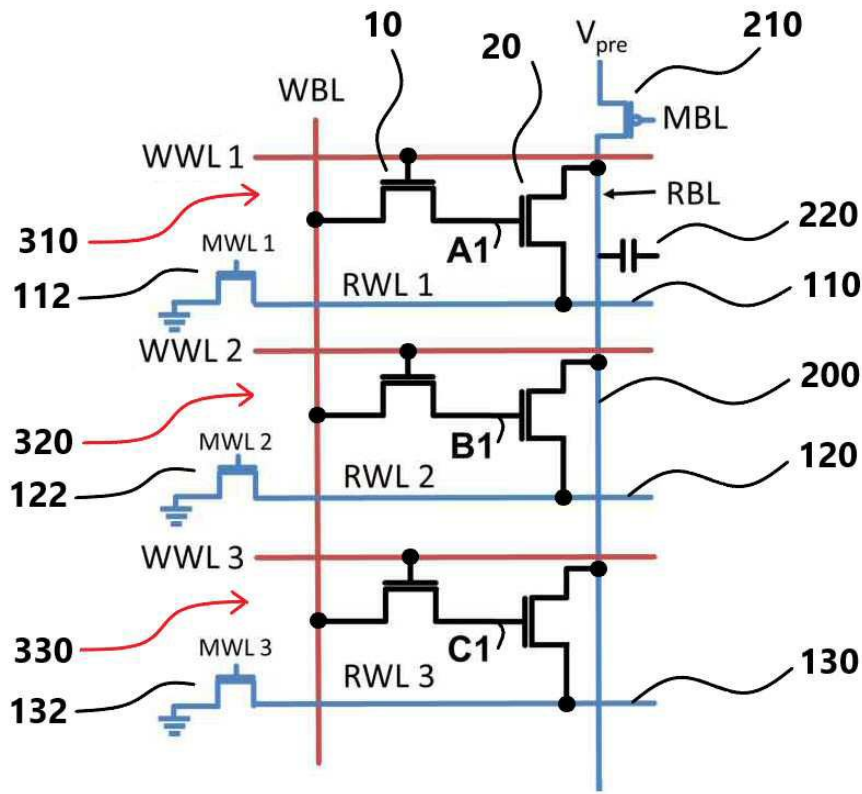
[0048] XOR 연산 결과는 도 5와 같다. 읽기 비트 라인(RBL, 200)의 출력 전압(V_{RBL}) state는 프리차징용 트랜지스터(210)가 턴온되는 정도를 조절하여 연산 후 3개의 state(Tri-state) 즉 High 상태(232), Middle 상태(234), Low 상태(236)로 구분한다. 이를 위해, 트랜지스터 제어 비트 라인 중 선택된 하나(MBL)는 프리차징용 트랜지스터(210)의 턴온 전압과 턴오프 전압 사이의 전압(즉, 프리차징용 트랜지스터가 PMOS일 경우, 턴온 전압<예를 들어 0V>보다 높고 턴오프 전압<High 신호로 예를 들어 1V>보다 낮은 전압)을 인가하여, 읽기 비트 라인(RBL, 200)의 출력 전압(V_{RBL})의 연산 전 초기값이, 앞서 설명한 AND 연산의 초기값보다 낮은 값을 갖도록 하여, 3개의 state(Tri-state)로 명확히 분리되도록 함이 바람직하다. 즉, 트랜지스터 제어 비트 라인 중 선택된 하나(MBL)에 인가되는 전압을 조절하여, 3개의 state(Tri-state)로 분리되는 window를 조절할 수 있다.

[0049] 상술한 읽기 비트 라인(RBL, 200)의 출력 전압(V_{RBL})의 연산 전 초기값 상태에서, 상기 XOR 연산 동작 조건으로 트랜지스터 제어 비트 라인(MBL)과 트랜지스터 제어 워드 라인(MWL1~MWLn)에 전압이 인가되거나 플로팅되면, 선택된 2개 셀(310, 320)의 저장노드(A1, B1) 데이터 모두 Low(데이터 '0')일 경우는 각 셀의 제 2 모스펫(20)이 오프되어 읽기 비트 라인(200)의 출력 전압(V_{RBL})은 그대로 High 상태(232)를 유지하고, 선택된 2개 셀(310, 320) 중 어느 하나의 데이터가 High(데이터 '1')일 경우에는 해당 셀의 제 2 모스펫(20)이 온(on) 되면서, 읽기 비트 라인(RBL, 200)에서 제 2 모스펫(20)을 거쳐 접지에 이르는 전류 패스(path)가 생기며 읽기 비트 라인(200)의 출력 전압(V_{RBL})이 연산 전 초기값보다 떨어져 Middle 상태(234)를 유지하게 되고, 2개 저장노드(A1, B1)의 데이터 모두 High(데이터 '1')일 경우는 선택된 2개 셀(310, 320)의 각 제 2 모스펫(20)이 모두 온(on) 되어 읽기 비트 라인(200)의 출력 전압(V_{RBL})은 Low 상태(236)로 바뀌게 된다. 도 1과 같이, 프리차징용 트랜지스터(210)를 PMOS로 하는 경우, 트랜지스터 제어 비트 라인(MBL)에 0.5V를 인가하여 XOR 연산을 한 시뮬레이션 결과는 표 1과 같다.

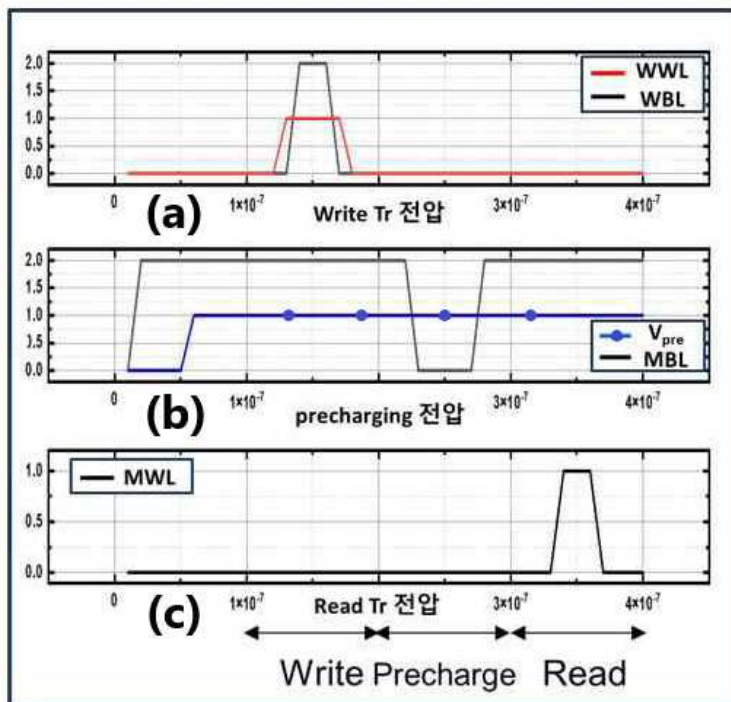
[0050] 상기와 같이, 읽기 비트 라인(200)의 출력 전압 state를 3개의 state(Tri-state)로 구분한 이후는, 도 6과

도면

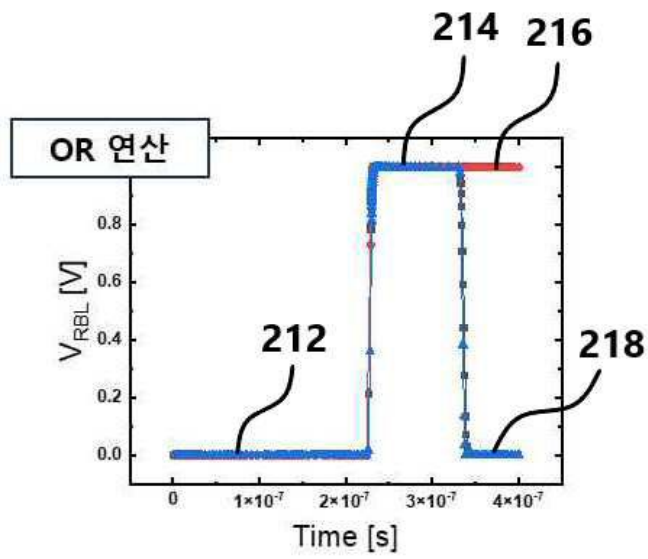
도면1



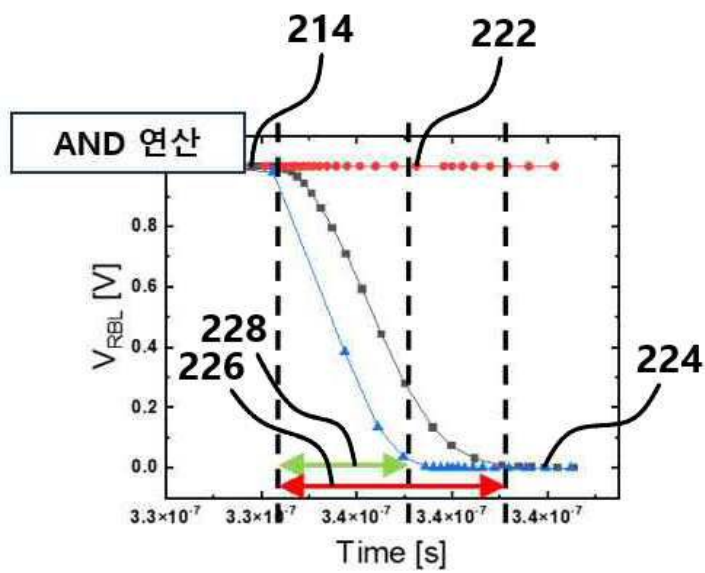
도면2



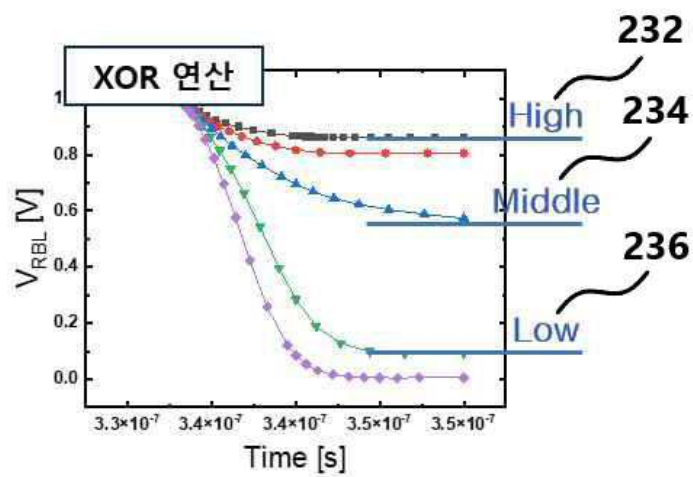
도면3



도면4



도면5



도면6

