

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-304494

(P2004-304494A)

(43) 公開日 平成16年10月28日(2004. 10. 28)

(51) Int. Cl.⁷

H03M 3/02

H02P 21/00

H03M 1/08

F I

H03M 3/02

H03M 1/08

H02P 5/408

テーマコード (参考)

5H576

5J022

5J064

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2003-94693 (P2003-94693)

(22) 出願日 平成15年3月31日 (2003. 3. 31)

(71) 出願人 000005234

富士電機ホールディングス株式会社

神奈川県川崎市川崎区田辺新田 1 番 1 号

(74) 代理人 100066980

弁理士 森 哲也

(74) 代理人 100075579

弁理士 内藤 嘉昭

(74) 代理人 100103850

弁理士 崔 秀▲てつ▼

(72) 発明者 美根 宏則

神奈川県川崎市川崎区田辺新田 1 番 1 号

富士電機株式会社内

F ターム (参考) 5H576 AA04 AA17 CC05 DD07 EE01

GG01 GG04 HA04 HB02 JJ03

LL41

最終頁に続く

(54) 【発明の名称】 $\Delta \Sigma$ 変調方式の A/D 変換器及びこれを用いた制御装置

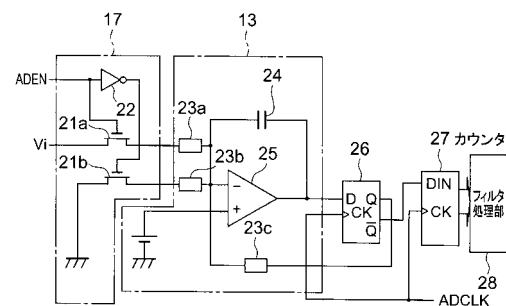
(57) 【要約】

【課題】回路規模が増大することなく、量子化ノイズを低減させる。

【解決手段】電圧指令信号を生成するための三角波の上下のピーク値を中心とする所定期間に HIGH レベルとなる変換期間信号 ADEN に基づいて、積分器 13 を構成するオペアンプ 25 へのアナログ入力信号 V_i を接地電位に切り替え、変換期間信号 ADEN が HIGH レベルであるとき、アナログ入力信号 V_i をオペアンプ 25 に供給し、変換期間信号 ADEN が LOW レベルであるときには接地電位を供給する。接地電位を供給することにより積分器 13 の内部状態が接地電位が入力された状態として安定するから、変換期間信号 ADEN の立ち上がりで接地電位からアナログ入力信号 V_i に切り替えると、積分器 13 の内部状態が安定した量子化ノイズの要因が除去された状態から積分動作が開始されることになり、量子化ノイズによる A/D 変換値の精度の低下を低減することができる。

【選択図】

図 2



【特許請求の範囲】

【請求項 1】

アナログ入力信号とアナログ帰還信号との差を積分する積分手段と、
当該積分手段で積分した値を量子化しこの量子化信号に基づき前記アナログ帰還信号を生成する帰還信号生成手段と、
前記量子化信号に基づき前記アナログ入力信号に応じた A / D 変換値を算出する変換値算出手段と、を備えた $\Delta \Sigma$ 変調方式の A / D 変換器において、
前記積分手段の内部情報を予め設定したタイミングで規定値にリセットするリセット手段を備え、
前記変換値算出手段は、前記リセット手段が非作動中における前記量子化信号に基づき前記 A / D 変換値を算出するようになっていることを特徴とする $\Delta \Sigma$ 変調方式の A / D 変換器。 10

【請求項 2】

前記リセット手段は、所定のリセットタイミングで、A / D 変換対象の前記アナログ入力信号を、規定値からなるリセット用アナログ信号に切り替える切り替え手段であることを特徴とする請求項 1 記載の $\Delta \Sigma$ 変調方式の A / D 変換器。

【請求項 3】

制御対象の制御状態を表すアナログ信号からなる制御状態量をデジタル信号に変換する $\Delta \Sigma$ 変調方式の A / D 変換器と、
当該 A / D 変換器で変換された制御状態量に基づき前記制御対象を制御する制御手段と、を備えた制御装置において、
前記 A / D 変換器は、前記制御状態量とその帰還信号との差を積分する積分手段と、
当該積分手段で積分した値を量子化しこの量子化信号に基づき前記帰還信号を生成する帰還信号生成手段と、
前記量子化信号に基づき前記制御状態量に応じた A / D 変換値を算出する変換値算出手段と、
前記積分手段の内部情報を予め設定したタイミングで規定値にリセットするリセット手段と、を備え、
前記変換値算出手段は、前記リセット手段が非作動中における前記量子化信号に基づき前記 A / D 変換値を算出するようになっていることを特徴とする制御装置。 20 30

【請求項 4】

前記制御手段は、前記制御対象をスイッチング回路を介して制御し且つ前記スイッチング回路を構成するスイッチング素子を定周期で制御すると共に、前記スイッチング回路の出力を前記制御状態量として制御を行い、
前記リセット手段は、前記スイッチング回路におけるスイッチング素子の制御周期と同期した定周期で前記リセットを行うようになっていることを特徴とする請求項 3 記載の制御装置。

【請求項 5】

前記リセット手段は、前記制御状態量に含まれる前記スイッチング素子の切り替わりに伴う脈動成分が大きい期間に前記リセットを行うようになっていることを特徴とする請求項 4 記載の制御装置。 40

【請求項 6】

前記リセット手段は、前記スイッチング素子の切り替わり期間にも前記リセットを行うようになっていることを特徴とする請求項 5 記載の制御装置。

【請求項 7】

前記リセット手段は、前記 A / D 変換器への前記制御状態量を、規定値からなるリセット用アナログ信号に切り替える切り替え手段であることを特徴とする請求項 3 乃至 6 の何れかに記載の制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、搬送、加工、印刷、成型、工作機械等に適用されるモータ制御機器を駆動制御する際の電流検出のため等に適用される $\Delta\Sigma$ 変調方式のA/D変換器及びこれを用いた制御装置に関する。

【0002】

【従来の技術】

例えば、モータ制御機器を駆動制御する場合、モータをデジタル量によって制御すれば、アナログ量による制御に比較して、より高速度且つ高精度での制御を期待することができるため、デジタル制御が多用されるようになりつつある。

しかしながら、モータへの供給電圧或いは供給電流等といったモータの駆動状態を検出するための検出情報はアナログ量であるため、モータをデジタル制御するためには、これらのアナログデータをデジタルデータに変換する必要がある、この変換は、一般に、A/D変換器を用いて行うようにしている。

【0003】

ところで、モータを高精度で駆動制御しようとした場合、例えば10ビット以上のA/D変換器が必要であり、多ビットのA/D変換器は回路が複雑で大型化し、価格も上昇してしまうという問題がある。

これを回避するために、高精度を維持しながら、且つ回路構成を簡略化することの可能なA/D変換器として、 $\Delta\Sigma$ 変調型A/D変換器が多用されるようになってきている。

【0004】

図11は、永久磁石電動機（以下、PMモータという。）をデジタル制御するための電動機制御回路の回路構成の一般的な一例を示したブロック回路図である。

図11において、1はPMモータ7の回転速度を制御するための速度制御器、2は比例積分制御によってPMモータ7へ印加する電圧を制御するPI制御部、3はPMモータ7の直交するdq座標軸上の電圧指令を三相電圧指令に変換するUVW変換部、4はUVW変換部3からの三相電圧指令に応じたパルス幅変調波形を発生するために三角波形との比較を行う比較器、5は前記三角波形を発生する三角波発生器、6はPMモータ7を駆動するためのインバータ、8はPMモータ7の回転位置を検出する位置検出器、9はPMモータ7への供給電流としてアナログ量で検出される各相電流をデジタル量に変換する $\Delta\Sigma$ 変調型A/D変換器である。この $\Delta\Sigma$ 変調型A/D変換器9で変換されたデジタル量の各相電流は、dq座標変換部10で直交するdq座標に変換される。

【0005】

そして、位置検出器8で検出された位置情報と、入力される速度指示値 w_r^* とをもとに速度制御器1が電流指令値 i^* を生成し、演算器1aで、電流指令値 i^* から、dq座標変換部10で座標変換された電流値を減算した値を算出し、算出した差をもとに、PI制御部2が比例積分制御を行うことによって、PMモータ7を駆動制御するようにしている。

【0006】

図12は、図11における $\Delta\Sigma$ 変調型A/D変換器9の構成を示すブロック回路図である。

図12において、差動アンプ11は、アナログ入力信号をVi（信号範囲は0～1）とすると、これと1ビットD/A変換器12の出力との差を演算し、この出力を積分器13に inputsする。積分器13では、アナログ入力信号Viと1ビットD/A変換器12の出力との差を積分し、アナログ入力信号Viが1ビットD/A変換器12の出力よりも大きければ積分器13の出力を増大させ、この大小関係が逆ならば、積分器13の出力を減少させる。

【0007】

この積分器13の出力と別途定めるレベル、例えば、“0.5”との大小関係を比較器14で比較し、積分器13の出力の方が大きければ、比較器14は“1”を出力し、積分器13の出力の方が小さければ、比較器14は“0”を出力する。

10

20

30

40

50

この比較器 14 の出力データがサンプリングクロックによりラッチされ、サンプリングクロック周波数の 1 周期の期間、遅延回路 15 に保持される。このラッチされた信号が前記 1 ビット D/A 変換器 12 の入力となり、差動アンプ 11 は前述したアナログ入力信号 V_i との差の演算を行う。そして、デジタルフィルタ 16 において、前記比較器 14 の出力をもとに、A/D 変換値を算出するようになっている。

【0008】

図 13 は、図 12 の構成を有する $\Delta\Sigma$ 変調型 A/D 変換器へのアナログ入力信号 V_i が “1/3” である場合の各部の動作を示す動作波形図である。

図 12 において、(a) は積分器 13 の出力、(b) は比較器 14 の出力を表したものであって、横軸はサンプリングクロックを表す。アナログ入力信号 V_i が “1/3” の場合には、図 13 に示すように、サンプリングクロック 3 回に 1 回の割合で、比較器 14 から信号レベルが “1” の信号が出力される。

10

【0009】

一方、図 14 は、図 12 の構成を有する $\Delta\Sigma$ 変調型 A/D 変換器へのアナログ入力信号 V_i が “4/7” である場合の各部の動作を示す動作波形図である。

図 14 において、(a) は積分器 13 の出力、(b) は比較器 14 の出力を表したものであって、横軸はサンプリングクロックを表す。アナログ入力信号 V_i が “4/7” の場合には、サンプリングクロック 7 回に 4 回の割合で比較器 14 から信号レベルが “1” の信号が出力される。

20

【0010】

そして、図 13 (b) 或いは図 14 (b) で表される比較器 14 の出力を、デジタルフィルタ 16 でフィルタ処理することによって、アナログ入力信号 V_i に応じたデジタル値が得られることになる。前記デジタルフィルタ 16 でのフィルタ処理としては、 2^n のサンプリングクロック期間、例えば $n=8$ とした場合には、256 回のサンプリングクロック期間中に、比較器 14 から信号レベルが “1” の信号が何回出力されたかをカウントし、1 サンプルクロック当たりの信号レベル “1” の信号の出力回数を演算し、これをデジタル出力値とするようになっている。前記サンプリングクロック期間が、A/D 変換を行うためのサンプリングを行うサンプリング期間となり、このサンプリング期間毎に、比較器 14 から信号レベルが “1” の信号が出力された回数をカウントすることによって、サンプリング期間毎の A/D 変換値、つまりデジタル値を得るようになっている。

30

【0011】

上述のように、前記図 12 に示す構成を有する $\Delta\Sigma$ 変調型 A/D 変換器を用いることによって、サンプリング期間中の信号レベルが “1” となる回数に基づいて、アナログ入力信号 V_i に応じたデジタル信号を得ることができる。しかしながら、アナログ入力信号 V_i を分数で表したときの分母の値と、サンプリング期間のサンプリングクロック数とが割り切れない関係にある場合には、A/D 変換値が一定とならない場合があるという問題がある。これは量子化ノイズ或いはパターンノイズと呼ばれるノイズの影響によるものである。

【0012】

例えば、サンプリング期間のクロック数が “256” であって、アナログ入力信号 V_i が $V_i = 1/3$ である場合の A/D 変換値は、“85, 85, 86, 85, 85, 86, 85, ……” となり、A/D 変換を行った場合、3 回に 1 回の割合で、他の 2 回とは異なる値を出力することになる。つまり、アナログ入力信号 V_i が一定であるにも係わらず、その A/D 変換値が変動するという問題がある。

40

【0013】

このように、A/D 変換値が時によって変動する場合、例えば、前記図 11 に示す電動機制御回路において、PM モータ 7 に電流を流すことによって、この PM モータ 7 に結合している図示しない負荷が発生するトルクに対抗して PM モータ 7 を所定の停止位置に静止させるといった制御を行う場合に、 $\Delta\Sigma$ 変調型 A/D 変換器 9 に前述したような出力変動が発生すると、この PM モータ 7 を所定位置で静止させることが困難になるという問題が

50

ある。

【0014】

これを回避するため、前述の量子化ノイズ或いはパターンノイズを除去する方法として、 $\Delta\Sigma$ 変調型A/D変換器9の出力側に次数の高いデジタルフィルタを追加する方法、或いは、この高次のデジタルフィルタを用いる代わりに、小振幅で一定周期波形のディザ信号をアナログ入力信号Viに加算することでノイズスペクトラルに分散させる方法（例えば、特許文献1）、また、アナログ入力信号Viが小振幅の交流信号であれば、このアナログ入力信号Viとノイズの少ない直流レベルとを重畳することにより、量子化ノイズの影響を低減するようにした方法も提案されている（例えば、特許文献2）。

【0015】

10

【特許文献1】

特開平6-104751号公報

【特許文献2】

特開平10-173533号公報

【0016】

【発明が解決しようとする課題】

しかしながら、上述のように、 $\Delta\Sigma$ 変調型A/D変換器の出力側に高次のデジタルフィルタを追加することで、出力信号に含まれるノイズを除去しようとする、回路規模が大きくなるという問題があるばかりでなく、フィルタの特性上からステップ入力に対する応答の遅れが増大するという問題があるため、例えば、図11に示すような電動機制御回路に使用する場合には、サーボシステム全体の制御特性が劣化する場合があるという問題がある。

20

【0017】

また、A/D変換対象のアナログ入力信号Viにディザ信号を加算するようにした方法においては、ディザ発生回路を追加設置する必要があり、この場合も回路規模を増大させてしまうことになり、また、ディザ信号の振幅相当分だけ、アナログ入力信号Viの入力可能な範囲が狭くなってしまうという問題がある。

【0018】

また、ノイズの少ないレベルとなるように直流レベルと重畳する方法においては、小振幅信号を扱う用途であれば適用可能であるが、電動機制御のような制御性を重視し、A/D

30

変換器の信号入力範囲全体を使用する用途には適用することが困難である。そこで、この発明は、上記従来の未解決の問題に着目してなされたものであり、回路規模が増大することなく、量子化ノイズを低減することの可能な $\Delta\Sigma$ 変調方式のA/D変換器及びこれを用いた制御装置を提供することを目的としている。

【0019】

【課題を解決するための手段】

上記目的を達成するために、本発明の請求項1に係る $\Delta\Sigma$ 変調方式のA/D変換器は、アナログ入力信号とアナログ帰還信号との差を積分する積分手段と、当該積分手段で積分した値を量子化しこの量子化信号に基づき前記アナログ帰還信号を生成する帰還信号生成手段と、前記量子化信号に基づき前記アナログ入力信号に応じたA/D変換値を算出する変換値算出手段と、を備えた $\Delta\Sigma$ 変調方式のA/D変換器において、前記積分手段の内部情報を予め設定したタイミングで規定値にリセットするリセット手段を備え、前記変換値算出手段は、前記リセット手段が非作動中における前記量子化信号に基づき前記A/D変換値を算出するようになっていることを特徴としている。

40

【0020】

この請求項1に係る発明では、積分手段で積分した値が量子化されてこの量子化信号に基づいてA/D変換値が算出される。ここで、積分手段で積分した値に基づいて量子化を行うようにした場合、量子化ノイズの影響によりアナログ入力信号として一定の値を入力したとしても、得られるA/D変換値は異なる場合がある。しかしながら、積分手段の内部状態をリセット手段によって所定のタイミングで規定値にリセットすることによって、リ

50

セット後、再度積分動作を行う場合には、規定値から積分が開始されることになり、積分手段において量子化ノイズ成分が除去されたことと同等の状態となるから、A/D変換値が量子化ノイズの影響により変動することを防止することが可能となる。

【0021】

また、請求項2に係る $\Delta\Sigma$ 変調型A/D変換器は、前記前記リセット手段は、所定のリセットタイミングで、A/D変換対象の前記アナログ入力信号を、規定値からなるリセット用アナログ信号に切り替える切り替え手段であることを特徴としている。

この請求項2に係る発明では、リセット手段は、所定のリセットタイミングで、A/D変換対象のアナログ入力信号を、規定値であるリセット用アナログ信号に切り替えるようにしている。したがって、リセット用アナログ信号に切り替えることにより、積分手段の内部情報が規定値にリセットされるから、リセット後、再度A/D変換対象のアナログ入力信号に切り替えたときには、積分手段の内部情報が規定値にリセットされた状態から積分動作することになる。よって、積分手段内の量子化ノイズ成分が除去されたことと同等となり、すなわち、量子化ノイズを低減することが可能となる。

【0022】

また、請求項3に係る制御装置は、制御対象の制御状態を表すアナログ信号からなる制御状態量をデジタル信号に変換する $\Delta\Sigma$ 変調方式のA/D変換器と、当該A/D変換器で変換された制御状態量に基づき前記制御対象を制御する制御手段と、を備えた制御装置において、前記A/D変換器は、前記制御状態量とその帰還信号との差を積分する積分手段と、当該積分手段で積分した値を量子化しこの量子化信号に基づき前記帰還信号を生成する帰還信号生成手段と、前記量子化信号に基づき前記制御状態量に応じたA/D変換値を算出する変換値算出手段と、前記積分手段の内部情報を予め設定したタイミングで規定値にリセットするリセット手段と、を備え、前記変換値算出手段は、前記リセット手段が非作動中における前記量子化信号に基づき前記A/D変換値を算出するようになっていることを特徴としている。

【0023】

この請求項3に係る発明では、制御対象に対する制御量或いは、制御対象を制御することに伴う制御対象の状態変動量等といった制御対象の制御状態を表すアナログ信号からなる制御状態量が $\Delta\Sigma$ 変調方式のA/D変換器によりデジタル信号に変換され、この変換されたデジタル信号からなる制御状態量に基づいて、制御手段によって制御対象が制御される。

【0024】

このとき、 $\Delta\Sigma$ 変調方式のA/D変換器では、制御状態量をアナログ入力信号とし、これとその帰還信号との差が積分手段で積分されてこれが量子化され、この量子化信号に基づいてA/D変換値、つまり制御状態量に応じたデジタル信号が算出される。

ここで、積分手段で積分した値に基づいて量子化を行うようにした場合、量子化ノイズの影響により制御状態量として一定の値を入力したとしても、得られるA/D変換値は異なる場合がある。しかしながら、A/D変換値が量子化ノイズの影響によって変化する以前に、積分手段の内部状態をリセット手段によって所定のタイミングで規定値にリセットすることによって、A/D変換値が量子化ノイズの影響により変動することを防止することが可能となる。したがって、このように量子化ノイズの影響を受けることなくA/D変換された制御状態量のA/D変換値に基づいて制御対象を制御することにより、制御対象に対する制御をより高精度に行うことが可能となる。

【0025】

また、請求項4に係る制御装置は、前記制御手段は、前記制御対象をスイッチング回路を介して制御し且つ前記スイッチング回路を構成するスイッチング素子を定周期で制御すると共に、前記スイッチング回路の出力を前記制御状態量として制御を行い、前記リセット手段は、前記スイッチング回路におけるスイッチング素子の制御周期と同期した定周期で前記リセットを行うようになっていることを特徴としている。

【0026】

この請求項4に係る発明では、前記制御手段は、前記制御対象をスイッチング回路を介して制御し、さらに、前記スイッチング回路を構成するスイッチング素子を定周期で制御し、このとき、スイッチング回路の出力つまり制御対象に対する制御量を前記制御状態量として、スイッチング回路を制御する。

このとき、リセット手段は、スイッチング素子の制御周期と同期した定周期で、A/D変換対象のアナログ入力信号を、規定値のリセット用アナログ信号に切り替えるようにしている。

【0027】

ここで、例えば、スイッチング回路を制御して制御対象を制御することに起因して、制御状態量にノイズが含まれる期間等、的確な制御状態量を検出することができないと予測される期間にリセットを行うようにすれば、この期間の制御状態量はA/D変換に用いられないから、ノイズの多い制御状態量に基づきA/D変換値が算出されることが回避される。

10

【0028】

そして、リセットにより、アナログ入力信号をリセット用アナログ信号に切り替えることにより、積分手段の内部情報が規定値にリセットされるから、リセット後、再度A/D変換対象のアナログ入力信号に切り替えたときには、積分手段の内部情報が規定値にリセットされた状態から動作することになる。よって、積分手段内の量子化ノイズ成分が除去されたことと同等となり、すなわち、量子化ノイズを低減することが可能となる。

【0029】

よって、このようにして算出される制御状態量のA/D変換値に基づいて制御対象の制御を行うことにより、制御対象に対する制御をより高精度に行うことが可能となる。

20

また、請求項5に係る制御装置は、前記リセット手段は、前記制御状態量に含まれる前記スイッチング素子の切り替わりに伴う脈動成分が大きい期間に前記リセットを行うようになっていることを特徴としている。

【0030】

この請求項5に係る発明では、制御状態量に含まれるスイッチング素子の切り替わりに伴う脈動成分が大きい期間、つまり、制御状態量の平均的な値を得ることができないと予測される期間にリセット手段によるリセットが行われるから、この期間における制御状態量に基づいてのA/D変換値の算出は行われない。したがって、平均的な制御状態量の値を得ることができないと予測される期間の制御状態量に基づくA/D変換値、つまり、誤差の多いA/D変換値に基づいて制御対象の制御を行うことが回避されるから、脈動成分の影響による、制御対象の制御精度の低下が抑制されることになる。

30

【0031】

また、請求項6に係る制御装置は、前記リセット手段は、前記スイッチング素子の切り替わり期間にも前記リセットを行うようになっていることを特徴としている。

この請求項6に係る発明では、制御手段による制御によって、スイッチング回路を構成するスイッチング素子が切り替わる状態である切り替わり期間においても、リセットが行われる。ここで、スイッチング素子が切り替わるときには、前記スイッチング回路から出力される前記制御対象を制御するための制御状態量にスイッチングノイズが含まれる場合がある。しかしながら、スイッチング素子が切り替わる期間にリセットを行うようにしているから、ノイズが含まれる制御状態量に基づくA/D変換値の算出は行われない。

40

【0032】

したがって、得られるA/D変換値におけるスイッチングノイズの影響を低減することが可能となり、すなわち、このA/D変換値に基づく制御対象の制御精度の低下が抑制されることになる。

さらに、請求項7に係る制御装置は、前記リセット手段は、前記A/D変換器への前記制御状態量を、規定値からなるリセット用アナログ信号に切り替える切り替え手段であることを特徴としている。

【0033】

50

この請求項 7 に係る発明では、リセット手段は、A/D 変換器への制御状態量を、規定値であるリセット用アナログ信号に切り替えるようにしている。したがって、リセット用アナログ信号に切り替えることにより、積分手段の内部情報が規定値にリセットされるから、リセット後、リセット用アナログ信号から再度 A/D 変換対象の制御状態量に切り替えたときには、積分手段の内部情報が規定値にリセットされた状態から積分動作することになる。よって、積分手段内の量子化ノイズ成分が除去されたことと同等となり、すなわち、量子化ノイズを低減することが可能となる。

【0034】

【発明の実施の形態】

以下に、本発明の実施の形態を説明する。

10

まず、第 1 の実施の形態を説明する。

図 1 は、本発明を適用した電動機制御回路の一例を示すブロック回路図である。

この第 1 の実施の形態における電動機制御回路は、前記図 1 1 に示す従来の電動機制御回路において、A/D 変換タイミング生成部 5 1 が追加され、 $\Delta \Sigma$ 変調型 A/D 変換器 5 2 の構成が異なること以外は同様であるので、同一部には同一符号を付与しその詳細な説明は省略する。

【0035】

前記 A/D 変換タイミング生成部 5 1 は、前記三角波発生器 5 の出力をもとに、A/D 変換タイミングを表す変換期間信号 A D E N を生成する。具体的には、三角波発生器 5 が生成する搬送波が H I G H 側のしきい値よりも低い状態からこのしきい値を上回る状態となったとき、または、L O W 側のしきい値よりも高い状態からこのしきい値を下回る状態となったときに H I G H レベルとなり、この時点から予め設定した A/D 変換期間が経過したとき L O W レベルとなる信号を生成する。つまり、後述の図 5 に示すように、搬送波の H I G H 側及び L O W 側のピーク値を中心としてその前後所定範囲において H I G H レベルとなる信号を生成し、これを変換期間信号 A D E N として $\Delta \Sigma$ 変調型 A/D 変換器 5 2 に出力する。

20

【0036】

図 2 は、前記 $\Delta \Sigma$ 変調型 A/D 変換器 5 2 の回路図である。この第 1 の実施の形態における $\Delta \Sigma$ 変調型 A/D 変換器 5 2 は、前記図 1 2 に示す従来の $\Delta \Sigma$ 変調型 A/D 変換器 9 の回路図において、さらに入力信号切り替え回路 1 7 が設けられている。

30

図 2 に示すように、アナログ入力信号 V i は、F E T 等で構成されるアナログスイッチ 2 1 a を介してオペアンプ 2 5 の反転入力端子に入力され、また、この反転入力端子には、アナログスイッチ 2 1 b を介して接地電位が入力されるようになっている。前記アナログスイッチ 2 1 a 及び 2 1 b は、A/D 変換タイミング生成部 5 1 から出力される変換期間信号 A D E N に応じて作動し、前記アナログスイッチ 2 1 a を変換期間信号 A D E N に応じて制御し、前記アナログスイッチ 2 1 b をインバータ 2 2 で論理反転した前記変換期間信号 A D E N に応じて制御することによって、前記変換期間信号 A D E N が H I G H レベルのときには、前記アナログ入力信号 V i が選択され、前記変換期間信号 A D E N が L O W レベルのときには前記接地電位が選択され、前記アナログスイッチ 2 1 a、2 1 b と前記オペアンプ 2 5 の反転入力端子との間にそれぞれ介挿された入力抵抗 2 3 a、2 3 b を介して前記オペアンプ 2 5 の反転入力端子に入力されるようになっている。

40

【0037】

また、前記オペアンプ 2 5 の非反転入力端子には、オペアンプ 2 5 の動作点を決定する基準電源が入力され、オペアンプ 2 5 の出力端子と反転入力端子との間にコンデンサ 2 4 が介挿されている。

そして、オペアンプ 2 5 の出力は D 型フリップフロップ 2 6 のデータ入力端子 D に入力され、また、この D 型フリップフロップ 2 6 には、サンプリングクロック A D C L K が入力される。前記 D 型フリップフロップ 2 6 の非反転出力は、入力抵抗 2 3 c を介してオペアンプ 2 5 の反転入力端子に入力され、一方、反転出力はカウンタ 2 7 の入力端子に入力される。前記カウンタ 2 7 では、サンプリングクロック A D C L K に同期して、入力端子に

50

入力されるD型フリップフロップ出力がHIGHレベルであるとき、これをカウントし、D型フリップフロップ出力がHIGHレベルである回数を、A/D相当値として出力する。

【0038】

フィルタ処理部28では、前記変換期間信号ADENがLOWレベルとなるタイミングをトリガとしてカウンタ27からA/D相当値を読み込み、前回読み込み時に記憶していたA/D相当値と、今回のA/D相当値との差分値を算出し、前記変換期間信号ADENがHIGHレベルである期間、つまり、サンプリング期間当たりのA/D相当値を算出する。そして、このA/D相当値をサンプリング期間のサンプリングクロック数で割り算し、その演算結果に対してフィルタリング処理等を行い、A/D変換値を算出するようになっている。 10

【0039】

なお、図2において、オペアンプ25、コンデンサ24及び入力抵抗23a～23cが、積分器13を構成し、D型フリップフロップ26が比較器14、遅延回路15及び1ビットD/A変換器12を構成し、カウンタ27及びフィルタ処理部28がデジタルフィルタ16を構成している。また、アナログスイッチ21a及び21b、インバータ22、が前記入力信号切り替え回路17を構成している。

【0040】

つまり、積分器13は、前記変換期間信号ADENがHIGHレベルである間、前記アナログ入力信号Viと基準電源電位との差分値を積分した積分値を出力し、前記変換期間信号ADENがLOWレベルとなったとき、接地電位が入力として与えられた状態にリセットされ、この状態を、LOWレベルの間、維持することになる。そして、この積分器13の出力をD型フリップフロップ26がサンプリングクロックADCLKに同期してサンプリングし、その反転出力の立ち上がりをカウンタ27でカウントするようになっている。 20

【0041】

図3は、図1のインバータ6の一例を示す回路図である。このインバータ6は、公知のインバータと同様に構成され、直列に接続された二つのダイオード列が並列に3つ接続されて形成されるダイオード整流器61と、フィルタを構成するインダクタ62及びコンデンサ63と、逆並列にダイオードが接続された二つのトランジスタが直列に接続されたトランジスタ列が並列に3つ接続されて形成されるインバータ主回路64とから構成され、入力される3相交流電力は、ダイオード整流器61で一旦直流電力に変換された後、インバータ主回路64をPWM制御することによって、任意の周波数及び任意の電圧の3相交流電力として、PMモータ7に印加されるようになっている。 30

【0042】

図4は、PWM制御によるインバータ6の出力電圧を表すものである。

図4(a)において、搬送波は、三角波発生器5で生成された三角波、正弦波制御信号は前記UVW変換部3で生成された、前記PMモータ7に出力しようとする3相波形である。前記搬送波は変調周期を与えるものであって、この搬送波と正弦波制御信号とを比較し、図4(b)に示すように、正弦波制御信号が搬送波よりも小さいときHIGHレベル、正弦波制御信号が搬送波よりも大きいときLOWレベルとなるパルス信号を生成し、これを出力電圧に応じた電圧指令信号とする。 40

【0043】

なお、図4(b)は、U相、V相及びW相に相当する電圧指令信号を表したものであって、各相の電圧指令信号は、図3のインバータ主回路64を構成する上下アームスイッチング素子のゲートに入力され、上下アームでは逆位相に与えられるようになっている。

図5は各部の波形を示したものであって、(a)は、ある1相、例えばU相に対する電圧指令信号と実際に流れる相電流と平均電流とを表したものである。

【0044】

図5(a)に示すように、実際に流れる相電流の電流波形は、インバータ主回路64にお 50

いてスイッチング制御を行っているため、少なからず脈動成分を含んでいる。ここで、前記PMモータ7の制御に用いる各相電流を検出するに当たり、脈動成分の影響をできるだけ除去し、なるべく平均電流値を得るためには、(図5(b))に示すように三角波からなる搬送波の、上下の頂点を中心とした一定期間において相電流のA/D変換を行うことが望ましい。

【0045】

そこで、前記A/D変換タイミング生成部51では、図5(c)に示すように、搬送波の上下の頂点を中心とした一定期間、つまり、平均電流値を得られる期間にHIGHレベルとなり、この一定期間外はLOWレベルとなる変換期間信号ADENを生成する。

したがって、このようにして生成される変換期間信号ADENに基づいて、図2のアナログスイッチ21a及び21bを制御してオペアンプ25への入力信号を切り替えた場合、図5(c)の時点t1で変換期間信号ADENがHIGHレベルとなったとき、この時点における相電流がアナログ入力信号Viとしてオペアンプ25に入力され、ここで積分が行われその積分値に応じて、D型フリップフロップの出力が変化し、この出力の立ち上がりカウンタ27によってカウントされる。

【0046】

そして、時点t2で変換期間信号ADENがLOWレベルとなると、カウンタ27でカウントされたA/D相当値をフィルタ処理部28が読み込み、サンプリング期間あたりのカウンタ27のA/D相当値の偏差を算出し、これをサンプリングクロック数で割り算することによって、アナログ入力電圧Viに応じた、サンプリング期間当たりのパルス数、つまり、アナログ入力電圧ViのA/D変換値が得られる。

【0047】

また、時点t2で変換期間信号ADENがLOWレベルとなると、これによって、図2においてアナログスイッチ21a及び21bが作動し、オペアンプ25への入力が接地電位に切り替わり、これによって、積分器13内部が所定値にリセットされる。

このため、時点t3で変換期間信号ADENがHIGHレベルに切り替わった時点では、所定値にリセットされた安定した状態から再度積分が開始されることになる。したがって、時点t2で積分器13内部の状態を初期状態にリセットした時点で前記量子化ノイズ相当分が除去されたことと同等の状態となるから、時点t3で変換期間信号ADENがHIGHレベルとな積分を開始した時点では、量子化ノイズを含まない積分値出力に基づいてA/D変換動作が行われることになる。

【0048】

したがって、A/D変換の際に受ける量子化ノイズによる影響を低減することができるから、この量子化ノイズによるA/D変換誤差を低減することができる。よって、このようにして得られたA/D相当値に基づいて、算出したA/D変換値に基づいてPMモータ7の制御を行う場合であっても、量子化ノイズの影響を受けることを回避することができるから、PMモータ7の制御を高精度に行うことができる。

【0049】

特に、アナログ入力信号Viが一定値である場合、或いはアナログ入力信号Viの変動が少ない場合には、量子化ノイズによる影響を大きく受けることになり、微少な制御に影響を及ぼすことになるが、上述のように、量子化ノイズを除去することができるから、アナログ入力信号Viの変動が少ない場合であっても、高精度に制御を行うことができる。特に、PMモータ7を停止制御する場合等であっても、量子化ノイズの影響によって停止時に発生する振動を抑制することができる。

【0050】

また、このとき、A/D変換を行う期間として、相電流が平均電流に近い値となる、三角波の頂点近傍の期間にのみ行うようにしたから、インバータ6によって相電圧をPWM制御することに起因して、これを通る相電流が脈動する場合であっても、平均電流に近い値を示すときの相電流に基づきA/D変換するようにしているから、相電流として平均電流と同等の値を検出することができる。したがって、このように脈動による誤差成分を含

む相電流ではなく、平均電流値を表す相電流に基づいてPMモータ7を駆動制御することができるから、PMモータ7をより高精度に駆動制御することができる。

【0051】

また、このように、簡易な回路でノイズ低減を図ることができるため、回路の増大化を伴うことなく、ノイズ低減を容易に図ることができる。

なお、上記第1の実施の形態においては、オペアンプ25にアナログ入力信号Viと接地電位とを切り替えて入力するようにした場合について説明したが、これに限らず、例えば図6に示すように、接地電位に替えて所定電位を入力するようにすることも可能であり、この場合にも上記と同等の作用効果を得ることができる。

【0052】

また、上記第1の実施の形態においては、 $\Delta\Sigma$ 変調型A/D変換器52として、前記図12の比較器14、遅延回路15及び1ビットD/A変換器12を、D型フリップフロップ26によって構成するようにした場合について説明したが、これに限らず、例えば図7に示すように、オペアンプ25とD型フリップフロップ26との間に、基準電圧と積分器13の出力とを比較するための比較器30を設け、また、D型フリップフロップ26の非反転出力と入力抵抗23cとの間に1ビットD/A変換器31を設けた構成とした場合であっても適用することができる。要は、アナログ入力信号Viと帰還信号との差分値を積分し、その積分値に基づいて、アナログ入力信号Viに比例した量子化信号を得るようにした、A/D変換器であれば適用することができる。

【0053】

なお、前記図7においては、積分器13の出力と基準電圧との大小関係を比較器30で比較し、積分器13の出力の方が大きければ、比較器30は“1”を出力し、積分器13の出力の方が小さければ、比較器30は“0”を出力する。この比較器30の出力がサンプリングクロックによりD型フリップフロップ26によりラッチされる。このラッチされたデータのD型フリップフロップ非反転出力が1ビットD/A変換器31へ入力され、この1ビットD/A変換器31の出力が入力抵抗23cを介してオペアンプ25の非反転入力端子へ入力される。このように構成することによって、バラツキをより抑制し、高精度なA/D変換値を得ることができる。

【0054】

次に、本発明の第2の実施の形態を説明する。

図8は、第2の実施の形態における電動機制御回路の構成を示すブロック図である。なお、前記図1に示す第1の実施の形態における電動機制御回路と同一部には同一符号を付与し、その詳細な説明は省略する。

第2の実施の形態では、図8に示すように、A/D変換タイミング生成部53は、三角波発生器5からの三角波と比較器4の出力とを入力し、これに基づいてA/D変換有効信号ADEN*を生成し、これを $\Delta\Sigma$ 変調型A/D変換器54に出力する。具体的には、図9(a)に示すように、第1の実施の形態と同様に、三角波の頂点前後の所定期間にHIGHレベルとなる変換期間信号ADENを生成する。

【0055】

また、A/D変換タイミング生成部53では、前記比較器4から出力される3相の電圧指令信号に基づき、図9(b)に示すように、インバータ6のスイッチング素子のオン/オフが切り替わる状態、つまり、スイッチング素子の切り替えに伴い相電流にノイズがのる期間に相当するスイッチング期間を表すインバータスイッチング期間信号を生成する。そして、前記変換期間信号ADENとインバータスイッチング期間信号との論理をとり、図9(c)に示すように、変換期間信号ADENがHIGHレベルであり且つ前記インバータスイッチング期間信号がLOWレベルであるときにHIGHレベルとなるA/D変換有効信号ADEN*を生成する。つまり、相電流が平均電流に相当する電流値であり且つスイッチングノイズを含まない状態であるときにHIGHレベルとなるA/D変換有効信号ADEN*を生成する。

【0056】

図10は、第2の実施の形態における、 $\Delta\Sigma$ 変調型A/D変換器54の回路図である。なお、前記図2に示す第1の実施の形態における $\Delta\Sigma$ 変調型A/D変換器52において、分母カウンタとして動作するカウンタ29を追加したものであるので、同一部には同一符号を付与し、その詳細な説明は省略する。

前述のようにしてA/D変換タイミング生成部53で生成されたA/D変換有効信号ADEN*は、アナログスイッチ21a及び22bの制御用信号として利用されると共に、新たに追加されたカウンタ29のデータ入力端子に入力される。

【0057】

このカウンタ29は、前記データ入力端子に入力される信号がHIGHレベルであるとき、サンプリングクロックADCLKの立ち上がりに同期してこれをカウントする。つまり、カウンタ29では、A/D変換有効信号ADEN*がHIGHレベルである期間、入力されるサンプリングクロックADCLKの立ち上がりのタイミングでカウントする。 10

【0058】

一方、カウンタ27は、分子カウンタとして上記第1の実施の形態と同様に動作する。そして、フィルタ処理部28aでは、前記A/D変換有効信号ADEN*がLOWレベルに切り替わるタイミングで、前記分子カウンタとしてのカウンタ27及び分母カウンタとしてのカウンタ29のカウント値を読み込む。そして、カウンタ27及びカウンタ29の前回読み込み時のカウント値と、今回読み込み時のカウント値との差分値をそれぞれ算出し、カウンタ27の出力の差分値を、カウンタ29の出力の差分値で割り算し、これに対しフィルタリング処理を行う等をして、A/D変換値を算出する。 20

【0059】

つまり、この第2の実施の形態においては、三角波のピークを基準とする所定期間である変換期間信号ADENがHIGHレベルである期間、つまり、平均電流値を得られる期間であり、且つ、インバータ主回路64によるスイッチング動作が行われていない期間における積分器13の出力に基づいて、A/D変換値を算出するようにしている。

【0060】

したがって、上記第1の実施の形態と同等の作用効果を得ることができると共に、さらに、インバータ主回路64のスイッチング動作により相電流に生じるノイズの影響を低減することができるから、より高精度なA/D変換値を得ることができる。よって、このようにして算出されたA/D変換値に基づいて、PMモータ7の駆動制御を行うことによって、PMモータ7をより高精度に駆動制御することができる。 30

【0061】

なお、上記各実施の形態においては、PMモータ7を駆動制御するための電動機制御回路において、 $\Delta\Sigma$ 変調型A/D変換器51又は54を用いる場合について説明したが、これに限るものではなく、例えば、誘導モータ（インダクションモータ）を駆動するためのインバータや、交流電源を出力するCVCF電源装置やUPS（無停電電源装置）等、に適用することも可能であり、PWM制御によってスイッチング素子を制御するようにした回路であっても適用することができる。

【0062】

また、PWM制御を行う回路に限るものではなく、 $\Delta\Sigma$ 変調型A/D変換器単体として、A/D変換を行う必要のある回路に適用することも可能である。この場合には、変換期間信号ADENとして、例えば定周期でHIGHレベルとなる変換期間信号ADENを生成し、これに基づいて、定期的に積分器13内部の状態をリセットするようにしてもよい。また、上述のように、変換対象のアナログ信号に定期的にノイズがのるような場合には、このノイズがのる期間はLOWレベルとなり、それ以外の期間にHIGHレベルとなる変換期間信号ADENを生成し、これに基づいて、積分器13内部の状態をリセットするようにしてもよい。 40

【0063】

また、上記各実施の形態においては、 $\Delta\Sigma$ 変調型A/D変換器として、2値の1次 $\Delta\Sigma$ 変調型A/D変換器を適用した場合について説明したが、これに限るものではなく、n次の 50

$\Delta\Sigma$ 変調型A/D変換器、或いは、積分器13の出力を多ビットに量子化するようにした多値方式の $\Delta\Sigma$ 変調型A/D変換器であっても適用することができ、要は、アナログ入力信号とアナログ期間信号との差の信号を積分処理した値を量子化し、これに基づきA/D変換値を得るようにした $\Delta\Sigma$ 変調型A/D変換器であれば適用することができる。

【0064】

ここで、上記各実施の形態において、図2の積分器13が積分手段に対応し、D型フリップフロップ26が帰還信号生成手段に対応し、カウンタ27及びフィルタ処理部28が変換値算出手段に対応し、入力信号切り替え回路17がリセット手段および切り替え手段に対応し、図1のPMモータ7が制御対象に対応し、速度制御器1、演算器1a、PI制御部2、UVW変換部3、比較器4、三角波発生器5、dq座標変換部10が制御手段に対応し、インバータ6がスイッチング回路に対応している。 10

また、第2の実施の形態において、カウンタ27、29及びフィルタ処理部28が変換値算出手段に対応している。

【0065】

【発明の効果】

以上説明したように、本発明の請求項1及び2に係る $\Delta\Sigma$ 変調方式のA/D変換器によれば、例えば、A/D変換対象のアナログ入力信号を規定値からなるリセット用アナログ信号に切り替える切り替え手段等で構成されるリセット手段によって、量子化信号を得るための積分手段の内部状態を所定のタイミングで規定値にリセットするようにしたから、量子化ノイズの影響の小さい、より精度の高いA/D変換値を得ることができる。 20

【0066】

また、請求項3乃至請求項7に係る制御装置によれば、例えば、A/D変換器への制御状態量を、規定値からなるリセット用アナログ信号に切り替える切り替え手段等で構成されるリセット手段によって、量子化信号を得るための積分手段の内部状態を所定のタイミングで規定値にリセットするようにしたから、量子化ノイズの影響の小さいA/D変換値を得ることができ、これに基づいて制御を行うことにより、より高精度に制御対象を制御することができる。

【0067】

特に、制御対象をスイッチング回路を介して制御し且つスイッチング回路を構成するスイッチング素子を定周期で制御すると共に、スイッチング回路の出力を制御状態量として制御を行う場合には、スイッチング回路におけるスイッチング素子の制御周期と同期した定周期でリセット手段によるリセットを行うことによって、スイッチング回路を制御して制御対象を制御することに起因して、的確な制御状態量を検出することができないと予測される期間にリセットを行うようにすることによって、不適切な制御状態量に基づいてそのA/D変換値が算出されることを防止することができ、これに起因して、制御対象に対する制御精度が低下することを回避することができる。 30

【0068】

このとき、制御状態量に含まれるスイッチング素子の切り替わりに伴う脈動成分が大きい期間にリセット手段によるリセットを行うことにより、脈動成分を多く含む制御状態量に基づきA/D変換値を得ることに起因して、A/D変換値の精度が低下することを抑制することができる。 40

また、スイッチング素子の切り替え期間にもリセット手段によるリセットを行うことにより、スイッチングノイズが含まれる制御状態量に基づきA/D変換値の算出を行うことによる、A/D変換値の精度の低下を抑制することができる。

【図面の簡単な説明】

【図1】第1の実施の形態における電動機制御回路の一例を示す回路図である。

【図2】図1の $\Delta\Sigma$ 変調型A/D変換器52の一例を示す回路図である。

【図3】図1のインバータ6の一例を示す回路図である。

【図4】搬送波、正弦波制御信号及び電圧指令信号との対応を表す、波形図の一例である。

- 【図 5】変換期間信号 A D E N の生成方法を説明するための説明図である。
 【図 6】 $\Delta \Sigma$ 変調型 A / D 変換器のその他の一例を示す回路図である。
 【図 7】 $\Delta \Sigma$ 変調型 A / D 変換器のその他の一例を示す回路図である。
 【図 8】第 2 の実施の形態における電動機制御回路の一例を示す回路図である。
 【図 9】A / D 変換有効信号 A D E N^{*} の生成方法を説明するための説明図である。
 【図 10】図 8 の $\Delta \Sigma$ 変調型 A / D 変換器 54 の一例を示す回路図である。
 【図 11】従来の電動機制御回路の一例を示す回路図である。
 【図 12】従来の $\Delta \Sigma$ 変調型 A / D 変換器の一例を示す回路図である。
 【図 13】 $\Delta \Sigma$ 変調型 A / D 変換器の動作説明に供する波形図である。
 【図 14】 $\Delta \Sigma$ 変調型 A / D 変換器の動作説明に供する波形図である。

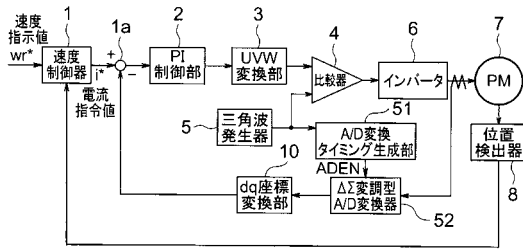
10

【符号の説明】

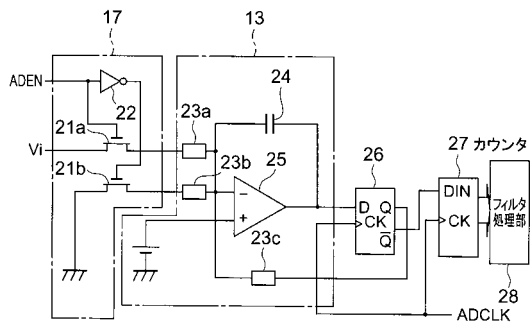
- 4 比較器
- 5 三角波発生器
- 6 インバータ
- 7 P M モータ
- 13 積分器
- 17 入力信号切り替え回路
- 21 a、21 b アナログスイッチ
- 22 インバータ
- 24 コンデンサ
- 25 オペアンプ
- 26 D 型フリップフロップ
- 27、29 カウンタ
- 28 フィルタ処理部
- 28 a フィルタ処理部
- 51、53 A / D 変換タイミング生成部
- 52、54 $\Delta \Sigma$ 変調型 A / D 変換器

20

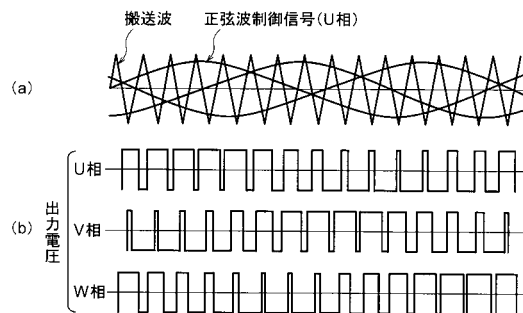
【 図 3 】



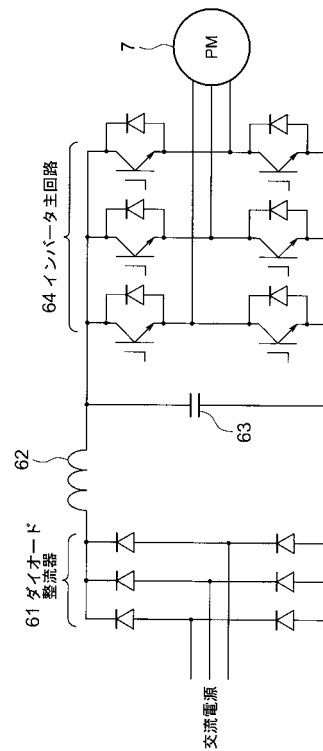
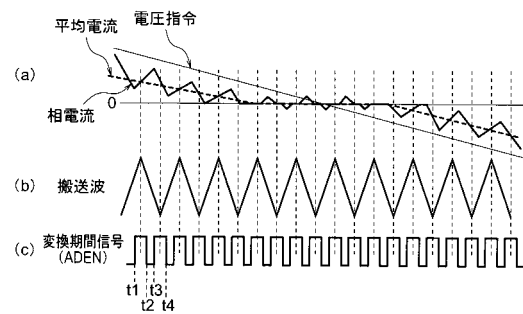
【図 2】



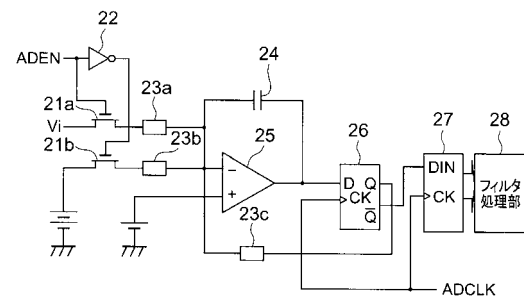
【図 4】



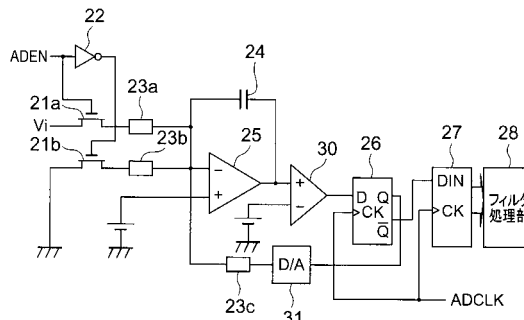
【図 5】



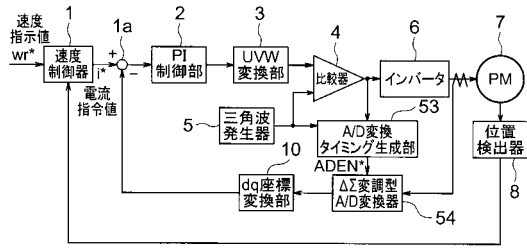
【図 6】



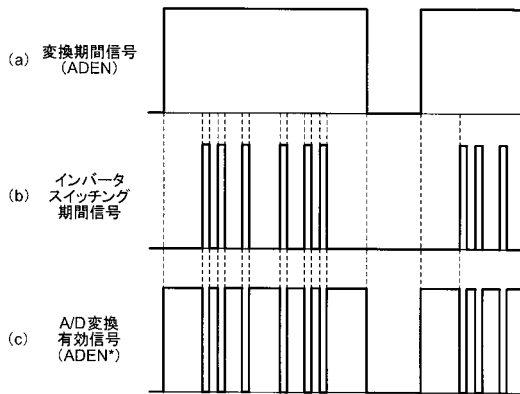
【 図 7 】



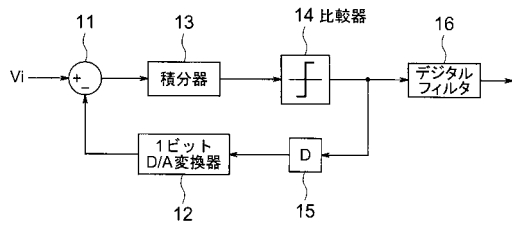
【 図 8 】



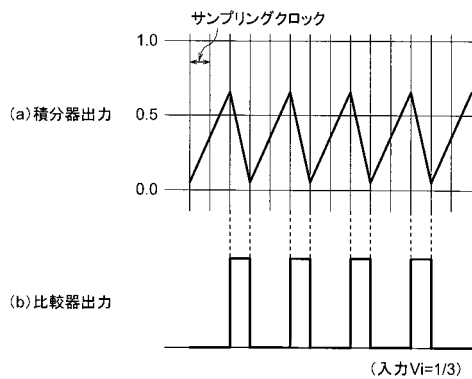
【 図 9 】



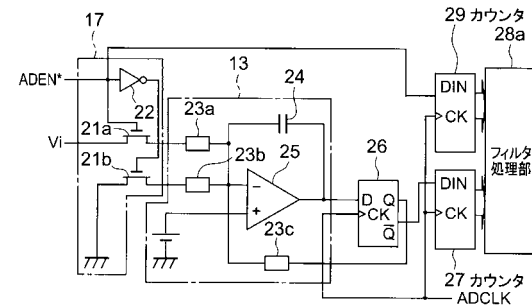
【图 1 2】



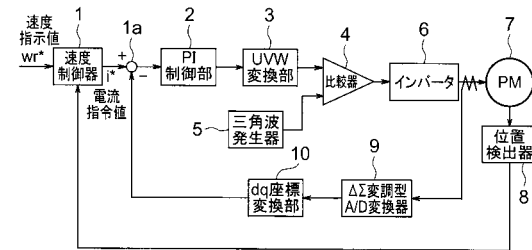
【图 1 3】



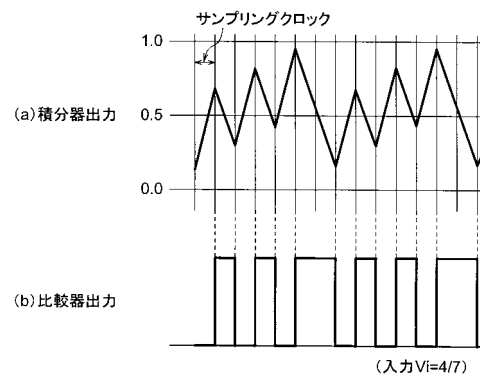
【図 10】



【 図 1 1 】



【 図 1 4 】



フロントページの続き

Fターム(参考) 5J022 AC02 BA02 CA07 CD04 CE04 CE08 CF01 CF03
5J064 AA01 BA03 BB07 BB10 BC06 BC08 BC14 BC23 BD00