



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

242 421

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 28 06 84
(21) PV 4947-84

(51) Int. Cl.⁴
G 06 F 12/00

(40) Zveřejněno 31 08 85
(45) Vydáno 01 12 87

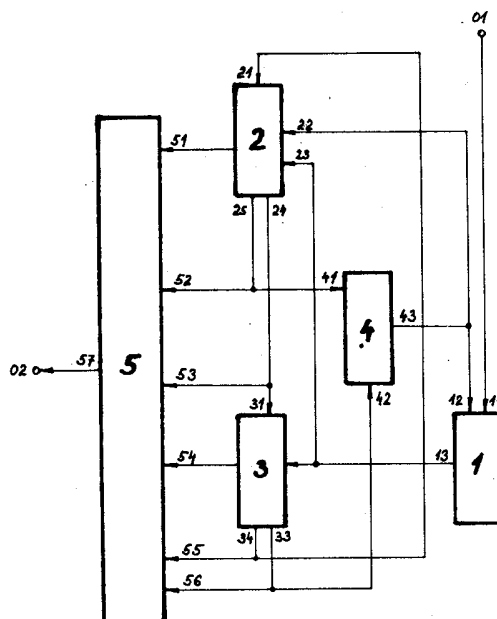
(75)
Autor vynálezu

ZEMAN LUBOŠ ing.;
LANG PRAVDOMIL ing.;
RADA PETR ing.;
KRAUS JOSEF ing.;
BLAŽEK VÍTĚZSLAV ing., PRAHA;
TRHLÍN ALOIS ing., HOSTIVICE

(54)

Zapojení řadiče paměti

Zapojení se týká paměti a řeší zapojení řadiče pro vytváření časových signálů. Časově řízený oscilátor o pevné frekvenci generuje hodiny posuvných registrů, které generují časově posunuté signály. Na základě časově posunutých signálů na výstupech posuvných registrů vytváří kombinační blok jednotlivé řídicí signály pro ovládání pamětových bloků. Zastavení cyklu paměti v koncovém bodě provádí součinný blok. Zapojení se využije ve výpočetní a řídicí technice pro časování jednotlivých řídicích signálů a pro generování skupin časově posunutých signálů.



Vynález se týká zapojení řadiče paměti pro vytváření časových signálů. 242 421

Jsou známa zapojení, která používají pro časování jednotlivých řídicích signálů potřebných pro správnou funkci paměti obvody, se spožďovacími linkami, monostabilní klopné obvody, nebo se pro časování zpoždění průchodu signálu využívá hradel. Používá-li se pro časování posuvný registr, zapojuje se tak, že na začátku cyklu jím začne procházet jednička a když dospěje nakonec cyklus končí. Zpožďovací linky tohoto typu jsou drahé a prostorově náročné. Monostabilní obvody jsou nedostatečně přesné, a vyžadují nastavení podle rozptylu použitých součástek. Časování, které se provádí průchodem hradly je rovněž nepřesné a je závislé na součástkách. Při časování posuvným registrem je třeba značné délky posuvného registru pro jemné doladění.

Tyto nedostatky odstraňuje zapojení řadiče paměti podle vynálezu. Podstata vynálezu spočívá v tom, že vstup zapojení je spojen s prvním hradlovacím vstupem hodinového generátoru, jehož druhý hradlovací vstup je spojen s výstupem součinného bloku a s nulovacím vstupem prvního posuvného registru. Datový vstup prvního posuvného registru je spojen se třetím jednotlivým výstupem kombinačního bloku a s negovaným výstupem posledního stupně druhého posuvného registru, jehož přímý výstup je spojen se čtvrtým jednotlivým vstupem kombinačního bloku a se druhým vstupem součinného bloku. První vstup součinného bloku je spojen s prvním jednotlivým vstupem kombinačního bloku a s negovaným výstupem posledního stupně prvního

posuvného registru, jehož přímý výstup je spojen se druhým jednotlivým vstupem kombinačního bloku a s datovým vstupem druhého posuvného registru. Hodinový vstup druhého posuvného registru je spojen s výstupem hodinového generátoru a s hodinovým vstupem prvního posuvného registru, jehož hromadný výstup je spojen s prvním hromadným vstupem kombinačního bloku. Druhý hromadný vstup kombinačního bloku je spojen s hromadným výstupem druhého posuvného registru. Hromadný výstup kombinačního bloku je spojen s hromadným výstupem zapojení.

Výhodou uspořádání podle vynálezu je, že časování posuvným registrem zvyšuje přesnost, snadné uvedení do chodu a opakovatelnost výroby. Odpadá používání posuvného registru značné délky pro dosažení jemného časového dělení. To proto, že během jednoho cyklu prochází posuvným registrem v první polovině cyklu jednička, která se z negovaného výstupu přivádí zpět na vstup posuvného registru, takže ve druhé polovině cyklu se posuvným registrem posouvá nula. Tak se délka posuvného registru využívá dvakrát a je možno i při malé délce posuvného registru dosáhnout dostatečně jemného časování. To umožňuje použít zapojení ve všech případech, kde se požaduje na základě pokynů zvenčí cyklické generování skupiny časově posunutých signálů, například pro řízení paměti.

Příklad zapojení podle vynálezu je znázorněn na připojeném výkresu v blokovém schématu.

Jednotlivé bloky zapojení je možno charakterizovat takto. Hodinový generátor 1 je krystalem řízený oscilátor o pevné frekvenci. Slouží ke generování hodin posuvných registrů. Oba posuvné registry 2 a 3 jsou vytvořeny z klopných obvodů typu D. Slouží ke generování časově posunutých signálů. Součinný blok 4 je vytvořen ze součinného hradla a slouží k zastavení cyklu paměti v koncovém bodě. Kombinační blok 5 je vytvořen z kombinačních

sítí logických obvodů. Na základě časově posunutých signálů na výstupech posuvných registrů 2, 3 vytváří jednotlivé řídicí signály pro ovládání paměťových bloků. Jednotlivé bloky zapojení řadiče paměti jsou propojeny takto.

Vstup 01 zapojení je spojen s prvním hradlovacím vstupem 11 hodinového generátoru 1. Druhý hradlovací vstup 12 hodinového generátoru 1 je spojen s výstupem 43 součinnového bloku 4 a s nulovacím vstupem 22 prvního posuvného registru 2. Datový vstup 21 prvního posuvného registru 2 je spojen se třetím jednotlivým výstupem 55 kombinačního bloku 5, a s negovaným výstupem 34 posledního stupně druhého posuvného registru 3. Přímý výstup 33 posledního stupně druhého posuvného registru 3 je spojen se čtvrtým jednotlivým vstupem 56 kombinačního bloku 5, a se druhým vstupem 42 součinnového bloku 4. První vstup 41 součinnového bloku 4 je spojen s prvním jednotlivým vstupem 52 kombinačního bloku 5 a s negovaným výstupem 25 posledního stupně prvního posuvného registru 2. Přímý výstup 24 posledního stupně prvního posuvného registru 2 je spojen se druhým jednotlivým vstupem 53 kombinačního bloku 5, a s datovým vstupem 31 druhého posuvného registru 3. Hodinový vstup 32 druhého posuvného registru 3 je spojen s výstupem 13 hodinového generátoru 1, a s hodinovým vstupem 23 prvního posuvného registru 2. Hromadný výstup 26 prvního posuvného registru 2 je spojen s prvním hromadným vstupem 51 kombinačního bloku 5. Druhý hromadný vstup 54 kombinačního bloku 5 je spojen s hromadným výstupem 35 druhého posuvného registru 3. Hromadný výstup 57 kombinačního bloku 5 je spojen s hromadným výstupem 02 zapojení.

Zapojení pracuje takto. V počátečním stavu, když je zapojení v klidu a řadič čeká na vnější povel, který přichází na vstup 01 zapojení, je hodinový generátor 1 zablokován. První posuvný registr 2 obsahuje samé nuly

a druhý posuvný registr 3 obsahuje samé jedničky. Když přijde ze vstupu 01 zapojení na první hradlovací vstup 11 hodinového generátoru 1 žádost o cyklus, objeví se na výstupu 13 hodinového generátoru 1 pulsy. Ty přecházejí na hodinový vstup 32 druhého posuvného registru 3, do kterého se také nasunou samé nuly. Signál na výstupu 43 součinného obvodu 4 se změní z log. 0 na log. 1 a tím zajišťuje odblokování hodinového generátoru 1 i když požadavek o cyklus na vstupu 01 zapojení skončil. To umožňuje dokončení cyklu i po ukončení požadavku na cyklus. Protože na přímém výstupu 33 druhého posuvného registru 3 je signál log. 0, je na jeho negovaném výstupu 34 signál log. 1. Tento signál se nasouvá do prvního posuvného registru 2 i do druhého posuvného registru 3. Když signál log. 1 dospěje na přímý výstup 33 druhého posuvného registru 3, objeví se na jeho negovaném výstupu 34 signál log. 0. Tento signál přejde na datový vstup 21 prvního posuvného registru 2 a začne jím procházet. Když dojde signál log. 0 na přímý výstup 24 posledního stupně posuvného registru 3, objeví se na jeho negovaném výstupu 25 signál log. 1, který přechází na první vstup 41 součinného bloku 4. Tím se signál na výstupu 43 součinného obvodu 4 změní z log. 1 na signál log. 0. Hodinový generátor 1 se zablokuje a cyklus končí. Když je na vstupu 01 zapojení nový požadavek na cyklus, potom se hodinový generátor 1 nezablokuje a nový cyklus ihned započne probíhat. Jak se během cyklu mění stav v hromadném výstupu 26 prvního posuvného registru 2 a na hromadném výstupu 35 druhého posuvného registru 3 vydává kombinační blok 5 patřičné řídicí signály na svém hromadném výstupu 57, které přecházejí na hromadný výstup 02 zapojení.

Vynálezu se využije ve výpočetní a řídicí technice pro časování jednotlivých řídicích signálů a pro generování skupin časově posunutých signálů.

PŘEDMĚT VYNÁLEZU

242 421

Zapojení řadiče paměti, vyznačující se tím, že vstup (01) zapojení je spojen s prvním hradlovacím vstupem (11) hodinového generátoru (1), jehož druhý hradlovací vstup (12) je spojen s výstupem (43) součinného bloku (4), a s nulovacím vstupem (22) prvního posuvného registru (2), jehož datový vstup (21) je spojen se třetím jednotlivým výstupem (55) kombinačního bloku (5), a s negovaným výstupem (34) posledního stupně druhého posuvného registru (3), jehož přímý výstup (33) je spojen se čtvrtým jednotlivým vstupem (56) kombinačního bloku (5), a se druhým vstupem (42) součinného bloku (4), jehož první vstup (41) je spojen s prvním jednotlivým vstupem (52) kombinačního bloku (5) a s negovaným výstupem (25) posledního stupně prvního posuvného registru (2), jehož přímý výstup (24) je spojen se druhým jednotlivým vstupem (53) kombinačního bloku (5), a s datovým vstupem (31) druhého posuvného registru (3), jehož hodinový vstup (32) je spojen s výstupem (13) hodinového generátoru (1), a s hodinovým vstupem (23) prvního posuvného registru (2), jehož hromadný výstup (26) je spojen s prvním hromadným vstupem (51) kombinačního bloku (5), jehož druhý hromadný vstup (54) je spojen s hromadným výstupem (35) druhého posuvného registru (3) a hromadný výstup (57) kombinačního bloku (5) je spojen s hromadným výstupem (02) zapojení.

1 výkres

