



(12) 发明专利

(10) 授权公告号 CN 106287589 B

(45) 授权公告日 2024. 07. 26

(21) 申请号 201610500213.X

(22) 申请日 2016.06.29

(65) 同一申请的已公布的文献号
申请公布号 CN 106287589 A

(43) 申请公布日 2017.01.04

(30) 优先权数据
62/186,102 2015.06.29 US
62/254,574 2015.11.12 US
62/256,477 2015.11.17 US
62/326,539 2016.04.22 US

(73) 专利权人 莫列斯有限公司
地址 美国伊利诺州

(72) 发明人 马科·斯皮格 维克托·萨德雷
安穆立特·潘德

(74) 专利代理机构 隆天知识产权代理有限公司
72003

专利代理师 黄艳 宋洋

(51) Int.Cl.

F21V 17/10 (2006.01)

F21V 19/00 (2006.01)

F21Y 115/10 (2016.01)

(56) 对比文件

JP H09274121 A, 1997.10.21

US 2012043660 A1, 2012.02.23

KR 100937136 B1, 2010.01.18

CN 102378490 A, 2012.03.14

TW 201401951 A, 2014.01.01

JP 2007273533 A, 2007.10.18

GB 2290912 A, 1996.01.10

CN 102236820 A, 2011.11.09

CN 103426776 A, 2013.12.04

CN 205746638 U, 2016.11.30

审查员 高慧敏

权利要求书2页 说明书8页 附图13页

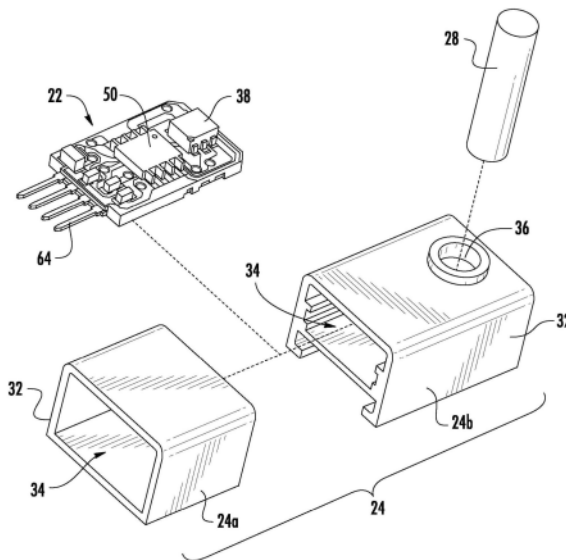
(54) 发明名称

照明设备、形成照明设备及制造电子设备的方法和装置

(57) 摘要

本发明公开了一种照明设备,其包括:一基座;一光导管,连接于基座;以及一装置,由安装于基座内的一专用电子封装系统形成,该专用电子封装系统具有设置于其上的至少一个发光二极管,光导管位于所述至少一个发光二极管的上方。本发明示出的实施例面向一专用电子封装系统,相对于现在采用的制造电子产品和MID的“批量”工艺,其能使追加产品的制造采用卷轴到卷轴(连续流)的制造工艺(100,110,120,130,140)。通过一些ASEP的实施例,将连接器、传感器、LED、热管理装置、天线、RFID装置、微处理器、存储器、阻抗控制以及多层功能性直接集成于一产品是可能的。本发明还公开了形成照明设备的方法、制造电子设备的方法、一种连续制造系统以及一种装置。

CN 106287589 B



1. 一种制造电子设备的方法,该方法包括:
 - 形成由一导电材料制成的一连续载带;
 - 模制多个非导电的基材于所述载带上,其中在所述基材中形成有导孔以使得所述载带的部分被露出;
 - 形成迹线于所述基材上;
 - 电镀所述迹线,且电镀所述导孔以形成所述迹线和所述载带之间的导电路径;
 - 将部件设置在所述导孔形成的导电路径中且电连接于所述迹线,以形成多个装置;
 - 使所述多个装置的其中之一与所述载带的剩余部分分离而成单件。
2. 如权利要求1所述的制造电子设备的方法,其中,形成所述迹线包括:
 - 用一激光烧灼所述基材;
 - 在烧灼的表面上沉积一油墨;以及
 - 烧结所述油墨。
3. 如权利要求1所述的制造电子设备的方法,其中,凹穴模制于所述基材,从而所述载带部分露出。
4. 一种连续制造系统,包括如下步骤:
 - 形成一连续载带;
 - 模制多个基材于所述载带上,其中在所述基材中形成导孔以使得所述载带的部分被露出;
 - 喷涂一导电层于所述基材的一表面上;
 - 激光烧灼,以在所述基材的表面上形成迹线,电镀所述迹线,且电镀所述导孔以形成所述迹线和所述载带之间的导电路径;
 - 将部件设置在所述导孔形成的导电路径中且电连接于所述迹线,以形成多个装置;
 - 使所述多个装置的其中之一与所述载带的剩余部分分离而成单件。
5. 一种电子装置,包括:
 - 一单件的载带部;
 - 一基材,模制于所述单件的载带部上,所述基材具有至少一个导孔,所述导孔形成为使得所述单件的载带部的部分被露出;
 - 晶种层迹线,位于所述基材上,使得各个所述迹线电连接到所述至少一个导孔;
 - 镀敷金属迹线,位于所述晶种层迹线上,电镀所述迹线,且电镀所述导孔以形成所述迹线和所述载带之间的导电路径;以及
 - 一部件,设置在所述导孔形成的导电路径中且电连接于至少一个镀敷金属迹线。
6. 如权利要求5所述的电子装置,其中,所述装置包括一印刷电路板、一柔性电路、一连接器、一热管理装置、EMI屏蔽件、一高电流导体、一RFID装置、一天线、一无线电源装置、一传感器、一MEMS装置,一LED装置、一微处理器、一存储器装置、一ASIC、一无源装置、一阻抗控制装置以及一机电装置中的至少一个。
7. 如权利要求5所述的电子装置,其中,所述部件安置于在所述基材上形成的一凹穴中,所述导孔形成于所述凹穴中。
8. 如权利要求7所述的电子装置,其中,所述凹穴形成于所述基材,从而使所述单件的载带部一部分露出。

9. 如权利要求5所述的电子装置,其中,所述单件的载带部包括金属。
10. 如权利要求5所述的电子装置,其中,所述单件的载带部包括一柔性材料。
11. 如权利要求10所述的电子装置,其中,所述柔性材料包括一柔性聚酰亚胺材料。
12. 如权利要求5所述的电子装置,其中,所述镀敷金属迹线包括电镀金属迹线。
13. 如权利要求5所述的电子装置,其中,所述晶种层迹线包括烧结油墨。
14. 如权利要求5所述的电子装置,其中,所述晶种层迹线包括烧结膏。
15. 一种电子装置,包括:
 - 一单件的载带部;
 - 一基材,模制于所述单件的载带部上,所述基材具有至少一个导孔,所述导孔形成为使得所述单件的载带部的部分被露出;

导电的材料,沉积于所述基材上,所述基材具有形成于其上的电隔离部,电镀所述电隔离部,且电镀所述导孔以形成所述电隔离部和所述载带部之间的导电路径;

 - 一部件,设置在所述导孔形成的导电路径中且电连接于所述材料的至少一个电隔离部。
16. 如权利要求15所述的电子装置,其中,所述装置包括一印刷电路板、一柔性电路、一连接器、一热管理装置、EMI屏蔽件、一高电流导体、一RFID装置、一天线、一无线电源装置、一传感器、一MEMS装置、一LED装置、一微处理器、一存储器装置、一ASIC、一无源装置、一阻抗控制装置以及一机电装置中的至少一个。
17. 如权利要求15所述的电子装置,其中,所述部件安置于在所述基材上形成的一凹穴中,所述导孔形成于所述凹穴中。
18. 如权利要求17所述的电子装置,其中,所述凹穴形成于所述基材,从而所述单件的载带部的一部分露出。
19. 如权利要求15所述的电子装置,其中,所述单件的载带部包括金属。
20. 如权利要求15所述的电子装置,其中,所述单件的载带部包括一柔性材料。
21. 如权利要求20所述的电子装置,其中,所述柔性材料包括一柔性聚酰亚胺材料。

照明设备、形成照明设备及制造电子设备的方法和装置

[0001] 相关申请

[0002] 本申请主张于2015年6月29日提交的美国临时专利申请US62/186102、于2015年11月12日提交的美国临时专利申请US62/254574、于2015年11月17日提交的美国临时专利申请US62/256477以及于2016年4月22日提交的美国临时专利申请US62/326539的优先权,所有这些临时专利申请通过援引其整体上并入本文。

技术领域

[0003] 本发明涉及电子装置及此类装置的制造。

背景技术

[0004] 模塑互连装置(“MID”)是通常包括塑料部件和电子电路迹线的三维机电零部件。一塑料基材或基座被创建且电路和装置镀敷、层设或植入在塑料基材上。MID通常具有比传统制造的装置更少的部件,这导致了节省空间和重量。MID装置的应用包括移动电话、自动取款机、车辆的方向盘组件、RFID部件、照明设备(light)、医疗装置以及许多消费品。

[0005] 目前用于制造MID的工艺包括:双射成型(two-shot molding)和激光直接成型(LDS)。双射成型涉及使用两个独立的塑料部分,一个塑料部分可镀敷而另一个塑料部分不可镀敷。可镀敷部分形成电路,而不可镀敷部分满足机械功能并完成成型。两个部分熔接到一起且电路通过采用化学镀敷形成。可镀敷塑料是金属化的,而不可镀敷塑料保持是非导电的。相比之下,LDS涉及注塑成型(injection molding)、激光活化塑料材料以及随后金属化的步骤。激光在所述部分(part)上刻蚀一布线图案且准备将该布线图案金属化。对于LDS,仅需要一单一热塑性材料,由此使成型步骤是单射(one-shot)工艺。

[0006] 然而,存在对用于快速且高效地制造三维结构的一改进的系统 and 工艺的需求包括部件的一组合。尤其是,存在需要在更小的空间内增加电子封装,以包含以更高速度运行的更多的功能,同时使用更少的能量(power)并减少发热,所有的都降低一制造成本。

发明内容

[0007] 本发明公开了一种照明设备,该照明设备包括:一基座;一光导管,连接于基座;以及一装置,由安装于基座内的一专用电子封装系统形成,该专用电子封装系统具有设置于其上的至少一个发光二极管,光导管位于所述至少一个发光二极管的上方。

[0008] 本发明还公开了一种照明设备、该照明设备通过一工艺制备,该工艺包括:形成一连续载带;模制多个基材于载带上;形成迹线于基材上;电镀该迹线;将部件电连接于该迹线,以形成多个装置,各装置上的部件中的至少一个是一发光二极管;使所述多个装置的其中之一与所述载带的剩余部分分离而成单件;安装所述装置于一具有一光导管的一基座中;以及使所述发光二极管和所述光导管对准。

[0009] 本发明还公开了一种用于形成照明设备的方法、一种用于制造电子设备的方法和一种连续制造系统。

[0010] 本发明还公开了一种装置,该装置包括:一单件的载带部;一基材,模制于所述单件的载带部上;晶种层迹线,位于该基材上;镀敷金属迹线,位于所述晶种层迹线上;以及一部件,电连接于至少一个镀敷金属迹线。

[0011] 本发明还公开了一种装置,该装置包括:一单件的部载带;一基材,模制于所述单件的载带部上;导电的材料,沉积于该基材上,该基材具有形成于其上的电隔离部;一部件,电连接于所述材料的至少一个电隔离部。

[0012] 示出的实施例面向一专用电子封装(“ASEP (Application Specific Electronics Packaging)”)系统,相对于现在采用的制造电子产品和MID的“批量”工艺,其能使追加(additional)产品的制造采用卷轴到卷轴(连续流)的制造工艺。通过一些ASEP的实施例,将连接器、传感器、LED、热管理装置、天线、RFID装置、微处理器、存储器、阻抗控制以及多层功能性直接集成于一产品是可能的。

[0013] ASEP系统的一实施例涉及通过在模制一基材后且在电镀前连续沉积晶种层迹线来创造装置的一工艺。迹线的晶种层设置于所述基材(其可以是3D)的一表面上是以一卷轴到卷轴制造工艺进行的。一种用于制备装置的工艺优选包括冲压形成一引线框架的一柔性载带、模制一塑料基材于所述载带上、沉积连接于由所述载带形成的一内部汇流排的迹线的一晶种层、电镀迹线的晶种层以形成电子电路迹线以及部件组装。如果需要,可设置一焊接掩膜步骤,这个工艺流程可在所述基材之前和之后进行且也可在内层上进行。这些和其它方面和特征将在下面进单射详细地说明。

附图说明

[0014] 图1是一制造工艺的一流程图。

[0015] 图1A是一制造工艺的进一步的步骤的一流程图。

[0016] 图2是一载带上的装置在制造的不同阶段的一示图。

[0017] 图3是从一载带上分离出的一完整的装置的一示图。

[0018] 图4是一卷轴到卷轴(reel-to-reel)的载带的一象征性示图。

[0019] 图5是用于在一基材上形成一电子电路迹线的一多激光连续工艺的一流程图。

[0020] 图6是示出一组件的形成的一流程图。

[0021] 图7-图12示出经历图6所示出的工艺的一组件的一实施例。

[0022] 图13示出由该制造工艺形成的一汽车用照明设备的一立体图。

[0023] 图14是该汽车用照明设备的一分解立体图。

[0024] 图15是一载带和模制的基材的一部分的一断面图,且示出安置(seated)其上的一部件。

[0025] 图16是一载带和模制的基材的一部分的一替代的断面图。

[0026] 图17是一俯视图,示出具有卷轴到卷轴制造的一聚酰亚胺柔性芯部(core)的ASEP应用的一例子,其中,裸晶粒(die)、有源器件以及无源器件封装到模制及成像(imaged)基材的凹槽中。

[0027] 图18是示出图17的ASEP应用的例子的一立体图。

具体实施方式

[0028] 本发明针对一专用电子封装(“ASEP”)系统和方法。该工艺对诸如:印刷电路板、柔性电路、连接器、热管理装置(feature)、EMI屏蔽件、高电流导体、RFID装置、天线、无线电源、传感器、MEMS装置、LED、微处理器以及存储器、ASIC、无源或其他电气装置以及机电装置等装置的形成有益。

[0029] 用于一ASEP制造工艺的一实施例的一流程图(flow diagram)示出在图1中而一流程框图(flow chart)示出在图6中。在图1的步骤1中,一冲压出的载带40由一合适的金属或其他材料制成。接着,在步骤2中,一独立的塑料基材42包覆成型(overmolded)于冲压出的载带40。上述两个步骤引用在图6中的附图标记100处。迹线44的一晶种层随后在图1中的步骤3沉积于塑料基材42的表面,且引用在图6中的附图标记110处,可从步骤3a中提供的视图认识到,这允许使由载带40形成的一内部汇流排(buss)43电连接于塑料基材42的表面上的迹线44的晶种层。在图1的步骤4中,通过施加一电压电势到载带40(其经由内部汇流排43连接于迹线44的晶种层)来电镀的迹线44的晶种层,且这引用在图6中的附图标记120处,以形成一零件46,且随后使零件46行进穿过一电镀槽(electroplating bath)。一焊接掩膜(solder mask)48可以应用于步骤5。部件组件出现在图1的步骤6中且引用在图6中的附图标记130处,其中部件50连接于基材42以形成完整的装置。如果部件50被焊接,则可采用一回流焊接工艺,以形成所述完整的装置。如果部件50被打线接合(wire bonded),则焊接掩膜步骤可以去掉。在一优选实施例中,所述装置采用卷轴到卷轴技术制造。载带40的侧边上的载带孔52示出在各步骤的示图,且在一连续的流程中这些载带孔52使载带40沿一生产线(manufacturing line)移动。图1的流程图以一特定顺序示出六个工艺步骤,但本领域技术人员将认识到的是,在某些应用中不是所有的步骤都需要且由此步骤的顺序可适当地修改。

[0030] 在步骤1中,载带40是冲压/成形(stamped/formed)。载带40可由一金属(诸如铜合金(或其他任何所需的导电材料))冲压/成形,以形成一引导框架(lead frame)54,或者载带40由一聚酰亚胺柔性材料(诸如具有一层或多层(在某些实施例中,柔性材料可具有四层或更多层)的柔性电路)冲压/成形,以形成一引导框架54。如图1所示,引导框架54可具有指部56,指部56具有设置于其上的孔58。

[0031] 在步骤2中,基材42模制于引导框架54之上。孔60可设置成与指部56的孔58对齐。

[0032] 如图1的步骤3所示的迹线44的一晶种层的连续沉积优选在如步骤2所示的模制后且在如步骤4所示的电镀之前完成。晶种层沉积由例如将在下面更详细说明的一喷墨工艺、一加网工艺(screening process)或一气溶胶完成。迹线44的晶种层与由载带40提供的内部汇流排43之间的连接能允许电镀所有的金属(诸如铜、镍、金、银、锡、铅、钯以及其他材料)。沉积连接于内部汇流排43的迹线44的一晶种层工艺以及随后的电镀,能使金属的沉积快于已知的化学镀工艺。此外,当采用卷轴到卷轴技术来实施时,与更传统的批量(batch)工艺相比,镀覆工艺更顺畅且成本更低。图1的流程图仅示出应用于基材42的一侧的制造工艺,但该制造工艺可同样应用于基材42的背侧和内层。应注意的是,一金属的载带40的使用会最适用于除了金属载带外仅有两层(位于塑料基材42的两侧)的一结构。如果需要另外的层,那么确认的是,使用由一柔性聚酰亚胺形成的一载带40更有益于允许增加另外的内层。超过一个的载带40可设置于基材42。

[0033] 在一实施例中,载带40由柔性材料(诸如具有一层或多层的柔性电路(在某些实施例中,柔性材料可有四层或更多层))冲压/成形(步骤1),以形成引导框架54。在一实施例,载带40由一铜合金(或任何其他需要的导电材料)冲压/成形,以形成引导框架54。模制步骤(步骤2)可依赖单射或双射工艺或其他传统的模制工艺。接下来的模制工艺,使用一光刻(lithographic)图案化或激光图案化(步骤3)以形成一图案,从而形成迹线44的晶种层。随后,迹线44的晶种层被电镀(步骤4),以形成电子电路迹线62。电镀步骤(步骤4)可包括一多步镀敷工艺,多步镀敷工艺包括附加厚度的铜或其他适合的材料。

[0034] 在另一实施例中,可使用诸如那些包括在Mesoscribe科技公司的技术中的技术,以在一表面上沉积一全(full)厚度的铜(或其他导电材料)。一皮秒激光器可随后用于在导电材料中隔离(isolate)出所需的电路图案。这种方法可用于取代如本文其他地方所述的镀敷步骤,或者用于除了镀覆之外的需要一个或更多的电镀金属的场合。

[0035] 图2示出以制造各个阶段形成于一载带40上的一装置22。首先示出在A处示出的不具有一模制基材42的一形成的载带40。具有电子电路迹线62的一模制基材42示出在B处,在C处增设了插针触头(pin contact),另外的电路金属化示出在D处,而一完整的装置22示出在附图标记E处。完整的装置22可与连接的载带40上分离,以使装置22成为单个,如图3所示。尽管在图2中载带40示出位于装置22的一侧,但是装置22的两侧均可设置载带40。

[0036] 如前所述,形成一ASEP装置22的工艺出于速度和成本原因考虑优选是连续的。诸如图4中示意示出的卷轴到卷轴技术允许在与的一载带40连接的同时形成装置22,载带40从一物料源卷轴68a放卷出且随后收集于一第二卷轴68b上。可以认识到的是,两个卷轴68a、68b之间会进行若干工艺步骤。

[0037] 图5示出一连续工艺的一个实施例,其可利用一多激光工艺,以用于在基材42上创建一电子电路迹线62。基材42可采用一树脂在一标准模具中模制,树脂可被激光活化或者基材42可为一简单的塑料。可以认识到的是,基材42断面示出在图5中。在步骤9中,使用一激光70烧蚀(ablate)基材42的表面,以形成一图案66。利用激光70使所需的互连图案66被刻在模制的基材42上。在一LDS工艺中,激光活化材料包括一添加剂,所述添加剂是由来自激光70的聚焦光束诱发一反应活化。通过烧灼聚合物基体并使树脂内的金属活化,激光70形成一图案66,图案66允许在随后化学镀敷(示出在步骤10)过程中附着(attachment)一金属,以形成电子电路迹线62。还可行的是,图案66也能通过喷墨工艺来涂布(applied),喷墨工艺将合适的镀敷引导在活化的表面上,从而镀敷附着以形成电子电路迹线62。由于化学镀敷往往慢,因此可取的是将零件46放置于一电解电镀槽(bath)中。

[0038] 如果工艺不是一LDS工艺,那么激光70将会烧蚀基材42的表面且简单地移除一些材料。事实证明,一些基材42的移除做到了形成一粗糙的通道72,且因此粗糙的通道72能更好地直接接收一导电油墨或导电膏(conductive paste)74。在步骤10中,一导电油墨或导电膏74可采用一喷墨、气溶胶或加网工艺来涂布,以提供一电路迹线图案。

[0039] 油墨或膏74可具有高导电性和低粘接剂(binder)含量,以增加其导电性。油墨或膏74还应在镀敷槽中具有与所需的分配(disperse)方法兼容的高化学稳定性和一粘度。沉积的油墨或膏74随后通过如步骤11所示的一激光或快速加热(flash heat)76烧结。烧结步骤(步骤11)帮助确保油墨或膏74粘附于基材42且还确保油墨或膏74是导电的(因为这通常是这样的情况,即所涂布的油墨或膏74的导电性不足以允许一电势施加于电子电路迹线62

上)。可以认识到的是,化学镀敷工艺可跳过烧结步骤(步骤11),因为不需要烧结化学镀敷层。最后,在步骤12中,进行电镀,从而设置一所需厚度的铜(或其他所需的导电的元素)以形成电子电路迹线62。增加的厚度使得电流承载能力增加,且一般来说,电镀工艺往往形成一具有一高导电性的材料,因此所得到的电子电路迹线62的性能将提高。

[0040] 一优选的系统和工艺采用集成于一单工作站(station)的多个激光70、76。一第一激光70烧蚀表面(步骤9)而一第二激光76在导电油墨或导电膏74在步骤9涂布后立刻烧结材料(步骤10)。这种设计节省制造工艺的空间且有助于保证各激光70、76正确的对位(registered)。此外,集成多个激光70、76于一单工作站能使材料的处理更快。

[0041] 在另一实施例中,基材42的一表面上的一图案66可用一激光、一等离子体工艺(其可以是一真空或大气工艺)、一UV工艺和/或一氟化工艺制备。一旦表面具有通过选出(chosen)工艺形成于其上的图案66,那么图案66可通过所需的工艺设置油墨或膏并随后烧结。烧结可经由提供充足的热能以熔化油墨中的纳米颗粒的一激光或其他所需要的工艺来完成。优选地,图案66电连接于载带40,从而一电势可置于图案66上且图案66可被电镀以形成电路迹线62。上述工艺可应用于由XAREC提供的一间规聚苯乙烯(SPS)并提供电路迹线62对表面的良好的固持性。

[0042] 适合用于添加剂制造的其他材料是液晶聚合物(LCP),因为许多LCPs具有适合用于模制的良好耐温性和尺寸稳定性。事实证明,对于LCP材料,如果使用一激光工艺(与其他工艺相比)预处理表面,电路迹线62的固持性将会得到令人惊讶的(surprising)的提高。一旦表面通过激光而变得粗糙,可使用各种各样系统(包括一nScrypt微型泵、一Optmec气溶胶、一丝网(screen)印刷工艺或一喷墨工艺)使一导电油墨沉积于激光标记的图案上。油墨随后可被一激光、一光子快速固化工艺、一传统的热暴露且用于铜基油墨、一干燥箱中的一甲酸环境来烧结。

[0043] 另一将电路迹线62设置在LCP上的替代方法是采用一等离子体工艺将铜直接引导在表面上。所得到的电路迹线62不像一纯铜迹线那样导电,但却足以允许将一电压电势置于电路迹线62上。使用等离子体的一个问题是图案66往往比所期望的要精细(fine)。然而,已经确定的是,通过使用一激光(诸如一皮秒激光器)可以形成一粗的图案且随后再进行更精确的处理,上述激光可用于从表面烧蚀掉不需要的铜,却不显著影响表面。激光由此移除边缘,以形成提供所需功能的一图案66。可以认识到的是,等离子体工艺可避免对一烧结或任何预处理步骤的需求,且铜材料经由等离子体工艺直接地设置于表面比传统的导电油墨要便宜得很多。图案66一旦形成,可按如上所述进行电镀,以形成电路迹线62。

[0044] 从图7-图12可以认识到的是,公开的工艺允许得到令人关注的结构。图7示出一引导框架54,在通过使引导框架54成为载带40的一部分的制造工艺中,引导框架54可以以卷轴到卷轴的方式输送(从卷轴68a到卷轴68b)。具体地,引导框架54成为载带40的一部分且随后可被嵌件成型(insert-molded)于诸如图8所示的一基材42内,且随后按如上所述的方式处理,以在基材42的一表面上设置一图案66,诸如图9设置的那样。应注意的是,引导框架54具有指部56,孔58设置于指部56上。这些孔58与形成基材42的模制材料中的出入孔(access apertures)对齐。已确认的是,这使电连接于随后形成的电路迹线容易且使通过施加一电压在引导框架54上以在电子电路迹线上提供一电压成为可能,且因此利于电镀。因此,引导框架54的孔60的使用有益于制造目的。

[0045] 如图10和图11所示,基材42可以被焊接掩膜,且部件50焊接于电子电路迹线62,且随后得到的装置22可从载带40分离成单件。可替代的或除了焊接掩膜/焊接外,部件50可打线接合于电子电路迹线62。如图12所示得到的装置22可以是大体地以添加剂方式形成的一集成的装置22。由于电镀是一相对有效的工艺,通过一镀敷槽的具有一少于三十分钟的相对短的停留(dwell)时间的一往复路径也许是足够的,因此使总工艺少于一小时,同时能实现一组复杂的几何形状和构造。自然地,添加另外的镀敷层可能增加制造工艺的总时间,但与传统的使用PCBs的工艺相比仍旧大幅地减少端到端(from end to end)的总时间。

[0046] 在制造工艺应用于内层的一实施例中,首先,适当的迹线设置于基材42的一第一层的外表面上,且如果需要,部件可设置于基材42的第一层的外表面且被焊接或打线连接以变成电连接于这些迹线。然后,基材42的一第二层可模制于外表面和部件的全部或部分之上。另外的迹线可按如上所述设置于第二层上且随后另外的部件可置于新的表面上且这些部件可随后按如上所述的方式连接于这些迹线。可按需要添加更多的层,注意的是,各层可具有一不同的拓扑结构。因此,没有限制,一第一层可以是相对扁平/平的而一第二层可以提供一非平面的一方式形成于第一层之上。自然地,也可以做成相反的。得到的结构可因此具有内层的一三维形状,内层根据需要变化且可与外层不匹配(match)。

[0047] 如图15所示,在一实施例中,基材42模制于载带40上时,基材42是不连续的,这样凹穴80形成于基材42且载带40的材料露出。部件50直接设置于载带40的露出的外表面上。部件50可通过打线接合部82打线接合于在基材42上形成的电子电路迹线62。载带40作为用于部件50的一散热器。一非导电材料84(诸如一粘接剂),可设置于部件50和打线接合部82之上;这个非导电材料84随后形成基材42的外表面的部分。适合的非导电材料84包括但不限于一非导电的粘接剂。

[0048] 如图16所示,在一实施例中,当基材42模制于载带40上,基材42是不连续的,从而导孔86形成于基材42以露出载带40。导孔86电镀,以形成迹线62和载带40之间的一导电的路径。部件50可设置在导孔86上。部件50可通过打线接合部82打线接合于电子电路迹线62。载带40再次作为用于穿过导孔86的部件50的一散热器。一非导电材料84(诸如一粘接剂)可设置于部件50和打线接合部82之上;这种非导电材料84随后形成基材42的外表面的一部分。适合的非导电材料84包括但不限于一非导电的粘接剂。如果需要,导孔86可形成于在基材42形成的一凹穴80内,且部件50安置在凹穴80内。

[0049] 上述的各种实施例针对装置22进行说明;然而,这些仅是采用ASEP技术可形成的装置的几个例子。通过ASEP,使得连接器、传感器、LED、热管理、天线、RFID装置、微处理器、存储器、阻抗控制以及多层功能性直接集成到一产品中成为可能。

[0050] 如图13所示,一个例子是照明设备20,其包括可采用ASEP技术形成的诸如装置22的一装置。尽管照明设备20在下面例子中的目的是用于一车辆或汽车,但它可以是用于一一般目的的照明设备。例如,照明设备20可用于室内或室外的照明、用于或在一展出中使用、用于个人或服饰(apparel)或作为移动个人装置的一部分。照明设备20的可能用途不胜枚举,特别是考虑到在或连同设备和机械使用(作为一例子)。

[0051] 汽车用照明设备20包括一基座24、装置22以及一光导管28。基座24可形成为如图14所示的两个部分24a、24b。基座24具有:一壁部32,形成贯穿壁部32的一通道34;以及一孔36,延伸穿过壁部32且与通道34连通。孔36可横向于通道34。采用一ASEP制造工艺形成的装

置22安装于基座24的通道34内。光导管28穿过基座24内的孔36延伸且安装于一发光二极管(LED)38的上方,发光二极管38形成为如本文所述的装置22上的部件50(或多个部件50的其中一个)。

[0052] 图1与图1A结合提供正在制备的汽车用照明设备20的一代表表示且制备汽车用照明设备20的接下来的步骤。图1A的步骤7和8以及图6的附图标记140示出装置22与其他装置分离成单件且与基座24和光导管28组装。参见上述图1和图6的说明,以获得更进一步的细节。当装置22形成后,装置22安装于基座24的通道34内和基座24的两个部分24a、24b组装在一起。插针触头64保持露出。光导管28安装穿过基座24的孔36且设置于LED 38的上方。这完成汽车用照明设备20的组装。汽车用照明设备20现在准备好与一车辆组装。

[0053] 如上面所提及的,本文说明了各种实施例且提供了可采用ASEP技术形成的装置的各种例子。在另一例子中,多层柔性电路可与一高温/3D基材(诸如LCP或SPS)卷轴到卷轴嵌件模制。导孔可模制于基材的表面,导孔会在印刷于柔性电路的塑料层和内层表面上的迹线之间形成一电气通路。这些迹线形成一“电汇流排条(buss bar)”于载带,载带能在喷墨沉积导电层涂布于装置之后使迹线被电镀。尽管相对于块体金属(bulk metal),纳米颗粒的Cu或Ag油墨的导电的迹线非常细且不是高导电的,但其导电性已经高得足以提供用于对表面上印刷的迹线的一晶种层。

[0054] 尽管喷墨技术对于印刷电路图案到3D表面具有局限性,但是该技术的确具有大约2mm的一景深(depth of field),这能使印刷电路图案到凹槽、凹穴,且裸硅晶粒可置于小的突起特征(features)上。当晶粒打线接合于行进到凹穴中的迹线后,晶粒和系统之间形成一电连接,这消除了对传统的硅的封装的需求。通过不必使用传统的封装硅装置,最终产品的尺寸可大幅减小,且硅封装的花费被省去。此外,具有50微米的线和间隔的电路图案可采用喷墨技术可靠印刷。

[0055] 与传统的PCBs或柔性材料在传统的消减(subtractive)制造工艺中使用每平方米400加仑的水的制造不同,迹线设置于一ASEP产品的表面是追加性的(additive)。使用水的工艺步骤仅是电镀后的立刻的一漂洗工艺。制造具有如标准电路板的相同导电性、金属类型以及表面光洁度的电路且减少水的使用的一完全追加性工艺对可持续的电子产品制造是十分可取的。

[0056] 图17(俯视图)和18(立体图)示出与裸晶粒、有源装置以及无源装置卷轴到卷轴制造的一聚酰亚胺柔性芯部的一ASEP应用的一概念设计,且裸晶粒、有源装置以及无源装置封装成到模制及成像基材的凹部内。在装置打线接合或焊接就位之后,它们可以采用一非导电材料“顶部封装(glob topped)”。如果需要,可以开发使组件中不可视的电子产品的应用。

[0057] 这样一方法的优点是能大幅减少电子产品的尺寸和成本。通过印刷迹线到裸晶粒置于其中的凹穴内、晶粒贴附晶粒并将晶粒打线接合于电镀迹线,能使其使裸晶粒直接集成于塑料壳体内。在“顶部封装”部件后,人们也许甚至不知道在装置中存有电子产品。此外,例如,通过对装置采用多层柔性内层,可形成一密度非常高的电子产品;部件可位于零件(part)的前侧和后侧。

[0058] 本文引用的所有参考文献(包括出版物、专利申请和专利)在此通过援引并入,以达到就像每个参考文献单独且具体地通过引用说明以并入且每个参考文献其全部内容被

阐述的同样的程度

[0059] 在描述本发明(特别是在以下权利要求的上下文中)的上下文中使用的术语针对辅音的“一”和针对元音的“一”和针对定冠词的“所述”和“至少一个”以及类似的指代将解释为覆盖单数和复数,除非本文另有说明或与上下文明显矛盾。使用的术语“至少一个”后跟着一个或多个的项目的一列表(例如,“A和B中的至少一个”)将解释为指的是选自所列出的项目的一个项目(A或B)或者所列出的项目的两个或多个的任意组合(A和B),除非本文另有说明或与上下文明显矛盾。“包括”、“具有”、和“包含”以及“含有”的术语将被理解为开放式术语(即,意思是“包括但不限于”),除非另有说明。本文中的值的范围的引用仅仅旨在用作单独提及每一个单独落在该范围内的值的一速记方法,除非本文另有说明,并且每个单独的值并入说明书中,正如它在本文中单独列举的一样。本文描述的所有工艺可以以任何适合的顺序执行,除非本文另有说明或与上下文明显矛盾。本文中提供的任何和所有例举性或示例性的语言(例如“诸如”)仅仅是为了更好地阐明本发明,并不造成对本发明的范围的限制,除非另有主张。说明书中的任何语言不应解释为表示任何未主张的部件对本发明的实践是必要。

[0060] 本文描述了本发明的优选实施例,包括发明人已知的用于实施本发明的最佳模式。本领域的普通技术人员可通过阅读前面的说明对这些优选实施例实施变形,这是得显而易见的。发明人期望本领域技术人员适当地采用这些变形,并且发明人预计本发明通过不同于本文所具体说明的之外的方式来实现。因此,本发明包括所有的修改和与适用法律所允许的随附权利要求书的主题的等同结构。此外,所有可能的变形的上述部件的任意组合包括在本发明内,除非本文另有说明或上下文明显矛盾。

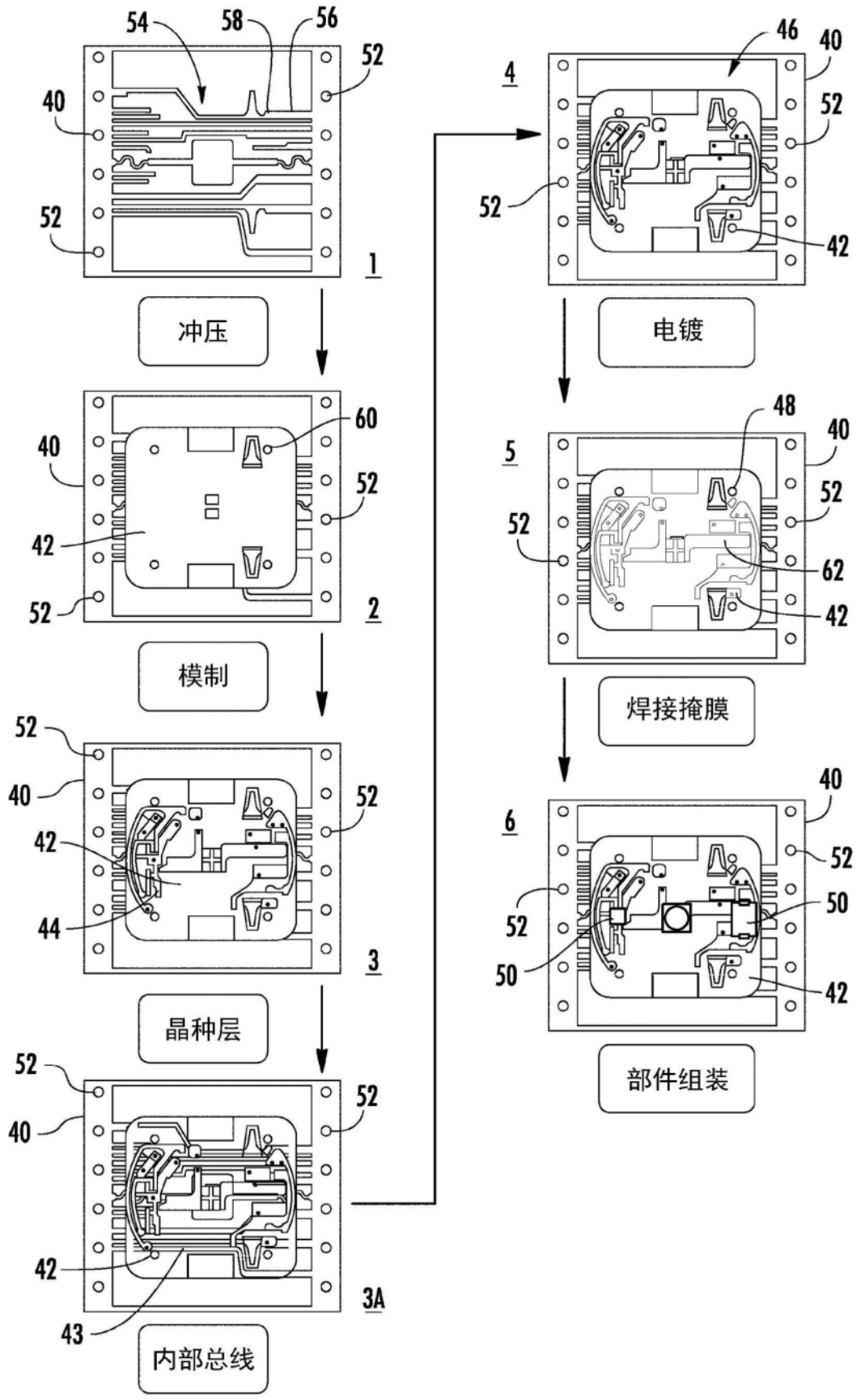


图1

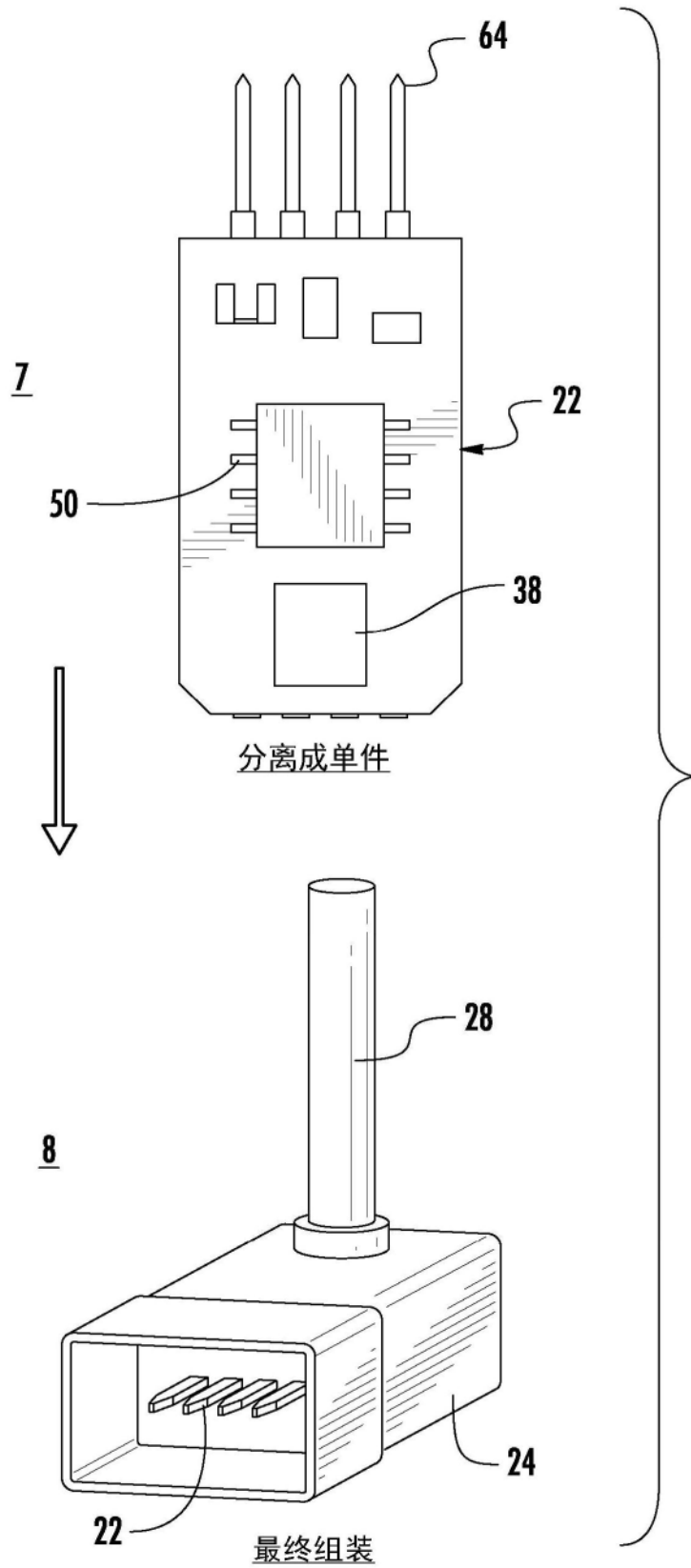


图1A

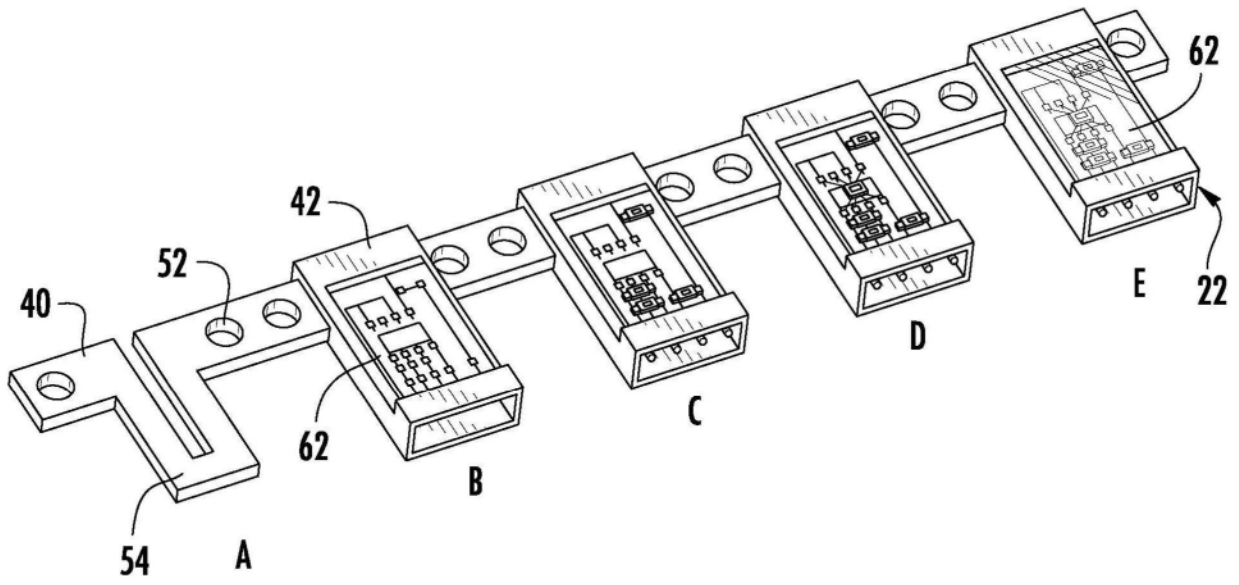


图2

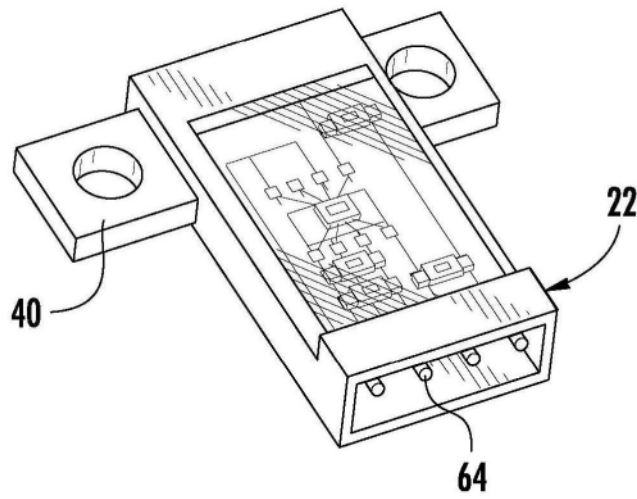


图3

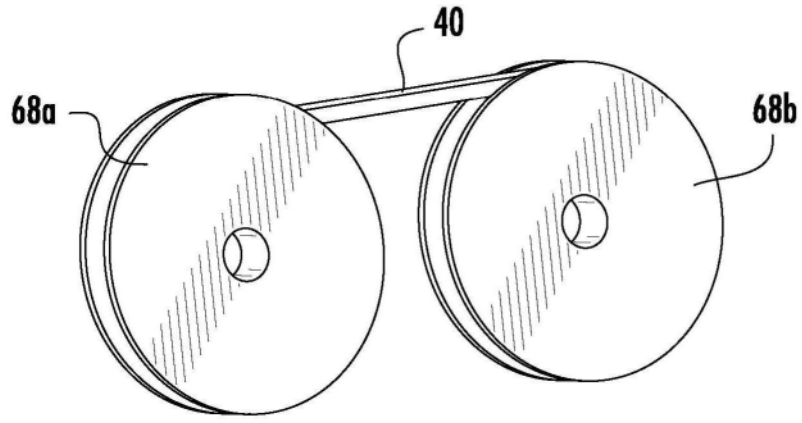


图4

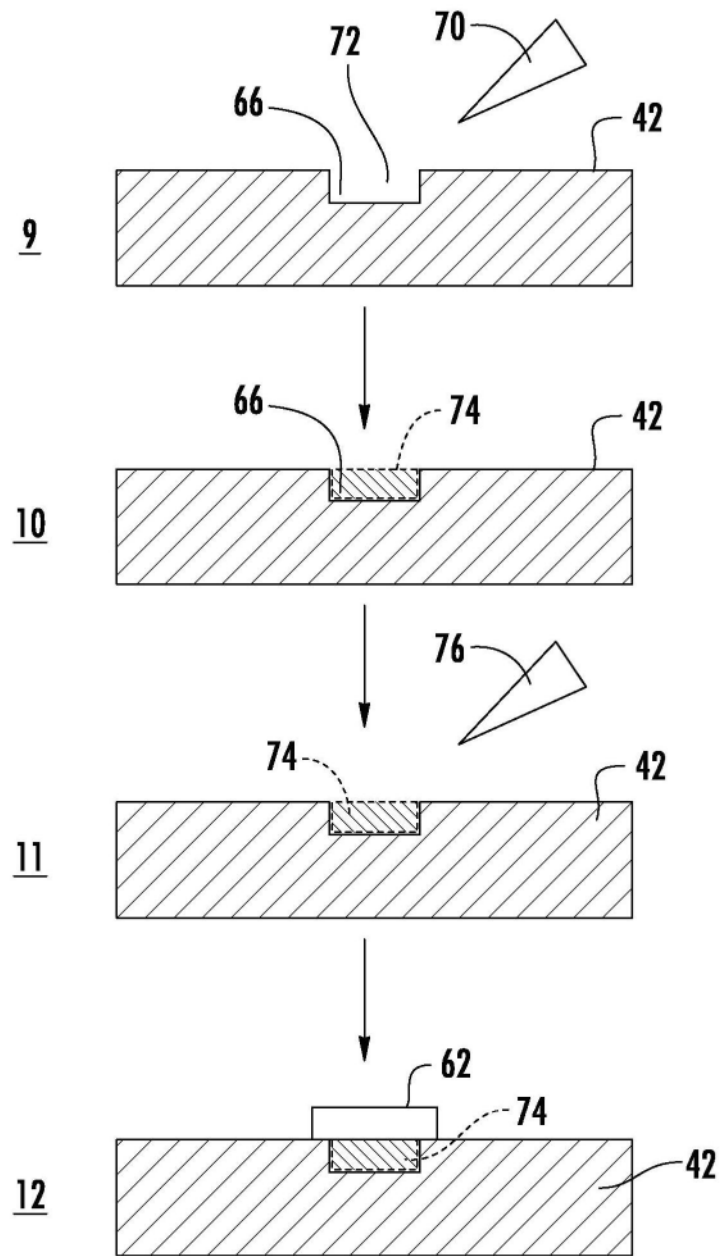


图5

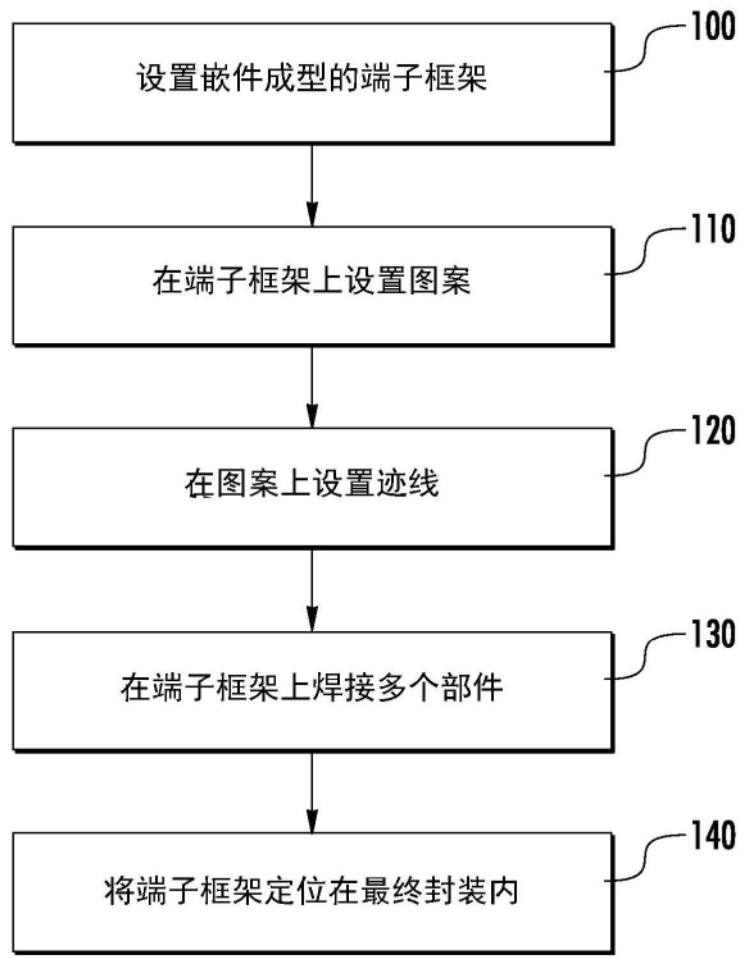


图6

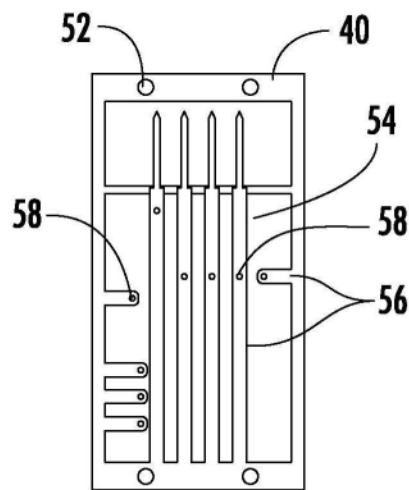


图7

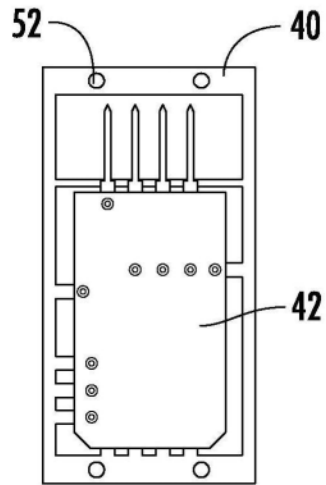


图8

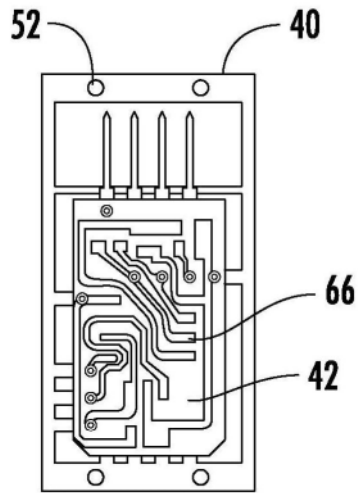


图9

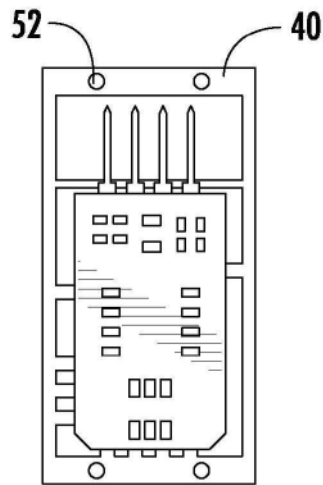


图10

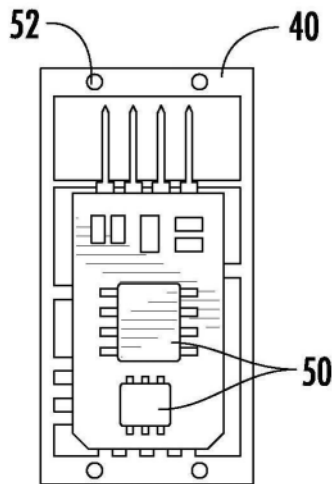


图11

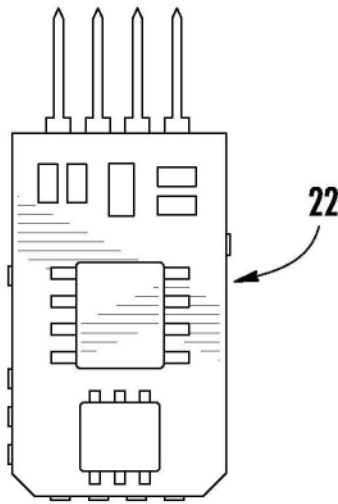


图12

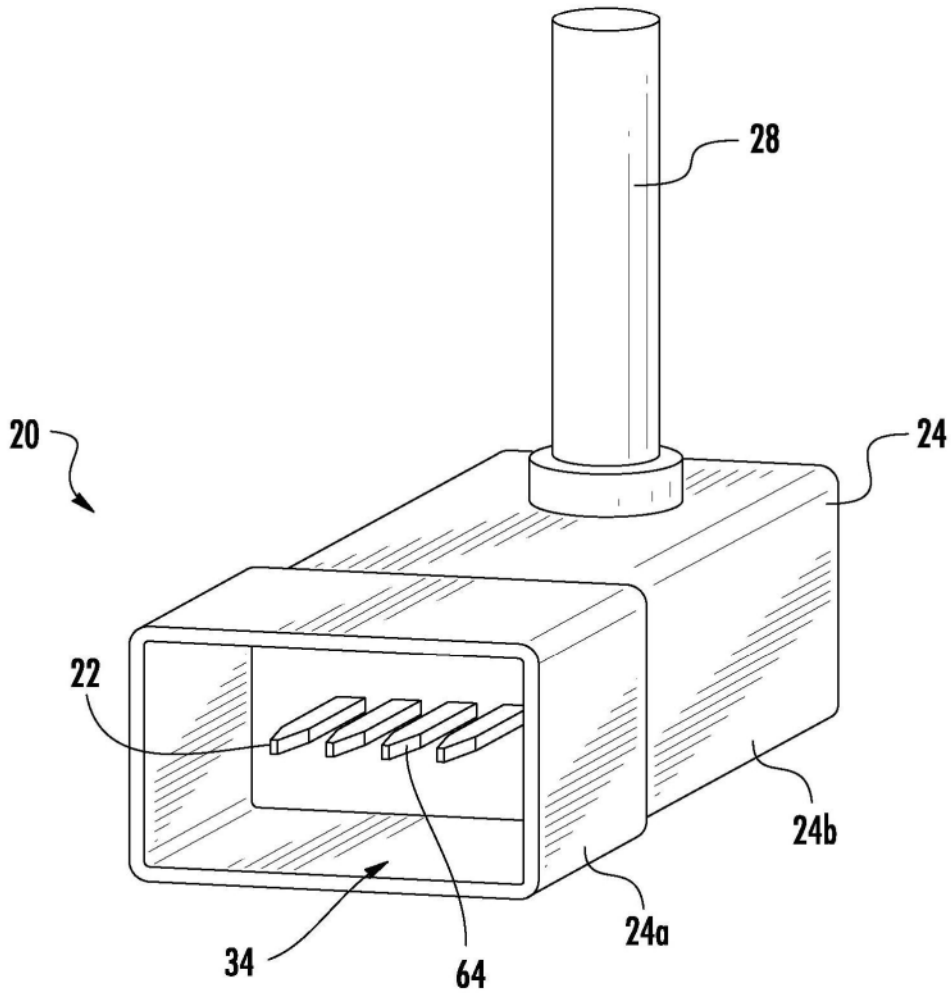


图13

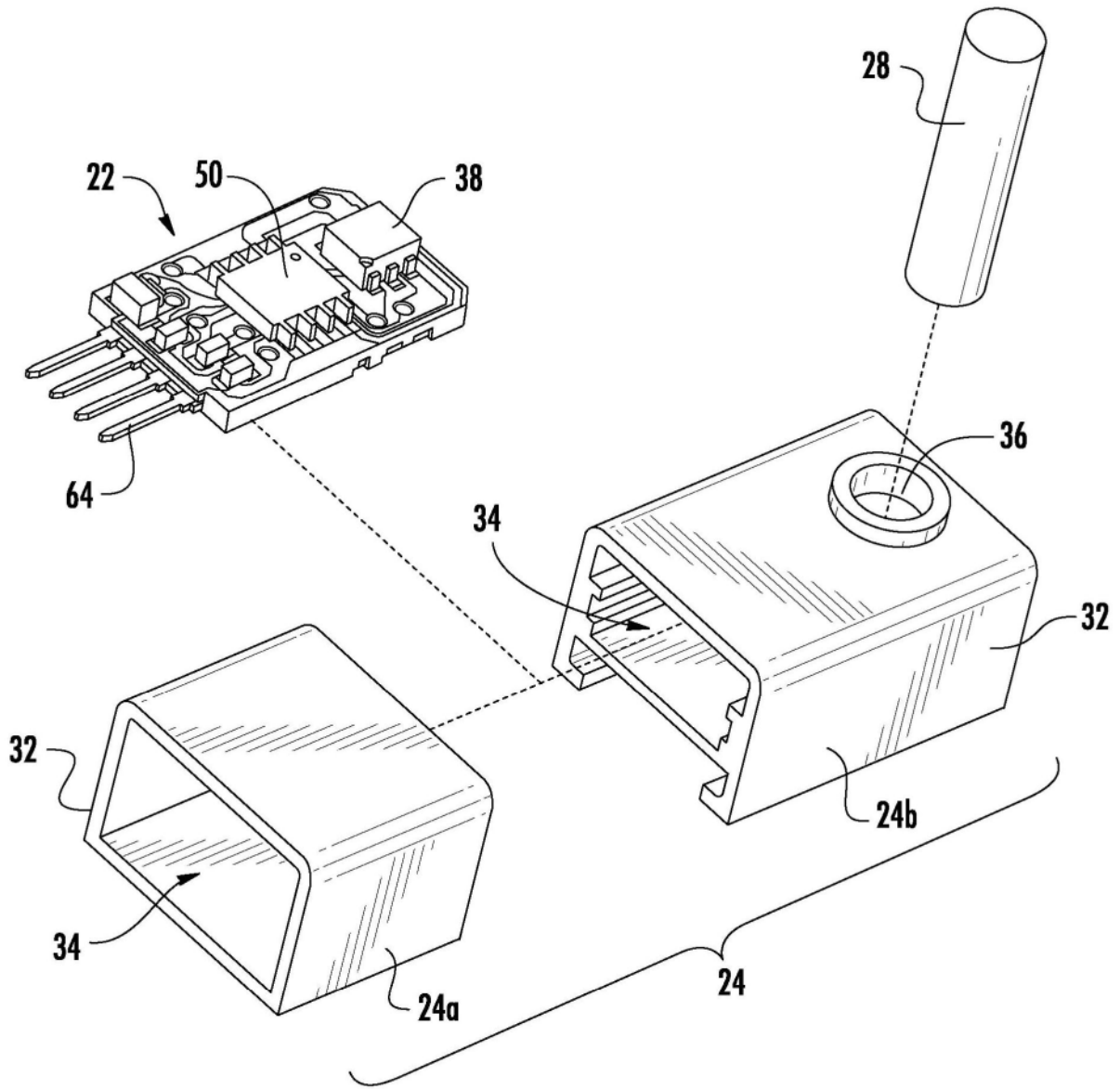


图14

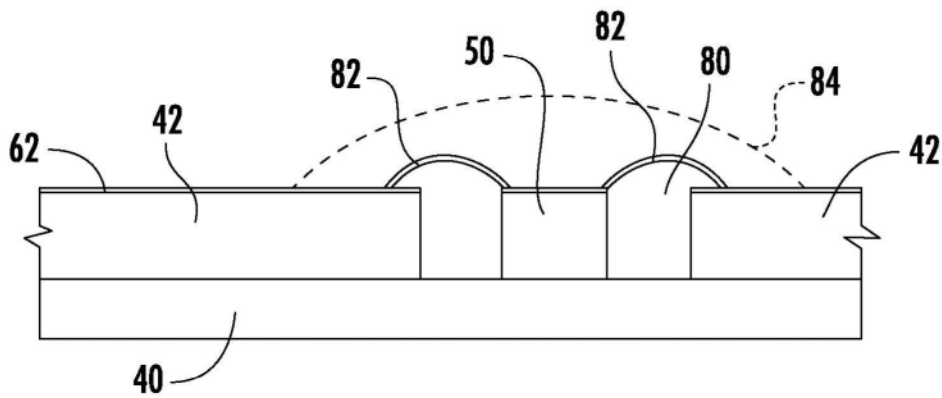


图15

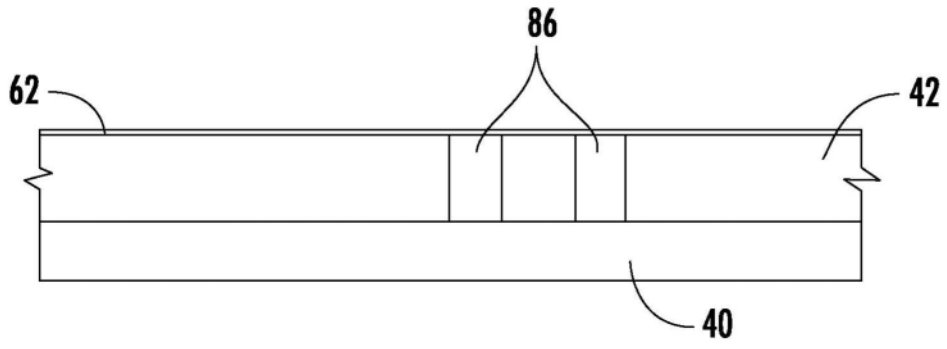


图16

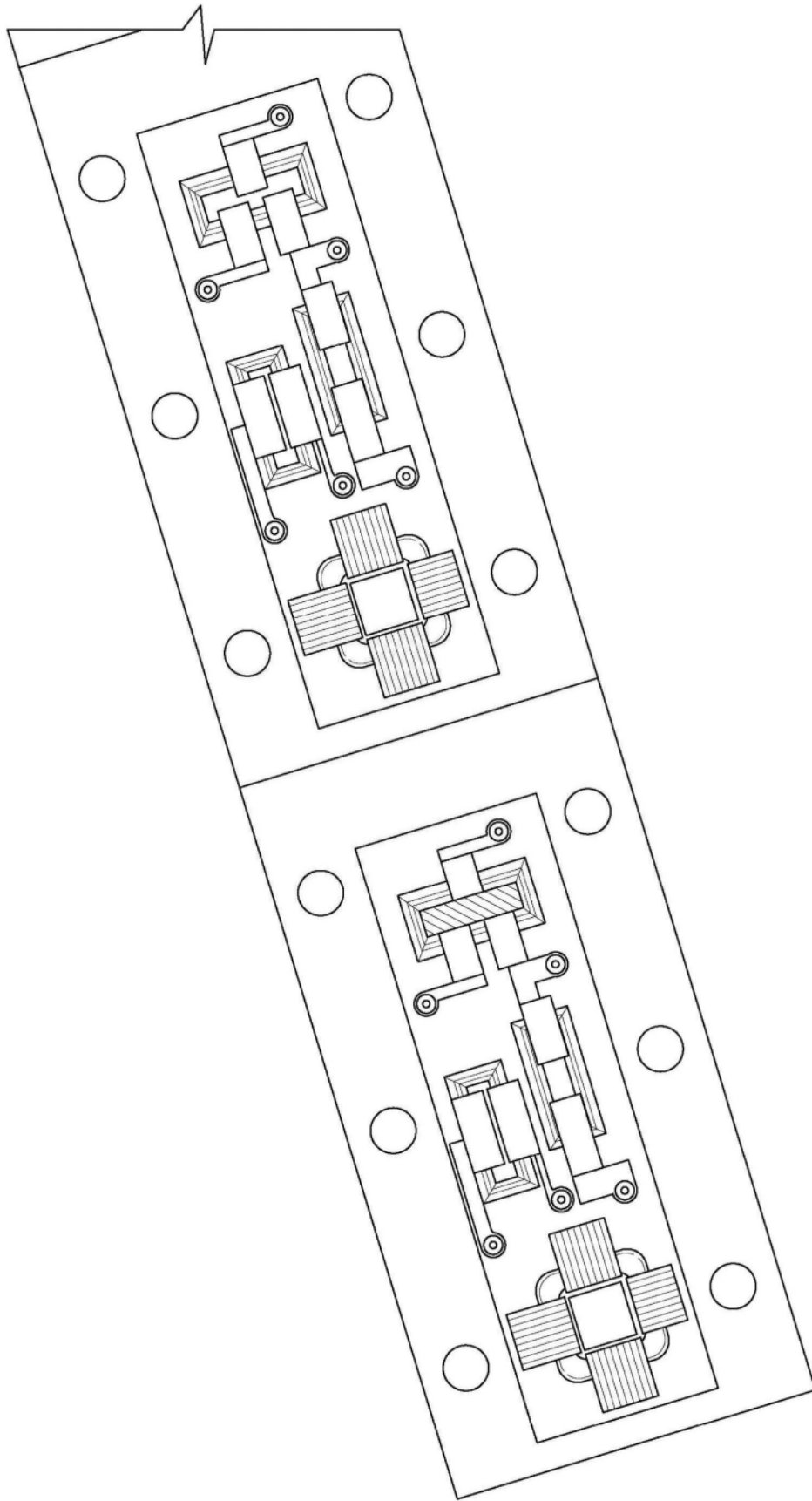


图17

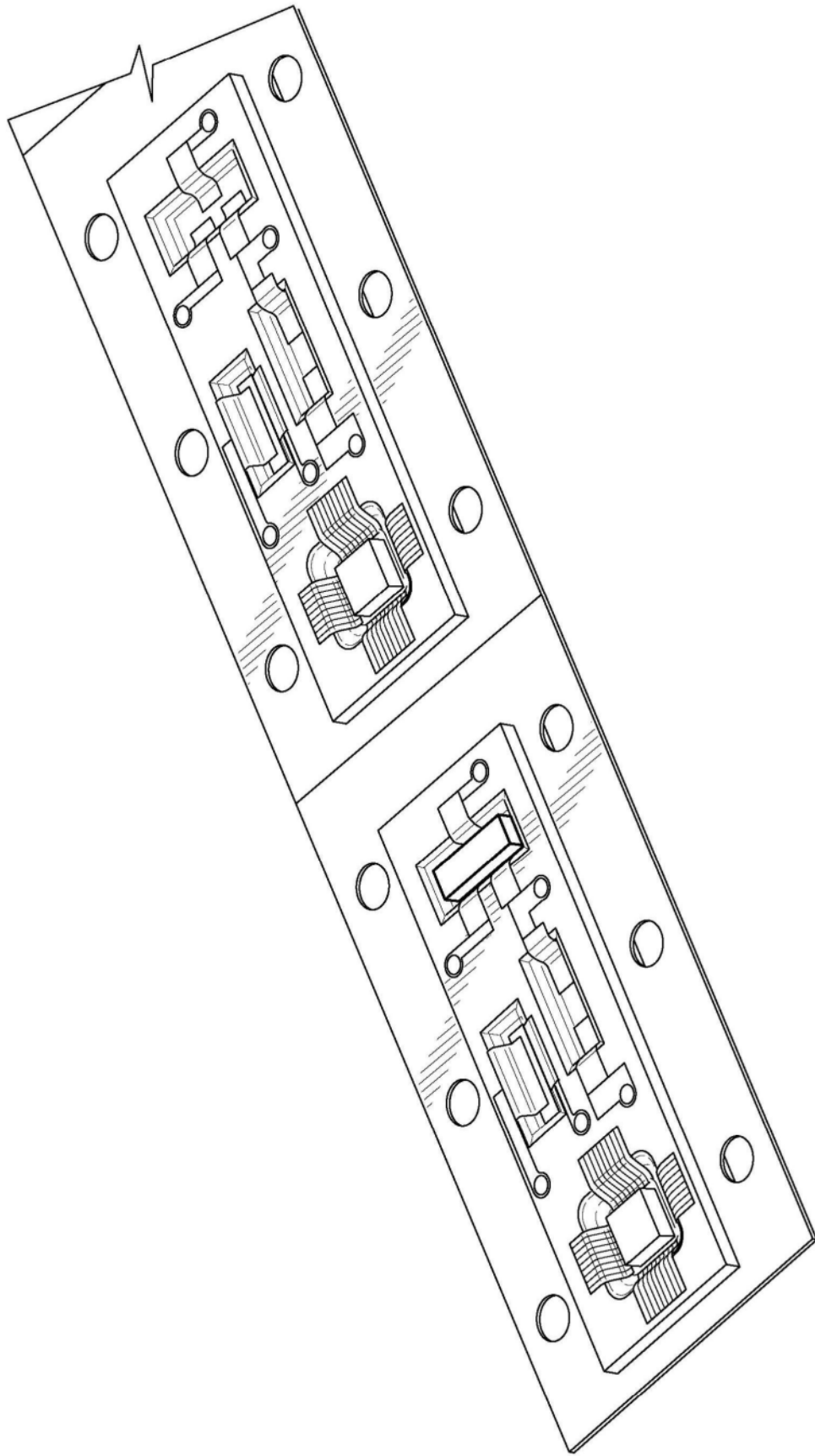


图18