

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4370109号
(P4370109)

(45) 発行日 平成21年11月25日(2009.11.25)

(24) 登録日 平成21年9月4日(2009.9.4)

(51) Int.Cl. F 1
G 0 6 F 1/32 (2006.01) G 0 6 F 1/00 3 3 2 Z

請求項の数 7 (全 14 頁)

(21) 出願番号	特願2003-59641 (P2003-59641)	(73) 特許権者	000005821
(22) 出願日	平成15年3月6日(2003.3.6)		パナソニック株式会社
(62) 分割の表示	特願2000-378752 (P2000-378752) の分割		大阪府門真市大字門真1006番地
原出願日	平成12年12月13日(2000.12.13)	(74) 代理人	100077931
(65) 公開番号	特開2003-271267 (P2003-271267A)		弁理士 前田 弘
(43) 公開日	平成15年9月26日(2003.9.26)	(74) 代理人	100094134
審査請求日	平成18年11月10日(2006.11.10)		弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

(54) 【発明の名称】 プロセッサの電力制御方法

(57) 【特許請求の範囲】

【請求項 1】

電力制御レジスタを有したプロセッサの内部で消費される電力を制御するための電力制御方法であって、

比較アドレスとインデックス番号とが一对となった情報を参照することにより、実行アドレスに応じたインデックス番号を決定する条件判定を行い、

前記電力制御レジスタにはあらかじめ電力制御情報が格納されており、前記電力制御情報は、前記インデックス番号に応じて選択され、

選択される前記電力制御情報に従って、前記プロセッサの内部で消費される電力を制御することを特徴とする電力制御方法。

【請求項 2】

複数の部分からなるプログラムを実行する、電力制御レジスタを有したプロセッサの内部で消費される電力を制御するための電力制御方法であって、

比較アドレスの範囲とインデックス番号とが一对となった情報を参照することにより、実行しているプログラムの部分に応じたインデックス番号を決定する条件判定を行い、

前記電力制御レジスタにはあらかじめ電力制御情報が格納されており、前記電力制御情報は、前記インデックス番号に応じて選択され、

選択される前記電力制御情報に従って、前記プロセッサの内部で消費される電力を制御することを特徴とする電力制御方法。

【請求項 3】

10

20

前記実行しているプログラムの部分は、実行アドレスに応じて判別することを特徴とする請求項 2 記載の電力制御方法。

【請求項 4】

前記比較アドレスと前記インデックス番号とが一对となった前記情報は、書き換え可能なレジスタに格納されている情報であることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の電力制御方法。

【請求項 5】

前記電力制御情報は、電力制御の対象とすべき 1 以上の回路ブロックを指定するためのブロック情報と、制御対象回路ブロックへ供給すべきクロックの周波数を表すクロック情報とを含むことを特徴とする請求項 4 記載の電力制御方法。

10

【請求項 6】

前記電力制御情報は、電力制御の対象とすべき 1 以上の回路ブロックを指定するためのブロック情報と、制御対象回路ブロックへ供給すべき電源電圧の大きさを表す電圧情報とを含むことを特徴とする請求項 4 記載の電力制御方法。

【請求項 7】

前記電力制御情報は、電力制御の対象とすべき 1 以上の回路ブロックを指定するためのブロック情報と、制御対象回路ブロックへ供給すべきクロックの周波数を表すクロック情報と、制御対象回路ブロックへ供給すべき電源電圧の大きさを表す電圧情報とを含むことを特徴とする請求項 4 記載の電力制御方法。

【発明の詳細な説明】

20

【0001】

【発明の属する技術分野】

本発明は、プロセッサの内部で消費される電力を制御するための電力制御方法に関するものである。

【0002】

【従来の技術】

コンピュータ、マイクロプロセッサ、マイクロコントローラ、ディジタル信号処理プロセッサ(DSP)等が知られている。ここでは、これらストアード・プログラム方式の装置を総称して「プロセッサ」という。

【0003】

従来のプロセッサの中には、電力制御装置を備えたものがある。例えば、あるプロセッサの電力制御方法では、スタンバイモードにおいて当該プロセッサの内部クロックの周波数を特定の周波数まで下げることによって、消費電力を削減する。

30

【0004】

【発明が解決しようとする課題】

上記従来のプロセッサの電力制御方法では、低減されたクロック周波数を当該プロセッサのユーザが決めることはできなかった。また、特別な命令を当該プロセッサが実行することでスタンバイモードへ入るようにしていたので、プログラムが大きくなる問題もあった。

【0005】

本発明の目的は、プロセッサの低消費電力動作をユーザがきめ細かく定義できるようにし、以てプログラミングの負担を軽減することにある。

40

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明は、電力制御レジスタを有したプロセッサの内部で消費される電力を制御するための電力制御方法において、比較アドレスとインデックス番号とが一对となった情報を参照することにより、実行アドレスに応じたインデックス番号を決定する条件判定を行い、前記電力制御レジスタにはあらかじめ電力制御情報が格納されており、前記電力制御情報は前記インデックス番号に応じて選択され、選択される前記電力制御情報に従って、前記プロセッサの内部で消費される電力を制御することとしたも

50

のである。複数の部分からなるプログラムを実行する、電力制御レジスタを有したプロセッサでは、実行しているプログラムの部分に応じたインデックス番号を決定する条件判定を行い、前記電力制御レジスタにはあらかじめ電力制御情報が格納されており、前記電力制御情報は前記インデックス番号に応じて選択され、選択される前記電力制御情報に従って、前記プロセッサの内部で消費される電力を制御する。

【 0 0 0 7 】

【 発明の実施の形態 】

以下、マイクロプロセッサへの本発明の適用例について、図面を参照しながら具体的に説明する。

【 0 0 0 8 】

10

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態に係るマイクロプロセッサの電力制御装置を示している。当該マイクロプロセッサ 1 0 は、プログラムカウンタ 1 1 と、複数の回路ブロック 1 5 とに加えて、パワーテーブル 2 0 と、条件判定器 3 0 と、電圧・クロックコントローラ 4 0 とで構成された電力制御装置を備えている。

【 0 0 0 9 】

パワーテーブル 2 0 は、各々電力制御情報を書き換え可能に記憶するための複数の電力制御レジスタ 2 1 を備えている。電力制御情報の各々は、複数の回路ブロック 1 5 のうち電力制御の対象とすべき 1 以上の回路ブロックを指定するためのブロック情報と、制御対象ブロックの電圧に関する情報 (電圧情報) と、制御対象ブロックへ供給すべきクロックに関する情報 (クロック情報) とを含んでいる。また、複数の電力制御レジスタ 2 1 のうちのいずれか 1 つが、条件判定器 3 0 から供給されるインデックス信号により選択されるようになっている。

20

【 0 0 1 0 】

電圧・クロックコントローラ 4 0 は、インデックス信号により選択された電力制御レジスタ 2 1 中の電力制御情報に従って制御対象回路ブロックの消費電力を制御するためのコントローラであって、ブロック情報と電圧情報とを受け取る電圧コントローラ 4 1 と、ブロック情報とクロック情報とを受け取るクロックコントローラ 4 5 とで構成されている。

【 0 0 1 1 】

条件判定器 3 0 は、アドレステーブル 3 1 と、比較器 3 2 と、ラッチ 3 3 とを備えている。アドレステーブル 3 1 は、各々比較アドレスと、当該比較アドレスに対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを備えている。比較器 3 2 は、プログラムカウンタ 1 1 が示すアドレスがアドレステーブル 3 1 の中の複数の比較アドレスのいずれに一致したかを判定する。ラッチ 3 3 は、一致判定された比較アドレスに対応付けられたインデックス番号を保持し、このインデックス番号を表す信号をパワーテーブル 2 0 へ前記インデックス信号として供給する。

30

【 0 0 1 2 】

図 2 は、図 1 中のパワーテーブル 2 0 の詳細構成例を示している。各電力制御レジスタ 2 1 は、対象ブロック指定フィールドと、第 1 及び第 2 の電圧指定フィールドと、第 1 及び第 2 のクロック指定フィールドとを持つ。対象ブロック指定フィールドは、複数の回路ブロック 1 5 のそれぞれに対応した複数のビットを持ち、例えばビット値 “ 1 ” が対応回路ブロックを電力制御の対象とすべき旨を表す。この対象ブロック指定フィールドの情報は、ブロック情報 (I N F O _ B L K) として電圧コントローラ 4 1 及びクロックコントローラ 4 5 へ供給される。第 1 の電圧指定フィールドは、制御対象回路ブロックへ供給すべき電源電圧 V_{cc} の大きさを表す第 1 の電圧情報 (I N F O _ V_{cc}) を記憶するためのフィールドである。第 2 の電圧指定フィールドは、制御対象回路ブロックを構成するトランジスタの閾値電圧 V_t を制御するための第 2 の電圧情報 (I N F O _ V_t) を記憶するためのフィールドである。第 1 のクロック指定フィールドは、制御対象回路ブロックへ供給すべきクロックの周波数を表す第 1 のクロック情報 (I N F O _ F R E Q) を記憶するためのフィールドである。第 2 のクロック指定フィールドは、制御対象回路ブロックへの

40

50

クロック供給を停止するか否かを表す第2のクロック情報 (INFO_TERM) を記憶するためのフィールドである。電圧情報は電圧コントローラ41へ、クロック情報はクロックコントローラ45へそれぞれ供給される。

【0013】

図3は、図1中の電圧コントローラ41の詳細構成例を示している。図3の電圧コントローラ41は、DC-DCコンバータ42と、ゼロ判定器43と、各ブロック用の論理回路44とで構成されている。DC-DCコンバータ42は、基本電圧を第1の電圧情報 (INFO_Vcc) で指定された大きさの電圧に変換し、この変換により得た電圧を電源電圧Vccとして出力する。ゼロ判定器43は、第1の電圧情報 (INFO_Vcc) がゼロを指定しているか否かを調べる。論理回路44は2個のANDゲートで構成されており、ブロック情報 (INFO_BLK) とゼロ判定器43の出力とに基づく電源遮断信号と、ブロック情報 (INFO_BLK) と第2の電圧情報 (INFO_Vt) とに基づくVt選択信号とを出力する。電源遮断信号は、制御対象回路ブロックにおける電源電圧Vcc供給スイッチの制御に用いられる。Vt選択信号は、制御対象回路ブロックを構成するトランジスタの閾値電圧Vtを制御するように、例えばMOSトランジスタのバックゲート電圧の選択制御に用いられる。各回路ブロックの消費電力は電源電圧Vccの2乗に比例する。したがって、電源電圧Vccの低減は、各回路ブロックの消費電力削減に極めて大きく寄与する。また、トランジスタ閾値電圧Vtの制御は、当該トランジスタの高速動作モードと、漏れ電流が削減された非動作モードとを実現し得る。

10

【0014】

図4は、図1中のクロックコントローラ45の詳細構成例を示している。図4のクロックコントローラ45は、PLL46と、分周器47と、各ブロック用の論理回路48とで構成されている。PLL46は、ある周波数を持つ通常動作のための内部クロックを基本クロックから生成する。分周器47は、第1のクロック情報 (INFO_FREQ) で指定されたクロック周波数に見合った分周比で、内部クロックを分周する。論理回路48は1個のマルチプレクサと1個のANDゲートとで構成されており、PLL46から供給された内部クロックと分周器47から供給された分周クロックとのいずれかをブロック情報 (INFO_BLK) に基づいて選択し、かつ当該選択したクロックの供給・停止を第2のクロック情報 (INFO_TERM) に応じて制御する。各回路ブロックの消費電力はクロック周波数に比例する。したがって、クロック周波数の低減は、高速動作が必要でない回路ブロックの消費電力削減に大きく寄与する。

20

30

【0015】

図5は、図1の電力制御装置の動作例を概念的に示している。図5において、パワーテーブル20は、各々インデックス番号0、1、2、3で識別される4個の電力制御レジスタを備えている。アドレステーブル31は、比較アドレス1000とインデックス番号3との組と、比較アドレス1400とインデックス番号2との組と、比較アドレス4B00とインデックス番号0との組と、比較アドレス7010とインデックス番号3との組と、比較アドレスC6FFとインデックス番号1との組と、比較アドレスD200とインデックス番号2との組と、比較アドレスD770とインデックス番号1との組とを記憶しているものとする。

40

【0016】

図5によれば、マイクロプロセッサ10のプログラムフローに応じて、次のような電力制御が実現する。まず、アドレス0000からプログラムの実行が開始する。その後、アドレス1000の命令実行時に、プログラムカウンタ11が示すアドレスと、アドレステーブル31の中の1番目の比較アドレスとが一致する。これにより、番号3を表すインデックス信号がパワーテーブル20へ供給される。これを受けて、パワーテーブル20はインデックス番号3で指定された電力制御情報を電圧・クロックコントローラ40へ供給し、電圧・クロックコントローラ40は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。続いて、プログラムの実行がアドレス1400に到達すると、プログラムカウンタ11が示すアドレスと、アドレステーブル31の中の2番目の比較アドレスとが一

50

致し、番号2を表すインデックス信号がパワーテーブル20へ供給される。これを受けて、パワーテーブル20はインデックス番号2で指定された電力制御情報を電圧・クロックコントローラ40へ供給し、電圧・クロックコントローラ40は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。更に、アドレスC6FFへ分岐すべくサブルーチンコール命令が実行されると、プログラムカウンタ11が示すアドレスと、アドレステーブル31の中の5番目の比較アドレスとが一致し、番号1を表すインデックス信号がパワーテーブル20へ供給される。これを受けて、パワーテーブル20はインデックス番号1で指定された電力制御情報を電圧・クロックコントローラ40へ供給し、電圧・クロックコントローラ40は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。

【0017】

以上のとおり、図1の電力制御装置によれば、パワーテーブル20とアドレステーブル31とをユーザが適宜書き換えることで、当該マイクロプロセッサ10の低消費電力動作をユーザがきめ細かく定義できる。例えば、サブルーチン単位での電力制御や、1命令単位での頻繁な電力制御も可能である。また、特定アドレス区間の命令実行時の電力制御や、多重ループ内の一部命令のみの実行時の電力制御も可能である。しかも、これら電力制御のための特別な命令の実行は不要であるので、電力制御によりアプリケーションプログラム本体の処理効率が低下することはなく、命令メモリ容量の増加を招くこともない。更に、図1の電力制御装置によれば、アプリケーションプログラムの開発と電力制御設計とを独立に行い得る。したがって、プログラム開発の効率向上、保守性向上を図ることができる。また、既存のアプリケーションプログラムを修正することなく、詳細な電力制御を実現することができる。

【0018】

図6は、図1中の条件判定器30の変形例を示している。図6によれば、プログラムカウンタ11の更新のために、インクリメンタ12と、セレクトア13とが配置されている。インクリメンタ12は、プログラムカウンタ11の出力アドレス信号を受けて、アドレスをインクリメントする。セレクトア13は、通常はインクリメンタ12の出力アドレスをプログラムカウンタ11へ供給するが、ロード信号が与えられた場合には分岐アドレスをプログラムカウンタ11へ供給するように構成されている。図6の条件判定器30は、アドレステーブル31と、比較器32と、ラッチ33とに加えて、ロード信号を受けてイネーブル信号を生成するためのアドレス不連続検出器34を備えている。比較器32は、このイネーブル信号により、プログラムカウンタ11が示すアドレスの不連続変化が検出された場合にのみアドレス一致判定を実行するように制御される。その結果、条件判定器30の内部における消費電力が、図1の場合に比べて削減される。

【0019】

図7は、図1中の条件判定器30の他の変形例を示している。図7の条件判定器30は、例えばサブルーチン単位での電力制御に適したものであって、各々比較開始アドレスと、当該比較開始アドレスに対応付けられた比較終了アドレスと、当該比較開始アドレス及び比較終了アドレスに対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを持つアドレステーブル31を備え、プログラムカウンタ11が示すアドレスが複数の比較開始アドレスと複数の比較終了アドレスとで定義される複数のアドレス範囲のいずれに属するかを判定し、この範囲判定された比較開始アドレス及び比較終了アドレスに対応付けられたインデックス番号を表す信号をパワーテーブル20へインデックス信号として供給するようになっている。そのために、図7の条件判定器30は、アドレステーブル31に加えて、第1の比較器32aと、第2の比較器32bと、ANDゲート35と、ラッチ33とを備えている。なお、図1中の比較器32における一致判定をアドレス上位ビットに限定すれば、図7の場合より大まかな範囲判定を実現できる。

【0020】

(第2の実施形態)

図8は、本発明の第2の実施形態に係る電力制御装置を備えたマイクロプロセッサを示している。図8のマイクロプロセッサ110は、外部ブロック150からのバースト的な大

10

20

30

40

50

量データの受信を、当該外部ブロック 150 から与えられる送信開始 / 完了フラグに基づく割り込み処理として実行する機能を有するものであって、送信開始 / 完了フラグ等に応じた割り込み種別 (イベント種別) を表すイベント信号を発生するためのイベント信号発生器 111 と、データ受信のための受信処理ブロック 115 と、受信データを格納するためのメモリブロック 116 と、その他の機能ブロック 117 とを備えている。更に、図 8 のマイクロプロセッサ 110 は、図 1 中のパワーテーブル 20 と同様のパワーテーブル 120 と、イベント信号にตอบสนองして当該パワーテーブル 120 ヘインデックス信号を供給するための条件判定器 130 と、図 1 中の電圧・クロックコントローラ 40 と同様の電圧・クロックコントローラ 140 とを備えており、これらが各回路ブロック 115, 116, 117 の消費電力を制御するための電力制御装置を構成している。

10

【 0021 】

図 9 は、図 8 中の条件判定器 130 の詳細構成例を示している。図 9 の条件判定器 130 は、イベントテーブル 131 と、比較器 132 と、ラッチ 133 とを備えている。イベントテーブル 131 は、各々比較イベント種別と、当該比較イベント種別に対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを備えている。比較器 132 は、イベント信号発生器 111 が発生したイベント信号により表されたイベントの種別がイベントテーブル 131 中の複数の比較イベント種別のいずれに一致したかを判定する。ラッチ 133 は、一致判定された比較イベント種別に対応付けられたインデックス番号を保持し、このインデックス番号を表す信号をパワーテーブル 120 ヘ前記インデックス信号として供給する。

20

【 0022 】

図 10 は、図 8 の電力制御装置の動作例を概念的に示している。図 10 において、パワーテーブル 120 は、各々インデックス番号 0、1、2、3 で識別される 4 個の電力制御レジスタを備えている。イベントテーブル 131 は、比較イベント種別 1 とインデックス番号 3 との組と、比較イベント種別 2 とインデックス番号 2 との組と、比較イベント種別 3 とインデックス番号 0 との組と、比較イベント種別 4 とインデックス番号 3 との組と、比較イベント種別 5 とインデックス番号 1 との組と、比較イベント種別 6 とインデックス番号 2 との組と、比較イベント種別 7 とインデックス番号 1 との組とを記憶している。外部ブロック 150 は、マイクロプロセッサ 110 へのデータ送信を開始する際に送信開始 / 完了フラグをアクティブにし、送信完了時に当該フラグをネガティブにする。これを受けて、イベント信号発生器 111 は、送信開始 / 完了フラグがアクティブになった時点でイベント種別 4 を表す信号を、当該フラグがネガティブになった時点でイベント種別 5 を表す信号をそれぞれ発生するものとする。

30

【 0023 】

図 10 によれば、マイクロプロセッサ 110 に生じたイベントの種別に応じて、次のような電力制御が実現する。まず、外部ブロック 150 からマイクロプロセッサ 110 へのデータ送信の開始時に送信開始 / 完了フラグがアクティブになると、イベント信号発生器 111 がイベント種別 4 を表す信号を発生するので、発生した当該イベント種別と、イベントテーブル 131 中の 4 番目の比較イベント種別とが一致する。これにより、番号 3 を表すインデックス信号がパワーテーブル 120 ヘ供給される。これを受けて、パワーテーブル 120 はインデックス番号 3 で指定された電力制御情報を電圧・クロックコントローラ 140 ヘ供給し、電圧・クロックコントローラ 140 は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。ここで、例えば受信処理ブロック 115 ヘ供給する電源電圧 V_{cc} を高くし、かつ当該ブロック 115 ヘ供給するクロックの周波数を高くすることができる。続いて、外部ブロック 150 からマイクロプロセッサ 110 へのデータ送信の完了時に送信開始 / 完了フラグがネガティブになると、イベント信号発生器 111 がイベント種別 5 を表す信号を発生するので、発生した当該イベント種別と、イベントテーブル 131 中の 5 番目の比較イベント種別とが一致する。これにより、番号 1 を表すインデックス信号がパワーテーブル 120 ヘ供給される。これを受けて、パワーテーブル 120 はインデックス番号 1 で指定された電力制御情報を電圧・クロックコントローラ 14

40

50

0へ供給し、電圧・クロックコントローラ140は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。ここで、例えば受信処理ブロック115への電源電圧を遮断し、かつ当該ブロック115へのクロックの供給を停止することができる。これにより、受信処理ブロック115を必要な期間だけ高速動作させることができる。

【0024】

以上のとおり、図8の電力制御装置によれば、パワーテーブル120とイベントテーブル131とをユーザが適宜書き換えることで、アプリケーションプログラムと非同期に発生するイベントに応じた当該マイクロプロセッサ110の低消費電力動作をユーザがきめ細かく定義できる。しかも、これら電力制御のための特別な命令の実行は不要であるので、電力制御によりアプリケーションプログラム本体の処理効率が低下することはなく、命令メモリ容量の増加を招くこともない。更に、図8の電力制御装置によれば、アプリケーションプログラムの開発と電力制御設計とを独立に行い得る。したがって、プログラム開発の効率向上、保守性向上を図ることができる。また、既存のアプリケーションプログラムを修正することなく、詳細な電力制御を実現することができる。

【0025】

(第3の実施形態)

図11は、本発明の第3の実施形態に係る電力制御装置を備えたマイクロプロセッサを示している。図11のマイクロプロセッサ210は、外部ブロック250との間のデータ送受信を定められた時間帯に実行する機能を有するものであって、時刻を表す時刻信号を発生するためのタイマ211と、データ受信のための受信ブロック215と、データ送信のための送信ブロック216と、その他の機能ブロック217とを備えている。更に、図11のマイクロプロセッサ210は、図1中のパワーテーブル20と同様のパワーテーブル220と、時刻信号に回答して当該パワーテーブル220へインデックス信号を供給するための条件判定器230と、図1中の電圧・クロックコントローラ40と同様の電圧・クロックコントローラ240とを備えており、これらが各回路ブロック215, 216, 217の消費電力を制御するための電力制御装置を構成している。

【0026】

図12は、図11中の条件判定器230の詳細構成例を示している。図12の条件判定器230は、タイムテーブル231と、比較器232と、ラッチ233とを備えている。タイムテーブル231は、各々比較時刻と、当該比較時刻に対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを備えている。比較器232は、タイマ211が発生した時刻信号により表された時刻がイベントテーブル231の中の複数の比較時刻のいずれに一致したかを判定する。ラッチ233は、一致判定された比較時刻に対応付けられたインデックス番号を保持し、このインデックス番号を表す信号をパワーテーブル220へ前記インデックス信号として供給する。

【0027】

図13は、図11の電力制御装置の動作例を概念的に示している。図13において、パワーテーブル220は、各々インデックス番号0、1、2、3で識別される4個の電力制御レジスタを備えている。タイムテーブル231は、比較時刻とインデックス番号との多数の組を記憶している。図13中のT000、T020、T040、T050、T100、T120、T140、T150は各々時刻を表している。ここでは、当該マイクロプロセッサ210がT040からT050までの時間範囲では送信動作を、T100からT120までの時間範囲では受信動作をそれぞれ実行するものとする。

【0028】

図13によれば、時間の流れに応じて、次のような電力制御が実現する。まず、タイマ211の時刻信号により表された時刻がT020になると、この時刻と、タイムテーブル231の中の比較時刻T020とが一致する。これにより、番号3を表すインデックス信号がパワーテーブル220へ供給される。これを受けて、パワーテーブル220はインデックス番号3で指定された電力制御情報を電圧・クロックコントローラ240へ供給し、電圧・クロックコントローラ240は当該電力制御情報に応じた電圧制御とクロック制御と

10

20

30

40

50

を実行する。ここで、例えば受信ブロック 2 1 5 及び送信ブロック 2 1 6 への電源電圧及びクロックの供給を停止し、かつマイクロプロセッサ 2 1 0 の全体の動作周波数を低くすることで、プロセッサ全体として消費電力を削減できる。続いて、タイマ 2 1 1 の時刻信号により表された時刻が T 0 4 0 になると、この時刻と、タイムテーブル 2 3 1 中の比較時刻 T 0 4 0 とが一致する。これにより、番号 1 を表すインデックス信号がパワーテーブル 2 2 0 へ供給される。これを受けて、パワーテーブル 2 2 0 はインデックス番号 3 で指定された電力制御情報を電圧・クロックコントローラ 2 4 0 へ供給し、電圧・クロックコントローラ 2 4 0 は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。ここで、例えば受信ブロック 2 1 5 への電源電圧及びクロックの供給を停止したまま、送信ブロック 2 1 6 への電源電圧及びクロックの供給を開始し、かつマイクロプロセッサ 2 1 0 の全体の動作周波数を中程度にまで上げることができる。続いて、タイマ 2 1 1 の時刻信号により表された時刻が T 0 5 0 になると、この時刻と、タイムテーブル 2 3 1 中の比較時刻 T 0 5 0 とが一致する。これにより、番号 3 を表すインデックス信号がパワーテーブル 2 2 0 へ再び供給されることとなり、T 0 2 0 から T 0 4 0 までの時間範囲と同じ状態に戻る。続いて、タイマ 2 1 1 の時刻信号により表された時刻が T 1 0 0 になると、この時刻と、タイムテーブル 2 3 1 中の比較時刻 T 1 0 0 とが一致する。これにより、番号 2 を表すインデックス信号がパワーテーブル 2 2 0 へ供給される。これを受けて、パワーテーブル 2 2 0 はインデックス番号 2 で指定された電力制御情報を電圧・クロックコントローラ 2 4 0 へ供給し、電圧・クロックコントローラ 2 4 0 は当該電力制御情報に応じた電圧制御とクロック制御とを実行する。ここで、例えば送信ブロック 2 1 6 への電源電圧及びクロックの供給を停止したまま、受信ブロック 2 1 5 への電源電圧及びクロックの供給を開始し、かつマイクロプロセッサ 2 1 0 の全体の動作周波数を最大限に上げることができる。

【 0 0 2 9 】

以上のとおり、図 1 1 の電力制御装置によれば、パワーテーブル 2 2 0 とタイムテーブル 2 3 1 とをユーザが適宜書き換えることで、時間の流れに沿った当該マイクロプロセッサ 2 1 0 の低消費電力動作をユーザがきめ細かく定義できる。しかも、これら電力制御のための特別な命令の実行は不要であるので、電力制御によりアプリケーションプログラム本体の処理効率が低下することはなく、命令メモリ容量の増加を招くこともない。更に、図 1 1 の電力制御装置によれば、アプリケーションプログラムの開発と電力制御設計とを独立に行い得る。したがって、プログラム開発の効率向上、保守性向上を図ることができる。また、既存のアプリケーションプログラムを修正することなく、詳細な電力制御を実現することができる。なお、タイマ 2 1 1 を周期的にリセットするように構成すれば、タイムテーブル 2 3 1 のレジスタ数を削減できる。

【 0 0 3 0 】

図 1 4 は、図 1 1 中の条件判定器 2 3 0 の変形例を示している。図 1 4 の条件判定器 2 3 0 は、各々比較開始時刻と、当該比較開始時刻に対応付けられた比較終了時刻と、当該比較開始時刻及び比較終了時刻に対応付けられたインデックス番号とを書き換え可能に記憶するための複数のレジスタを持つタイムテーブル 2 3 1 を備え、タイマ 2 1 1 の時刻信号が示す時刻が複数の比較開始時刻と複数の比較終了時刻とで定義される複数の時間範囲のいずれに属するかを判定し、この範囲判定された比較開始時刻及び比較終了時刻に対応付けられたインデックス番号を表す信号をパワーテーブル 2 2 0 へインデックス信号として供給するようになっている。そのために、図 1 4 の条件判定器 2 3 0 は、タイムテーブル 2 3 1 に加えて、第 1 の比較器 2 3 2 a と、第 2 の比較器 2 3 2 b と、AND ゲート 2 3 5 と、ラッチ 2 3 3 とを備えている。なお、図 1 2 中の比較器 2 3 2 における一致判定を時刻信号の上位ビットに限定すれば、図 1 4 の場合より大まかな範囲判定を実現できる。

【 0 0 3 1 】

なお、上記各実施形態において種々の変更が可能である。例えば図 1 の構成において、用途に応じてパワーテーブル 2 0 とアドレステーブル 3 1 とを一体化した 1 つの装置として実装してもよい。図 2 中の電力制御レジスタ 2 1 は 5 フィールドからなるが、必ずしもこ

10

20

30

40

50

れに限る必要はない。例えば、用途によっては各電力制御レジスタ 2 1 に電源電圧 V_{cc} のフィールドのみを実装した構成も可能である。

【 0 0 3 2 】

上記各テーブルは、フリップフロップやラッチ構成に限らず、RAMやEEPROM構成、FPGA等のプログラマブルロジック構成等が可能である。各テーブルを命令実行により書き換えできるようにしてもよい。複数のパワーテーブルを備えた構成も可能である。

【 0 0 3 3 】

上記各パワーテーブルへ供給すべきインデックス信号を命令実行により更新できるようにしてもよい。例えば、サブルーチンコール命令等の分岐命令のオペランド部でパワーテーブルのインデックス番号を指定する。

10

【 0 0 3 4 】

条件判定器の入力として、命令コードや、当該マイクロプロセッサが扱うデータを採用してもよい。特定メモリ空間（例えばフラッシュメモリの空間）にデータが読み書きされることを条件判定器で検出して電源電圧制御を行うことも可能である。

【 0 0 3 5 】

上記各実施形態の組み合わせによる電力制御も可能である。例えば、アドレス比較により特定のサブルーチン処理時の電源電圧を低くし、かつ外部イベントの発生時にクロック周波数を上げることも可能である。

【 0 0 3 6 】

【 発明の効果 】

20

以上説明してきたとおり、本発明によれば、実行アドレスに応じてプロセッサ内部の消費電力を制御することとし、特に複数の部分からなるプログラムを実行するプロセッサでは、実行しているプログラムの部分に応じてプロセッサ内部の消費電力を制御することとしたので、当該プロセッサの低消費電力動作をユーザがきめ細かく定義でき、以てプログラミングの負担が軽減される。

【 図面の簡単な説明 】

【 図 1 】 本発明の第 1 の実施形態に係るマイクロプロセッサの電力制御装置のブロック図である。

【 図 2 】 図 1 中のパワーテーブルの詳細構成例を示すブロック図である。

【 図 3 】 図 1 中の電圧コントローラの詳細構成例を示すブロック図である。

30

【 図 4 】 図 1 中のクロックコントローラの詳細構成例を示すブロック図である。

【 図 5 】 図 1 の電力制御装置の動作例を示す概念図である。

【 図 6 】 図 1 中の条件判定器の変形例を示すブロック図である。

【 図 7 】 図 1 中の条件判定器の他の変形例を示すブロック図である。

【 図 8 】 本発明の第 2 の実施形態に係る電力制御装置を備えたマイクロプロセッサのブロック図である。

【 図 9 】 図 8 中の条件判定器の詳細構成例を示すブロック図である。

【 図 1 0 】 図 8 の電力制御装置の動作例を示す概念図である。

【 図 1 1 】 本発明の第 3 の実施形態に係る電力制御装置を備えたマイクロプロセッサのブロック図である。

40

【 図 1 2 】 図 1 1 中の条件判定器の詳細構成例を示すブロック図である。

【 図 1 3 】 図 1 1 の電力制御装置の動作例を示す概念図である。

【 図 1 4 】 図 1 1 中の条件判定器の変形例を示すブロック図である。

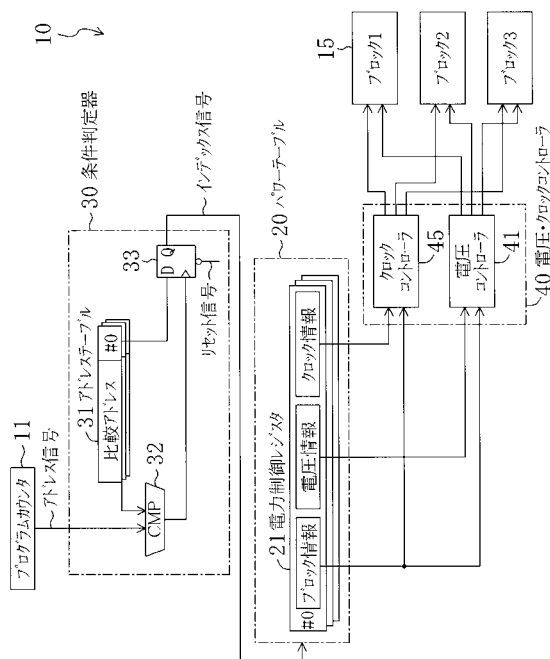
【 符号の説明 】

- 1 0 マイクロプロセッサ
- 1 1 プログラムカウンタ
- 2 0 パワーテーブル
- 2 1 電力制御レジスタ
- 3 0 条件判定器
- 3 1 アドレステーブル

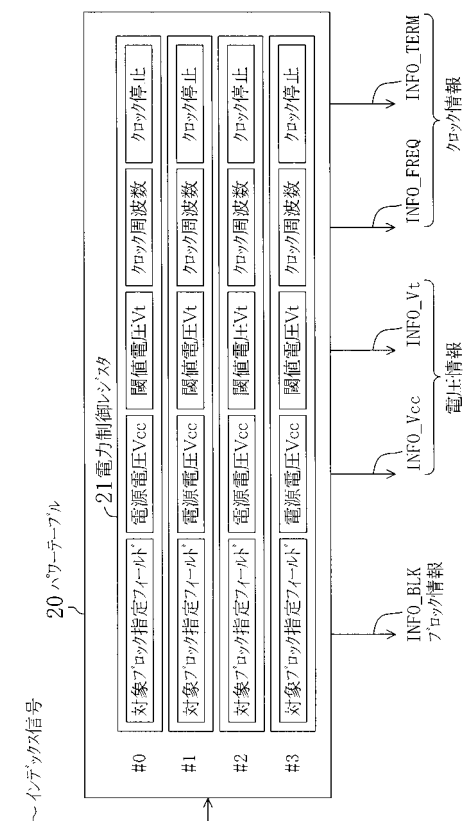
50

- | | |
|---------------------------|---------------|
| 3 2 , 3 2 a , 3 2 b | 比較器 |
| 4 0 | 電圧・クロックコントローラ |
| 1 1 0 | マイクロプロセッサ |
| 1 1 1 | イベント信号発生器 |
| 1 2 0 | パワーテーブル |
| 1 3 0 | 条件判定器 |
| 1 3 1 | イベントテーブル |
| 1 3 2 | 比較器 |
| 1 4 0 | 電圧・クロックコントローラ |
| 2 1 0 | マイクロプロセッサ |
| 2 1 1 | タイマ |
| 2 2 0 | パワーテーブル |
| 2 3 0 | 条件判定器 |
| 2 3 1 | タイムテーブル |
| 2 3 2 , 2 3 2 a , 2 3 2 b | 比較器 |
| 2 4 0 | 電圧・クロックコントローラ |

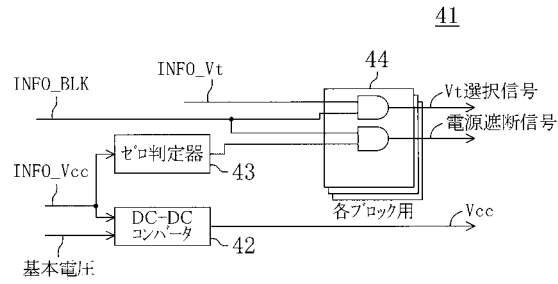
【圖 1】



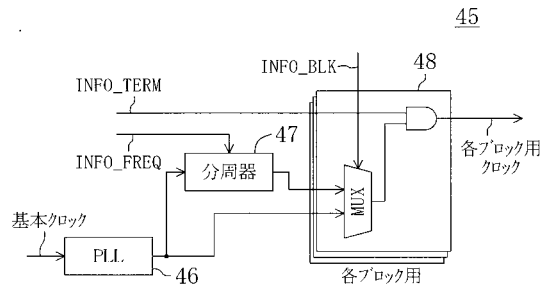
【圖 2】



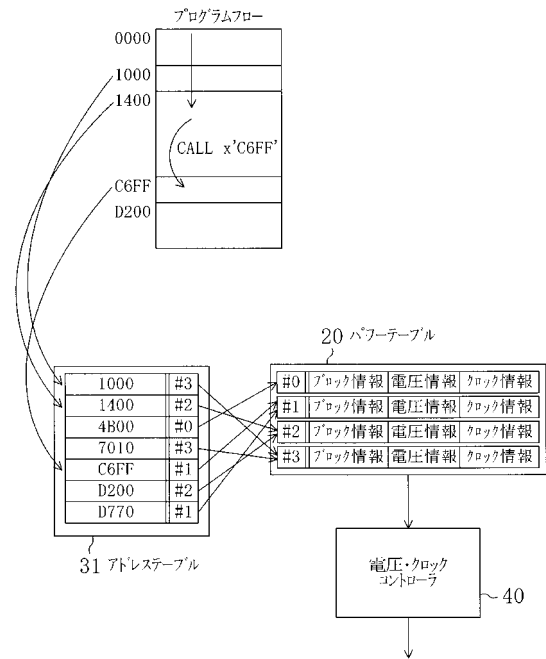
【図 3】



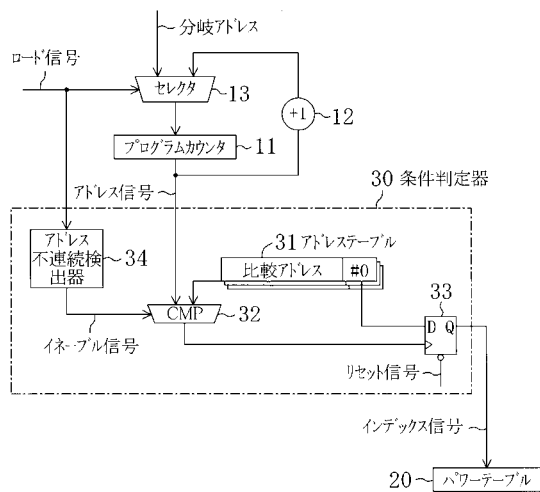
【図 4】



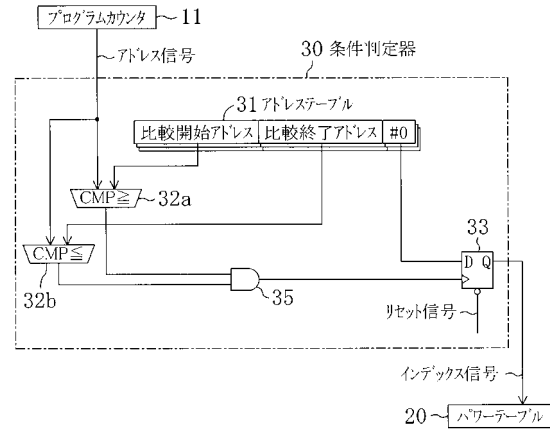
【図 5】



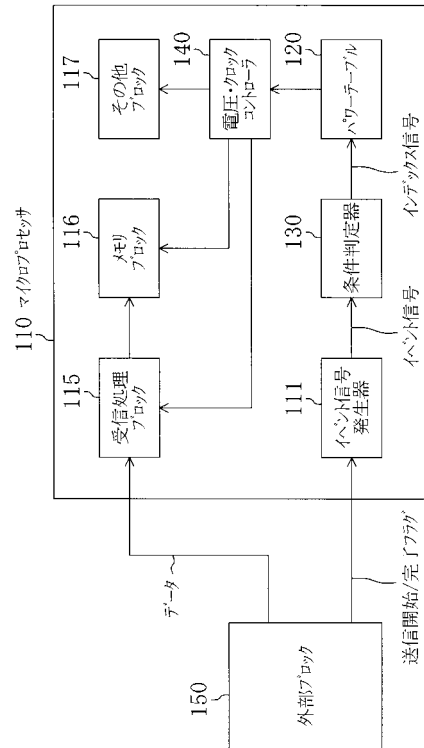
【図 6】



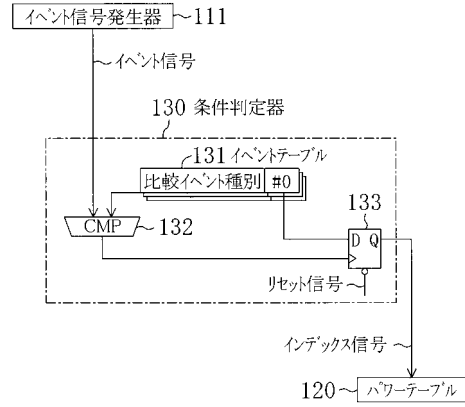
【図 7】



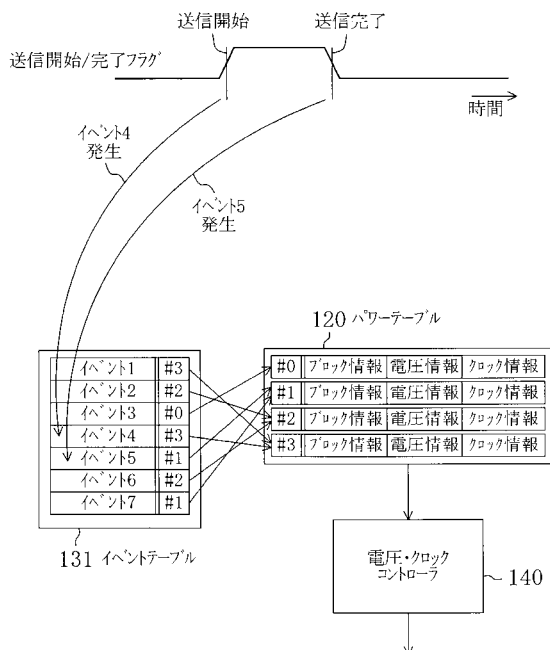
【図 8】



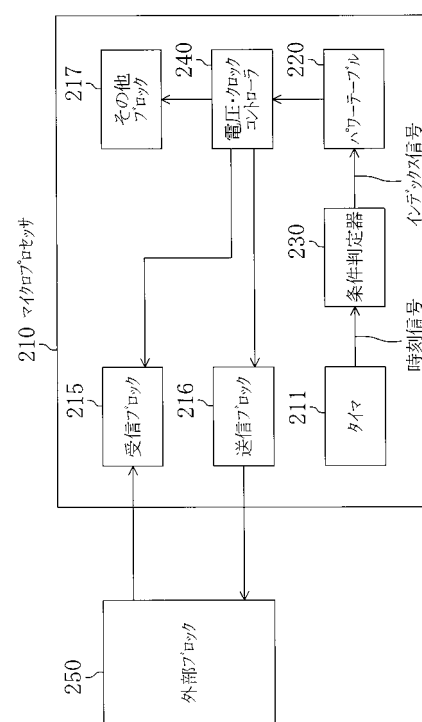
【図 9】



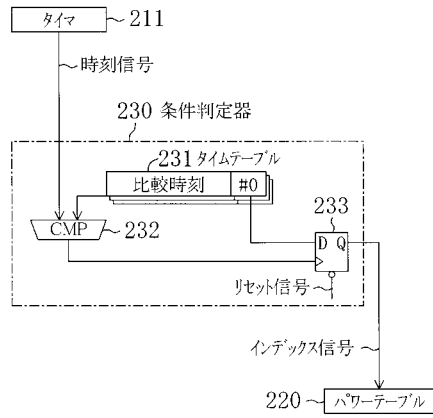
【図 10】



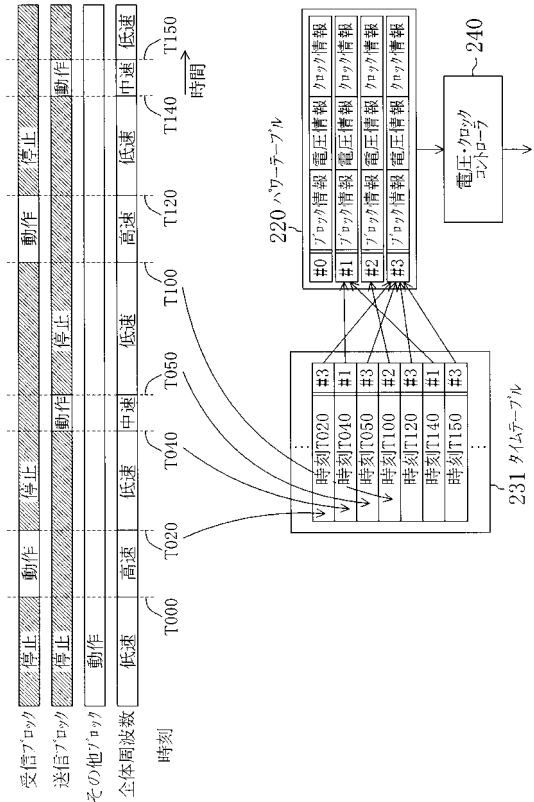
【図 11】



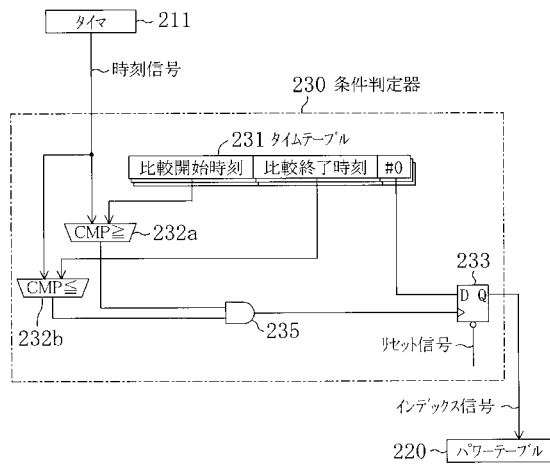
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(74)代理人 100115691
弁理士 藤田 篤史
(74)代理人 100117581
弁理士 二宮 克也
(74)代理人 100117710
弁理士 原田 智雄
(74)代理人 100121500
弁理士 後藤 高志
(74)代理人 100121728
弁理士 井関 勝守
(72)発明者 谷 文暢
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

審査官 杉藤 泰子

(56)参考文献 特開平 0 3 - 2 5 7 6 0 8 (J P , A)
特開平 1 0 - 1 4 9 2 3 7 (J P , A)
特開平 0 7 - 2 9 5 6 9 3 (J P , A)
特開平 0 7 - 3 3 4 2 6 7 (J P , A)
特開平 1 1 - 1 4 3 7 7 6 (J P , A)
特開平 0 4 - 3 0 4 5 1 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G06F 1/32