



[12] 发明专利申请公开说明书

[21] 申请号 96191486.6

[43]公开日 1997年12月17日

[11] 公开号 CN 1168191A

[22]申请日 96.9.13

[30]优先权

[32]95.9.27 [33]US[31]08 / 534,682

[86]国际申请 PCT / IB96 / 00941 96.9.13

[87]国际公布 WO97 / 12370 英 97.4.3

[85]进入国家阶段日期 97.7.21

[71]申请人 飞利浦电子有限公司

地址 荷兰艾恩德霍芬

[72]发明人 M·A·安

[74]专利代理机构 中国专利代理(香港)有限公司

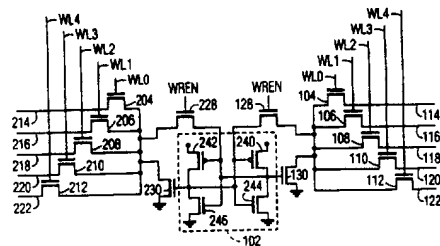
代理人 邹光新 傅康

权利要求书 1 页 说明书 3 页 附图页数 2 页

[54]发明名称 寄存器文件读 / 写单元

[57]摘要

在多端口存储器的一个单元通过各自的开关连接到各自的位线。一个写允许元件放置在该开关和该单元的储存器件的输入端之间。一个读允许元件放置在该储存器件的输出端和该同一个开关之间。这样，读位线和写位线被合并，每单元的开关数量相对现有技术多端口存储器将急剧下降。



权 利 要 求 书

1.一种具有多端口存储器的电子电路,包括多个存储器单元,其中:
每个单元连接到许多独立可控的位线;

每个单元包括:

5

一存储器件,用于储存单元一位;

许多开关,每一个工作时将该存储器件有选择地连接到相应的一根位线;

每个储存器件包括;

一写允许元件,连接在许多开关和该存储器件输入端之间,用于允

10 许写入该单元;

一读允许元件,连接在该存储器件输出端和许多开关之间,用于允许读出该单元。

2.根据权利要求1的电路,其中至少读允许元件或写允许元件通过一控制信号执行操作。

15

3.权利要求2的电路,其中

存储器件包括一对交叉耦合的反相器;

写允许元件包括一个写允许晶体管,它具有连接在许多开关和输入端之间的导电通道,还具有用于接收控制信号的控制电极。

4.权利要求3的电路,其中

20

读允许元件包括一个读允许晶体管,它具有连接在许多开关和一参考电压之间的导电通道,还具有连接到输出的一控制电极。

5.根据权利要求1的电路,其中开关工作时通过至少两个端口能同时读出指定的一个单元。

说明书

寄存器文件读/写单元

发明领域

5 本发明涉及包括一个多端口存储器的一种电子电路。

背景技术

多端口存储器是熟悉的器件，具有多个端口，以便对该存储器能进行并行存取，例如，用于同时通过第一端口读出第一存储器位置和通过第二端口写入第二存储器位置。典型地，多端存储器特别应用在数据处理器件中用作寄存器文件或高速缓冲存储器。寄存器文件是用于由该数据处理器件的功能部分产生和使用的中间结果及变元的暂存缓冲器。高速缓冲存储器是高速存储器，连接到非常慢的但却是大的主存储器，以允许快速对该主存储器提前装入该高速缓冲存储器的部分内容进行存取。该高速缓冲存储器是一个高速存储器，利用计算机程序中的参考位置储存在该高速存储器中可能再使用的数据。

10

15

授予 Huard 的美国专利 US 5,189,640 公开了一种多端口存储器单元。这个已知的单元包括由交叉连接的反相器组成的一个双稳元件。该双稳元件通过许多对读出开关连接到许多对读出位线，以及通过许多对写入开关连接到许多对写入位线。该读出和写入开关通过许多读允许线和许多写允许线进行控制。

20

发明目的

许多的读开关、写开关，读出位线，写入位线，以及许多的允许线对半导体衬底面积提出高要求的分辨结构。

特别地，本发明的目的在于提供一种电子电路，它具有有一定储存容量的多端口存储器，要求的衬底面积显著小于储存容量相同的现有器件。

25

发明概要

为此目的，本发明提供了一种电子电路，具有包括许多存储器单元的多端口存储器。每个单元连接到许多独立可控的位线。每个单元包括一个用于储存单独位的储存器件和许多开关。操作每个开关，以便有选择性地将该储存器件连接到各自的一条位线。每个储存器件包括连接在

30

许多开关和该储存器件输入端之间的一个写允许元件，以便允许写入该单元，以及连接在该储存器件输出端和该许多开关之间的一个读允许元件，以便允许读出该单元。

5 相对于现有技术，许多读开关和许多写开关均由许多开关同读允许元件和写允许元件结合所取代，此外，合并读出位线和写入位线。换言之按本发明的开关是用于将选择的一根或多根位线连接到该储存器件，而读允许元件能将该储存位转移到一根或多根选择的位线，或该写允许元件能将在所选位线上的一位转移到该储存器件。按本发明的存储器结构要求的衬底面积和元件比已有存储器明显的小和少，而这点是明显的。

10

附图的简要说明

以下借助于参照附图的例子更详细地说明本发明。其中：

图 1 为按本发明的存储器单元的方块图；

图 2 为该单元的优选实施例的晶体管接线图；以及

15 图 3 为按本发明的具有多端口存储器的电路的方块图。

图中相同的参考标记表示相应的或类似的部件。

详细的实施例

图 1 为本发明的存储器单元 100 的方块图。单元 100 包括一个用于储存一个信息位的储存元件 102，以及用于将元件 102 选择连接到位线 20 114，116，118，120 和 122 的一个或多个上的开关 104，106，108，110 和 112。开关 104 - 112 由各自的一个选择信号 WL0，WL1，WL2，WL3 和 WL4 控制。元件 102 具有一个输入端 124 用于写数据到元件 102，以及一个输出端 126，用于读出储存在元件 102 中的数据。单元 100 还包括一个写允许元件 128，将所有开关 104 - 112 25 连接到输入端 124，以及一个读允许元件 130，将输出端 126 连接到所有开关 104 - 112。在该例中，写允许元件 128 是通过一个写允许信号 WREN 控制，而读允许元件是自动接入的。可以想象其他的实施例（未示出），其中读允许元件 130 接收一个读允许信号，而写允许元件 128 根据由位线 114 - 122 的合适的一根或多根被驱动而自动接入，或者其中两个功能无需允许信号。由于写允许元件 128 和读允许元件 130 彼此 30 连接，因此必须注意避免逻辑冲突。

图 2 为在一个 SRAM 实施例中存储器单元 100 的晶体管接线图。

即，储存元件 102 包括两个交叉耦合的反相器，每个具有 PFET240，242 和 NFET244，246，串联在 VDD 和 GND 之间。由于 SRAM 储存元件 102 的对称特性，除开关 104 - 112 和位线 114 - 122 之外，现在提供开关 204，206，208，210 和 212，以及辅助位线 214，216，218，200 和 222。开关 104 - 112 以及 204 - 212 每个包括各自的一个 NFET 并通过选择信号 WL0 - WL4 成对地加以控制。同样，除写允许元件 128 和读允许元件 130 之外，还对称配置写允许元件 228 和读允许元件 230。写允许元件 128 包括一个 NFET，在其一方有一导电通道连接在开关 104 - 112 之间，而在其另一方连接反相器 240/244 的输入端。并接收写允许信号 WREN。写允许元件 228 包括一个 NFET，在其一方有一导电通道连接在开关 204 - 212 之间，而在其另一方连接反相器 242/246，并也接收写允许信号 WREN。读允许元件 130 包括一个 NFET，其导电通道安置在开关 104 - 112 和 GND 之内，其控制电极连接到反相器 240/244 的输出端。读允许元件 230 包括一个 NFET，其输入通道安置在开关 204 - 212 和 GND 之间，其控制电极连接到反相器 242/246 的输出端。要指出当反相器 240/244 (242/246) 是逻辑低电平时，在选择的多根位线 114 - 122 (214 - 222) 上，对于预先充电位线 114 - 122 (214 - 222) 而言预先充电特性 (未示) 将适用于产生一个逻辑高电平。

图 3 为具有多端口存储器 302 的电子电路 300 的部分的方块图。存储器 302 包括多个图 1 或图 2 中所示类型的存储器单元 304，306，308 和 310。例如使用的存储器 302 就像在数据处理器中的一个寄存器文件那样。为容易理解附图，在每个单元 304 - 310 中，图 1 和图 2 中的开关 104 - 112 集中地由参考编号 312 表示。单元 304 和 308 连接到一组位线 314。单元 306 和 310 连接到一组位线 316。位线 314 和 316 存储器 I/O 电路 318，该电路 318 通过端口 320，322，324，326 和 328 能向或从选择的多个单元 304 - 310 提供数据。I/O 电路 318 允许由例如 304 - 310 的单独一个单元向端口 320 - 328 的多个端口提供数据。在单元 304 和 306 中的开关 312，以及在单元 308 和 310 中的开关 312 通过字线 332 和 334 从字线选择电路 330 接收控制信号 WL0 - WL4。写允许电路 336 工作时将写允许信号 WREN 提供到每个单元 304 - 310 中的写允许元件 128。

说明书附图

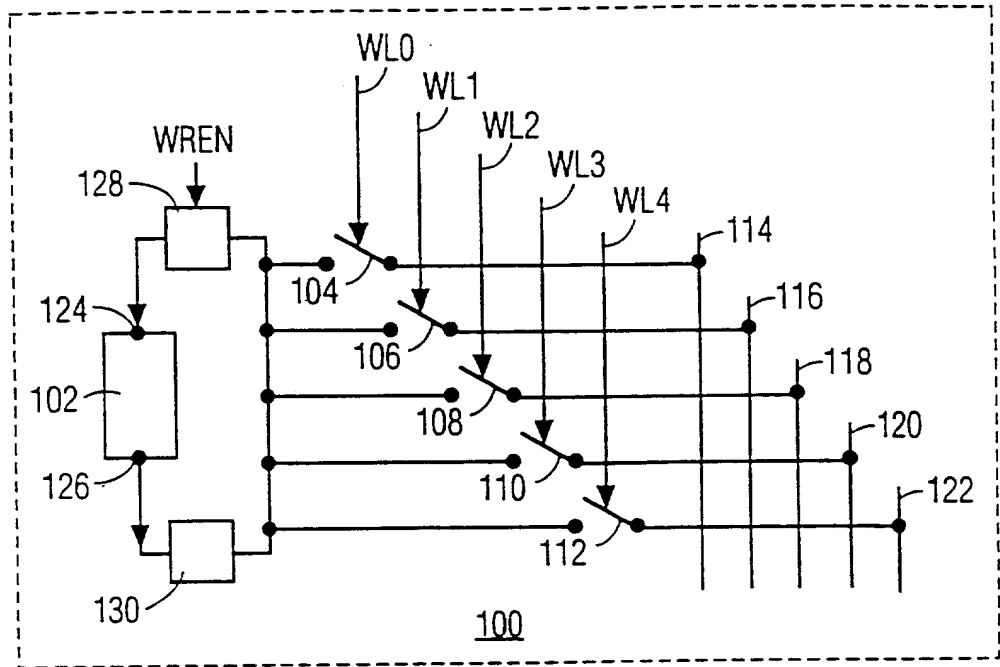


图 1

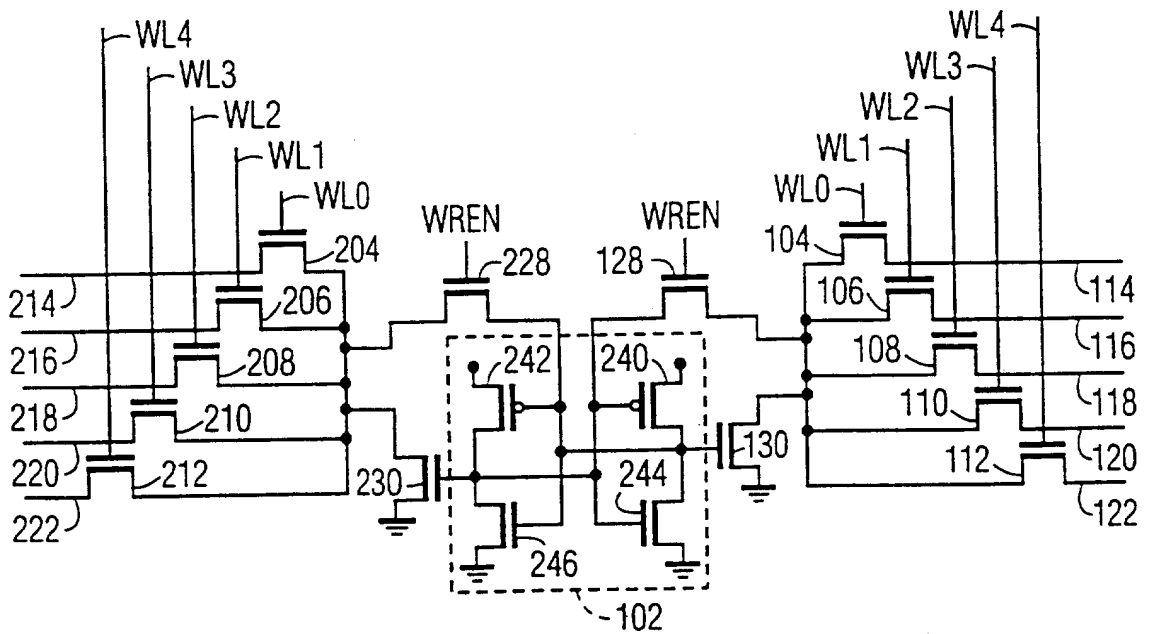


图 2

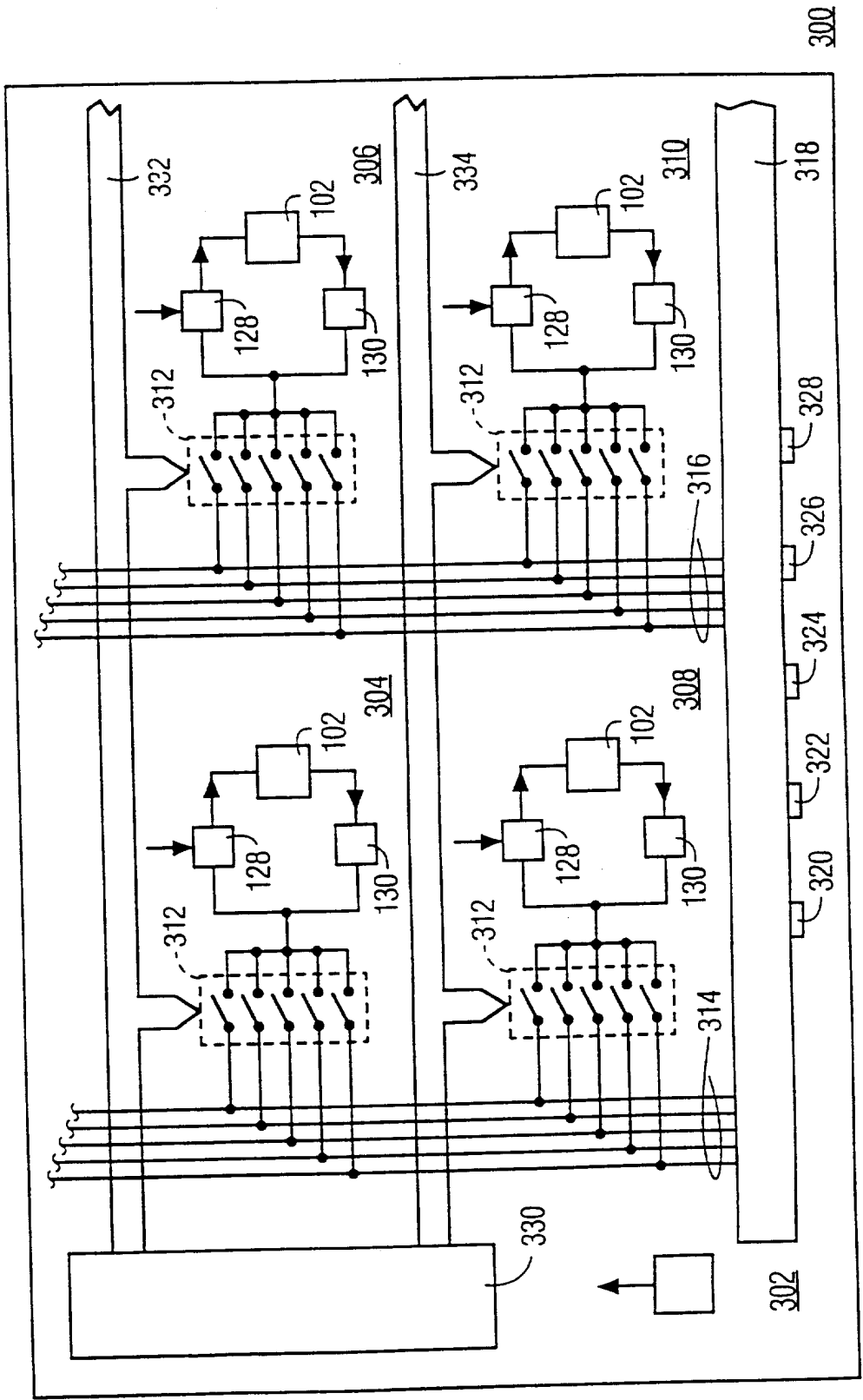


图 3