



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0130350  
(43) 공개일자 2015년11월23일

- (51) 국제특허분류(Int. Cl.)  
 H01L 27/06 (2006.01) H01L 21/8234 (2006.01)  
 H01L 21/8238 (2006.01) H01L 21/84 (2006.01)  
 H01L 23/48 (2006.01) H01L 27/088 (2006.01)  
 H01L 27/092 (2006.01) H01L 29/06 (2006.01)  
 H01L 29/66 (2006.01) H01L 29/775 (2006.01)
- (52) CPC특허분류  
 H01L 27/0688 (2013.01)  
 H01L 21/823431 (2013.01)
- (21) 출원번호 10-2015-7027338
- (22) 출원일자(국제) 2014년03월05일  
 심사청구일자 없음
- (85) 번역문제출일자 2015년10월02일
- (86) 국제출원번호 PCT/US2014/020941
- (87) 국제공개번호 WO 2014/138317  
 국제공개일자 2014년09월12일
- (30) 우선권주장  
 13/788,224 2013년03월07일 미국(US)

- (71) 출원인  
 켈컴 인코포레이티드  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
 두, 양  
 미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (74) 대리인  
 특허법인 남앤드남

전체 청구항 수 : 총 37 항

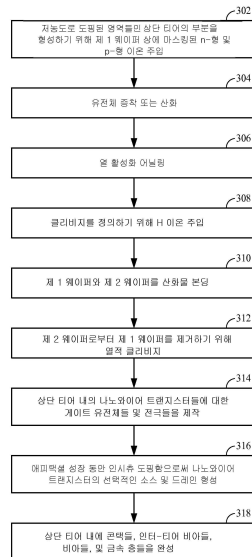
(54) 발명의 명칭 반도체 집적 회로들의 모놀리식 3차원 집적

(57) 요약

3-차원 집적 회로는, 다양한 CMOS 트랜지스터들 및 나노와이어 트랜지스터들을 함께 접속하기 위해 티어-간 비아들, 티어-내 비아들, 및 금속 층들과 함께 CMOS 트랜지스터들의 하단 티어에 형성된 상단 티어 나노와이어 트랜지스터들을 포함한다. 상단 티어는, 저농도로 도핑된 영역들 위에 형성되는 산화물 층과 함께 제 1 웨이퍼 상의

(뒷면에 계속)

대표도 - 도3



저농도로 도핑된 영역들로서 시작한다. 수소 이온 주입은 클리비지(cleavage) 인터페이스를 형성한다. 제 1 웨이퍼는 플립되어 CMOS 디바이스들을 갖는 제 2 웨이퍼에 산화물 본딩되며, 클리비지 인터페이스는 열적으로 액티베이팅되어 이에 따라 저농도로 도핑된 영역들의 부분이 하단 티어에 본딩된 채로 유지된다. 나노와이어 트랜지스터들은 상단 티어 층 내에 형성된다. 상단 티어 나노와이어 트랜지스터들에 대한 소스들 및 드레인들은 에피택셜 성장 동안 인시츄 도핑에 의해 형성된다. 산화물 본딩 이후에, 금속 인터커넥트들을 손상하지 않기 위해 나머지 프로세스 단계들이 저온에서 수행된다.

(52) CPC특허분류

*H01L 21/823821* (2013.01)

*H01L 21/84* (2013.01)

*H01L 21/845* (2013.01)

*H01L 23/48* (2013.01)

*H01L 27/0886* (2013.01)

*H01L 27/0924* (2013.01)

*H01L 29/0673* (2013.01)

*H01L 29/66439* (2013.01)

*H01L 29/775* (2013.01)

## 명세서

### 청구범위

#### 청구항 1

방법으로서,

열적 클리비지(thermal cleavage)를 용이하게 하기 위해 제 1 반도체 웨이퍼 내부에 이온들을 주입하는 단계;

제 2 반도체 웨이퍼에 상기 제 1 반도체 웨이퍼를 산화물 본딩하는 단계;

열적 클리비지로 하여금 상기 제 2 반도체 웨이퍼에 산화물 본딩된 상기 제 1 반도체 웨이퍼의 부분을 그대로 남겨두도록(leave) 야기하기 위해 450℃와 동일하거나 또는 그 미만의 온도까지 상기 제 1 반도체 웨이퍼를 가열하는 단계; 및

상기 제 2 반도체 웨이퍼에 산화물 본딩된 상기 제 1 반도체 웨이퍼의 상기 부분에 복수의 나노와이어 트랜지스터들에 대한 소스들 및 드레인들을 형성하기 위해 450℃와 동일하거나 또는 그 미만의 온도에서 에피택셜 성장 동안 인시츄로 도핑하는 단계를 포함하는,

방법.

#### 청구항 2

제 1 항에 있어서,

상기 제 2 반도체 웨이퍼는 하단 티어(bottom tier)를 포함하고,

상기 하단 티어는 복수의 트랜지스터들을 포함하고,

열적 클리비지를 야기하기 위해 450℃와 동일하거나 또는 그 미만의 온도까지 상기 제 1 반도체 웨이퍼를 가열하는 단계는, 상기 하단 티어에 산화물 본딩된 상기 제 1 반도체 웨이퍼의 상기 부분은 그대로 남겨두는(leave),

방법.

#### 청구항 3

제 2 항에 있어서,

상기 복수의 트랜지스터들은 pMOSFET들 (p-Metal-Oxide-Semiconductor-Field-Effect-Transistor) 및 nMOSFET들을 포함하는,

방법.

#### 청구항 4

제 3 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터는, 도핑되지 않은 채널(undoped channel)을 갖고 그리고 반전 모드(inversion mode)에서 동작하는,

방법.

#### 청구항 5

제 1 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터는, 도핑되지 않은 채널을 갖고 그리고 반전 모드에서 동작하는,

방법.

**청구항 6**

제 5 항에 있어서,

상기 인시츄로 도핑하는 단계는,  $10^{20} \text{ cm}^{-3}$  과 동일하거나 또는 그보다 큰 도핑 농도까지 상기 소스들 및 상기 드레인들을 도핑하는 단계를 더 포함하는,

방법.

**청구항 7**

제 1 항에 있어서,

상기 인시츄로 도핑하는 단계는,  $10^{20} \text{ cm}^{-3}$  과 동일하거나 또는 그보다 큰 도핑 농도까지 상기 소스들 및 상기 드레인들을 도핑하는 단계를 더 포함하는,

**청구항 8**

제 1 항에 있어서,

도핑된 영역을 형성하기 위해 상기 제 1 반도체 웨이퍼 내부로 이온들을 주입하는 단계를 더 포함하고,

상기 도핑된 영역들은 상기 제 2 반도체 웨이퍼에 산화물 본딩된 상기 제 1 반도체 웨이퍼의 부분을 포함하는,

방법.

**청구항 9**

제 8 항에 있어서,

상기 제 2 반도체 웨이퍼는 하단 티어를 포함하고,

상기 하단 티어는 복수의 트랜지스터들을 포함하며,

열적 클리비지를 야기하기 위해  $450^\circ\text{C}$ 와 동일하거나 또는 그 미만의 온도까지 상기 제 1 반도체 웨이퍼를 가열하는 단계는, 상기 하단 티어에 산화물 본딩된 상기 제 1 반도체 웨이퍼의 상기 부분은 그대로 남겨두는,

방법.

**청구항 10**

제 9 항에 있어서,

상기 복수의 트랜지스터들은 pMOSFET들 (p-Metal-Oxide-Semiconductor-Field-Effect-Transistor) 및 nMOSFET들을 포함하는,

방법.

**청구항 11**

제 10 항에 있어서,

상기 도핑된 영역들은 p-형 영역들 및 n-형 영역들을 포함하는,

방법.

**청구항 12**

제 10 항에 있어서,

상기 도핑된 영역들은  $10^{18} \text{ cm}^{-3}$  과 동일하거나 또는 그 미만인 농도까지 도핑되는,

방법.

**청구항 13**

제 12 항에 있어서,

상기 인시츄로 도핑하는 단계는,  $10^{20} \text{ cm}^{-3}$  과 동일하거나 또는 그보다 큰 도핑 농도까지 상기 소스들 및 상기 드레인들을 도핑하는 단계를 더 포함하는,

방법.

**청구항 14**

제 10 항에 있어서,

상기 도핑된 영역들은 상기 소스들 및 상기 드레인들의 농도 미만의 농도까지 도핑되는,

방법.

**청구항 15**

제 8 항에 있어서,

상기 도핑된 영역들은 p-형 영역들 및 n-형 영역들을 포함하는,

방법.

**청구항 16**

제 8 항에 있어서,

상기 도핑된 영역들은 상기 복수의 나노와이어 트랜지스터들에 대한 채널들을 포함하는,

방법.

**청구항 17**

제 8 항에 있어서,

상기 도핑된 영역들은  $10^{18} \text{ cm}^{-3}$  과 동일하거나 또는 그 미만의 농도까지 도핑되는,

방법.

**청구항 18**

제 17 항에 있어서,

상기 인시츄로 도핑하는 단계는,  $10^{20} \text{ cm}^{-3}$  과 동일하거나 또는 그보다 큰 도핑 농도까지 상기 소스들 및 상기 드레인들을 도핑하는 단계를 더 포함하는,

방법.

**청구항 19**

제 8 항에 있어서,

상기 도핑된 영역들은 상기 소스들 및 상기 드레인들의 농도 미만의 농도까지 도핑되는,

방법.

**청구항 20**

제 19 항에 있어서,

상기 복수의 나노와이어 트랜지스터들은 누적 모드(accumulation mode)에서 동작하는,

방법.

**청구항 21**

장치로서,

실리콘 기판; 및

상기 실리콘 기판에 산화물 본딩된 상단 티어(top tier)를 포함하고,

상기 상단 티어는 복수의 나노와이어 트랜지스터들을 포함하며,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터는, 소스, 드레인, 및 상기 소스 및 상기 드레인의 농도 미만의 도핑 농도를 갖는 채널을 포함하는,

장치.

**청구항 22**

제 21 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터에 대한 소스 및 드레인은, 450°C와 동일하거나 또는 그 미만의 온도에서 인시츄 에피택셜 성장에 의해 형성되는,

장치.

**청구항 23**

제 22 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터에 대한 소스 및 드레인은,  $10^{20} \text{ cm}^{-3}$ 과 동일하거나 또는 그 보다 큰 도핑 농도를 갖는,

장치.

**청구항 24**

제 21 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터에 대한 채널은, 0 도핑 농도를 갖는,

장치.

**청구항 25**

제 21 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터에 대한 소스 및 드레인은,  $10^{20} \text{ cm}^{-3}$ 과 동일하거나 또는 그보다 큰 도핑 농도를 갖는,

장치.

**청구항 26**

제 25 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터 내 채널은,  $10^{18} \text{ cm}^{-3}$ 과 동일하거나 또는 그 미만의 도핑 농도를 갖는,

장치.

**청구항 27**

제 26 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 채널은 0 도핑 농도를 갖는,

장치.

**청구항 28**

제 21 항에 있어서,

상기 실리콘 기판상에 형성된 하단 티어 - 상기 상단 티어는 상기 하단 티어에 산화물 분당되고, 상기 하단 티어는 복수의 트랜지스터들을 포함함 -; 및

상기 하단 티어 내의 상기 복수의 트랜지스터들 내 적어도 하나의 트랜지스터를, 상기 상단 티어 내의 상기 복수의 나노와이어 트랜지스터들 내 적어도 하나의 나노와이어 트랜지스터에 접속하는 복수의 인터커넥트들을 더 포함하는,

장치.

**청구항 29**

제 28 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터에 대한 소스 및 드레인, 450°C 과 동일하거나 또는 그 미만인 온도에서 인시츄 에피택셜 성장에 의해 형성되는,

장치.

**청구항 30**

제 29 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터에 대한 소스 및 드레인은,  $10^{20} \text{ cm}^{-3}$  과 동일하거나 또는 그보다 큰 도핑 농도를 갖는,

장치.

**청구항 31**

제 30 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터에 대한 채널은, 0 도핑 농도를 갖는,

장치.

**청구항 32**

제 30 항에 있어서,

상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터에 대한 채널은,  $10^{18} \text{ cm}^{-3}$  과 동일하거나 또는 그 미만의 도핑 농도를 갖는,

장치.

**청구항 33**

제 28 항에 있어서,

상기 복수의 트랜지스터들은, pMOSFET들(p-Metal-Oxide-Semiconductor-Field-Effect- Transistor) 및 nMOSFET 들을 포함하는,

장치.

**청구항 34**

제 21 항에 있어서,

상기 실리콘 기판 및 상기 상단 티어를 포함하는 집적 회로; 및

상기 집적 회로를 포함하는 셀룰러 폰을 더 포함하는,  
장치.

**청구항 35**

제 21 항에 있어서,  
상기 실리콘 기관 및 상기 상단 티어를 포함하는 집적 회로; 및  
상기 집적 회로를 포함하는 기지국을 더 포함하는,  
장치.

**청구항 36**

장치로서,  
실리콘 기관;  
상기 실리콘 기관상에 형성된 하단 티어 - 상기 하단 티어는 복수의 트랜지스터들을 포함함 -;  
상기 하단 티어에 산화물 본딩된 상단 티어 - 상기 상단 티어는 복수의 나노와이어 트랜지스터들을 포함하고,  
상기 복수의 나노와이어 트랜지스터들 내의 각각의 나노와이어 트랜지스터는 소스, 드레인, 및 상기 소스와 상  
기 드레인의 도핑 농도 미만의 도핑 농도를 갖는 채널을 포함함 -; 및  
접속하기 위한 수단을 포함하며,  
상기 접속하기 위한 수단은, 상기 하단 티어 내에서 상기 복수의 트랜지스터들 내의 적어도 하나의 트랜지스터  
를 상기 상단 티어 내에서 상기 복수의 나노와이어 트랜지스터들 내의 적어도 하나의 나노와이어 트랜지스터에  
접속하기 위한 것인,  
장치.

**청구항 37**

방법으로서,  
이온들을 주입을 위한 수단 - 상기 이온들을 주입을 위한 수단은 제 1 반도체 웨이퍼 내 열적 클리비지를 용이  
하게 하기 위한 것임 -;  
본딩을 위한 수단 - 상기 본딩을 위한 수단은 제 2 반도체 웨이퍼에 상기 제 1 반도체 웨이퍼를 산화물 본딩하  
기 위한 것이고, 상기 제 2 반도체 웨이퍼는 트랜지스터들의 하단 티어를 포함함 -;  
가열을 위한 수단 - 상기 가열을 위한 수단은, 열적 클리비지로 하여금 상기 하단 티어에 산화물 본딩된 상기  
제 1 반도체 웨이퍼의 부분을 그대로 남겨두도록 야기하기 위해 450℃와 동일하거나 또는 그 미만의 온도까지  
상기 제 1 반도체 웨이퍼를 가열하기 위한 것임 -; 및  
도핑을 위한 수단을 포함하고,  
상기 도핑을 위한 수단은, 상기 하단 티어에 산화물 본딩된 상기 제 1 반도체 웨이퍼의 상기 부분 내에 복수의  
나노와이어 트랜지스터들에 대한 소스들 및 드레인들을 형성하기 위해 450℃와 동일하거나 또는 그 미만의 온도  
들에서 에피택셜 성장 동안 인시츄로 도핑하기 위한 것인,  
방법.

**발명의 설명**

**기술 분야**

[0001] 본 발명은, 마이크로일렉트로닉 제작(microelectronic fabrication)에 관한 것이고, 특히 반도체 디바  
이스들의 모놀리식 3차원 집적(monolithic three-dimensional integration)에 관한 것이다.

**배경 기술**

[0002] 대부분 스케일링(scaling)으로 인해 지난 40 여년 동안 집적 회로들(IC)의 기능 및 성능 면에서 극적인 성장이 이루어져 왔으며, 여기서 IC들 내 컴포넌트 크기들은 각각의 연이은 기술 발전을 통해 축소(스케일링)되어 왔다. 스케일링을 통해, 트랜지스터 성능 및 밀도는 통상적으로 개선되지만, 트랜지스터들을 함께 접속하는 배선들(인터커넥트들)은 성능이 저하된다. 배선들은 종종 IC들의 성능, 기능, 및 전력 소비를 지배한다.

[0003] 반도체 칩들(다이들)의 시퀀셜 3D(3-차원) 집적은 배선 성능을 방해하는 하나의 길이다. 트랜지스터들을 2차원 대신 3차원으로 배열함으로써, 당업자는 IC 트랜지스터들을 서로 더 가깝게 위치시킬 수 있다. 이는, 배선 길이를 감소시키고 그리고 신호 딜레이를 감소시킨다. 그러나, 3D 집적 칩들의 실제 구현에는 수많은 장애물들이 존재한다. 하나의 이러한 장애물은, IC들에서의 트랜지스터 구성이 통상적으로는 (약 700°C보다 높은) 고온을 요구하지만 배선 레벨은 (약 450°C보다 낮은) 저온에서 구성된다는 점이다. 구리 또는 알루미늄 배선 레벨들은 약 500°C보다 높은 온도들에 노출될 때 손상될 수 있다. 이와 같이, 3D 집적 IC 제조는 몇몇 도전과제들을 제기한다.

**발명의 내용**

[0004] 본 발명의 실시예들은 반도체 집적 회로들의 3-차원 집적을 위한 시스템들 및 방법들에 관한 것이다.

[0005] 일 실시예에서, 방법은, 열적 클리비지(thermal cleavage)를 용이하게 하기 위해 제 1 반도체 웨이퍼로 이온들을 주입하는 단계, 및 제 2 반도체 웨이퍼에 제 1 반도체 웨이퍼를 산화물 본딩(oxide bonding)하는 단계를 포함한다. 제 1 반도체 웨이퍼는, 열적 클리비지로 하여금 제 2 반도체 웨이퍼에 산화물 본딩된 제 1 반도체 웨이퍼의 부분을 그대로 남겨두도록(leave) 야기하기 위해 450°C와 동일하거나 또는 그 미만의 온도까지 가열된다. 제 2 반도체 웨이퍼에 산화물 본딩된 제 1 반도체 웨이퍼의 부분의 복수의 나노와이어 트랜지스터들에 대한 소스들 및 드레인들은, 450°C와 동일하거나 또는 그 미만의 온도에서의 에피택셜 성장 동안 인시츄 도핑함으로써 형성된다.

[0006] 다른 실시예에서, 장치는, 실리콘 기판; 및 실리콘 기판에 산화물 본딩된 상단 티어(top tier)를 포함하고, 상단 티어는 복수의 나노와이어 트랜지스터들을 포함하고, 복수의 나노와이어 트랜지스터들 내 각각의 나노와이어 트랜지스터는 소스, 드레인 및 소스와 드레인의 도핑 농도 미만의 도핑 농도를 갖는 채널을 포함한다.

[0007] 다른 실시예에서, 장치는, 실리콘 기판; 실리콘 기판상에 형성된 하단 티어(bottom tier) - 하단 티어는 복수의 트랜지스터들을 포함함 -; 하단 티어에 산화물 본딩된 상단 티어 - 상단 티어는 복수의 나노와이어 트랜지스터들을 포함하고, 복수의 나노와이어 트랜지스터들 내 각각의 나노와이어 트랜지스터는 소스, 드레인, 및 소스와 드레인의 도핑 농도 미만의 도핑 농도를 갖는 채널을 포함함 -; 및 접속을 위한 수단을 포함하며, 상기 접속을 위한 수단은, 상단 티어 내의 복수의 나노와이어 트랜지스터들 내 적어도 하나의 나노와이어 트랜지스터에 하단 티어 내의 복수의 트랜지스터들 내 적어도 하나의 트랜지스터를 접속시키기 위한 것이다.

[0008] 다른 실시예에서, 방법은, 이온들을 주입하기 위한 수단 - 이온들을 주입하기 위한 수단은 제 1 반도체 웨이퍼 내에서 열적 클리비지를 용이하게 하기 위한 것임 -; 본딩을 위한 수단 - 본딩을 위한 수단은 제 1 반도체 웨이퍼를 제 2 반도체 웨이퍼에 산화물 본딩하기 위한 것이며, 제 2 반도체 웨이퍼는 트랜지스터들의 하단 티어를 포함함 -; 가열을 위한 수단 - 가열을 위한 수단은 열적 클리비지로 하여금 하단 티어에 산화물 본딩된 제 1 반도체 웨이퍼의 부분을 그대로 남겨두도록 야기하기 위해 450°C와 동일하거나 또는 그 미만의 온도까지 제 1 반도체 웨이퍼를 가열하기 위한 것임 -; 및 도핑을 위한 수단을 포함하며, 도핑을 위한 수단은 하단 티어에 산화물 본딩된 제 1 반도체 웨이퍼의 부분 내에 복수의 나노와이어 트랜지스터들에 대한 소스들 및 드레인들을 형성하기 위해 450°C와 동일하거나 또는 그 미만의 온도들에서 에피택셜 성장 동안 인시츄로 도핑하기 위한 것이다.

**도면의 간단한 설명**

[0009] 첨부 도면들은, 본 발명의 실시예들의 설명을 돕기 위해 제시되며, 실시예들의 한정이 아닌 단지 예시를 위해서만 제공된다.

[0010] 도 1은 일 실시예에 따른 다양한 유형들의 나노와이어 트랜지스터들을 도시한다.

[0011] 도 2a 및 도 2b는 일 실시예에 따른 프로세스 흐름 시의 다양한 구조들 및 단계들을 도시한다.

[0012] 도 3은 일 실시예에 따른 프로세스 흐름 시의 다양한 단계들을 도시한다.

[0013] 도 4는, 실시예들이 애플리케이션을 발견할 수 있는 무선 통신 시스템을 도시한다.

**발명을 실시하기 위한 구체적인 내용**

[0010] [0014] 본 발명의 양상들이, 본 발명의 특정 실시예들에 관련하여 이하의 설명 및 관련 도면들에 개시된다. 대안적인 실시예들이 본 발명의 범위로부터 벗어나지 않고 창안될 수 있다. 추가적으로, 본 발명의 잘-알려진 엘리먼트들은 본 발명의 관련 세부사항들을 모호하게 하지 않기 위해 상세하게 설명되지 않거나 또는 생략될 것이다.

[0011] [0015] 단어 "예시적인"은 본원에서 "예, 예시, 또는 예증으로서 기능하는 것"을 의미하도록 사용된다. "예시적인"으로서 본원에 설명된 임의의 실시예는 반드시 다른 실시예들보다 바람직하거나 유리한 것으로서 해석되지는 않는다. 유사하게, 용어 "본 발명의 실시예들"은, 본 발명의 모든 실시예들이 논의된 특징, 이점 또는 동작의 모드를 포함하도록 요구하지 않는다.

[0012] [0016] 본원에 이용된 용어는, 오직 특정한 실시예들을 설명하기 위한 목적이고, 본 발명의 실시예들을 제한하도록 의도되지는 않는다. 본원에 이용된 바와 같이, 문맥이 그렇지 않은 것으로 명확하게 지시하지 않는 한, 단수 형태들은 복수 형태들도 또한 포함하는 것으로 의도된다. 용어들 "포함하다(comprises)", "포함하는(comprising)", "포함하다(includes)" 및/또는 "포함하는(including)"은, 본원에 이용되는 경우, 언급된 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 및/또는 컴포넌트들의 존재를 특정하지만, 하나 또는 그 초과와 다른 특징들, 정수들, 단계들, 동작들, 엘리먼트들, 컴포넌트들, 및/또는 이들의 그룹들의 존재 또는 부가를 배제하는 것은 아니라는 것을 더 이해할 것이다.

[0013] [0017] 게다가, 수많은 실시예들이, 예를 들어, 컴퓨팅 디바이스의 엘리먼트들에 의해 수행될 동작들의 시퀀스들과 관련하여 설명된다. 특정 회로들(예컨대, 주문형 집적회로들(ASIC들)), 프로그램 명령들을 실행하는 하나 또는 그 초과와 프로세서들, 또는 이들 둘의 조합이 본원에 설명된 다양한 동작들을 수행할 수 있다는 점이 인식될 것이다. 추가적으로, 본원에 설명된 동작들의 이러한 시퀀스는, 실행시에, 관련 프로세서로 하여금 본원에 설명된 기능을 수행하게 하는 대응 세트의 컴퓨터 명령들이 저장된 임의의 형태의 컴퓨터 판독가능 저장 매체 내에서 전체적으로 구현되는 것으로 고려될 수 있다. 따라서, 본원의 다양한 양상들은 다수의 상이한 형태들로 구현될 수 있고, 이 형태들 모두는 청구된 청구대상의 범위 내에 있는 것으로 고려된다. 또한, 본원에 설명된 실시예들 각각에 대해, 임의의 이러한 실시예들의 대응하는 형태는, 예를 들어, 설명된 동작을 수행하도록 "구성된 로직"으로서 본원에 설명될 수 있다.

[0014] [0018] 실시예들은, 활성 CMOS(Complimentary Metal Oxide Semiconductor) 디바이스들의 하단 층에 인접하게 형성된 나노와이어 트랜지스터들의 하나 또는 그 초과와 상단 활성 층들을 포함한다. 상단 층은 상단 티어로 지칭될 수 있고, 하단 층은 하단 티어로 지칭될 수 있다. 최종 어셈블리시에, 하단 층 또는 티어는, 그 하단 층 또는 티어가 상부에 형성되는 웨이퍼 기판에 인접하며, 상단 층들 또는 티어들과 관련하여 웨이퍼 기판에 가장 가깝다.

[0015] [0019] 나노와이어 트랜지스터는 정선이 빠진(junction-less) 트랜지스터이다. 도 1을 참조하면, 소스-채널-드레인 영역(102), 게이트(104), 및 게이트(104)와 소스-채널-드레인 영역(102) 사이에 배치된 유전체(106)를 포함하는 간략화된 원근도(100)가 도시된다. 유전체(106)는 하이-K(High-K) 유전체일 수 있다. 구조체는 유전체 필름(108) 상에 집적된 것으로 나타난다. 소스-채널-드레인 영역(102)이 어떻게 도핑되었는지의 방법에 따라, p-채널 필드 판치형 나노와이어 트랜지스터(110), n-채널 필드 판치형 나노와이어 트랜지스터(112), n-형 반전 채널 나노와이어 트랜지스터(114), 및 p-형 반전 채널 나노와이어 트랜지스터(116)와 같은 다양한 유형들의 나노와이어 트랜지스터들이 실현될 수 있다. 이들 나노와이어 트랜지스터들 각각에 대한 반도체 재료는 실리콘(Si)이 수 있으며, 게이트들은 금속 또는 폴리실리콘일 수 있다.

[0016] [0020] 나노와이어 트랜지스터들(110, 112, 114, 및 116)에 의해 표시된 도면은 나노와이어 트랜지스터(100)의 간략화된 단면도이다. 이러한 뷰들 사이의 관계는, 좌표 시스템(118)이 나노와이어 트랜지스터(100)의 배향을 지칭하고, 좌표 시스템(120)이 나노와이어 트랜지스터들(110, 112, 114, 및 116)의 배향을 지칭하여, 이에 따라 이후의 나노와이어 트랜지스터들의 뷰가 나노와이어 트랜지스터(100)의 y-z 평면에서 슬라이스를 나타내는 것으로 언급함으로써 표시된다.

[0017] [0021] 나노와이어 트랜지스터들(110 및 112)은 누적 모드에서 동작하고, 나노와이어 트랜지스터들(114 및 11

6)은 반전 모드에서 동작한다. 나노와이어 트랜지스터(110)의 채널(122)은 저농도로 도핑된 (p+) p-형 반도체이며, 통상적인 도핑 농도는 약  $10^{18} \text{ cm}^{-3}$ 일 수 있다. 다른 실시예들은 상이한 도핑 농도들, 예를 들어,  $10^{18} \text{ cm}^{-3}$  미만인 도핑 농도들을 가질 수 있다. 소스 및 드레인 영역들(124 및 126)은 고농도로 도핑된(p++) p-형이며, 통상적인 도핑 농도는 약  $10^{20} \text{ cm}^{-3}$ 일 수 있다. 다른 실시예들은 상이한 도핑 농도들, 예를 들어,  $10^{20} \text{ cm}^{-3}$ 보다 큰 도핑 농도들을 가질 수 있다. 나노와이어 트랜지스터(112)의 채널(128)은 저농도로 도핑된(n+) n-형이며, 통상적인 도핑 농도는 약  $10^{18} \text{ cm}^{-3}$ 일 수 있다. 다른 실시예들은 상이한 도핑 농도들, 예를 들어,  $10^{18} \text{ cm}^{-3}$  미만인 도핑 농도들을 가질 수 있다. 소스 및 드레인 영역들(130 및 132)은 고농도로 도핑된(n++) n-형이며, 통상적인 도핑 농도는 약  $10^{20} \text{ cm}^{-3}$ 일 수 있다. 다른 실시예들은 상이한 도핑 농도들, 예를 들어,  $10^{20} \text{ cm}^{-3}$ 보다 큰 도핑 농도들을 가질 수 있다.

[0018] [0022] 나노와이어 트랜지스터(114)의 채널(134)은 도핑되어 있지 않고(중성, 또는 0 도너 농도); 소스 및 드레인 영역들(136 및 138)은 고농도로 도핑된(n++) n-형이며, 통상적인 도핑 농도는 약  $10^{20} \text{ cm}^{-3}$ 일 수 있다. 다른 실시예들은 상이한 도핑 농도들, 예를 들어,  $10^{20} \text{ cm}^{-3}$ 보다 큰 도핑 농도를 가질 수 있다. 나노와이어 트랜지스터(116)의 채널(140)은 도핑되어 있지 않고; 소스 및 드레인 영역들(142 및 144)은 고농도로 도핑된(p++) p-형이며, 통상적인 도핑 농도는 약  $10^{20} \text{ cm}^{-3}$ 일 수 있다. 다른 실시예들은 상이한 도핑 농도들, 예를 들어,  $10^{20} \text{ cm}^{-3}$ 보다 큰 도핑 농도들을 가질 수 있다.

[0019] [0023] 물리적으로 하부에 놓이는 나노와이어 트랜지스터들은 활성 리서치 면적이 되어 왔으며, 그들의 동작은 개시된 실시예들을 이해하고 그리고 실행하기 위해 여기에 상세하게 논의될 필요는 없다.

[0020] [0024] 도 2a 및 도 2b는 실시예에 따른 프로세스 흐름을 나타낸다. 단계(200)에서, 실리콘 웨이퍼(202)는 다양한 n-형 및 p-형 영역들을 포함하는 활성 층(상단 티어)을 형성하기 위해 마스크된 이온-주입의 방법에 의해 도핑된다. 도시의 용이함을 위해, 오직 2개의 이러한 영역들: n-형 영역(204) 및 p-형 영역(206)이 도 2a에 도시된다. 유전체 증착 또는 산화는 활성 층 위에 얇은 산화물 층(208)을 형성한다. 고온, 열적 액티베이션 어닐이 약  $1000^\circ\text{C}$ 에서 수행된다.

[0021] [0025] n-형 영역(204) 및 p-형 영역(206)을 포함하는 활성 층은 최종 3D 집적 회로에서 상단 티어(264)(도 2b 참조)의 일부를 형성할 것이다. 더욱 정확하게는, 영역들(204 및 206)을 포함하는 활성 층의 부분은, 이후 설명되는 바와 같이, 상단 티어(264)의 일부를 형성할 것이다. n-형 영역(204) 및 p-형 영역(206)은, 예를 들어, 약  $10^{18} \text{ cm}^{-3}$ 의 도너 농도의 저농도로 도핑된다. 이러한 영역들은, 상단 티어(264) 내 나노와이어 트랜지스터들에 대한 채널들뿐만 아니라 이러한 나노와이어 트랜지스터들에 대한 소스들 및 드레인들의 부분을 형성할 것이다.

[0022] [0026] 단계(210)에서, 이온 주입은 클리비지 인터페이스(212)를 정의하도록 수행된다. 인터페이스(212)는 영역들(204 및 208)을 포함하는 활성 영역 내에 있다. 일부 실시예들에서, 이온들은 수소 이온들일 수 있다.

[0023] [0027] 단계(214)에서, 웨이퍼(202)는 플립되어 웨이퍼(216)에 산화물 분당된다. 산화물 분당은 비교적 저온, 예를 들어,  $400^\circ\text{C}$ 와 동일하거나 또는 그 미만의 온도에서 수행된다. 도시의 용이함을 위해, 단계(214)는 웨이퍼(216)에 분당된 웨이퍼(202)를 실질적으로는 나타내지 않지만, 분당 절차에서, 웨이퍼(202) 내의 산화물 층(208)이 웨이퍼(216) 내 산화물 층(218)에 분당된다. 웨이퍼(216)는 최종 3D 집적 회로에 대한 기판으로서 기능하며, 이에 따라 기판(216)으로 지칭될 것이다.

[0024] [0028] pMOSFET (Metal-Oxide-Semiconductor-Field-Effect-Transistor) 및 nMOSFET 디바이스들을 포함하는 CMOS 활성 층이 이러한 CMOS 디바이스들의 소스들, 드레인들, 및 게이트들에 다양한 전기 접속들을 형성하는 금속층 및 비아들과 함께 웨이퍼(216) 내에 형성된다. 예를 들어, 3개의 CMOS 디바이스들은 기판(216) 상에 형성된 것으로 나타나며, 여기서 예를 들어 CMOS 디바이스들(22 중 하나는 소스 및 드레인 영역들(220 및 222), 채널(224), 게이트(228), 및 게이트(228)와 채널(224) 사이에 배치된 유전체(226)를 포함한다. 기판(216) 상에 형성된 CMOS 집적 회로의 다른 특징들은, 하나 또는 그 초과와 금속층들, 예를 들어, 금속층(230), 및 하나 또는 그 초과와 금속층들에 디바이스 단자들을 접속시키는 비아들, 예를 들어, 비아(232)이다. 기판(216) 상의 CMOS 활성 층은 최종 3D 집적 회로에서 하단 티어(233)이다.

[0025] [0029] 단계(234)에 도달하면, 분당된 웨이퍼들은 비교적 저온, 예를 들어,  $300^\circ\text{C}$ 와 동일하거나 또는 그 미만까지 가열되어 이에 따라 웨이퍼들은 클리비지 인터페이스(212)에서 분리될 수 있다. 클리비지 인터페이스(212) 위의 웨이퍼(202)의 부분이 제거될 때, 웨이퍼(202) 상에 형성되었던 영역들(204 및 206)을 포함하는 활성 층의

박막(이전에는 "부분"으로 지칭됨)은 이제 기판(216) 상에서 산화물(208)에 본딩된 채로 남겨진다.

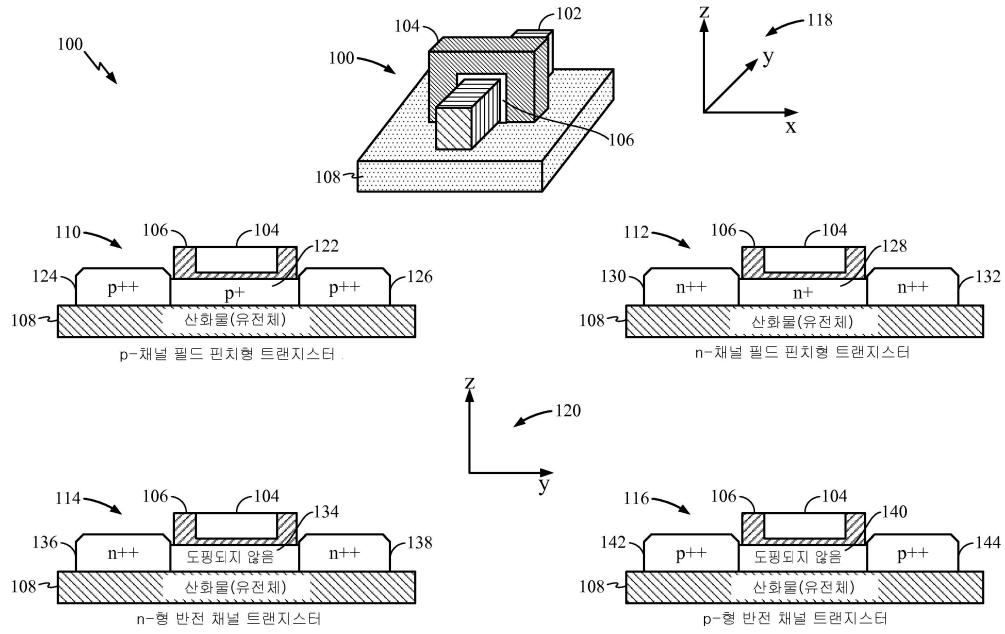
- [0026] [0030] 도 2b의 단계(236)에서, 산화물 격리 트렌치들은 상단 티어 활성 층 내에 형성된다. 예를 들어, 4개의 산화물 격리 트렌치들(238, 240, 242, 및 244)은 단계(236)에 도시된다. 그 결과, 열적 클리비지 이후에 기판(216) 상에 남아있는 p-형 영역(206)의 부분은 p-형 영역(246) 및 p-형 영역(248)으로 격리되었고; 그리고 나머지 n-형 영역(204)의 부분은 n-형 영역(250)으로 격리되었다.
- [0027] [0031] 웨이퍼(202) 상에 본래 형성되고 산화물 층(208)에 본딩된 활성 영역의 부분이 매우 얇기 때문에, 이는 실질적으로는 투명하며, 이에 따라 단계(236)에 도시된 산화물 트렌치들을 형성하기 위해 이용된 다양한 마스크들뿐만 아니라 상단 티어의 제조시에 나머지 단계들에서 형성된 피쳐들을 정렬할 때 옵티컬 정렬(optical alignment)을 이용하는 것이 현실적이다.
- [0028] [0032] CMP(Chemical Mechanical Polishing) 평탄화 이후에, 단계(252)에서, 게이트 유전체 및 전극 증착이 수행되고 그후 게이트 정의 및 스페이서 형성이 후속된다. 450°C와 동일하거나 또는 그 미만인 온도에서 선택적인 소스 및 드레인 형성을 위해 에피택셜 성장 동안 인시츄 도핑이 수행된다. 예를 들어, 단계(252)에서, p-채널 필드 핀치형 나노와이어 트랜지스터(110)가 소스 및 드레인 영역들(124 및 126), 게이트(104), 및 게이트 유전체(106)와 함께 나타난다.
- [0029] [0033] 단계(252)는, 3D 집적을 완료하기 위해 다양한 제조 단계들을 포함하는데, 예를 들어, 티어-간 비아들, 예를 들어, 티어-간 비아(254)를 형성하는 단계; 나노와이어 트랜지스터들의 소스들, 드레인들, 및 게이트들에 대한 비아들, 예를 들어, 비아(256)를 형성하는 단계; 및 인터커넥트들을 형성하기 위한 하나 또는 그 초과금속층들, 예를 들어, 금속층들(258 및 260)을 형성하는 단계를 포함한다. 또한, 금속층들 및 나노와이어 트랜지스터들을 캡슐화하는 산화물 층(262)이 형성된다. 산화물 층(262)은 또한 추가적인 상단 티어 층들에 대한 본딩 표면들로서 기능할 수 있고, 여기서 이전에 설명된 단계들이 반복된다.
- [0030] [0034] 일부 실시예들의 경우, 단계(200)는 변형되며, 여기서 최종 집적 회로 내 상단 티어의 일부가 되는 웨이퍼(202) 내의 활성 층은 도핑되지 않거나 또는 다양한 도핑되지 않은 영역들을 포함한다. 이는, 도 1과 관련하여 설명된 바와 같이, 나노와이어 트랜지스터들(114 및 116)과 같은, 반전 모드에서 동작하는 나노와이어 트랜지스터들로 유도한다.
- [0031] [0035] 도 3은 앞서 설명된 프로세스 흐름을 개략한다. 마스크링된 n-형 및 p-형 이온 주입은 상단 티어 내 활성 층의 일부로서 n-형 및 p-형 영역들을 형성하기 위해 제 1 웨이퍼 상에서 수행된다(302). n-형 및 p-형 영역들은 저농도로 도핑되고 나노와이어 트랜지스터들에 대한 소스들, 드레인들, 및 채널들을 형성하기 위해 이용될 것이다. 일부 실시예들의 경우, 어떠한 도핑도 존재하지 않아서 단계(302)는 수행되지 않거나, 또는 일부 실시예들의 경우, 일부 영역들은 도핑되지 않고 다른 영역들은 저농도로 도핑된다.
- [0032] [0036] 유전체 또는 산화 층은 활성 영역 상부에 형성되고(304), 열적 액티베이션 및 어닐(306)은 이온 주입으로 인한 크리스탈 손상을 복원하기 위해 고온에서 수행된다. 수소 이온 주입은 클리비지 인터페이스를 정의하기 위해 수행되고(308), 제 1 웨이퍼는 저온에서 제 2 웨이퍼에 산화물 본딩된다.
- [0033] [0037] 이전에 논의된 바와 같이, 제 2 웨이퍼는 집적 CMOS 회로 상부에 형성되었으며, 여기서 CMOS 활성 층은 3D 집적 회로의 하단 티어(233)일 것이다. 제 2 웨이퍼는 3D 집적 회로에 대한 기판으로서 기능한다. 클리비지 인터페이스는 제 1 웨이퍼 재료의 대부분이 제 2 웨이퍼로부터 제거될 수 있도록 열적으로 액티베이션되어(312), 상단 티어 내 나노와이어 트랜지스터들의 소스들, 드레인들, 및 채널들을 형성할 이전에 형성된 n-형 및 p-형 영역들의 일부를 포함하는 얇은 활성 층을 하단 티어(233) 상에 남긴다.
- [0034] [0038] 상단 티어 나노와이어 트랜지스터들에 대한 게이트 유전체들 및 전극들이 제조된다(314). 에피택셜 성장 동안 저온 인시츄 도핑(316)이 이용되어 상단 티어 나노와이어 트랜지스터들에 대한 소스들 및 드레인들을 형성한다. 상단 티어 내 콘택들, 티어-내 비아들, 티어-간 비아들, 및 다양한 금속층들이 완성되고 산화물 층에 의해 캡슐화된다(318).
- [0035] [0039] 도 4는, 실시예들이 애플리케이션을 발견할 수 있는 무선 통신 시스템을 도시한다. 도 4는 기지국들(404A, 404B, 및 404C)을 포함하는 무선 통신 네트워크(402)를 도시한다. 도 4는, 소위 스마트 폰으로 지칭되는 모바일 셀룰러 통신 디바이스, 태블릿, 또는 셀룰러 폰 네트워크에 적합한 일부 다른 종류의 통신 디바이스일 수 있는 통신 디바이스(406으로 라벨링됨)를 나타낸다. 통신 디바이스(406)는 모바일일 필요는 없다. 도 4의 특정 예시에서, 통신 디바이스(406)는 기지국(404C)과 연관된 셀 내에 위치된다. 화살표들(408 및 410)은, 통신 디바이스(406)가 기지국(404C)과 통신하는 것에 의해 업링크 채널 및 다운링크 채널 각각을 삽입적으로 표

현한다.

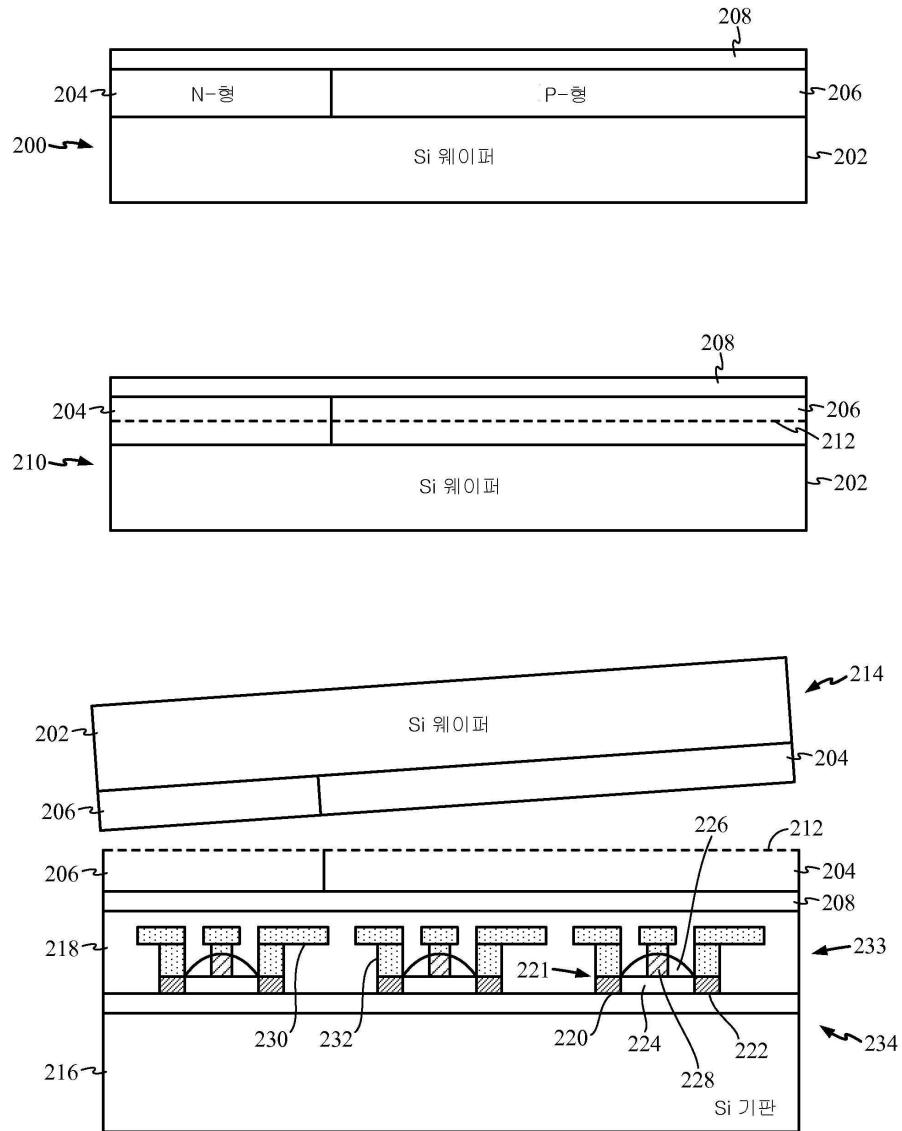
- [0036] [0040] 실시예들은, 예를 들어, 통신 디바이스(406)와, 또는 기지국(404C)과, 또는 둘 다와 연관된 데이터 프로세싱 시스템들에 이용될 수 있다. 도 4는, 본원에 설명된 실시예들이 채용될 수 있는 수많은 것들 중에서 오직 하나의 애플리케이션들만을 도시한다.
- [0037] [0041] 설명된 실시예들에 따라 형성된 구조들은, 1) TSV(쓰루 실리콘 비아) 면적 페널티 또는 증가된 인터커넥트 신호 딜레이 없이 3차원 회로들 내에서 트랜지스터들을 패키징하고 접속시키는 것; 2) 각각의 트랜지스터 티어에 대한 평균 금속 인터커넥트 층들을 감소시켜 이에 따라 (종래의 TSV 방법들을 통해서 달성하기 어려운) 전체 인터커넥트 RC 딜레이를 감소시키는 것; 3) 웨이퍼(다이) 본딩 얼라인먼트에 관한 문제들을 경감시켜 이에 의해 다양한 티어들(반도체 층들)을 통해 매우 정확하고 높은 밀도의 비아 커넥션들을 허용하는 것; 4) (종래의 TSV 와이드 I/O 접근방식들에 의해 용이하게 달성될 수 없는) 수천 또는 심지어는 수백만 개의 비아들을 활용하는 수많은 코어 분배형 메모리 아키텍처들을 가능하게 하는 것; 5) 각각의 층 내의 고성능의 기본 디바이스들을 갖춘 3차원 IC들 및 아키텍처들; 및 6) 금속층 이용을 줄임으로써, 결함 밀도를 저하시킴으로써, 수율을 증가시킴으로써, 그리고 테스트 비용을 저하시킴으로써 트랜지스터 통합 비용을 감소시키기 위해 제공되는 것으로 기대된다.
- [0038] [0042] 하단 티어 층이 CMOS 디바이스들을 포함하는 실시예들이 설명되었다. 그러나, 실시예들은 CMOS 디바이스들의 하단 티어 위에 형성되는 나노와이어 트랜지스터들의 상단 티어로 제한되지 않는다. 하단 티어는, 예를 들어, 바이폴라 디바이스들과 같은 다른 유형들의 트랜지스터들을 포함할 수 있다. 게다가, 일부 실시예들의 경우, 디바이스들의 하단 티어가 존재할 필요는 없고, 오히려, 나노와이어 트랜지스터들은 기판에 산화물 본딩되며, 여기서 본딩에 이용된 산화물은 절연체로서 기능한다.
- [0039] [0043] 당업자들은 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 것을 이용하여 표현될 수 있다는 것을 이해할 것이다. 예를 들어, 전술한 설명 전반에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광 필드들 또는 광 입자들, 또는 이들의 임의의 결합에 의해 표현될 수 있다.
- [0040] [0044] 게다가, 본원에 개시된 예시적인 양상들과 관련하여 설명되는 다양한 예시적인 논리 블록들, 모듈들, 회로들 및 알고리즘 단계들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들 둘의 조합들로서 구현될 수 있다는 것이 당업자들에게 인식될 것이다. 하드웨어와 소프트웨어의 상호교환 가능성을 명료하게 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들이 그들의 기능과 관련하여 앞서 일반적으로 설명되어 있다. 이러한 기능이 하드웨어로 구현되는지 또는 소프트웨어로 구현되는지는 특정 애플리케이션 및 전체 시스템에 부과되는 설계 제약들에 의존한다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션에 대하여 다양한 방식으로 구현할 수 있으나, 이러한 구현 결정들은 본 발명의 범위를 벗어나게 하는 것으로 해석되어서는 안된다.
- [0041] [0045] 본원에 개시된 실시예들과 관련하여 설명된 방법들, 시퀀스들 및/또는 알고리즘들은, 직접 하드웨어로 구현되거나, 프로세서에 의해 실행가능되는 소프트웨어 모듈로 구현되거나, 또는 이 둘의 조합으로 구현될 수 있다. 소프트웨어 모듈은 RAM 메모리, 플래시 메모리, ROM 메모리, EPROM 메모리, EEPROM 메모리, 레지스터들, 하드 디스크, 탈착식 디스크, CD-ROM, 또는 당업계에 공지된 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고 저장 매체에 정보를 기록할 수 있도록, 프로세서에 커플링될 수 있다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다.
- [0042] [0046] 이에 따라, 본 발명의 실시예는 당업계의 마이크로제조 환경의 상태에서 단일 기관상으로 층별 트랜지스터들 및 IC 컴포넌트들의 순차적 집적을 위한 방법을 구현하는 컴퓨터 판독가능 매체를 포함할 수 있다. 이에 따라, 본 발명은 나타난 예시들로 제한되지 않으며, 본원에 설명된 기능을 수행하기 위한 임의의 수단은 본 발명의 실시예들에 포함된다.
- [0043] [0047] 이전 개시물이 본 발명의 예시적인 실시예들을 나타내지만, 첨부된 청구항들에 의해 정의되는 본 발명의 범위로부터 벗어나지 않고 다양한 변화들 및 변형들이 본원에서 행해질 수 있다는 것에 주목해야 한다. 본원에 설명된 본 발명의 실시예들에 따른 방법 청구항들의 기능들, 단계들 및/또는 동작들은 임의의 특정한 순서로 수행될 필요는 없다. 게다가, 본 발명의 엘리먼트들은 단수표현으로 설명되거나 또는 청구될 수 있지만, 단수표현으로의 제한이 명확하게 언급되지 않는 한 복수표현도 고려된다.

도면

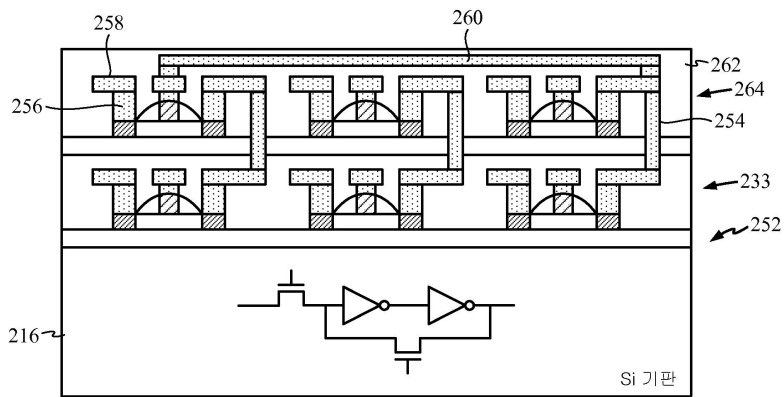
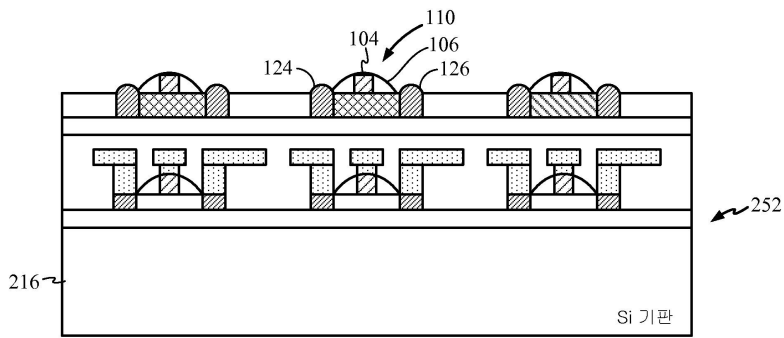
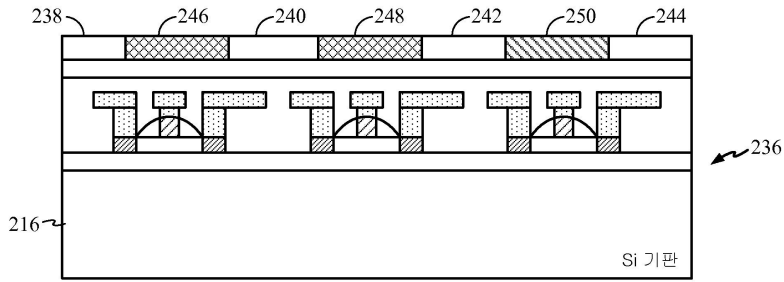
도면1



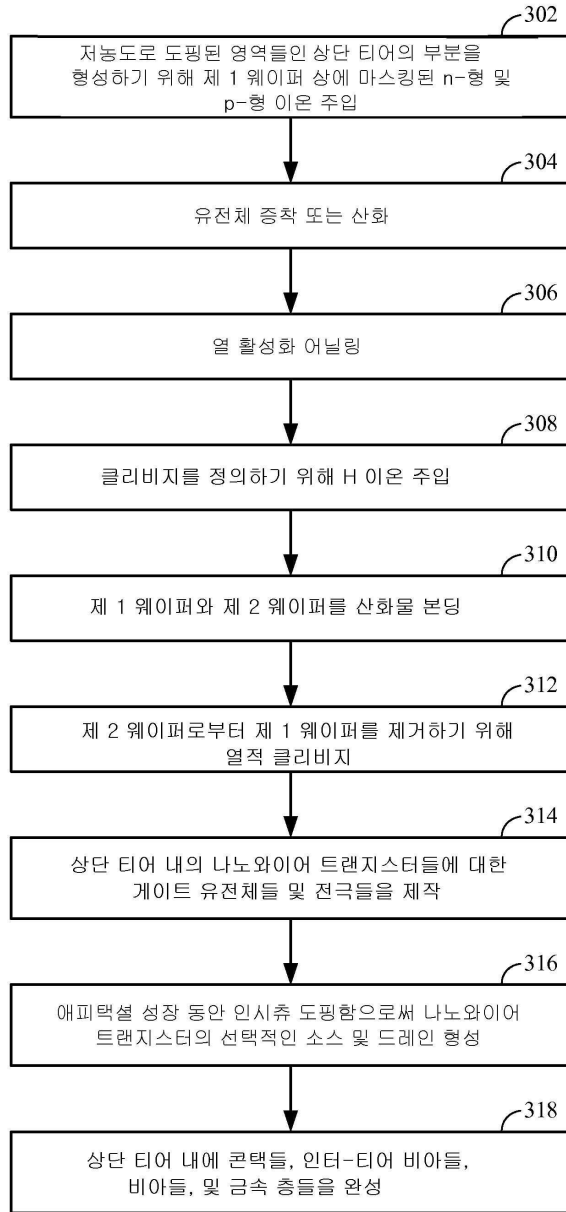
도면2a



도면2b



도면3



도면4

