



(12) 发明专利申请

(10) 申请公布号 CN 103988408 A

(43) 申请公布日 2014. 08. 13

(21) 申请号 201280050458. 7

(51) Int. Cl.

(22) 申请日 2012. 10. 15

H02M 3/335 (2006. 01)

H02M 7/539 (2006. 01)

(30) 优先权数据

2011904189 2011. 10. 14 AU

(85) PCT国际申请进入国家阶段日

2014. 04. 14

(86) PCT国际申请的申请数据

PCT/AU2012/001246 2012. 10. 15

(87) PCT国际申请的公布数据

W02013/053020 EN 2013. 04. 18

(71) 申请人 英迪斯私人有限公司

地址 澳大利亚维多利亚州

(72) 发明人 詹姆斯·哈蒙德

(74) 专利代理机构 上海申新律师事务所 31272

代理人 吴俊

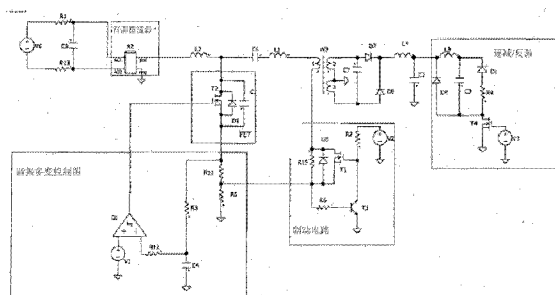
权利要求书2页 说明书7页 附图16页

(54) 发明名称

电源控制

(57) 摘要

一种E级放大器,具有一个场效应晶体管,该场效应晶体管上的晶体管(T2)通过一个串行LC电路连接到负载,并且还通过一个恒定电流源连接到电源电压。该放大器还包括一谐振控制器,其中,该谐振控制器提供了对AC应用的电源控制,并且还包含了一个输入传感器的谐振跟踪系统,该输入传感器由采用一输入电感器中谐振跟踪系统的电源供电,其中谐振跟踪系统采用具有两个与地串联的检测电阻负载的电阻谐振检测仪。



1. 一种 E 类放大器,其特征在于,包括:具有一个晶体管(T2)的场效应晶体管(FET),所述场效应晶体管通过一串联的“LC”电路连接到负载,并通过一恒流电源连接到电源电压,所述放大器还包括一个谐振控制器。

2. 根据权利要求 1 所述的放大器,其特征在于,所述谐振控制器为交流电应用提供了电源控制的,并且所述谐振控制器还包括:由电源供电的输入感应器中的谐振跟踪系统,所述电源带有所述谐振跟踪系统,并且所述谐振跟踪系统采用含有两个串联的感应电阻器负载的谐振跟踪探测器。

3. 如权利要求 2 所述的放大器,其特征在于,所述谐振控制器包括元件参考电压、谐振传感器和第一输入电流传感器。

4. 如权利要求 2 或 3 所述的放大器,其特征在于,所述谐振控制器包括感应电阻负载,即均接地的第一感应电阻负载 R5 和第二感应电阻负载 R11,并且所述输出感应器接收两个感应电阻负载之间的反馈,并且第一感应电阻 R5 接地,第二感应电阻 R11 供应于比较器从而提供对比于输入端参考电压的输出控制驱动信号。

5. 如权利要求 4 所述的放大器,其特征在于,所述谐振控制器包括设置所述第一感应电阻负载和第二感应电阻负载,从而为两个各自对应的信号的电压求和节点,接地的第一感应电阻 R5 可以检测输入端的直流变化;

供应于比较器的第二感应电阻 R11 可以检测交流波动。

6. 根据上述任意一条权利要求所述的放大器,其特征在于,所述谐振控制器包括:第一感测电阻 R5,具有主要用于跟踪在 L2 中所需电流,从而控制所述谐振跟踪系统。

7. 如权利要求 4 所述的放大器,其特征在于,由于在 L2 的波纹电流,所述谐振控制器包括使用在所述感应电阻负载 R5 上的波纹信息。

8. 如权利要求 4 所述的放大器,其特征在于,所述谐振控制器包括与 R11 结合的第一感测电阻负载 R 5,从而放大该波纹元件,以确保在大电压范围内有足够的信号强度通过整流的 AC 波形施加在所述谐振跟踪系统。

9. 如权利要求 8 所述的放大器,其特征在于,所述谐振控制器包括选中的 R11 和 R5 的比值,以满足对该系统功率因数的控制。

10. 如权利要求 4 所述的放大器,其特征在于,所述谐振控制器包括:当 AC 信号充足时,采用数字系统延迟来匹配该系统的共振频率。

11. 如权利要求 10 所述的放大器,其特征在于,当通过额外的任选的相位滞后的 RC 滤波器来实现 AC 信号,采用数字系统延迟来匹配所述谐振跟踪系统的谐振频率。

12. 根据权利要求 11 所述的放大器,其特征在于,当比较器的输出端在数字部分来执行,采用数字系统延迟来匹配所述谐振跟踪系统的谐振频率。

13. 根据权利要求 4 所述的放大器,其特征在于,所述谐振控制系统成功地谐振控制确保正确和正常运行 15 以上 1 电源半周期使系统零电压开关(ZVS)极为重要的高速,低损耗操作。

14. 根据上述任意一条权利要求所述的放大器,其特征在于,还包括一设有制动元件的制动电路,所述制动元件通过在设置 FET 和电阻负载 R3 以及在放大器内 FET 输出端的晶体管 T3 来组成,并且在放大器内 FET 输入端的反馈电路听从输入传感器反馈的指令,从而在过冲让流量通过 R15,所述制动元件关闭 T1 中的 FET,防止任意形式的过电流提供了停工装

置或制动器的。

15. 根据权利要求 14 所述的放大器,其特征在于,制动电路开关的运行只有在关闭其他的信号控制之后,从而避免过电流的可能性。

16. 根据上述任意一条权利要求所述的放大器,其特征在于,还包括有源整流器,所述有源整流器采用的电源控制包含一输出功率的有源整流器以保证 FET 栅极在阈值范围内,并所述有源整流器通过 FET 控制器与线性稳压器结合。

17. 根据权利要求 16 所述的放大器,其特征在于,所述线性稳压器结合了一个为 100K 欧姆的大电阻和接近 FET 操作电压的电压,从而通过减控制开关的电流,从而减少功率损耗。

18. 根据权利要求 16 或 17 所述的放大器,其特征在于,所述有源整流器包括由多对 P 和 N 掺杂 MOSFET 构成的整流器,其中一 P 掺杂 MOSFET 的栅极连接到 N 掺杂 MOSFET 的漏极,而一 N 掺杂 MOSFET 的栅极连接到 P 掺杂 MOSFET 的源极。

19. 根据权利要求 18 所述的放大器,其特征在于,所述有源整流器包括一对成对的 NFET 或 PFET,其中,由整流器控制 FET 的电压小于 1V 的操作。

20. 根据权利要求 19 所述的放大器,其特征在于,所述有源整流器包括布置一个连接一对成对 P 和 N 掺杂的 MOSFET 的齐纳二极管 / 电阻器。

21. 根据权利要求 19 所述的放大器,其特征在于,所述齐纳二极管的电压必须足够大以确保所述有源整流器 FET 导通,并维持其低能量的传输。

22. 根据权利要求 19 所述的放大器,其特征在于,在对桥 MOSFET 充电时所述 MOSFET 阻抗很低,这可以使它快速地充电,当达到齐纳二极管电压,所述 MOSFET 阻抗会变得非常高,以确保任何在输入端交流信号都无法泄漏。

23. 根据权利要求 19 所述的放大器,其特征在于,所述齐纳二极管的偏置电阻值是非常大,并且在桥 MOSFET 栅极帽不充电时消耗很少的能量。

24. 根据权利要求 19 所述的放大器,其特征在于,当所述栅极信号降低, D1 (Ti 的主体二极管) 释放桥栅极电容中的电。

电源控制

技术领域

[0001] 本发明涉及一种电源控制,尤其涉及通过不同的控制开关来实现电源控制。更具体地说,本发明提供了在硅拓扑结构中电源控制的改进方法,但并不限于此。

[0002] 虽然本发明可应用于从低电压到电源电压的一系列电源,并适用于直流电或交流电(DC 或 AC),为了方便起见,本发明应该就一系列电压下的对发光二极管(LED)的控制进行叙述。尤其是,会针对 E 类放大器进行阐述。然而本发明的范围并不局限于此,并且可以包括其他电源控制一个或多个部分。

背景技术

[0003] 在电源控制电路中重点讨论的是功率损耗和蓄电。在开关模式电源中,功率损耗发生在各种不同的情况下。一些主要的情况是:

1、欧姆功率 P 的损失来源于下列方程中通过具有电阻 R 的装置的电流 I,如下方程式所描述的:

$$P = I^2 \times R$$

2、当一个诸如 FET 的开关在打开或关闭的状况下切换时,并且如果电流或电压在或穿过该 FET,该切换期间导致电流和电压都施加在所述 FET 上,这等同于功率损耗。

[0004] 3、硬转换是指位于场效应晶体管内的装置,先将其关闭,使两端电压 V 施加在 FET 上,打开开关后。在整个输出中寄生电容 C 将保留 30 能量 E。

$$[0005] \quad E = 0.5 \times C \times V^2$$

每次 FET 在这种情况下导通存储的能量被耗散引发了功率损失。

[0006] 4、在一 RC 等效电路形式中的栅极驱动损耗,其中 C 为栅极电容,并且 R 是连通门极电阻。RC 电路消耗的功率与频率 f,电容 C 和电压 V 的平方成正比:

E 类放大器是功率控制的一种特殊形式。如图 1 所示是一个标准的 E 类放大器,它有一个场效应晶体管,该场效应晶体管上的晶体管(T2)通过一个串行 LC 电路连接到负载(R1),并且还通过一个大电感(L2)连接到电源电压(不显示 5)。L2 作为一个粗略的恒流电源。E 类放大器中加入一个的电容(C1)将晶体管输出接地。而这种功率放大器将产生大量的功率损耗。

[0007] 因此,本发明目的是克服或基本上改善一个或多个现有技术中的缺点,或者至少提供一种有效的替代方案的。

发明内容

[0008] 本发明提供了一种基于状态控制的电源控制的手段或方法。本发明提供了许多可单独或一起使用的不同修改。

[0009] 用于交流电应用的电源控制可以包括:由电源供电的一输入电感器中谐振跟踪系统,其中谐振跟踪系统 20 采用具有两个与地串联的检测电阻负载的电阻谐振检测仪,并且该电阻谐振检测仪接收两个感应电阻负载之间的反馈,并且第一感应电阻负载接地,第二

感应电阻负载供应于比较器从而提供对比于输入端参考电压的输出控制驱动信号。

[0010] 可以看出,设置该感应电阻负载显然是为两个各自对应的信号的电压求和节点。接地的第一感应电阻负载可以检测输入端的直流变化。供应于比较器的第二感应电阻负载可以检测交流波动。

[0011] 供给于第二感应电阻负载的比较器可以通过一个 RC 滤波器的改进得以实现。

[0012] 电源控制可以包括一个具有检测手段的制动电路,包括在输入电压反馈下的 RC 电路从而确保无法过电流。

[0013] 电源控制可以包括输入功率的有源整流器,从而保证 FET 的栅极在阈值内,该栅极有一个在与线性稳压器组合的 FET 控制器。该线性稳压器可以将一个大电阻和小的齐纳电压结合,从而通过减控制开关的电流,从而减少功率损耗。

[0014] 电源控制可以包括由多对 P 和 N 掺杂 MOSFET 构成的整流器,其中一 P 掺杂 MOSFET 的栅极连接到 N 掺杂 MOSFET 的漏极,而一 N 掺杂 MOSFET 的栅极连接到 P 掺杂 MOSFET 的源极。优选地,一或 P 和 N 掺杂的 MOSFET。

[0015] 通过这种方式操作小于 1 伏的电压的 FET,仍然可以由整流器来控制。这也无法避免了一对 MOSFETs 在同时操作时的击穿。

[0016] 在本发明的一种形式中,提供了一个状态开关,该状态开关用于调控谐振周期切换的状态开关,该开关可彼此功率的补偿,从而限制了功率使用和功率损耗。

[0017] 本发明可以提供了对 E 类放大器实质性一种形式的改进。

[0018] 在一个优选实施例中,电源控制涉及一 E 类放大器,并且包括以下任意一个或多个部分。这些部分包括:

- A. 谐振跟踪器
- B. 制动电路
- C. 整流器
- D. 降压器

但是这些部分也可以用于其他表现类似的好处的电源控制系统。

[0019] 可以看出,本发明提供了一种 E 类拓扑控制的新方法。虽然是自谐振,但该新方法 with FET 驱动控制从其他元件耦合(如变压器)的其他自谐振系统并没有共同之处。并且此类应用的问题包含无法定义开始/停止条件,以及用于波形控制的空间局限。

[0020] 该方法可嵌入在简单组件中实时,逐周期的数字化控制器,并具有设计上的自由度和优点。具有不同数值和频率的多个模拟信号是由一个单一的比较来总结和阈值处理的。这些参数的控制可以保证精确谐振控制,该谐振控制使 DC 以非凡的效率,速度和功率因数的谐振电路的谐振电路通过大范围的输入电压的谐振电路的物理极限。

附图说明

[0021] 为了使本发明可以更容易地被理解,将通过非限制性的例子来描述一个具体的实施例,其中:

图 1 是现有技术一个 E 类放大器的电路图;

图 2 是本发明一实施例中一类应用于 E 类放大器谐振驱动器电源控制电路图;

图 3 是本发明显示的交流感应、无制动的控制器的实施例中的电源控制电路图;

图 4 是图 3 中电源控制电路中 V 和 I 的运行轨迹；

图 5 是本发明一显示制动的实施例中的电源控制电路图；

图 6 是图 5 中电源控制电路中 V 和 I 的运行轨迹；

图 7 是本发明的一显示整流器的实施例的电源控制电路图；

图 8 是以对比为目的现有技术中整流器电源控制电路图；

图 9 是图 8 中电源控制电路中 V 和 I 的运行轨迹；

图 10 是本发明一实施例显示主动区下拉的整流器的电源控制电路图；

图 11 是图 10 中电源控制电路中 V 和 I 的运行轨迹；

图 12 和图 13 是 N 和 P 掺杂的 FET 等效子电路各自显示图 10 中与线性调节器组合的 FET 中 X1 到 X4 的细节图；

图 14 是—在本发明负载中添加电压控制元件来显示逐减电路和反激电路替代品的实施例中的电源控制电路图；

图 15 是采用图 14 中 10ms 中降压 9V 的电源控制电路中 V 和 I 的运行轨迹；

图 16 是在微观状况下图 15 中电源控制电路中 V 和 I 的运行轨迹。

具体实施方式

[0022] 参照该优选实施例的附图,如图 2 所示,本发明提供了一种具有下列部分的一个 E 类放大器

- A. 谐振追踪
- B. 制动电路
- C. 整流器
- D. 逐减电路 / 反激电路

A :谐振跟踪

如图 1 为 E 类放大器中电源控制的一种特定形式。一个标准的 E 类放大器,它有一个场效应晶体管,该场效应晶体管上的晶体管(T2)通过一个串行 LC 电路连接到负载(R1),并且还通过一个大电感(L2)连接到电源电压(未显示)。L2 作为一个粗略的恒流电源。E 类放大器中加入一个的电容(C1)将晶体管输出接地。而这种功率放大器将产生大量的功率损耗。

[0023] 然而这延伸到 AC 应用,或低或高电压如图 3 所示,这里新整流器包含部件 01 ,V1 (基准电压),R 2 (谐振传感器)和 R5 (输入电流传感器)。

[0024] 用于 AC 应用的电源控制可以包括 :由电源供电的一输入电感器中谐振跟踪系统,其中谐振跟踪系统采用具有两个与地串联的检测电阻负载的电阻谐振检测仪,在这情况下的感应电阻负载是接地的第一感应电阻 R5 和第二感应电阻 R11。并且该输入电感器 L2 接收两个感应电阻负载之间的反馈,并且第一感应电阻负载 R5 接地,第二感应电阻 R11 负载供应于比较器 01 从而提供对比于输入端参考电压的输出控制驱动信号。

[0025] 可以看出,设置该感应电阻负载显然是为两个各自对应的信号的电压求和节点。接地的第一感应电阻 R5 可以检测输入端的直流变化。供应于比较器的第二感应电阻 R11 可以检测交流波动。

[0026] R5 的主要作用是跟踪 L2 中所需的电流。这种方式的系统电源可以容易被控制。

值得注意的是由于在 L2 中不可避免的波纹电流, R5 的确包含该波纹的信息。因此在没有包含 R11 的情况下进行常规操作是可行的。实际上, 在大电压范围内的电压被施加在整流的 AC 波形系统上, 有必要放大的波纹元件使它变得明显。这是 R11 的关键点; 将其列入可确保足够的信号强度存在。值得注意的是 R11 和 R5 的比值也允许了系统的功率因数的控制。

[0027] 当 AC 信号是足够的, 可能有必要采用数字系统延迟来匹配该系统的共振频率。这可以通过很容易地通过图 2 中显示为 R3 和 C4 的额外的任选的相位滞后的 RC 滤波器来实现。可以根据需要附加延时控制比较器 01 的输出端在数字部分来执行。

[0028] 图 4 说明了上述成功地确保正确和正常运行 15 上 1 电源半周期, 在宏观的角度说明了系统将零电压开关 (ZVS) 高速, 低损耗操作是极为重要的。

[0029] 制动电路

参照图 3 中没有制动的电路, 可以看出, 如果没有制动电流条件可能会导致各种问题。AC 信号通过 DC 纹波提供的谐振信号被偏置。那时通过包括 R12 和 C4 附近的自谐振系统来放缓。如果谐振和电流脉冲施加后, 有过电流和失效的情况。这是主要的争论以及现有技术解决方案使用大量电力的主要来源。

[0030] 图 5 中显示的带有制动的电路拥有由 R3 和晶体管 T3 组成的制动元件。在图 2 所示的其它形式的 R6 和 T3 提供的制动元件。一个重要的作用是, 如果过冲让流量通过 R15, 制动元件关闭 T1 中的 FET。参考图 5 和图 6 中运行轨迹, 显示为了防止任意形式的过电流提供了停工装置或制动器的。尤其是开关的运行只有关机后其他的信号控制, 从而避免过电流的可能性。

[0031] 整流器

现有技术中的有源整流电路可以如图 8 中所见, 并且图 9 中示出了它的运行轨迹。尤其是 P 型或者是 N 型的 FET 与外电阻器连接, 如 R4, 其大约达到 1000hm, 因此允许大量的电流和相应的功率损耗。尤其图 9 中的轨迹示出了位于顶部的输入端和位于中部的高效的输出端。但是, 根据所示的下方的轨迹, 在运行的过程中出现大量的功率损耗。

[0032] 但是, 如图 7 所示的是本发明的最简单的形式, 以及图 10、12 和 13 和图 11 中的轨迹详细地示出了一个整流器, 该整流器能够应用于功率控制, 包括一个输入功率的有源整流器以保证 FET 栅极在阈值内。这通过一个 FET 控制器与一个线性调节器的结合来实现。该线性调节器可以包含一个大电阻器 R4, 大约 100K Ohm, 和一个接近于 FET 运行电压的电压, 以通过在控制开关时最小化电流来最小化功率的损耗。与图 9 中的轨迹相比, 图 10 的本发明的如图 11 中的轨迹示出了顶部的输入端和中部的有效输出端。但是, 根据所示的下方的轨迹, 在运行的过程中出现了最小化的间歇的功率损耗。

[0033] 如图 10 所示, 该电源控制可以包括一个形成有多对 P 型和 N 型掺杂的 MOSFET 的整流器, 其中, 一个 P 型掺杂 MOSFET 的栅极与一个 N 型掺杂的 MOSFET 的漏极连接并且反之亦然。在这种情况下, 多对 P 型和 N 型掺杂的 MOSFET 中的一对具有 X1 到 X4 中的每一个, 该 X1 到 X4 包括一个图 12 和 13 中的 NFET 或 PFET。

[0034] 通过这种方法, 电压小于 1 伏的 FET 的运行仍然受整流器控制。这也避免了当一对 MOSFET 的运行不能同时发生并且因此无法是电压增加超过阈值时所出现的击穿现象。

[0035] 尤其在低电压、高电流的应用中, 通过一个 FET 全桥而不是二极管 (肖特基二极

管、PN 结,碳化物等),交流电至直流电的整流过程可以更有效的进行,因为它们不需要一个几乎大量下降的正向传导电压。在实施中需要注意以下几点:

1. 当最大电压超过 FET 的栅极值时,必须实施保护以确保 MOSFET 不被毁坏。这就是在所提供的原理图中的齐纳二极管 / 电阻器装置的目的。

[0036] 2. 该齐纳二极管应该稍小于最大栅极电压,否则通过齐纳的传导将消耗大量的能量,这很不幸地意味着栅电容具有的能量远超打开 FET 所需要的能量。

[0037] 3. 该电阻器必须足够大以在输入电压超过齐纳二极管时来限制电流,但是又足够小以保持打开和关闭时间足够小并保护 FET 的短路。

[0038] 4. 由于 MOSFET 具有栅电容,任何使用该例子的电阻都会引起打开和关闭的延时。

[0039] 5. 该栅极电容和电阻器形成一个阻容滤波器,当任何交流电出现在输入端时,该阻容滤波器将消耗能量并随着频率和振幅而恶化。

[0040] 图 10 中所示的新的配置结构看上去与图 8 中的现有技术结构相似。但是,随着进一步地观察图 12 和 13 的“SCH NFET 基”和“SCH PFET 基”中所示出的 X 模组,就可以发现明显的区别。每个子电路(N 型和 P 型)被设计用于取代现有技术中的 MOSFET、齐纳二极管和电阻器,其中 N 型的子电路在桥的底部,P 型的子电路在桥的顶部。

[0041] 检查 N 型 FET 子电路,框中展现的是完整的 FET 模型。框的外部是一个附加的电路,一个二极管和 FET (其仅有一个像 MOSFET 那样总是具有体二极管的装置),一个电阻器和一个齐纳二极管。添加了该 MOSFET 对电路具有极大的影响,如:

1. 该齐纳二极管可以仅足够大来保证整流器 FET 的打开,并保持低能量的传输。

[0042] 2. 在桥 MOSFET 的充电过程中, MOSFET 阻抗很低,这样就可以允许快速充电,但是当达到齐纳二极管的电压时,该 MOSFET 阻抗就立刻变得很高,这就可以快速充电,保证了就算不考虑输出端上出现什么样的交流电信号也不会发生渗漏的问题。

[0043] 3. 当该齐纳二极管偏压电阻器不再为桥 MOSFET 栅极覆盖充电时,其值会变得很大,同时使用很少的能量。

[0044] 4. 当该栅极信号降低后, D1 (Ti 的体二极管)将使桥栅极电容开始放电。

[0045] P 型 FET 子电路在运作上是相同的,仅在一个负电压中作为一个 P 型 FET。

[0046] 参见图 9 中的现有技术中的轨迹文件和图 11 中的新的有源整流器,红色的(顶部的)轨迹示出了一个构造的波形,一个 12VRMS 的基本信号(+17V 峰值到峰值) AC,在更高的频率下具有 5Vpp。下一个轨迹表示的是源电流,绿色的是负载电阻器 R1 上的电压,最后的轨迹是进入一个半桥 P/N 型 FET 对的电流。改进的最大指示在于图 11 中的轨迹,如其所示,新的有源整流器除了开关电流外没有别的可见的电流。测量表表明与图 9 的简单比较,新系统 98%的效率相对于旧系统 95%的效率。当现有技术中的齐纳二极管传导的越来越多或着当频率增加时,这个界限会变远超过大输入电压范围。

[0047] 最后,图 10 的另一个循环示出了一个优化处理,该优化处理允许桥 FET 的阈值电压小于新的栅极驱动 FET 的体二极管的阈值电压。信号在 N 型和 P 型子电路之间共享,以确保 FET 是关闭的。

[0048] 在每一对 N 型或者 P 型中,相反的驱动 FET 也驱动其他新增加的“拉低”FET。

[0049] 逐减电路 / 反激电路

由于运行电压的限制,如图 14 所示的逐减电路 / 反激电路组件经常需要在输出端交叉

处与图 2 中所示的电容器 C2 连接以控制 LED 的电源。但是,该系统在其他的电源控制区域中可能不需要。

[0050] 由于发光二极管(LED)的恒定正向电压的性质,在一个并联的电容器内的可用能量是十分有限的。这是因为在电容器内的任何大于 LED 的 V_f (正向电压)的电压在更高的电流下快速放电,直到电压降低至 V_f ,这时停止传导。一个关于它的简单的方案是具有一个串联的电阻器,其限制超过 V_f 的电压下的电流。它的缺点是在这个过程中会在电阻器中浪费能量。

[0051] 一个更详尽的方案是实施一个全“降压斩波”电路。这样做可以以复杂性和成本为代价来最小化额外的功率损耗。其存在的一个潜在的问题是一个“负阻抗”的引入,当电压升高时,电流降低,反之亦然。这与“正阻抗”形成对比,该正阻抗的电流和电压一起成比例的或者是其他形式的升高和降低。在一个单独的电路中,降压斩波电路的负阻抗不是一个问题,但是如果连同另一个控制线路一起使用可能会出现問題。

[0052] 直接与 LED 并联的电容器会在我们使用一个增压拓补结构时产生另一个问题。由于输出电压必须总是大于输入电压,因此 LED V_f 's 必须相应的高。在 MR16 的例子中,输入电压能够达到超过 17V 的峰值(12VRMS),这限制了 20V+ 晶片的生产。如果我们希望使用一个更低电压的 LED,一个根本的解决办法是在增压之后增加一个降压斩波电路阶段。但是,这样产生了一个问题,就是单次增压与降压斩波电路阶段之间互相的“对抗”,这就是为什么尽管其间具有大电容性的能量存储缓冲,增压器还是会由于负阻抗负载(降压斩波电路)引起的过电压输出情况而频繁地关闭。

[0053] 本发明包括一个更简单的逐减机制被引入,该机制实施起来更为便宜,并且仍旧提供具有正阻抗的增压。

[0054] 参见图 14,示出了一个常规可能的组合。它们可以用于一个 9V 和一个 12V 的 LED 解决方案中。即使 21V 的 LED 已经满足大电压的需求,但是 LED 中的纹波电流超过总线频率(50-60Hz)是更好的,这是由于大的工作电压范围更容易得到能量储备。

[0055] 现有技术中的降压斩波电路的好处包括允许在降压斩波电路时将负载精确地调节至负载电压,或者在反激电路时将负载精确地调节至完整的范围。但是在降压斩波电路和反激电路中还存在以下几个问题:

1. 昂贵。

[0056] 2. 当一个高侧墙的 FET 驱动是必要的时(在降压斩波电路结构中),复杂的闭合回路系统并且特别低效。

[0057] 3. 在电压供给上施加负阻抗的特性。

[0058] 4. 复杂和稳定的需求通常限制了速度的最大化。反过来需要更大的无源元件来进行。

[0059] 相似的,在固定频率和逐减电路或反激电路的占空比中也存在着优势

1. 开环回路(没有反馈电路),因此十分便宜,容易实施。

[0060] 2. 只需要低侧开关,因此容易实施。

[0061] 3. 总是施加正阻抗,易于与调节阶段相结合,如增压阶段。

[0062] 4. 提高速度的简易的装置仅收到共振源驱动性能的限制,因此,速度能够提高的非常高。

[0063] 固定频率和逐减电路或反激电路的占空比中存在的问题

1. 开环回路装置的运行受到输入电压的固定转换的限制,即,没有自适应的可能性。

[0064] 本发明的运行可以参考附图,但是具体请参考图 14, R4 与 D1 串联以代表一个“真”LED,该 LED 由所需要的和寄生的组件构成。在 9V 的原理图和轨迹中提到的逐减电路具有一个十分简单的运行工具,可以进行能够驱动一个 FET 的任何形式的震荡源,在本例子中是 V3。当 FET 的偏压打开,在 L3, LED (D1) 和 C3 的电流开始升高。当 FET 关闭,电感向 D1 和 C3 放出电流。C3 纯粹作为一个交流支路以保持 LED 中的纹波电流在一个最小的值,并且因此能够极其的小。这个简单的操作导致 L3 表现为一个与 LED 串联的额外的阻抗,仅随着 LED V_f 和电容 C3 之间的电压的差来进行变化。这个阻抗可以通过改变 L1 的电感或者逆变器的频率 / 占空比来变化。

[0065] 在 21V 的轨迹和原理图中提到的反激电路,像上述的实施方式一样显著的,简单的并且也普通的显示在图 14 中。当 FET 的偏压被打开, L1 开始充电。当 FET 关闭时, L1 向 C4 和 LED 中放出电流。此外, C4 仅包括交流支路,提供直流电流给 LED。该电路与逐减电路不同,因为它可以在低于 LED 电压的情况下让 C4 放电。同时,可取一个大的 V_f , 如 21V, 电压小于所允许的升压电压的最小值是不可取的。因为采用逐减电路时,只要频率和占空比固定,电感基本上表现为线性的正阻抗。

[0066] 需要注意的是,任何频率和占空比都可以被实施,一些调整的好处在于:

1. 频率跳动 - 当遇到电磁辐射干扰 (EMI) 时,该频率跳动是有帮助的。

[0067] 2 当需要较低的 V_{fs} 时,除了 50/50 的占空比(像例子中使用的一样)以外是特别有用的,将占空比设置在 15/85 开 / 关将会凭借震荡源的使用而允许逐减电压小于 3 伏(单 LED 晶片),而不需要增加任何复杂性或者反馈电路。

[0068] 对于本领域技术人员而言,任何对本发明进行的等同修改和替代也都在本发明的范畴之中。因此,在不脱离本发明的精神和范围下所作的均等变换和修改,都应涵盖在本发明的范围内。

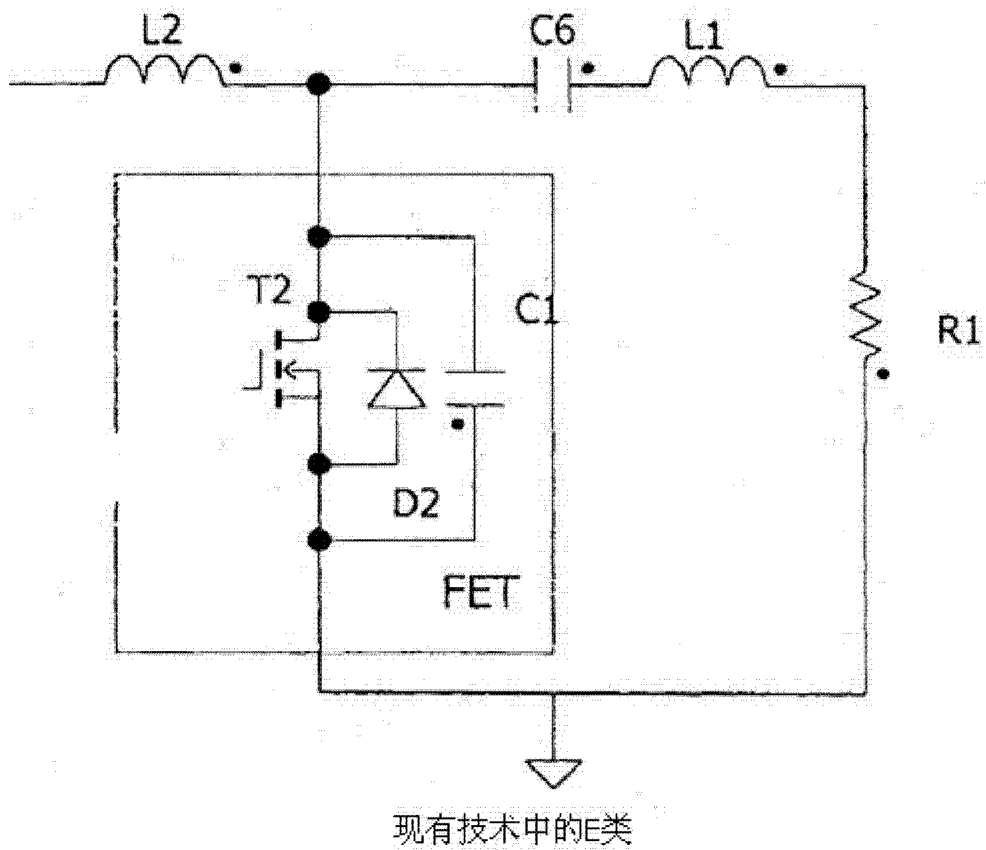


图 1

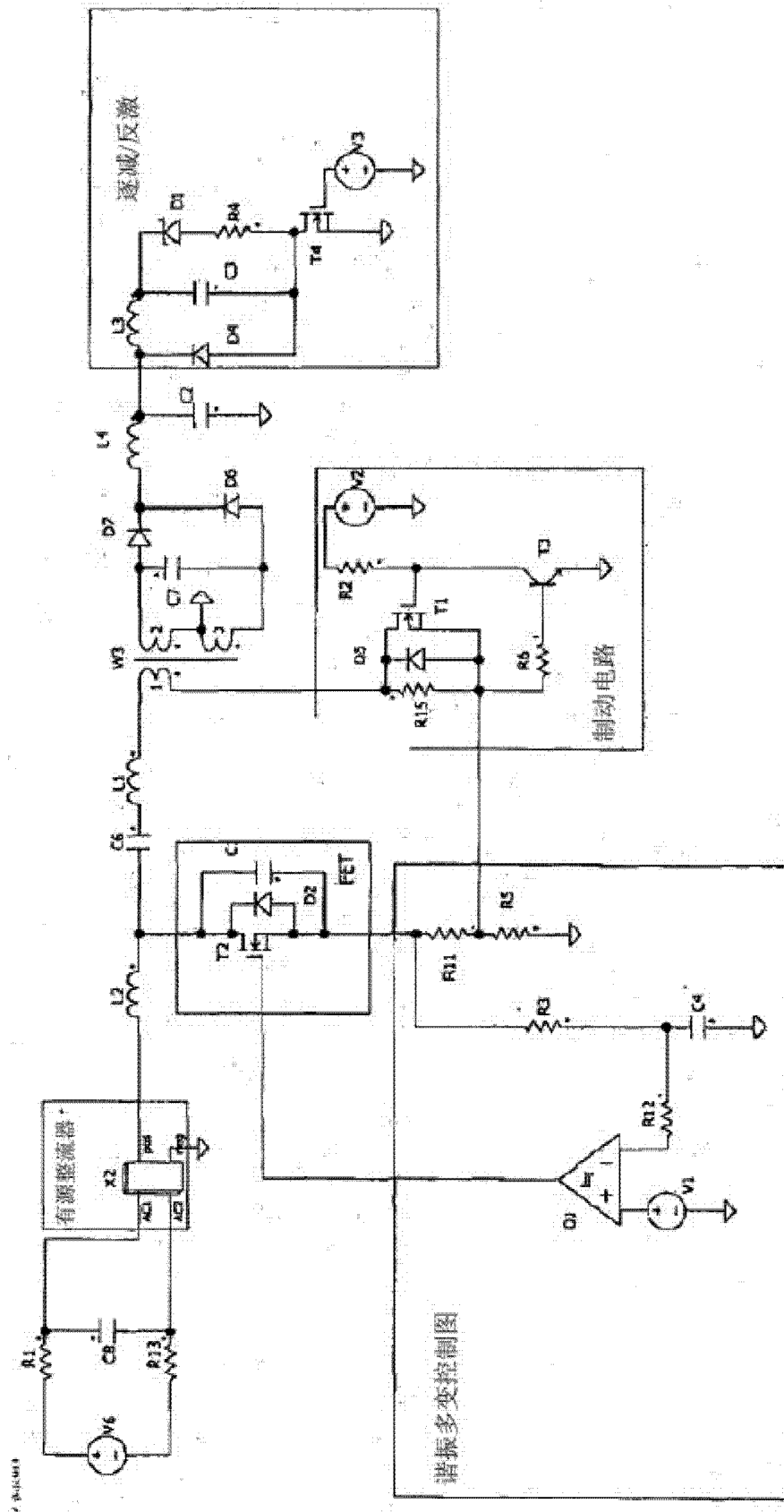


图 2

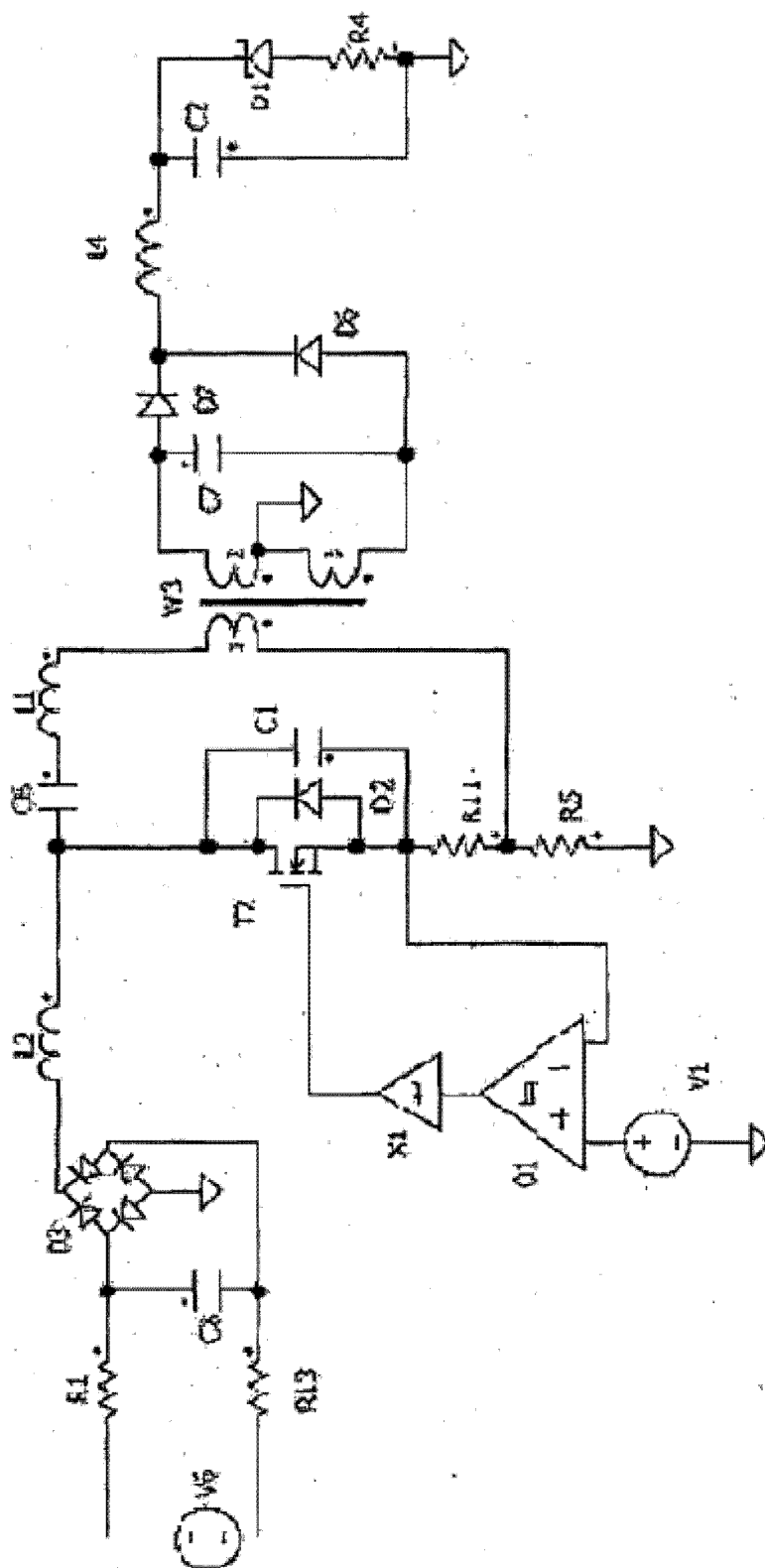


图 3

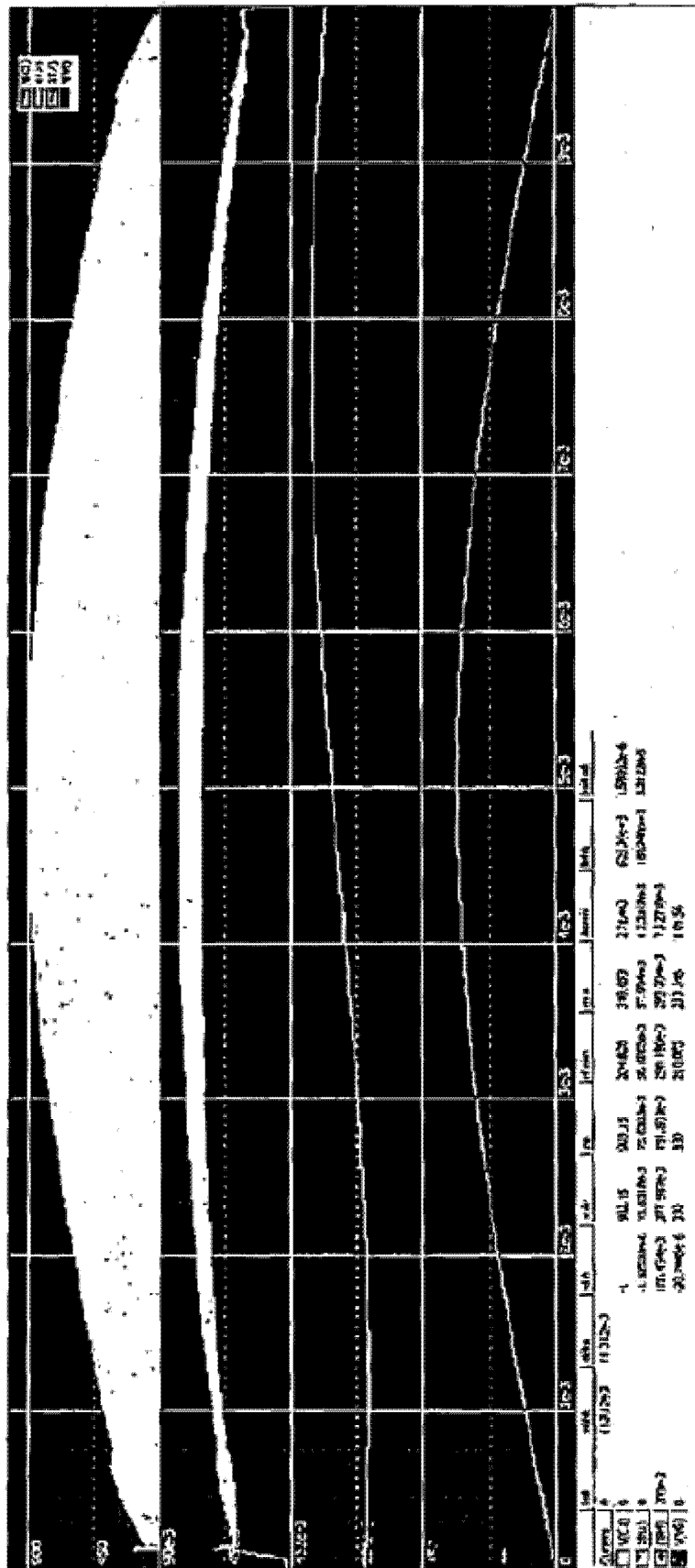


图 4

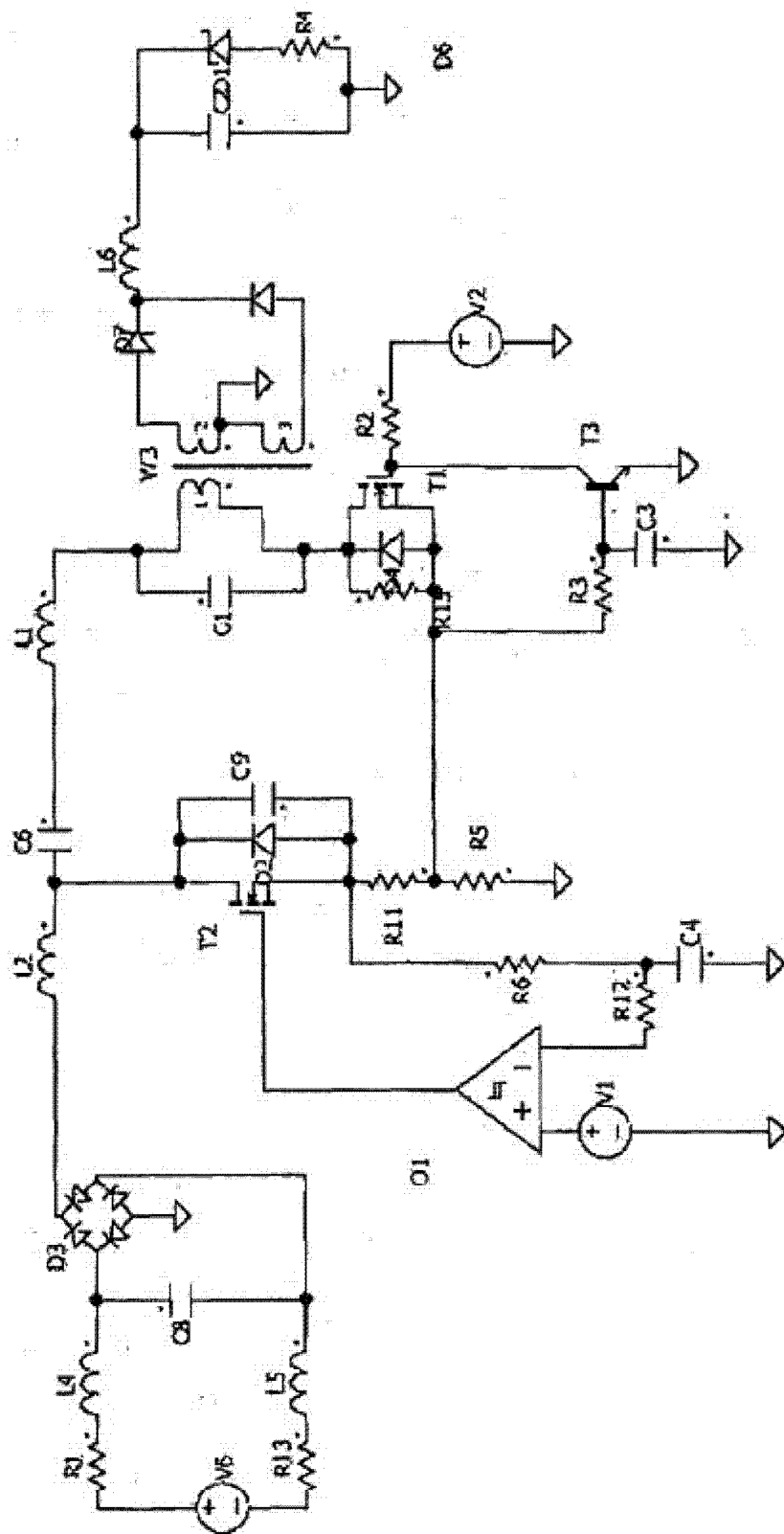


图 5

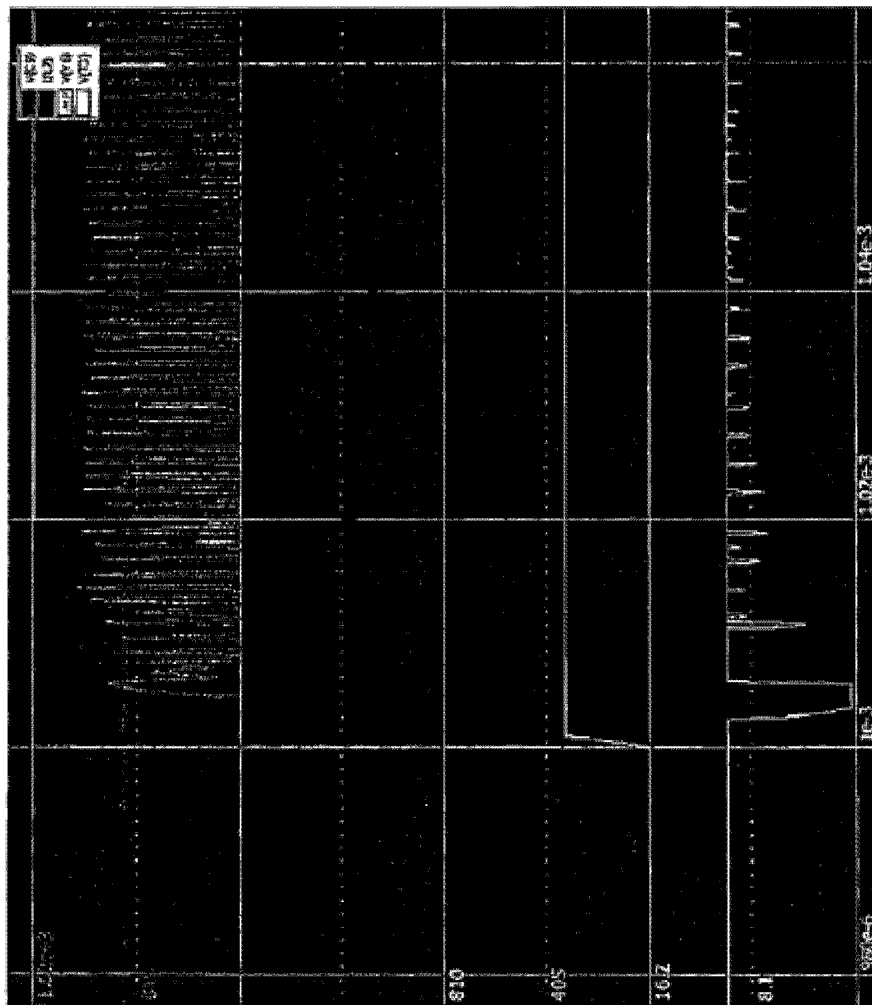


图 6

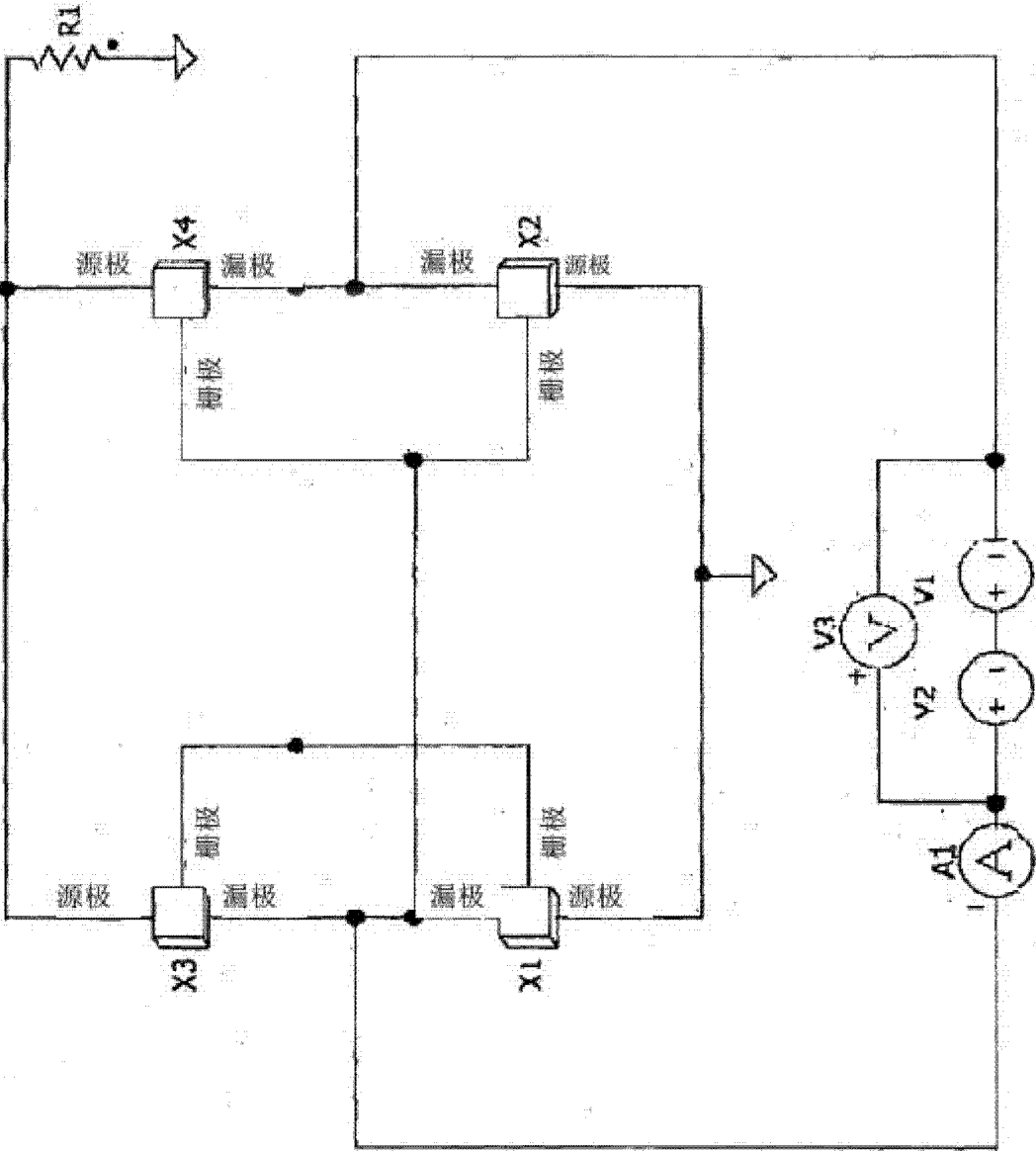


图 7

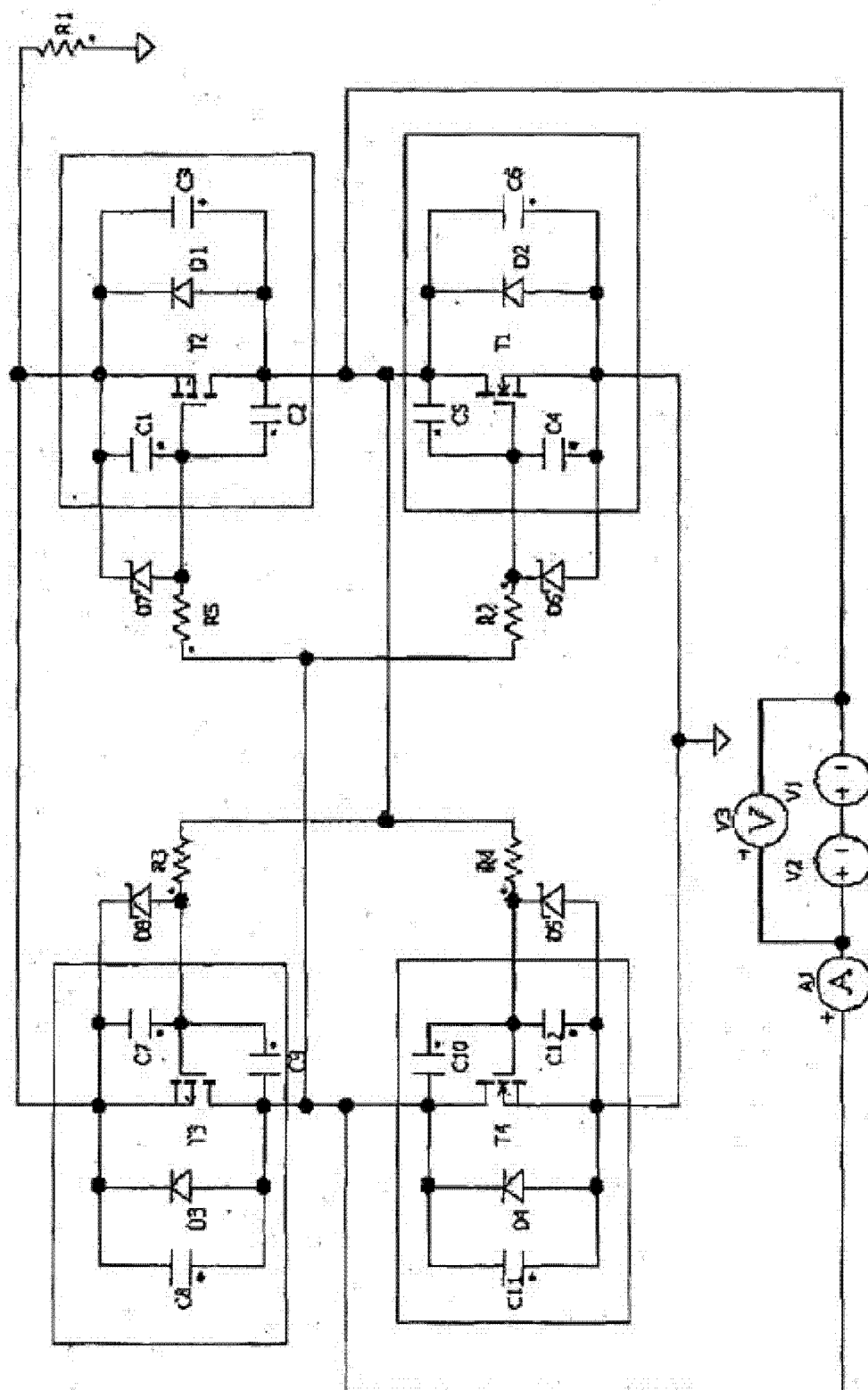


图 8



图 9

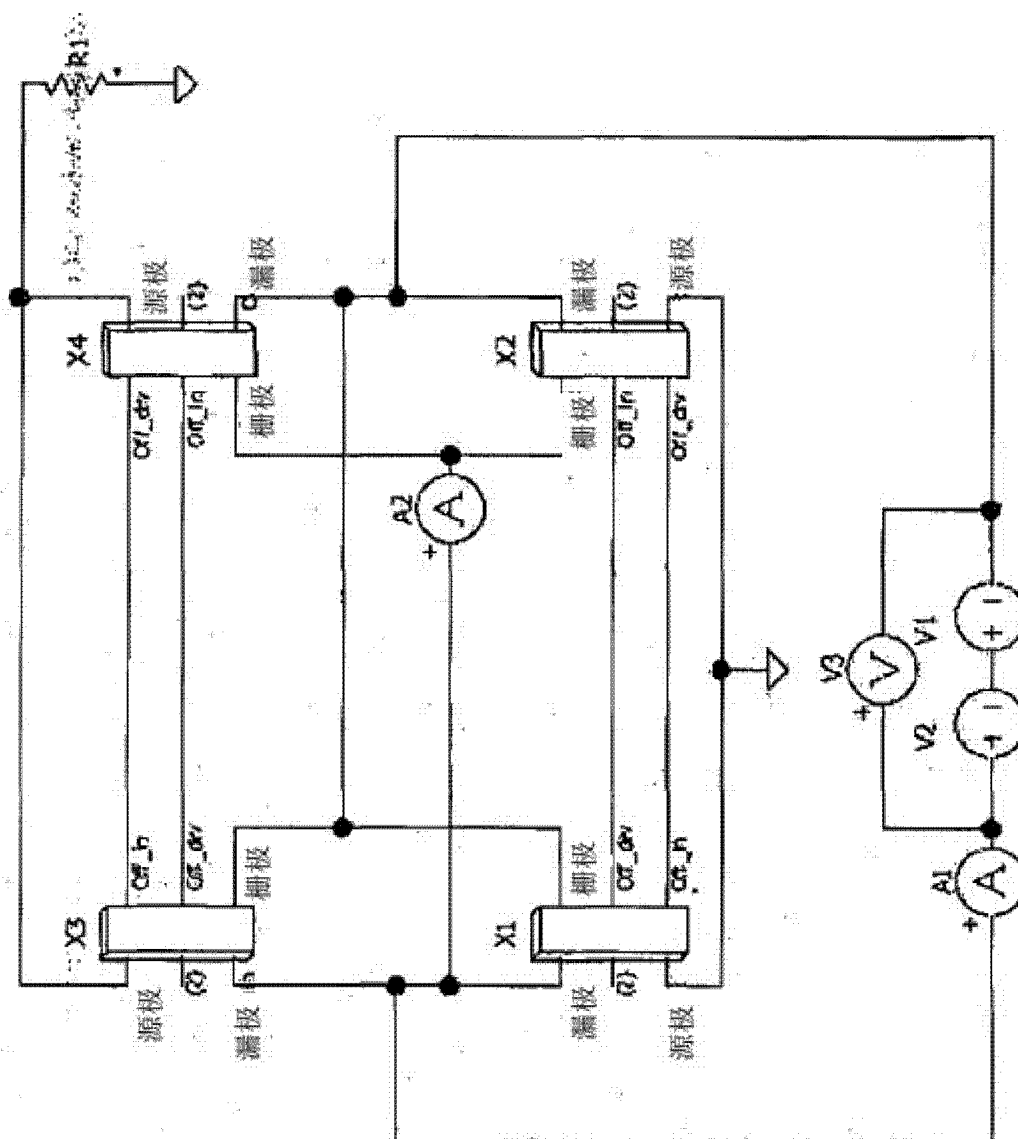


图 10

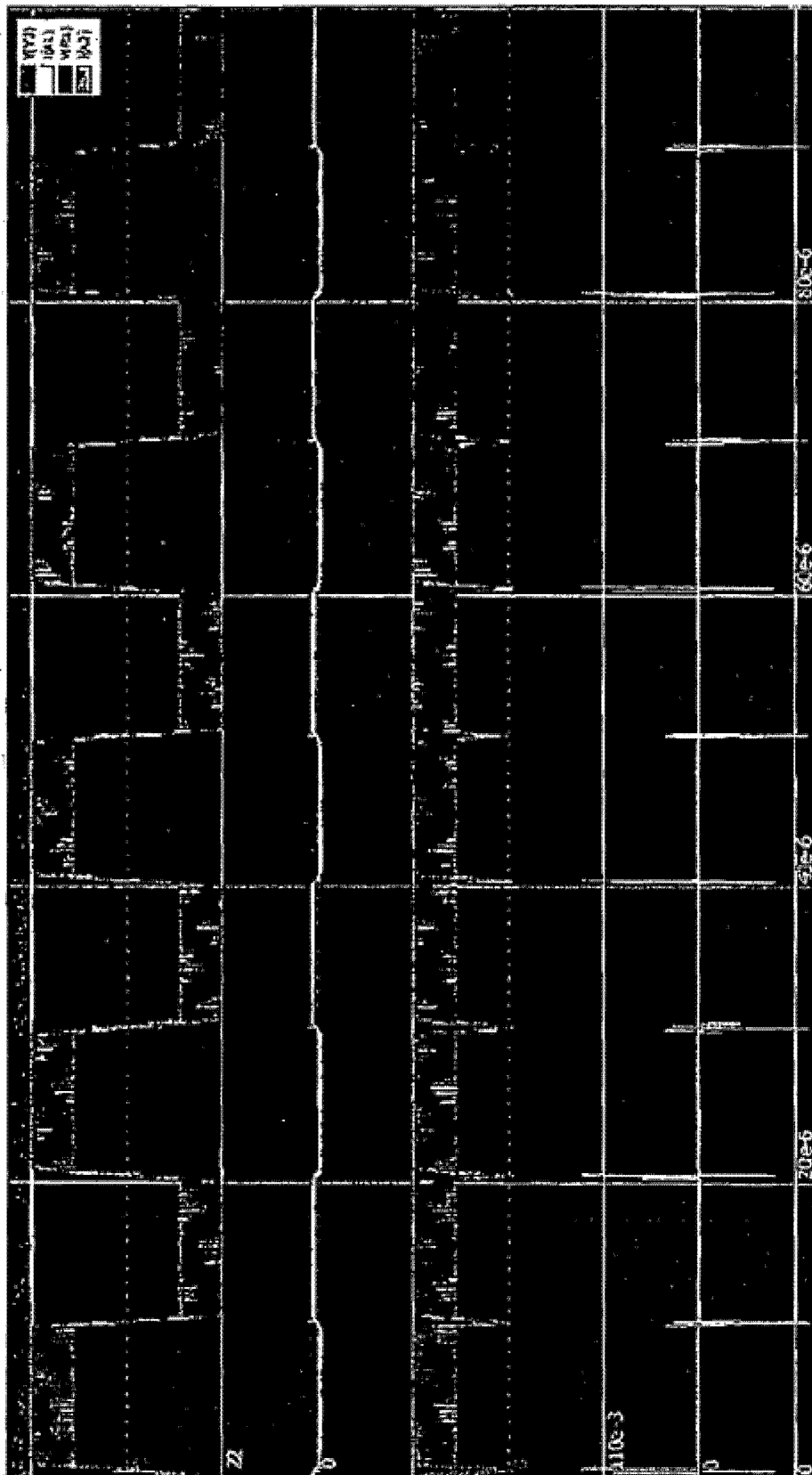


图 11

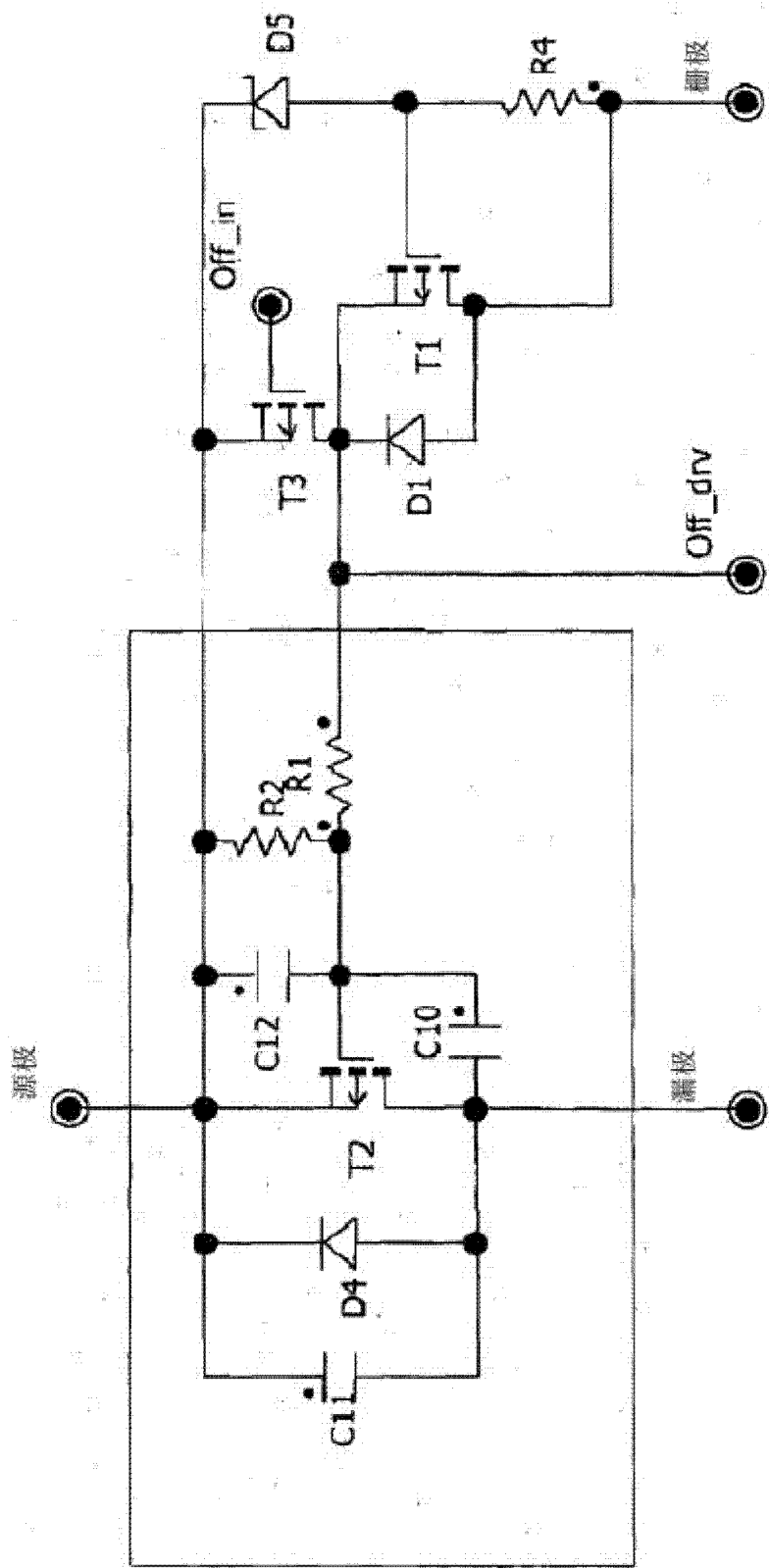


图 13

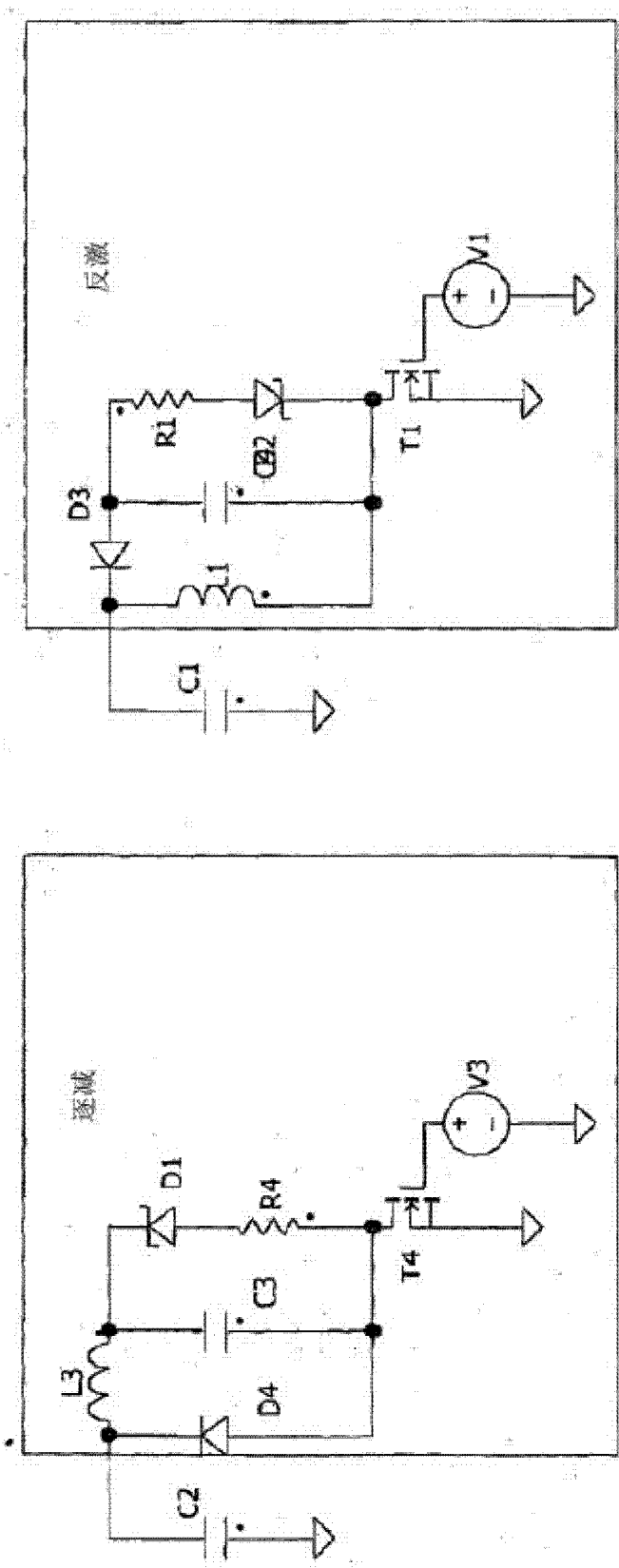


图 14

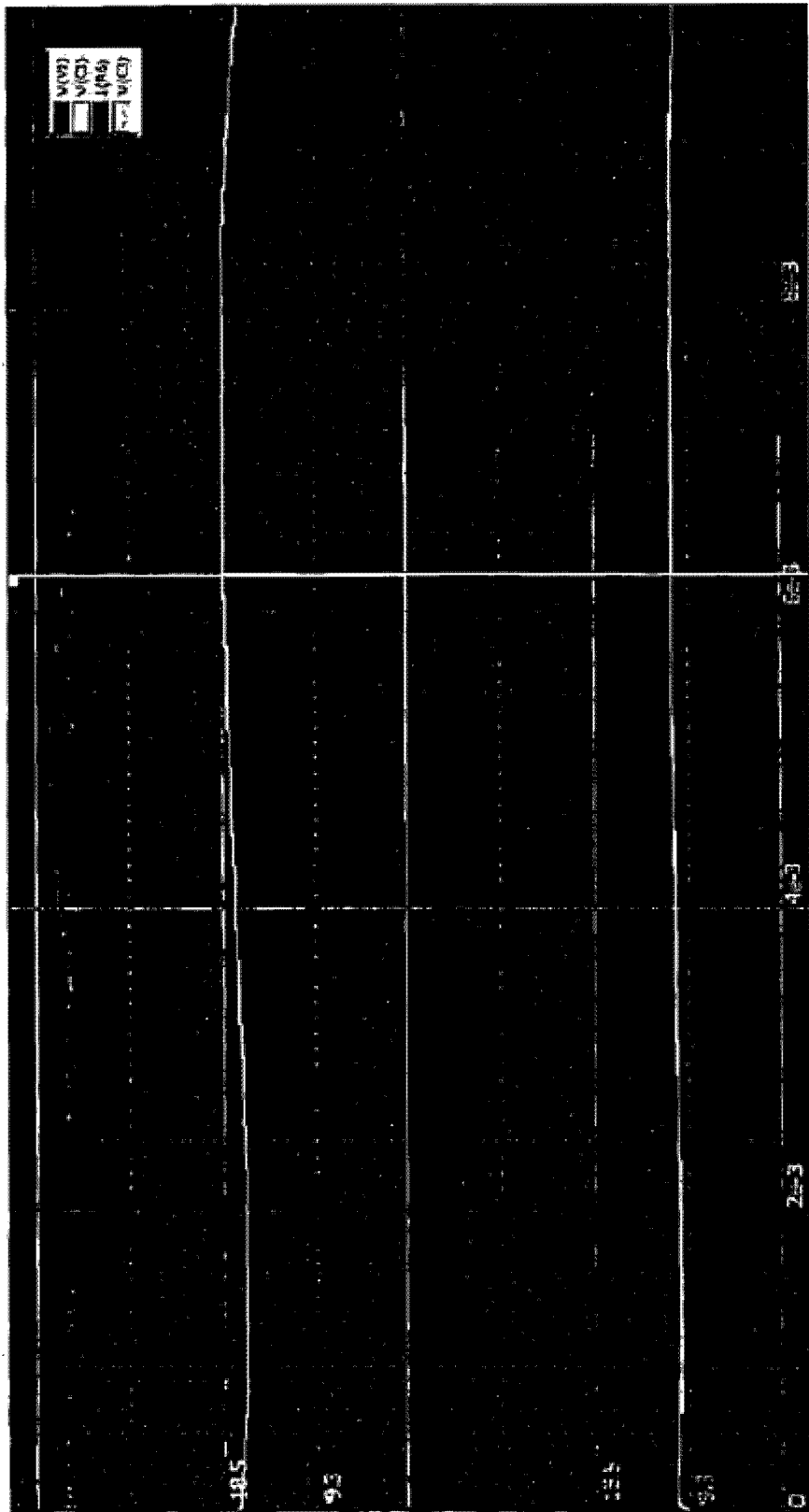


图 15

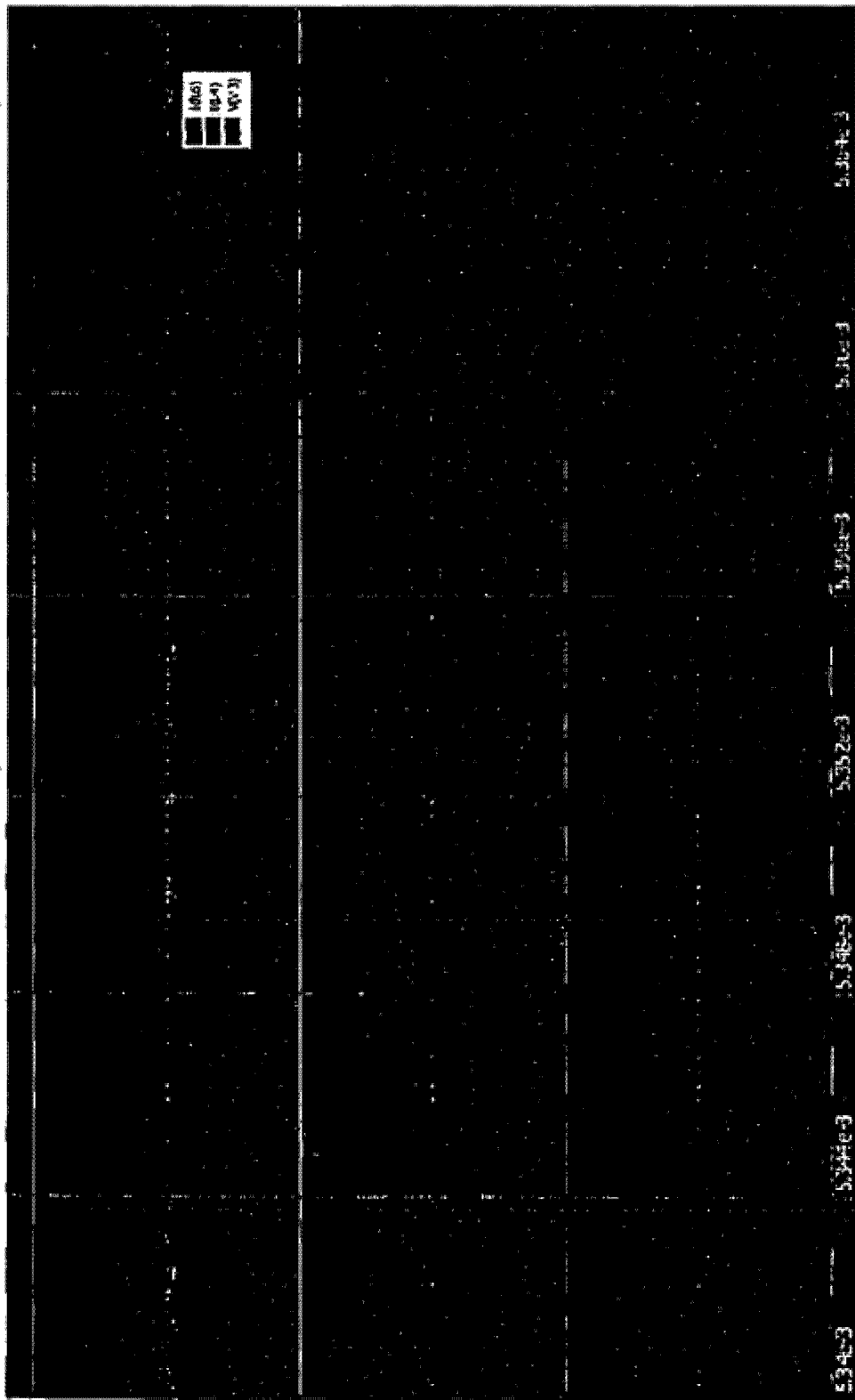


图 16