

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2024-123738

(P2024-123738A)

(43)公開日 令和6年9月12日(2024.9.12)

(51)国際特許分類		F I		テーマコード(参考)	
H 1 0 B	43/20 (2023.01)	H 1 0 B	43/20	5 F 0 8 3	
H 1 0 B	43/23 (2023.01)	H 1 0 B	43/23	5 F 1 0 1	
H 1 0 B	43/27 (2023.01)	H 1 0 B	43/27		
H 1 0 B	43/35 (2023.01)	H 1 0 B	43/35		
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78	3 7 1	
		審査請求	未請求	請求項の数	20 O L (全31頁) 最終頁に続く

(21)出願番号 特願2023-31379(P2023-31379)

(22)出願日 令和5年3月1日(2023.3.1)

(71)出願人 318010018

キオクシア株式会社  
東京都港区芝浦三丁目1番21号

(74)代理人 110003708

弁理士法人鈴榮特許総合事務所

(72)発明者 野田 光彦

東京都港区芝浦三丁目1番21号 キオクシア株式会社内

(72)発明者 柏田 沙織

東京都港区芝浦三丁目1番21号 キオクシア株式会社内

F ターム(参考) 5F083 EP17 EP18 EP22 EP32  
EP33 EP34 EP42 EP47  
EP76 GA10 GA27 JA55  
JA60 NA08 NA10 PR28  
最終頁に続く

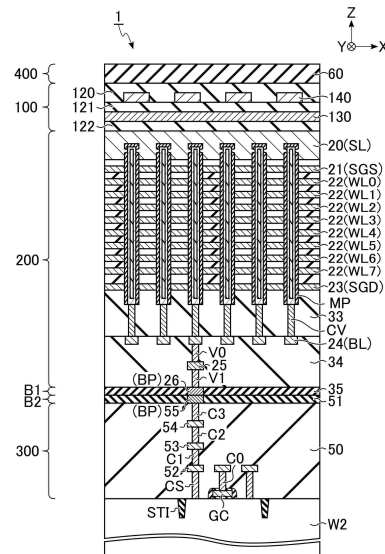
(54)【発明の名称】 半導体装置及び半導体装置の製造方法

(57)【要約】

【課題】半導体装置の製造コストとデバイス特性の劣化とを抑制する。

【解決手段】実施形態の半導体装置は、半導体基板W1と、第1及び第2回路層と、貼合層と、レーザー剥離膜と、熱拡散層を含む。第1回路層300は、半導体基板W1上に設けられ、第1半導体回路を含む。貼合層B1及びB2は、第1回路層300上に設けられ、第1半導体回路に接続された複数のパッドBPを含む。第2回路層200は、貼合層B1及びB2上に設けられ、複数のパッドBPに接続された第2半導体回路を含む。レーザー剥離膜は、第2回路層200の上方に設けられる。熱拡散層は、レーザー剥離膜の内部に設けられる。熱拡散層では、レーザー剥離膜よりも熱伝導率の高い部材が半導体基板の表面と平行な面内に分布している。

【選択図】図11



**【特許請求の範囲】****【請求項 1】**

半導体基板と、  
前記半導体基板上に設けられ、第 1 半導体回路を含む第 1 回路層と、  
前記第 1 回路層上に設けられ、前記第 1 半導体回路に接続された複数のパッドを含む貼  
合層と、  
前記貼合層上に設けられ、前記複数のパッドに接続された第 2 半導体回路を含む第 2 回  
路層と、  
前記第 2 回路層の上方に設けられたレーザー剥離膜と、  
前記レーザー剥離膜の内部に設けられ、前記レーザー剥離膜よりも熱伝導率の高い部材  
が前記半導体基板の表面と平行な面内に分布した熱拡散層と、を備える、  
半導体装置。

10

**【請求項 2】**

前記熱拡散層は、前記第 1 半導体回路と、前記半導体基板の鉛直方向に重なって配置さ  
れる、  
請求項 1 に記載の半導体装置。

**【請求項 3】**

前記熱拡散層は、各々が前記半導体基板の表面と平行な第 1 方向に延伸して設けられ、  
前記レーザー剥離膜よりも熱伝導率の高い複数の第 1 部材を含み、前記複数の第 1 部材は  
、前記基板の表面と平行且つ前記第 1 方向と交差する第 2 方向に略等間隔に配置される、  
請求項 1 に記載の半導体装置。

20

**【請求項 4】**

前記複数の第 1 部材のうち隣り合う第 1 部材の前記第 2 方向の間隔は、前記半導体基板  
を透過し且つ前記レーザー剥離膜により吸収されるレーザー光の波長未満である、  
請求項 3 に記載の半導体装置。

**【請求項 5】**

前記熱拡散層は、各々が前記第 2 方向に延伸して設けられ、前記複数の第 1 部材と異な  
る高さに配置され、且つ前記レーザー剥離膜よりも熱伝導率の高い複数の第 2 部材を含み  
、前記複数の第 2 部材は、前記第 1 方向に略等間隔に配置される、  
請求項 3 に記載の半導体装置。

30

**【請求項 6】**

前記複数の第 1 部材のうち隣り合う第 1 部材の前記第 2 方向の間隔と、前記複数の第 2  
部材のうち隣り合う第 2 部材の前記第 1 方向の間隔とのそれぞれは、前記半導体基板を透  
過し且つ前記レーザー剥離膜により吸収されるレーザー光の波長未満である、  
請求項 5 に記載の半導体装置。

**【請求項 7】**

前記部材は、金属である、  
請求項 1 に記載の半導体装置。

**【請求項 8】**

前記部材は、多孔質構造を有する、  
請求項 1 に記載の半導体装置。

40

**【請求項 9】**

前記第 2 半導体回路は、データを不揮発に記憶することが可能な複数のメモリセルを含  
み、  
前記第 1 半導体回路は、前記複数のメモリセルを制御するように構成された CMOS 回  
路を含む、  
請求項 1 に記載の半導体装置。

**【請求項 10】**

前記パッドは、前記第 1 回路層側に逆テーパ形状に設けられた部分を有し、前記第 2  
回路層側にテーパ形状に設けられた部分を有する、

50

請求項 1 に記載の半導体装置。

【請求項 1 1】

第 1 半導体基板の上方に、レーザー剥離膜を形成することと、

前記レーザー剥離膜を形成する際に、前記レーザー剥離膜の内部で前記第 1 半導体基板の表面と平行な面内に分布し、且つ前記レーザー剥離膜よりも熱伝導率の高い部材を含む熱拡散層を形成することと、

前記レーザー剥離膜の上方に、半導体回路を含む回路層を形成することと、

前記回路層を形成した後に、前記第 1 半導体基板と第 2 半導体基板とを貼り合わせるこ  
とと、

前記第 1 半導体基板と前記第 2 半導体基板とを貼り合わせた後に、前記第 1 半導体基板  
の裏面にレーザー光を照射することと、 10

前記第 1 半導体基板の裏面にレーザー光を照射した後に、前記第 2 半導体基板側に前記  
回路層が残るように前記第 1 半導体基板を剥離することと、を備える、

半導体装置の製造方法。

【請求項 1 2】

前記熱拡散層は、前記半導体回路と、前記第 1 半導体基板の鉛直方向に重なって配置さ  
れる、

請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】

前記熱拡散層は、各々が前記第 1 半導体基板の表面と平行な第 1 方向に延伸して設けら  
れ、前記レーザー剥離膜よりも熱伝導率の高い複数の第 1 部材を含み、前記複数の第 1 部  
材は、前記第 1 半導体基板の表面と平行且つ前記第 1 方向と交差する第 2 方向に略等間  
隔に配置される、 20

請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 4】

前記熱拡散層は、各々が前記第 2 方向に延伸して設けられ、前記複数の第 1 部材と異な  
る高さに配置され、且つ前記レーザー剥離膜よりも熱伝導率の高い複数の第 2 部材を含み  
、前記複数の第 2 部材は、前記第 1 方向に略等間隔に配置される、

請求項 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】

前記半導体回路は、前記第 1 半導体基板の鉛直方向に並んだ複数の第 1 導電体層と、前  
記鉛直方向に沿って延伸して設けられ、前記複数の第 1 導電体層と交差した部分を有する  
ピラーと、前記複数の第 1 導電体層と前記熱拡散層との間に設けられた第 2 導電体層とを  
含み、 30

前記ピラーと前記複数の第 1 導電体層との交差部分は、メモリセルとして機能し、

前記ピラーは、側面を介して前記第 2 導電体層と接続された半導体層を含む、

請求項 1 2 乃至請求項 1 4 のいずれかに記載の半導体装置の製造方法。

【請求項 1 6】

前記レーザー剥離膜を形成する際に、前記レーザー剥離膜の内部で前記第 1 半導体基板  
の表面と平行な面内に分布し、且つ前記レーザー光に対する遮光性を有する遮蔽層を形成  
することと、 40

前記第 1 半導体基板を剥離した後に、前記遮蔽層を除去することと、をさらに備える、

請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 7】

前記遮蔽層と前記熱拡散層とは同じ層である、

請求項 1 6 に記載の半導体装置の製造方法。

【請求項 1 8】

前記遮蔽層は、金属と、不純物がドーパされたシリコンと、ガラス、シリコン、アルミ  
ナからなる群のうちいずれかの多孔質材料とのいずれかを含む、

請求項 1 6 に記載の半導体装置の製造方法。 50

## 【請求項 19】

前記レーザー剥離膜は、シリコン酸化膜である、  
請求項 11 に記載の半導体装置の製造方法。

## 【請求項 20】

前記レーザー剥離膜を形成する前に、前記第 1 半導体基板上に層間膜を形成することをさらに備え、

前記層間膜は、エピタキシャルシリコン、多結晶シリコン、アモルファスシリコンからなる群のうちいずれかの半導体と、セラミック材料とのいずれかである、

請求項 11 に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

10

## 【技術分野】

## 【0001】

実施形態は、半導体装置及び半導体装置の製造方法に関する。

## 【背景技術】

## 【0002】

半導体回路基板を 3 次元に積層する 3 次元積層技術が知られている。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2018 - 142654 号公報

20

【特許文献 2】特開 2022 - 041054 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

半導体装置の製造コストとデバイス特性の劣化とを抑制する。

## 【課題を解決するための手段】

## 【0005】

実施形態の半導体装置は、半導体基板と、第 1 及び第 2 回路層と、貼合層と、レーザー剥離膜と、熱拡散層とを含む。第 1 回路層は、半導体基板上に設けられ、第 1 半導体回路を含む。貼合層は、第 1 回路層上に設けられ、第 1 半導体回路に接続された複数のパッドを含む。第 2 回路層は、貼合層上に設けられ、複数のパッドに接続された第 2 半導体回路を含む。レーザー剥離膜は、第 2 回路層の上方に設けられる。熱拡散層は、レーザー剥離膜の内部に設けられる。熱拡散層では、レーザー剥離膜よりも熱伝導率の高い部材が半導体基板の表面と平行な面内に分布している。

30

## 【図面の簡単な説明】

## 【0006】

【図 1】半導体基板の再利用プロセスの概要を示す模式図。

【図 2】貼り合わせ構造を有する半導体装置の構成の一例を示す概略図。

【図 3】第 1 実施形態に係る半導体装置の全体構成の一例を示すブロック図。

【図 4】第 1 実施形態に係る半導体装置が備えるメモリセルアレイの回路構成の一例を示す回路図。

40

【図 5】第 1 実施形態に係る半導体装置の外観の一例を示す斜視図。

【図 6】第 1 実施形態に係る半導体装置が備えるメモリセルアレイの平面レイアウトの一例を示す平面図。

【図 7】第 1 実施形態に係る半導体装置が備えるメモリセルアレイのメモリ領域の平面レイアウトの一例を示す平面図。

【図 8】第 1 実施形態に係る半導体装置の貼り合わせ前の第 1 ウエハの断面構造の一例を示す、図 7 の V I I I - V I I I 線に沿った断面図。

【図 9】第 1 実施形態に係る半導体装置におけるメモリピラーの断面構造の一例を示す、図 8 の I X - I X 線に沿った断面図。

50

【図 10】第 1 実施形態に係る半導体装置の貼り合わせ前の第 1 ウエハが備える剥離層の平面レイアウトの一例を示す平面図。

【図 11】第 1 実施形態に係る半導体装置の断面構造の一例を示す断面図。

【図 12】第 1 実施形態に係る半導体装置の製造方法の一例を示すフローチャート。

【図 13】第 1 実施形態に係る半導体装置の製造途中の断面構造の一例を示す断面図。

【図 14】第 1 実施形態に係る半導体装置の製造途中の断面構造の一例を示す断面図。

【図 15】第 1 変形例に係る剥離層の平面レイアウトの一例を示す平面図。

【図 16】第 2 変形例に係る剥離層の平面レイアウトの一例を示す平面図。

【図 17】第 2 実施形態に係る半導体装置の貼り合わせ前の第 1 ウエハの断面構造の一例を示す断面図。

10

【図 18】第 2 実施形態に係る半導体装置の断面構造の一例を示す断面図。

【図 19】第 2 実施形態に係る半導体装置の製造方法の一例を示すフローチャート。

【図 20】第 2 実施形態に係る半導体装置の製造途中の断面構造の一例を示す断面図。

【図 21】第 2 実施形態に係る半導体装置の製造途中の断面構造の一例を示す断面図。

【図 22】第 3 実施形態に係る半導体装置の貼り合わせ前の第 1 ウエハの断面構造の一例を示す断面図。

【図 23】第 3 実施形態に係る半導体装置の断面構造の一例を示す断面図。

【図 24】第 3 実施形態に係る半導体装置の製造方法の一例を示すフローチャート。

【図 25】第 3 実施形態に係る半導体装置の製造途中の断面構造の一例を示す断面図。

【図 26】第 3 実施形態に係る半導体装置の製造途中の断面構造の一例を示す断面図。

20

【図 27】第 1 実施形態に係る半導体装置における貼り合わせ前の第 1 ウエハの断面構造の一例を示す断面図。

【図 28】貼合パッドの貼り合わせ部分の詳細な断面構造の一例を示す断面図。

【発明を実施するための形態】

【0007】

以下に、各実施形態について図面を参照して説明する。各実施形態は、発明の技術的思想を具体化するための装置や方法を例示している。図面は、模式的又は概念的なものである。各図面の寸法や比率などは、必ずしも現実のものとは限らない。構成の図示は、適宜省略されている。平面図に付加されたハッチングは、構成要素の素材や特性とは必ずしも関連していない。本明細書において、略同一の機能及び構成を有する構成要素には、同一の符号が付加されている。参照符号に付加された数字や文字などは、同じ参照符号により参照され、且つ類似した要素同士を区別するために使用される。

30

【0008】

< 0 > ウエハの再利用プロセスの概要

まず、ウエハの再利用プロセスの概要について説明する。図 1 は、ウエハの再利用プロセスの概要を示す模式図である。図 1 に示すように、本明細書における半導体装置は、それぞれに半導体回路が形成された 2 枚の半導体回路基板を貼り合わせ、貼り合わされた半導体回路基板をチップ毎に分離することにより形成される。以下では、半導体回路基板のことを“ウエハ”と呼ぶ。2 枚のウエハを貼り合わせる処理のことを、“貼合処理”と呼ぶ。“ウエハのおもて面”は、半導体回路が形成される側の面である。“ウエハの裏面”は、ウエハのおもて面の反対側の面である。貼合処理の際に、上側に配置されるウエハのことを、“第 1 ウエハ W 1”と呼ぶ。貼合処理の際に、下側に配置されるウエハのことを、“第 2 ウエハ W 2”と呼ぶ。

【0009】

半導体装置の製造工程では、まず、第 1 ウエハ W 1 と、第 2 ウエハ W 2 との組み合わせが用意される（“ウエハ割当”）。第 1 ウエハ W 1 及び第 2 ウエハ W 2 のそれぞれは、シリコン基板である。本例において、第 1 ウエハ W 1 は、データを不揮発に記憶することが可能なメモリセルを含むメモリセルアレイの形成に使用される。第 2 ウエハ W 2 は、第 1 ウエハ W 1 に形成されたメモリセルアレイを制御することが可能な CMOS 回路の形成に使用される。なお、第 1 ウエハ W 1 に形成される回路と、第 2 ウエハ W 2 に形成される回路

50

とのそれぞれの設計は、適宜変更され得る。

#### 【0010】

次に、第1ウエハW1と第2ウエハW2とのそれぞれの前工程が実行され、第1ウエハW1と第2ウエハW2とのそれぞれに半導体回路が形成される。また、第1半導体回路の形成前に、ウエハの再利用プロセスを実現するための層が形成される。具体的には、第1ウエハW1上に、剥離層100、メモリ層200、及び貼合層B1が順に形成される。剥離層100は、第1ウエハW1上に形成された回路と第1ウエハW1とを分離する起点として使用される層である。剥離層100は、後述される剥離処理において使用されるレーザー光を吸収する特性を有する材料（例えば、シリコン酸化膜）を含む。メモリ層200は、メモリセルアレイを含む層である。貼合層B1は、第2ウエハW2に形成された回路との接続に使用される貼合パッドを含む層である。第2ウエハW2上には、CMOS層300、及び貼合層B2が順に形成される。CMOS層300は、メモリセルアレイの制御に使用される回路を含む層である。貼合層B2は、第1ウエハW1に形成された回路との接続に使用される貼合パッドを含む層である。

10

#### 【0011】

次に、第1ウエハW1と第2ウエハW2との貼合処理が実行される。具体的には、貼合装置が、第1ウエハW1の表面と第2ウエハW2のおもて面とを向かい合わせて配置する。そして、貼合装置が、第1ウエハW1のおもて面に形成されたパターンと、第2ウエハW2のおもて面に形成されたパターンとの重ね合わせ位置を調整し、第1ウエハW1と第2ウエハW2のおもて面同士を貼り合わせる。これにより、第1ウエハW1の貼合層B1と、第2ウエハW2の貼合層B2とが貼り合わされ、第1ウエハW1に設けられた半導体回路と、第2ウエハW2に設けられた半導体回路とが電氣的に接続される。

20

#### 【0012】

次に、第1ウエハW1の剥離処理が実行される。本明細書における剥離処理では、レーザー光を利用した剥離方法が使用される。具体的には、まず第1ウエハW1の裏面にレーザー光が照射される。それから、貼り合わされた第1ウエハW1と第2ウエハW2との間の周縁部からクラックを発生させる。すると、第1ウエハW1が、剥離層100を起点にして剥離される。これにより、第2ウエハW2上に、CMOS層300、貼合層B2、貼合層B1、及びメモリ層200が順に積層された構造が残る。剥離された第1ウエハW1は、残膜を除去するなどの表面処理が実行された後に、再利用される（“ウエハ再利用”）

30

#### 【0013】

その後、第2ウエハW2に対して配線工程が実行される。配線工程は、例えば、第1ウエハW1に形成されたCMOS回路と外部の装置との接続に使用されるパッドを形成する工程や、半導体装置に電源を供給するためのパッドを形成する工程などを含む。配線工程が完了した後に、第2ウエハW2は、ダイシング処理によってチップ単位に分離される。これにより、貼り合わせ構造を有する半導体装置が形成される。なお、本明細書では、2枚のウエハを利用して半導体装置が形成される場合について例示するが、これに限定されない。半導体装置の形成に使用されるウエハは、3枚以上であってもよい。すなわち、半導体装置は、述べ3枚以上のウエハを利用した貼り合わせ構造を有していてもよい。剥離層100は、“レーザー剥離膜”と呼ばれてもよい。レーザー剥離膜は、レーザー照射によりレーザーを吸収し、半導体基板（ウエハ）との界面で剥離を生じる膜である。

40

#### 【0014】

図2は、貼り合わせ構造を有する半導体装置1の構成の一例を示す概略図である。図2は、第1ウエハW1の剥離処理において第1ウエハW1の裏面にレーザー光が照射される様子を合わせて示している。図2に示すように、貼合層B1及びB2のそれぞれは、複数の貼合パッドBPを含む。貼合層B1の各貼合パッドBPは、メモリ層200に形成された半導体回路（図示せず）に接続される。貼合層B2の各貼合パッドBPは、CMOS層300に形成された半導体回路（図示せず）に接続される。貼合層B1の複数の貼合パッドBPは、貼合層B2の複数の貼合パッドBPとそれぞれ対向配置される。対向配置され

50

た貼合パッド B P の組は、貼合処理によって貼り合わされ、電氣的に接続される。

#### 【 0 0 1 5 】

第 1 ウエハ W 1 の剥離処理において、レーザー光 L B は、第 1 ウエハ W 1 の裏面に所定の間隔で照射される。レーザー光 L B としては、例えば、波長  $9.2 \sim 10.8 \mu\text{m}$  の  $\text{CO}_2$  レーザーが使用される。 $\text{CO}_2$  レーザーは、シリコン基板を透過し、且つシリコン酸化膜に吸収される特性を有する。言い換えると、レーザー光 L B に対する第 1 ウエハ W 1 の透過率は、レーザー光 L B に対するシリコン酸化膜の透過率よりも高い。このため、第 1 ウエハ W 1 の裏面に照射されたレーザー光 L B が、第 1 ウエハ W 1 を透過して剥離層 1 0 0 に含まれたシリコン酸化膜に照射されると、シリコン酸化膜が、レーザー光 L B が照射することにより発熱する。すると、剥離層 1 0 0 に発生した熱は、第 1 ウエハ W 1 と剥離層 1 0 0 との界面の近傍に伝搬する。その結果、第 1 ウエハ W 1 のうち剥離層 1 0 0 との界面の近傍の部分が、伝搬した熱に応じて塑性変形する。塑性変形した第 1 ウエハ W 1 と剥離層 1 0 0 との界面は、レーザーを照射する前よりも剥離し易い状態となる。これにより、剥離処理では、第 1 ウエハ W 1 と剥離層 1 0 0 との間を剥離面として、第 1 ウエハ W 1 と剥離層 1 0 0 との間が剥離され得る。

10

#### 【 0 0 1 6 】

##### < 1 > 第 1 実施形態

第 1 実施形態は、ウエハを再利用可能な剥離処理による半導体回路のデバイス特性の劣化を、剥離層 1 0 0 に設けられたパターンにより抑制できる半導体装置 1 の構成及び製造方法に関する。以下に、第 1 実施形態について説明する。

20

#### 【 0 0 1 7 】

##### < 1 - 1 > 構成

まず、第 1 実施形態に係る半導体装置 1 の構成について説明する。第 1 実施形態に係る半導体装置 1 は、例えば、データを不揮発に記憶することが可能な N A N D 型フラッシュメモリである。以下では、半導体装置 1 が N A N D 型フラッシュメモリなどのメモリデバイスである場合について説明する。

#### 【 0 0 1 8 】

##### < 1 - 1 - 1 > 半導体装置 1 の全体構成

図 3 は、第 1 実施形態に係る半導体装置 1 の全体構成の一例を示すブロック図である。図 3 に示すように、半導体装置 1 は、外部のメモリコントローラ 2 によって制御される。半導体装置 1 は、例えば、メモリセルアレイ 1 0、入出力回路 1 1、ロジックコントローラ 1 2、レジスタ回路 1 3、シーケンサ 1 4、ドライバ回路 1 5、ロウデコーダモジュール 1 6、及びセンスアンプモジュール 1 7 を備える。

30

#### 【 0 0 1 9 】

メモリセルアレイ 1 0 は、複数のブロック B L K 0 ~ B L K n ( “ n ” は、1 以上の整数 ) を含む。ブロック B L K は、複数のメモリセルの集合である。ブロック B L K は、例えば、データの消去の単位に対応する。ブロック B L K は、複数のページを含む。ページは、データの読み出し及び書き込みが実行される単位に対応する。図示が省略されているが、メモリセルアレイ 1 0 には、複数のビット線 B L 0 ~ B L m ( “ m ” は 1 以上の整数 ) と、複数のワード線 W L とが設けられる。各メモリセルは、例えば、1 つのビット線 B L と 1 つのワード線 W L とに関連付けられる。

40

#### 【 0 0 2 0 】

入出力回路 1 1 は、メモリコントローラ 2 との間に入出力信号の送受信を司るインターフェース回路である。入出力信号は、例えば、データ D A T、ステータス情報、アドレス情報、コマンドなどを含む。入出力回路 1 1 は、データ D A T を、センスアンプモジュール 1 7 とメモリコントローラ 2 とのそれぞれとの間で入出力し得る。入出力回路 1 1 は、レジスタ回路 1 3 から転送されたステータス情報を、メモリコントローラ 2 に出力し得る。入出力回路 1 1 は、メモリコントローラ 2 から転送されたアドレス情報及びコマンドのそれぞれを、レジスタ回路 1 3 に出力し得る。

#### 【 0 0 2 1 】

50

ロジックコントローラ 1 2 は、メモリコントローラ 2 から入力された制御信号に基づいて、入出力回路 1 1 及びシーケンサ 1 4 のそれぞれを制御する。例えば、ロジックコントローラ 1 2 は、シーケンサ 1 4 を制御し、半導体装置 1 をイネーブルにする。ロジックコントローラ 1 2 は、入出力回路 1 1 が受信した入出力信号がコマンドやアドレス情報などであることを入出力回路 1 1 に通知する。ロジックコントローラ 1 2 は、入出力信号の入力又は出力を入出力回路 1 1 に命令する。

【 0 0 2 2 】

レジスタ回路 1 3 は、ステータス情報、アドレス情報、及びコマンドを一時的に記憶する。ステータス情報は、シーケンサ 1 4 の制御に基づいて更新され、入出力回路 1 1 に転送される。アドレス情報は、ブロックアドレス、ページアドレス、カラムアドレスなどを

10

【 0 0 2 3 】

シーケンサ 1 4 は、半導体装置 1 の全体の動作を制御する。シーケンサ 1 4 は、レジスタ回路 1 3 に記憶されたコマンド及びアドレス情報に基づいて、読み出し動作、書き込み動作、消去動作などを実行する。

【 0 0 2 4 】

ドライバ回路 1 5 は、読み出し動作、書き込み動作、消去動作などで使用される電圧を生成する。そして、ドライバ回路 1 5 は、生成した電圧を、ロウデコーダモジュール 1 6 やセンスアンプモジュール 1 7 などに供給する。

【 0 0 2 5 】

ロウデコーダモジュール 1 6 は、動作対象のブロック B L K の選択や、ワード線 W L などの配線への電圧の転送に使用される回路である。ロウデコーダモジュール 1 6 は、複数のロウデコーダ R D 0 ~ R D n を含む。ロウデコーダ R D 0 ~ R D n は、それぞれブロック B L K 0 ~ B L K n に関連付けられている。各ロウデコーダ R D は、ブロック B L K の選択に使用される。

20

【 0 0 2 6 】

センスアンプモジュール 1 7 は、各ビット線 B L への電圧の転送や、データの読み出しに使用される回路である。センスアンプモジュール 1 7 は、複数のセンスアンプユニット S A U 0 ~ S A U m を含む。センスアンプユニット S A U 0 ~ S A U m は、それぞれ複数のビット線 B L 0 ~ B L m に関連付けられている。各センスアンプユニット S A U は、データを判定するためのセンスアンプや、データを一時的に保持するラッチ回路を含む。

30

【 0 0 2 7 】

なお、半導体装置 1 及びメモリコントローラ 2 の組み合わせが、1 つの半導体装置を構成してもよい。このような半導体装置としては、例えば、S D <sup>T</sup> M カードのようなメモリカードや、S S D (solid state drive) などが挙げられる。

【 0 0 2 8 】

< 1 - 1 - 2 > メモリセルアレイ 1 0 の回路構成

図 4 は、第 1 実施形態に係る半導体装置 1 が備えるメモリセルアレイ 1 0 の回路構成の一例を示す回路図である。図 4 は、メモリセルアレイ 1 0 に含まれた複数のブロック B L K のうち 1 つのブロック B L K を示している。図 4 に示すように、ブロック B L K は、例えば、5 つのストリングユニット S U 0 ~ S U 4 を含む。選択ゲート線 S G D 0 ~ S G D 4 及び S G S とワード線 W L 0 ~ W L 7 とは、ブロック B L K 毎に設けられる。ビット線 B L 0 ~ B L m とソース線 S L とは、複数のブロック B L K で共有される。

40

【 0 0 2 9 】

各ストリングユニット S U は、複数の N A N D ストリング N S を含む。複数の N A N D ストリング N S は、それぞれビット線 B L 0 ~ B L m に関連付けられる。すなわち、各ビット線 B L は、複数のブロック B L K 間で同一のカラムアドレスが割り当てられた N A N D ストリング N S により共有される。各 N A N D ストリング N S は、関連付けられたビット線 B L とソース線 S L との間に接続される。各 N A N D ストリング N S は、例えば、メモリセルトランジスタ M T 0 ~ M T 7 並びに選択トランジスタ S T 1 及び S T 2 を含む。

50

各メモリセルトランジスタMTは、制御ゲート及び電荷蓄積層を有するメモリセルであり、データを不揮発に保持（記憶）する。選択トランジスタST1及びST2のそれぞれは、ストリングユニットSUの選択に使用される。

#### 【0030】

各NANDストリングNSでは、選択トランジスタST1、メモリセルトランジスタMT7～MT0、及び選択トランジスタST2が、この順番に、直列に接続される。具体的には、選択トランジスタST1のドレイン及びソースは、関連付けられたビット線BLと、メモリセルトランジスタMT7のドレインとにそれぞれ接続される。選択トランジスタST2のドレイン及びソースは、メモリセルトランジスタMT0のソースと、ソース線SLとにそれぞれ接続される。メモリセルトランジスタMT0～MT7は、選択トランジスタST1及びST2の間で直列に接続される。

10

#### 【0031】

選択ゲート線SGD0～SGD4は、それぞれストリングユニットSU0～SU4に関連付けられる。各選択ゲート線SGDは、関連付けられたストリングユニットSUに含まれた複数の選択トランジスタST1のそれぞれのゲートに接続される。選択ゲート線SGSは、関連付けられたブロックBLKに含まれた複数の選択トランジスタST2のそれぞれのゲートに接続される。ワード線WL0～WL7は、メモリセルトランジスタMT0～MT7のそれぞれの制御ゲートにそれぞれ接続される。

#### 【0032】

同一のストリングユニットSU内で共通のワード線WLに接続された複数のメモリセルトランジスタMTの集合は、例えば、“セルユニットCU”と呼ばれる。例えば、各メモリセルトランジスタMTが1ビットデータを記憶する場合のセルユニットCUの記憶容量が、“1ページデータ”として定義される。セルユニットCUは、各メモリセルトランジスタMTが記憶するデータのビット数に応じて2ページデータ以上の記憶容量を有し得る。

20

#### 【0033】

なお、第1実施形態に係る半導体装置1が備えるメモリセルアレイ10の回路構成は、その他の構成であってもよい。例えば、各ブロックBLKが含むストリングユニットSUの数や、各NANDストリングNSが含むメモリセルトランジスタMT並びに選択トランジスタST1及びST2のそれぞれの数は、任意の数に設計され得る。

#### 【0034】

##### < 1 - 1 - 3 > 半導体装置1の構造

以下に、第1実施形態に係る半導体装置1の構造の一例について説明する。以下で参照される図面では、3次元の直交座標系が使用される。X方向及びY方向は、互いに交差する方向であり、ウエハの表面と平行な方向である。X方向は、ワード線WLの延伸方向に対応する。Y方向は、ビット線BLの延伸方向に対応する。Z方向は、X方向及びY方向のそれぞれに対して交差する方向であり、基板の表面に対する鉛直方向に対応する。本明細書における“上下”は、Z方向に沿った方向に基づいて定義される。また、本明細書では、基準とされる基板のおもて面側から離れる方向を正方向（上方）とする。

30

#### 【0035】

##### （1：半導体装置1の外観）

図5は、第1実施形態に係る半導体装置1の外観の一例を示す斜視図である。図5に示すように、半導体装置1は、例えば、下方から順に、第2ウエハW2、CMOS層300、貼合層B2、貼合層B1、メモリ層200、剥離層100、及び配線層400が積層された構造を有する。

40

#### 【0036】

CMOS層300は、例えば、入出力回路11、ロジックコントローラ12、レジスタ回路13、シーケンサ14、ドライバ回路15、ロウデコーダモジュール16、及びセンスアンプモジュール17を含む。貼合層B1及びB2の境界部分が、第1ウエハW1と第2ウエハW2との貼合面に対応する。メモリ層200は、メモリセルアレイ10を含む。配線層400は、例えば、半導体装置1の表面で露出している複数のパッドPDを含む。

50

複数のパッドPDは、半導体装置1とメモリコントローラ2との接続に使用される。なお、半導体装置1の製造工程に依っては、剥離層100が最終的な半導体装置1の構成として残っていてもよい。

**【0037】**

(2:メモリセルアレイ10の平面レイアウト)

図6は、第1実施形態に係る半導体装置1が備えるメモリセルアレイ10の平面レイアウトの一例を示す平面図である。図6に示すように、メモリセルアレイ10は、例えば、メモリ領域MRと、引出領域HR1及びHR2とを有する。メモリ領域MRは、複数のNANDストリングNSを含む。メモリ領域MRは、引出領域HR1及びHR2によって、X方向に挟まれている。引出領域HR1及びHR2のそれぞれは、積層配線(例えば、ワード線WL並びに選択ゲート線SGD及びSGS)と、ロウデコーダモジュール16との間の接続に使用される領域である。また、メモリセルアレイ10は、複数のスリットSLTと、複数のスリットSHEと、複数のコンタクトCCとを含む。

10

**【0038】**

各スリットSLTは、X方向に沿って延伸して設けられた部分を有し、X方向に沿って引出領域HR1、メモリ領域MR、及び引出領域HR2を横切っている。複数のスリットSLTは、Y方向に並んでいる。各スリットSLTは、当該スリットSLTを介して隣り合う配線(例えば、ワード線WL0~WL7、並びに選択ゲート線SGD及びSGS)を分断している。各スリットSLTには、側壁に絶縁体のスペーサが設けられた導電体が、これらの配線とは絶縁されて配置されていてもよいし、絶縁体が埋め込まれていてもよい。

20

**【0039】**

各スリットSHEは、X方向に沿って延伸して設けられた部分を有し、X方向に沿ってメモリ領域MRを横切っている。複数のスリットSHEは、Y方向に並んでいる。本例では、Y方向に隣り合う2つのスリットSLTの間のそれぞれに、4つのスリットSHEが配置されている。各スリットSHEは、例えば、絶縁体が埋め込まれた構造を有する。各スリットSHEは、当該スリットSHEを介して隣り合う配線を分断している。スリットSHEは、少なくとも選択ゲート線SGDを分断していればよい。メモリセルアレイ10では、スリットSLT及びSHEによってY方向に沿って区切られた領域のそれぞれが、1つのブロックBLKに対応している。

30

**【0040】**

メモリセルアレイ10が備える積層配線(例えば、選択ゲート線SGS、ワード線WL0~WL7、及び選択ゲート線SGD)のそれぞれの端部は、引出領域HR1及びHR2のそれぞれにおいて、テラス部分を有する。テラス部分は、ビット線BL側に設けられた配線層(導電体層)と重ならない部分に対応する。複数のテラス部分により形成される構造は、階段(step)、段丘(terrace)、畦石(rimstone)などと類似している。本例では、X方向に段差を有する階段構造が、選択ゲート線SGSの端部と、ワード線WL0~WL7のそれぞれの端部と、選択ゲート線SGDの端部とによって形成される。

**【0041】**

積層配線に接続されるコンタクトCCは、引出領域HR1及びHR2の少なくとも一方のテラス部分に接続される。例えば、偶数番のブロックBLK(BLK0、BLK2、...)の積層配線は、引出領域HR1に設けられたコンタクトCCに接続される。奇数番のブロックBLK(BLK1、BLK3、...)の積層配線は、引出領域HR2に設けられたコンタクトCCに接続される。なお、半導体装置1は、各引出領域HRのテラス部分が省略された構造を有していてもよい。この場合、積層配線のある配線層に接続されるコンタクトCCは、上層の導電体層を貫通し且つ離れて(絶縁されて)設けられる。引出領域HRは、メモリ領域MRをX方向に分割するように配置されてもよい。

40

**【0042】**

なお、第1実施形態に係る半導体装置1が備えるメモリセルアレイ10の平面レイアウト

50

トは、その他のレイアウトであってもよい。例えば、隣り合う2つのスリットS L Tの間に配置されるスリットS H Eの数は、任意の数に設計され得る。各ブロックB L Kが備えるストリングユニットS Uの個数は、隣り合う2つのスリットS L Tの間に配置されたスリットS H Eの数に基づいて変更され得る。積層配線に接続されるコンタクトC Cの配置は、適宜変更され得る。

#### 【0043】

(3:メモリ領域M Rの平面レイアウト)

図7は、第1実施形態に係る半導体装置1が備えるメモリセルアレイ10のメモリ領域M Rの平面レイアウトの一例を示す平面図である。図7は、1つのブロックB L K(すなわち、ストリングユニットS U0~S U4)を含む領域を示している。図7に示すように、メモリ領域M Rにおいて、メモリセルアレイ10は、例えば、複数のメモリピラーM Pと、複数のコンタクトC Vと、複数のビット線B Lとを含む。各スリットS L Tは、コンタクトL I及びスペーサS Pを含む。

10

#### 【0044】

各メモリピラーM Pは、1つのN A N DストリングN Sとして機能する。複数のメモリピラーM Pは、隣り合う2つのスリットS L Tの間の領域において、例えば、24列の千鳥状に配置される。本例では、紙面の上側から数えて、5列目のメモリピラーM Pと、10列目のメモリピラーM Pと、15列目のメモリピラーM Pと、20列目のメモリピラーM Pとのそれぞれに、1つのスリットS H Eが重なって配置される。

#### 【0045】

各ビット線B Lは、Y方向に延伸して設けられた部分を有する。複数のビット線B Lは、X方向に並んでいる。各ビット線B Lは、ストリングユニットS U毎に、少なくとも1つのメモリピラーM Pと重なるように配置される。本例では、1つのメモリピラーM Pに、2つのビット線B Lが重なって配置されている。メモリピラーM Pは、1つのビット線B Lと、コンタクトC Vを介して電氣的に接続される。

20

#### 【0046】

コンタクトL Iは、X方向に延伸して設けられた部分を有する導電体である。スペーサS Pは、コンタクトL Iの側面に設けられた絶縁体である。コンタクトL Iは、スペーサS Pによって挟まれている。コンタクトL Iと、当該コンタクトL IとY方向に隣り合う導電体(例えば、ワード線W L0~W L7並びに選択ゲート線S G D及びS G S)との間は、スペーサS Pによって離隔及び絶縁される。スペーサS Pは、例えば酸化膜である。

30

#### 【0047】

(4:第1ウエハW 1の断面構造)

図8は、第1実施形態に係る半導体装置1の貼り合わせ前の第1ウエハW 1の断面構造の一例を示す、図7のV I I I - V I I I線に沿った断面図である。図8は、第2ウエハW 2と貼り合わされる前の第1ウエハW 1に形成されたメモリセルアレイ10のメモリ領域M Rにおける構造の一例を示し、第1ウエハW 1を基準とした座標軸を表示している。図8に示すように、剥離層100は、下地層110、レーザー吸収層120、絶縁体層121及び122、並びに熱伝導層130及び140を含む。メモリ層200は、例えば、導電体層20~25、絶縁体層30~35、及びコンタクトV 0及びV 1を含む。貼合層B 1は、例えば、導電体層26及び絶縁体層35を含む。

40

#### 【0048】

下地層110は、第1ウエハW 1上に設けられる。下地層110は、局所加熱により塑性変形し易い膜である。下地層110としては、例えば、エピタキシャルシリコン、多結晶シリコン、アモルファスシリコンなどの半導体や、セラミック材料などが使用される。なお、下地層110は、“層間膜”と呼ばれてもよい。

#### 【0049】

レーザー吸収層120は、下地層110上に設けられる。レーザー吸収層120は、剥離処理において使用されるレーザーを吸収し発熱するような膜である。レーザー吸収層120としては、例えば、シリコン酸化膜などが使用される。なお、レーザー吸収層120

50

は、“光吸収層”、“層間膜”と呼ばれてもよい。

【0050】

絶縁体層121は、レーザー吸収層120の上方に設けられる。絶縁体層122は、絶縁体層121の上方に設けられる。絶縁体層121及び122のそれぞれとしては、レーザー吸収層120と同様の材料が使用されてもよいし、異なる材料が使用されてもよい。

【0051】

複数の熱伝導層130は、レーザー吸収層120の上部に設けられる。複数の熱伝導層130は、Y方向に並んでいる。熱伝導層140は、絶縁体層121の上部に設けられる。図示されない領域において、複数の熱伝導層140は、X方向に並んでいる。複数の熱伝導層130と複数の熱伝導層140とは、Z方向に離れている。熱伝導層130及び140のそれぞれとしては、遮光性を有し、且つレーザー吸収層120（例えば、シリコン酸化膜）よりも熱伝導率の高い材料が使用される。熱伝導層130及び140のそれぞれとして、例えば、タングステンなどの金属が使用される。なお、熱伝導層130及び140のそれぞれは、“部材”と呼ばれてもよい。熱伝導層130及び140を含む層は、“熱拡散層”と呼ばれてもよい。熱拡散層では、レーザー剥離膜の内部に設けられ、レーザー剥離膜よりも熱伝導率の高い部材が半導体基板の表面と平行な面内に分布している。

10

【0052】

導電体層20は、絶縁体層122上に設けられる。導電体層20上に、絶縁体層30が設けられる。絶縁体層30上に、導電体層21及び絶縁体層31が交互に設けられる。最上層の導電体層22上に、絶縁体層32が設けられる。絶縁体層32上に、導電体層23が設けられる。導電体層23上に、絶縁体層33が設けられる。絶縁体層33上に、導電体層24が設けられる。導電体層24上に、コンタクトV0が設けられる。コンタクトV0上に、導電体層25が設けられる。導電体層25上に、コンタクトV1が設けられる。コンタクトV1上に、導電体層26が設けられる。コンタクトV0、導電体層25及びコンタクトV1は、絶縁体層34によって覆われている。絶縁体層34は複数の絶縁体層により構成され得る。絶縁体層34上に、絶縁体層35が設けられる。

20

【0053】

導電体層21、22、及び23のそれぞれは、例えば、XY平面に沿って広がった板状に形成される。導電体層24は、例えば、Y方向に延伸したライン状に形成される。導電体層20、21及び23は、それぞれソース線SL、選択ゲート線SGS、及び選択ゲート線SGDとして使用される。複数の導電体層22は、下方から順に、それぞれワード線WL0~WL7として使用される。メモリピラーMPと導電体層21とが交差した部分は、選択トランジスタST2として機能する。メモリピラーMPと導電体層22とが交差した部分は、メモリセルトランジスタMTとして機能する。メモリピラーMPと導電体層23とが交差した部分は、選択トランジスタST1として機能する。導電体層24は、ビット線BLとして使用される。導電体層24と25との間は、コンタクトV0を介して接続される。導電体層25と導電体層26との間は、コンタクトV1を介して接続される。導電体層26は、貼合パッドBPに対応する。導電体層26は、例えば、銅を含む。

30

【0054】

スリットSLTは、XZ平面に沿って広がった板状に形成された部分を有し、絶縁体層30~32、及び導電体層21~23を分断している。スリットSLTの底部は、導電体層20に接している。スリットSLT内のコンタクトLIは、導電体層20と電氣的に接続される。また、スリットSLT内のスペーサSPは、導電体層21~23のそれぞれとコンタクトLIとの間を離隔及び絶縁している。

40

【0055】

各メモリピラーMPは、Z方向に沿って延伸して設けられ、絶縁体層30~32、及び導電体層21~23を貫通している。各メモリピラーMPは、例えば、コア部材40、半導体層41、及び積層膜42を含む。コア部材40は、Z方向に沿って延伸して設けられた絶縁体である。半導体層41は、コア部材40を覆っている。半導体層41は、メモリピラーMPの側面を介して導電体層20に接している。積層膜42は、半導体層41と導

50

電体層 20 とが接した部分を除いて半導体層 41 の側面を覆っている。半導体層 41 の上に、コンタクト CV が設けられる。半導体層 41 と導電体層 24 との間は、コンタクト CV を介して接続される。

【0056】

(5: メモリピラー MP の断面構造)

図 9 は、第 1 実施形態に係る半導体装置 1 におけるメモリピラー MP の断面構造の一例を示す、図 8 の IX - IX 線に沿った断面図である。図 9 は、メモリピラー MP と導電体層 22 とを含み且つソース線 SL の表面と平行な断面を示している。図 9 に示すように、積層膜 42 は、トンネル絶縁膜 43、絶縁膜 44、及びブロック絶縁膜 45 を含む。

【0057】

コア部材 40 は、例えば、メモリピラー MP の中央部分に設けられる。半導体層 41 は、コア部材 40 の側面を囲っている。トンネル絶縁膜 43 は、半導体層 41 の側面を囲っている。絶縁膜 44 は、トンネル絶縁膜 43 の側面を囲っている。ブロック絶縁膜 45 は、絶縁膜 44 の側面を囲っている。導電体層 22 は、ブロック絶縁膜 45 の側面を囲っている。半導体層 41 は、メモリセルトランジスタ MT0 ~ MT7 並びに選択トランジスタ ST1 及び ST2 のチャンネル (電流経路) として使用される。トンネル絶縁膜 43 及びブロック絶縁膜 45 のそれぞれは、例えば、シリコン酸化膜を含む。絶縁膜 44 は、メモリセルトランジスタ MT の電荷蓄積層として使用され、例えば、シリコン窒化膜を含む。これにより、メモリピラー MP の各々が、1 つの NAND スtring NS として機能する。

【0058】

(6: 剥離層 100 の平面レイアウト)

図 10 は、第 1 実施形態に係る半導体装置 1 の貼り合わせ前の第 1 ウエハ W1 が備える剥離層 100 の平面レイアウトの一例を示す平面図である。図 10 に示すように、複数の熱伝導層 130 と複数の熱伝導層 140 とは、平面視においてメッシュ状に配置される。各熱伝導層 130 は、X 方向に沿って延伸して設けられた部分を有する。各熱伝導層 130 の X 方向に沿って延伸して設けられた部分は、平面視においてラインアンドスペースパターン状、すなわち略等間隔に配置される。例えば、ラインアンドスペースパターン状に配置された複数の熱伝導層 130 の部分の Y 方向のスペース幅は、“S1”である。

【0059】

各熱伝導層 140 は、Y 方向に沿って延伸して設けられた部分を有する。各熱伝導層 140 の Y 方向に沿って延伸して設けられた部分は、平面視においてラインアンドスペースパターン状、すなわち略等間隔に配置される。例えば、ラインアンドスペースパターン状に配置された複数の熱伝導層 140 の部分の X 方向のスペース幅は、“S2”である。

【0060】

スペース幅 S1 及び S2 のそれぞれは、剥離処理において第 1 ウエハ W1 の裏面に照射されるレーザー光の少なくとも一部を遮蔽することが可能な幅に設計される。具体的には、剥離処理において CO<sub>2</sub> レーザーが使用される場合に、複数の熱伝導層 130 及び 140 は、スペース幅 S1 及び S2 のそれぞれが CO<sub>2</sub> レーザーの波長 (9.2 ~ 10.8 μm) よりも狭い幅に設計されることによって、レーザー光を遮蔽し得る。なお、スペース幅 S1 及び S2 は、異なってもよい。また、メッシュ状に配置された熱伝導層 130 及び 140 を含む層は、レーザー光 LB の波長における反射率が、レーザー吸収層 120 よりも高くなるように設計される。以下では、平面視において複数の熱伝導層 130 及び複数の熱伝導層 140 のいずれとも重ならない領域のことを、“スペース領域 SR”とも呼ぶ。

【0061】

(7: 半導体装置 1 の断面構造)

図 11 は、第 1 実施形態に係る半導体装置 1 の断面構造の一例を示す断面図である。図 11 は、メモリ領域 MR を含む断面を示し、第 2 ウエハ W2 を基準とした座標軸を表示している。図 11 に示すように、半導体装置 1 は、図 8 に示された剥離層 100 及びメモリ層 200 の構造が上下に反転した構造を有する。また、第 2 ウエハ W2 は、図示が省略さ

10

20

30

40

50

れた複数のウェル領域を含む。複数のウェル領域のそれぞれには、例えば、トランジスタが形成される。複数のウェル領域の間は、例えば、STI (Shallow Trench Isolation) によって分離される。CMOS層300は、例えば、絶縁体層50、導電体層GC及び52~54、並びにコンタクトCS及びC0~C3を含む。貼合層B2は、例えば、絶縁体層51、及び導電体層55を含む。配線層400は、例えば、絶縁体層60を含む。

#### 【0062】

絶縁体層50は、第2ウエハW2上に設けられる。絶縁体層50は、第2ウエハW2上に設けられた回路を覆っている。絶縁体層50は、複数の絶縁体層により構成され得る。絶縁体層51は、絶縁体層50上に設けられる。絶縁体層51は、絶縁体層35に接している。絶縁体層51及び35の境界部分が、第1ウエハW1と第2ウエハW2との貼合面に対応する。絶縁体層51は、例えば、シリコン酸化膜である。

10

#### 【0063】

導電体層GCは、第2ウエハW2上のゲート絶縁膜上に設けられる。導電体層GCは、トランジスタのゲート電極として使用される。コンタクトC0は、導電体層GC上に設けられる。2つのコンタクトCSは、トランジスタのソース端及びドレイン端にそれぞれ対応する2つの不純物拡散領域(図示せず)に接続される。コンタクトCS及びC0上に、個別に導電体層52が設けられる。導電体層52上に、コンタクトC1を介して導電体層53が設けられる。導電体層53上に、コンタクトC2を介して導電体層54が設けられる。導電体層54上に、コンタクトC3を介して導電体層55が設けられる。導電体層55は、貼合パッドBPに対応する。導電体層55は、例えば、銅を含む。導電体層55上に、対向配置された導電体層26が接している。これにより、導電体層24(ビット線BL)が、第2ウエハW2上に設けられたトランジスタに電氣的に接続される。

20

#### 【0064】

剥離層100のレーザー吸収層120上には、絶縁体層60が設けられる。図示が省略されているが、配線層400は、メモリ層200及びCMOS層300のいずれかに含まれた回路に接続される導電体層を含む。当該導電体層は、例えば、絶縁体層60を貫通して設けられたパッドPDに接続される(図示せず)。なお、剥離層100の一部又は全ては、第1ウエハW1及び第2ウエハW2の貼り合わせ後に除去されてもよい。この場合、半導体装置1は、剥離層100を有しない、又は剥離層100の一部を有する。貼合パッドBPを介して接続される配線は、ビット線BL以外の配線であってもよい。

30

#### 【0065】

##### <1-2> 製造方法

次に、第1実施形態に係る半導体装置1の製造方法について、図12を適宜参照して説明する。図12は、第1実施形態に係る半導体装置1の製造方法の一例を示すフローチャートである。図13及び図14のそれぞれは、第1実施形態に係る半導体装置1の製造途中の断面構造の一例を示す断面図であり、剥離層100の近傍の領域を示している。

#### 【0066】

まず、第2ウエハW2上に、CMOS層300と貼合層B2とが形成される(S10)。S10の処理は、第2ウエハW2の前工程に対応する。また、第1ウエハW1上に、下地層110が形成される(S11)。下地層110上に、レーザー吸収層120が形成される(S12)。レーザー吸収層120上に、メッシュ状に配置された熱伝導層130及び140が形成される(S13)。熱伝導層130及び140の上方に、メモリ層200と貼合層B1とが形成される(S14)。S11~S14の処理は、第1ウエハW1の前工程に対応する。なお、S10の処理と、S11~S14の処理とは、並列に実行されてもよいし、これらの処理順番が入れ替えられてもよい。

40

#### 【0067】

次に、第1ウエハW1と第2ウエハW2との貼合処理が実行される(S15)。S15の処理により、第1ウエハW1に形成された貼合層B1と、第2ウエハW2に形成された貼合層B2とが貼り合わされ、第1ウエハW1に形成された半導体回路(例えば、メモリ

50

セルアレイ 10) と、第 2 ウエハ W 2 に形成された半導体回路 (例えば、ロウデコーダモジュール 16、及びセンスアンプモジュール 17 などの CMOS 回路) とが電氣的に接続される。

#### 【0068】

次に、図 13 に示すように、第 1 ウエハ W 1 を透過し且つレーザー吸収層 120 に吸収されるレーザー光 LB を第 1 ウエハ W 1 の裏面に照射する (S 16)。S 16 の処理で使用されるレーザー光 LB は、例えば、波長 9.2 ~ 10.8 μm の無偏光の CO<sub>2</sub> レーザーである。レーザー光 LB は、第 1 ウエハ W 1 を透過して、剥離層 100 に達する。そして、レーザー吸収層 120 が、レーザー光 LB を吸収することによって発熱する。すると、第 1 ウエハ W 1 の剥離面に接した部分の近傍が、レーザー吸収層 120 において発生した熱に基づいて塑性変形する。また、レーザー吸収層 120 において発生した熱のメモリ層 200 への伝搬は、メッシュ状に配置された熱伝導層 130 及び 140 によって抑制される。言い換えると、レーザー吸収層 120 において発生した熱は、メモリ層 200 よりも熱伝導層 130 及び 140 の方に多く伝搬する。そして、レーザー光 LB は、照射位置を変更して、所定の間隔で第 1 ウエハ W 1 の裏面に照射される。なお、S 16 の処理で使用されるレーザー光 LB の波長は、メッシュ状に配置された熱伝導層 130 及び 140 のスペース幅 S 1 及び S 2 よりも大きい。このため、第 1 ウエハ W 1 の裏面に照射されたレーザー光 LB の少なくとも一部が、メッシュ状に配置された熱伝導層 130 及び 140 により遮蔽される。

#### 【0069】

次に、第 1 ウエハ W 1 が剥離される (S 17)。S 17 の処理により、下地層 110 と第 1 ウエハ W 1 との間を剥離面として第 1 ウエハ W 1 が剥離され、第 2 ウエハ W 2 上に CMOS 層 300 とメモリ層 200 とが残った構造が形成される。次に、図 14 に示すように、下地層 110 が除去される (S 18)。S 18 の処理では、レーザー吸収層 120 や、熱伝導層 130 及び 140 の一部が除去されてもよい。次に、配線層 400 が形成される (S 19)。S 19 の処理において、半導体装置 1 の表面に、メモリ層 200 に含まれた半導体回路と、CMOS 層 300 に含まれた半導体回路とのいずれかに接続された複数のパッド PD が形成される。これにより、図 11 に示された半導体装置 1 の構造が形成される。

#### 【0070】

##### < 1-3 > 第 1 実施形態の効果

以上で説明された第 1 実施形態に係る半導体装置 1 の構成及び製造方法に依れば、半導体装置の製造コストとデバイス特性の劣化とを抑制することができる。以下に、第 1 実施形態の効果の詳細について説明する。

#### 【0071】

貼り合わせ構造を有する半導体装置の製造方法として、第 1 ウエハ W 1 と第 2 ウエハ W 2 とを貼り合わせた後に、CMP 処理などにより第 1 ウエハ W 1 を除去する方法が知られている。一方で、貼り合わせ後の第 1 ウエハ W 1 を他の半導体装置の製造に再利用することができれば、CMP 処理に伴う排水処理やウエハコストを抑制することができる。そこで、第 1 ウエハ W 1 に半導体回路を形成する前に剥離層 100 を形成し、レーザー剥離により剥離層 100 を起点とした剥離処理を実行することが検討されている。

#### 【0072】

レーザー剥離では、例えば、剥離層 100 に含まれたシリコン酸化膜がレーザー光 LB によって加熱されることによって、第 1 ウエハ W 1 の表面近傍が塑性変形する。そして、第 1 ウエハ W 1 及び第 2 ウエハ W 2 の貼合面にクラックを発生させることによって、剥離層 100 を起点として第 1 ウエハ W 1 が剥離され得る。しかしながら、レーザー剥離は、第 1 ウエハ W 1 に形成された半導体回路のデバイス特性の劣化の要因となり得る。具体的には、第 1 ウエハ W 1 に形成されたメモリ層 200 のメモリセルアレイ 10 が加熱されることにより、メモリセルトランジスタ MT などの特性が劣化するおそれがある。

#### 【0073】

これに対して、第1実施形態に係る半導体装置1は、メッシュ状に配置された熱伝導層130及び140を含む剥離層100を有している。そして、メッシュ状に配置された熱伝導層130及び140は、レーザー光LBを吸収するように構成されたレーザー吸収層120よりも熱伝導率の高い材料により構成される。これにより、メッシュ状に配置された熱伝導層130及び140は、レーザー光LBの照射時における熱拡散を促進させることができ、熱がメモリセルアレイ10へ伝搬することを抑制することができる。

#### 【0074】

また、メッシュ状に配置された熱伝導層130及び140のそれぞれは、レーザー光LBの波長よりも小さいスペース幅のラインアンドスペースパターン状に配置される。これにより、メッシュ状に配置された熱伝導層130及び140は、第1ウエハW1の裏面に照射されたレーザー光LBの少なくとも一部を遮蔽することができる。従って、メッシュ状に配置された熱伝導層130及び140は、メモリセルアレイ10がレーザー光LBにより加熱されることを抑制することができる。

10

#### 【0075】

その結果、第1実施形態に係る半導体装置1の構成及び製造方法に依れば、レーザー剥離に伴う半導体回路のデバイス特性の劣化を抑制することができる。また、第1実施形態に係る半導体装置1の構成及び製造方法は、半導体回路のデバイス特性の劣化が抑制されることによって、第1ウエハW1を再利用する半導体装置の製造プロセスが利用可能となる。従って、第1実施形態に係る半導体装置1の構成及び製造方法は、ウエハコストなどを抑制することができ、且つ半導体装置の製造コストを抑制することができる。

20

#### 【0076】

##### <1-4> 第1実施形態の変形例

第1実施形態で説明された熱伝導層130及び140の配置及び形状は、その他の配置及び形状であってもよい。以下に、熱伝導層130及び140の配置及び形状のその他の一例について、第1実施形態の第1変形例及び第2変形例として説明する。

#### 【0077】

##### (1: 第1変形例)

図15は、第1変形例に係る剥離層100aの平面レイアウトの一例を示す平面図である。図15に示すように、剥離層100aは、第1実施形態の剥離層100から複数の熱伝導層130が省略された構成を有する。このように、剥離層100は、メッシュ状に配置された熱伝導層130を有していなくてもよい。また、剥離層100aは、第1実施形態の剥離層100から複数の熱伝導層140が省略された構成を有していてもよい。つまり、剥離層100aは、熱伝導層130及び140の一方のみを有していてもよい。このような場合においても、剥離層100aは、ラインアンドスペースパターン状に配置された複数の熱伝導層130又は140の設計に応じて、第1実施形態の剥離層100と同様の機能及び効果を実現することができる。

30

#### 【0078】

##### (2: 第2変形例)

図16は、第2変形例に係る剥離層100bの平面レイアウトの一例を示す平面図である。図16に示すように、剥離層100bは、第1実施形態の剥離層100から複数の熱伝導層130が省略され、熱伝導層140がプレート状に設けられた構成を有する。このように、剥離層100において、熱伝導層130及び140のそれぞれの設計は、ラインアンドスペースパターンに限定されない。このような場合においても、剥離層100bは、プレート状に配置された少なくとも1つの熱伝導層130又は140の設計に応じて、第1実施形態の剥離層100と同様の機能及び効果を実現することができる。

40

#### 【0079】

なお、半導体装置1において、貼り合わせ前の第1ウエハW1は、第1実施形態のメッシュ状の熱伝導層130及び140と、第1変形例の熱伝導層130及び140と、第2変形例の熱伝導層130及び140との少なくとも一つを剥離層100に含んでいればよく、これらの組み合わせを剥離層100に含んでいてもよい。

50

## 【 0 0 8 0 】

## &lt; 2 &gt; 第 2 実施形態

第 2 実施形態は、ウエハを再利用可能な剥離工程による半導体回路のデバイス特性の劣化を、剥離層の積層構造により抑制できる半導体装置 1 の構成及び製造方法に関する。以下に、第 2 実施形態について、第 1 実施形態と異なる点を主に説明する。

## 【 0 0 8 1 】

## &lt; 2 - 1 &gt; 構成

まず、第 2 実施形態に係る半導体装置 1 の構成について説明する。第 2 実施形態に係る半導体装置 1 の構成は、第 1 実施形態に対して、貼り合わせ前の第 1 ウエハ W 1 における剥離層 1 0 0 の構造と、貼り合わせ後の剥離層 1 0 0 の構造とが異なる。

10

## 【 0 0 8 2 】

## ( 1 : 第 1 ウエハ W 1 の断面構造 )

図 1 7 は、第 2 実施形態に係る半導体装置 1 の貼り合わせ前の第 1 ウエハ W 1 の断面構造の一例を示す断面図である。図 1 7 は、第 2 ウエハ W 2 と貼り合わされる前の第 1 ウエハ W 1 に形成されたメモリセルアレイ 1 0 のメモリ領域 M R における構造の一例を示し、第 1 ウエハ W 1 を基準とした座標軸を表示している。図 1 7 に示すように、第 2 実施形態に係る半導体装置 1 は、第 1 実施形態に係る半導体装置 1 において剥離層 1 0 0 が剥離層 1 0 0 c に置き換えられた構成を有する。具体的には、剥離層 1 0 0 c は、下地層 1 1 0、レーザー吸収層 1 2 0、絶縁体層 1 2 3、及び遮蔽層 1 5 0 を含む。

## 【 0 0 8 3 】

下地層 1 1 0 は、第 1 ウエハ W 1 上に設けられる。レーザー吸収層 1 2 0 は、下地層 1 1 0 上に設けられる。遮蔽層 1 5 0 は、レーザー吸収層 1 2 0 上に設けられる。遮蔽層 1 5 0 は、第 1 ウエハ W 1 のうちメモリセルアレイ 1 0 が形成される領域の上方を少なくとも覆っている。遮蔽層 1 5 0 としては、レーザー光 L B に対する遮光性を有する材料が使用される。例えば、遮蔽層 1 5 0 としては、金属や、不純物がドーブされたシリコンや、ガラス、シリコン、アルミナなどの多孔質材料などが使用される。遮蔽層 1 5 0 には、複数種類の材料が使用されてもよい。金属からなる遮蔽層 1 5 0 は、ほぼ反射による遮光を実現する。半導体又は絶縁体材料からなる遮蔽層 1 5 0 は、レーザー光 L B を透過させないことによる遮光を実現する。つまり、遮蔽層 1 5 0 は、レーザー吸収層 1 2 0 と遮蔽層 1 5 0 との界面における光反射、及び / 又は遮蔽層 1 5 0 での光吸収により遮光を実現する。

20

30

## 【 0 0 8 4 】

以上のように構成された遮蔽層 1 5 0 は、第 1 ウエハ W 1 の裏面に照射されたレーザー光がメモリ層 2 0 0 に到達することを抑制し得る。なお、遮蔽層 1 5 0 としては、レーザー吸収層 1 2 0 よりも熱伝導性の低い材料が使用されてもよい。この場合、遮蔽層 1 5 0 は、レーザー吸収層 1 2 0 において発生した熱が、メモリ層 2 0 0 へ伝搬することを抑制し得る。また、遮蔽層 1 5 0 としては、レーザー吸収層 1 2 0 よりも熱伝導性の高い材料が使用されてもよい。この場合、遮蔽層 1 5 0 は、第 1 実施形態の熱拡散層のように、レーザー光 L B の照射時における熱拡散を促進させることができ、熱がメモリセルアレイ 1 0 へ伝搬することを抑制することができる。熱拡散の機能を有する遮蔽層 1 5 0 は、“熱拡散層”と呼ばれてもよい。絶縁体層 1 2 3 は、遮蔽層 1 5 0 上に設けられる。絶縁体層 1 2 3 としては、レーザー吸収層 1 2 0 と同様の材料が使用されてもよいし、異なる材料が使用されてもよい。第 2 実施形態に係る半導体装置 1 の貼り合わせ前の第 1 ウエハ W 1 のその他の構成は、第 1 実施形態と同様である。

40

## 【 0 0 8 5 】

## ( 2 : 半導体装置 1 の断面構造 )

図 1 8 は、第 2 実施形態に係る半導体装置 1 の断面構造の一例を示す断面図である。図 1 8 は、メモリ領域 M R を含む断面を示し、第 2 ウエハ W 2 を基準とした座標軸を表示している。図 1 8 に示すように、第 2 実施形態に係る半導体装置 1 は、メモリ層 2 0 0 に対応して、図 1 7 に示された剥離層 1 0 0 c の一部とメモリ層 2 0 0 の構造との組が上下に

50

反転した構造を有する。具体的には、剥離層 100c は、絶縁体層 123 を含む。そして、絶縁体層 123 上に、絶縁体層 60 が設けられる。すなわち、第 2 実施形態では、第 1 ウエハ W1 と第 2 ウエハ W2 との貼り合わせ後に、下地層 110、レーザー吸収層 120、及び遮蔽層 150 の組が除去されている。第 2 実施形態に係る半導体装置 1 のその他の構成は、第 1 実施形態と同様である。

#### 【0086】

##### < 2 - 2 > 製造方法

次に、第 2 実施形態に係る半導体装置 1 の製造方法について、図 19 を適宜参照して説明する。図 19 は、第 2 実施形態に係る半導体装置 1 の製造方法の一例を示すフローチャートである。図 20 及び図 21 のそれぞれは、第 2 実施形態に係る半導体装置 1 の製造途中の断面構造の一例を示す断面図であり、剥離層 100c の近傍の領域を示している。

10

#### 【0087】

まず、第 2 ウエハ W2 上に、CMOS 層 300 と貼合層 B2 とが形成される (S10)。S10 の処理は、第 2 ウエハ W2 の前工程に対応する。また、第 1 ウエハ W1 上に、下地層 110 が形成される (S11)。下地層 110 上に、レーザー吸収層 120 が形成される (S12)。レーザー吸収層 120 上に、遮蔽層 150 が形成される (S20)。遮蔽層 150 上に、絶縁体層 123 が形成される (S21)。絶縁体層 123 の上方に、メモリ層 200 と貼合層 B1 とが形成される (S22)。S11、S12、S20 ~ S22 の処理は、第 1 ウエハ W1 の前工程に対応する。なお、S10 の処理と、S11、S12、S20 ~ S22 の処理とは、並列に実行されてもよいし、処理順番が入れ替えられてもよい。

20

#### 【0088】

次に、第 1 ウエハ W1 と第 2 ウエハ W2 との貼合処理が実行される (S23)。S23 の処理により、第 1 ウエハ W1 に形成された貼合層 B1 と、第 2 ウエハ W2 に形成された貼合層 B2 とが貼り合わされ、第 1 ウエハ W1 に形成された半導体回路と、第 2 ウエハ W2 に形成された半導体回路とが電氣的に接続される。

#### 【0089】

次に、図 20 に示すように、第 1 ウエハ W1 を透過し且つレーザー吸収層 120 に吸収されるレーザー光 LB を第 1 ウエハ W1 の裏面に照射する (S24)。レーザー光 LB は、第 1 ウエハ W1 を透過して、剥離層 100c に達する。そして、レーザー吸収層 120 は、レーザー光 LB を吸収することによって発熱する。すると、第 1 ウエハ W1 の剥離面に接した部分の近傍が、レーザー吸収層 120 において発生した熱に基づいて塑性変形する。また、第 1 ウエハ W1 の裏面に照射されたレーザー光 LB がメモリ層 200 へ到達することは、遮蔽層 150 によって抑制される。言い換えると、レーザー吸収層 120 を通過したレーザー光 LB は、レーザー吸収層 120 と遮蔽層 150 との界面における光反射、及び / 又は遮蔽層 150 での光吸収により遮光される。そして、レーザー光 LB は、照射位置を変更して、所定の間隔で第 1 ウエハ W1 の裏面に照射される。また、第 1 ウエハ W1 の裏面に照射されたレーザー光 LB の少なくとも一部が、遮蔽層 150 により遮蔽される。

30

#### 【0090】

次に、第 1 ウエハ W1 が剥離される (S25)。S25 の処理により、下地層 110 と第 1 ウエハ W1 との間を剥離面として第 1 ウエハ W1 が剥離され、第 2 ウエハ W2 上に CMOS 層 300 とメモリ層 200 とが残った構造が形成される。次に、図 21 に示すように、下地層 110、レーザー吸収層 120、及び遮蔽層 150 が除去される (S26)。S26 の処理では、絶縁体層 123 の一部が除去されてもよい。次に、配線層 400 が形成される (S27)。これにより、図 18 に示された半導体装置 1 の構造が形成される。

40

#### 【0091】

##### < 2 - 3 > 第 2 実施形態の効果

第 2 実施形態に係る半導体装置 1 の第 1 ウエハ W1 は、遮蔽層 150 を含む剥離層 100c を有している。遮蔽層 150 は、第 1 ウエハ W1 の裏面に照射されたレーザー光 LB

50

がメモリ層 200 へ到達することを抑制することができる。具体的には、遮蔽層 150 は、レーザー光 LB をレーザー吸収層 120 と遮蔽層 150 との界面における光反射、及び / 又は遮蔽層 150 での光吸収により遮光する。これにより、遮蔽層 150 は、レーザー光 LB が照射されることによるメモリ層 200 (例えば、メモリセルアレイ 10) の発熱を抑制することができる。従って、第 2 実施形態に係る半導体装置 1 の構成及び製造方法に依れば、第 1 実施形態と同様に、半導体装置の製造コストとデバイス特性の劣化とを抑制することができる。

#### 【0092】

なお、遮蔽層 150 が多孔質構造 (例えば、ポラスシリコン) により設けられた場合、メモリセルアレイ 10 と遮蔽層 150 との間の物理的な接触面積が減少する。言い換えると、遮蔽層 150 が多孔質構造により設けられた場合、遮蔽層 150 からメモリセルアレイ 10 への熱の流入経路が、遮蔽層 150 が多孔質構造でない場合よりも少なくなる。その結果、多孔質構造の遮蔽層 150 は、遮蔽層 150 からメモリセルアレイ 10 への熱の流入を抑制することができる。

#### 【0093】

##### < 3 > 第 3 実施形態

第 3 実施形態は、遮蔽層 150 を利用し、且つ貼り合わせ後にソース線 SL が形成されるメモリセルアレイ 10 を有する半導体装置 1 の構成及び製造方法に関する。以下に、第 3 実施形態について、第 1 及び第 2 実施形態と異なる点を主に説明する。

#### 【0094】

##### < 3 - 1 > 構成

まず、第 3 実施形態に係る半導体装置 1 の構成について説明する。第 3 実施形態に係る半導体装置 1 の構成は、第 2 実施形態に対して、貼り合わせ前の第 1 ウエハ W1 における剥離層 100 の構造と、貼り合わせ後のソース線 SL の構造とが異なる。

#### 【0095】

##### ( 1 : 第 1 ウエハの断面構造 )

図 22 は、第 3 実施形態に係る半導体装置 1 の貼り合わせ前の第 1 ウエハの断面構造の一例を示す断面図である。図 22 は、第 2 ウエハ W2 と貼り合わされる前の第 1 ウエハ W1 に形成されたメモリセルアレイ 10 のメモリ領域 MR における構造の一例を示し、第 1 ウエハ W1 を基準とした座標軸を表示している。図 22 に示すように、第 3 実施形態に係る半導体装置 1 は、第 2 実施形態に係る半導体装置 1 において、剥離層 100c が剥離層 100d に置き換えられ、且つメモリ層 200 がメモリ層 200a に置き換えられた構成を有する。具体的には、剥離層 100d は、下地層 110、レーザー吸収層 120、及び遮蔽層 150 を含む。メモリ層 200a は、メモリ層 200 に対して、メモリピラー MP とスリット SLT の構造が異なる。

#### 【0096】

下地層 110 は、第 1 ウエハ W1 上に設けられる。レーザー吸収層 120 は、下地層 110 上に設けられる。遮蔽層 150 は、レーザー吸収層 120 上に設けられる。遮蔽層 150 は、第 1 ウエハ W1 のうちメモリセルアレイ 10 が形成される領域の上方を少なくとも覆っている。遮蔽層 150 としては、レーザー光 LB に対する遮光性を有する材料が使用される。例えば、遮蔽層 150 としては、金属や、不純物がドーブされたシリコンや、ガラス、シリコン、アルミナなどの多孔質材料などが使用される。導電体層 20 は、遮蔽層 150 上に設けられる。すなわち、本例では、絶縁体層 123 が省略され、導電体層 20 と遮蔽層 150 とが接している。なお、第 3 実施形態に係る半導体装置 1 は、導電体層 20 と遮蔽層 150 との間に絶縁体層 123 を備えていてもよい。絶縁体層 123 は、第 1 ウエハ W1 の剥離プロセスにおいてメモリ層 200 を保護することができる。

#### 【0097】

第 3 実施形態において、各メモリピラー MP の半導体層 41 は、積層膜 42 を介して導電体層 20 から離れている。また、各スリット SLT のコンタクト LI は、スペーサ SP を介して導電体層 20 から離れている。すなわち、第 3 実施形態における貼り合わせ前の

10

20

30

40

50

第1ウエハW1では、各メモリピラーMPの半導体層41と各スリットSLTのコンタクトLIとのそれぞれと、導電体層20とが絶縁されている。第3実施形態に係る半導体装置1の貼り合わせ前の第1ウエハW1のその他の構成は、第2実施形態と同様である。

【0098】

(2:半導体装置1の断面構造)

図23は、第3実施形態に係る半導体装置1の断面構造の一例を示す断面図である。図23は、メモリ領域MRを含む断面を示し、第2ウエハW2を基準とした座標軸を表示している。図23示すように、第3実施形態に係る半導体装置1は、メモリ層200aに対応して、図22に示されたメモリ層200aの構造の一部が上下に反転した構造に導電体層70及び絶縁体層71が追加され、剥離層100dが省略された構造を有する。具体的には、導電体層20の厚さは、貼り合わせ前の第1ウエハW1における導電体層20よりも薄い。導電体層の上面の高さには、各メモリピラーMPの半導体層41が含まれている。また、各メモリピラーMPは、少なくとも半導体層41の上面に設けられた積層膜42が除去された構造を有する。そして、導電体層70は、導電体層20上に設けられる。導電体層70は、各メモリピラーMPの半導体層41と電氣的に接続される。絶縁体層71は、導電体層70上に設けられる。絶縁体層71は、ソース線SLに接続されるコンタクト及び配線層を含んでいてもよい。絶縁体層71上に絶縁体層60が設けられる。すなわち、第3実施形態では、第1ウエハW1と第2ウエハW2との貼り合わせ後に、下地層110、レーザー吸収層120、及び遮蔽層150の組が除去されている。第3実施形態に係る半導体装置1のその他の構成は、第2実施形態と同様である。

10

20

【0099】

<3-2>製造方法

次に、第3実施形態に係る半導体装置1の製造方法について、図24を適宜参照して説明する。図24は、第3実施形態に係る半導体装置1の製造方法の一例を示すフローチャートである。図25及び図26のそれぞれは、第3実施形態に係る半導体装置1の製造途中の断面構造の一例を示す断面図であり、剥離層100dの近傍の領域を示している。

【0100】

まず、第2ウエハW2上に、CMOS層300と貼合層B2とが形成される(S10)。S10の処理は、第2ウエハW2の前工程に対応する。また、第1ウエハW1上に、下地層110が形成される(S11)。下地層110上に、レーザー吸収層120が形成される(S12)。レーザー吸収層120上に、遮蔽層150が形成される(S20)。遮蔽層150上に、メモリ層200aと貼合層B1とが形成される(S30)。S11、S12、S20及びS30の処理は、第1ウエハW1の前工程に対応する。なお、S10の処理と、S11、S12、S20及びS30の処理とは、並列に実行されてもよいし、処理順番が入れ替えられてもよい。

30

【0101】

次に、第1ウエハW1と第2ウエハW2との貼合処理が実行される(S23)。S23の処理により、第1ウエハW1に形成された貼合層B1と、第2ウエハW2に形成された貼合層B2とが貼り合わされ、第1ウエハW1に形成された半導体回路と、第2ウエハW2に形成された半導体回路とが電氣的に接続される。

40

【0102】

次に、図25に示すように、第1ウエハW1を透過し且つレーザー吸収層120に吸収されるレーザー光LBを第1ウエハW1の裏面に照射する(S24)。レーザー光LBは、第1ウエハW1を透過して、剥離層100に達する。そして、レーザー吸収層120は、レーザー光LBを吸収することによって発熱する。すると、第1ウエハW1の剥離面に接した部分の近傍が、レーザー吸収層120において発生した熱に基づいて塑性変形する。また、第1ウエハW1の裏面に照射されたレーザー光LBがメモリ層200aへ到達することは、第2実施形態と同様に、遮蔽層150によって抑制される。そして、レーザー光LBは、照射位置を変更して、所定の間隔で第1ウエハW1の裏面に照射される。

【0103】

50

次に、第1ウエハW1が剥離される(S25)。S25の処理により、下地層110と第1ウエハW1との間を剥離面として第1ウエハW1が剥離され、第2ウエハW2上にCMOS層300とメモリ層200aとが残った構造が形成される。次に、下地層110、レーザー吸収層120、及び遮蔽層150が除去される(S26)。次に、半導体層41が露出するように導電体層20の一部が除去される(S31)。S31の処理では、例えば、CMP(Chemical Mechanical Polishing)が使用される。S30及びS31の処理は、同じ半導体製造装置により続けて実行されてもよい。次に、図26に示すように、導電体層70が形成され(S70)、絶縁体層71が形成される(S71)。その後、配線層400が形成される(S27)。これにより、図23に示された半導体装置1の構造が形成される。

10

## 【0104】

## &lt;3-3&gt;第3実施形態の効果

第3実施形態に係る半導体装置1では、貼合処理が実行された後に、メモリピラーMPの半導体層41とソース線SLとが電気的に接続される。このような構成であっても、第3実施形態に係る半導体装置1の構成及び製造方法は、第2実施形態と同様に、半導体装置の製造コストとデバイス特性の劣化とを抑制することができる。

## 【0105】

## &lt;4&gt;変形例など

以上で説明された各実施形態は、様々な変形が可能である。上記実施形態は、適宜組み合わせることが可能である。例えば、半導体装置1は、第1実施形態で説明された熱拡散層と、第2及び第3実施形態で説明された遮蔽層150とを併用してもよい。この場合、貼り合わせ前の第1ウエハW1の剥離層100が、第1実施形態で説明された熱拡散層と、第2及び第3実施形態で説明された遮蔽層150との両方を含む。また、半導体装置1は、熱拡散層のような熱拡散の機能と、遮蔽層150のような光を遮蔽する機能との両方を有する構造物を有していても良い。

20

## 【0106】

第2及び第3実施形態における遮蔽層150は、例えば、無数の微細孔を有するポリシリコンの層(ポーラス(多孔質)シリコン層)である。ポーラスシリコン層の機械的強度は、ポリシリコン層よりも低い。このため、第2及び第3実施形態の剥離処理では、遮蔽層150が剥離面となって、第1ウエハW1が剥離されてもよい。この場合、剥離された第1ウエハW1は、クラックにより分断されたポーラスシリコン層(遮蔽層150)を有し得る。そして、剥離された第1ウエハW1では、ポーラスシリコン層が除去されることによって、再利用され得る。なお、ポーラスシリコン層は、例えば、シリコン基板上にポリシリコン層が成膜され、成膜されたポリシリコン層が陽極化成されることにより形成される。

30

## 【0107】

ここで、ポーラスシリコン層(遮蔽層150)のその他の製造方法について説明する。まず、遮蔽層150に対応する部分に、半導体層が形成される。この半導体層は、例えば、アモルファスシリコン層などのアモルファス半導体層であり、高濃度の不純物原子を含んでいる。半導体層に含まれた不純物原子は、例えば、H(水素)原子である。半導体層内のH原子濃度は、例えば、 $1.0 \times 10^{21} / \text{cm}^3$ 以上である。不純物原子は、H原子以外でもよく、例えば、He(ヘリウム)原子などの希ガス原子であってもよい。そして、第1ウエハW1のレーザーアニールが実行されることによって、半導体層が加熱されて融解(メルト)する。この半導体層の融解温度は、例えば、1300以上である。その後、半導体層が結晶化される。この結晶化された半導体層が、例えば、ポーラスポリシリコン層などのポーラス半導体層に対応する。このように、半導体層がポーラス化(多孔質化)されることによって、ポリシリコン層であり且つポーラス層(多孔質層)であるポーラスシリコン層(遮蔽層150)が形成され得る。本例におけるレーザーアニールは、例えば、UV光(紫外光)を用いて実行される。UV光の強度は、例えば、 $0.3 \sim 2.0 \text{ J} / \text{cm}^2$ に設定される。なお、本例におけるレーザーアニールでは、UV光以外のレ

40

50

レーザー光が使用されてもよく、例えば、可視光の波長以下の波長を有する光が使用されてもよい。本例におけるポーラス化は、半導体層内の不純物原子が集まり、気泡のようなポイド（ポーラス）を多数形成することで生じる。また、遮蔽層150の形成に使用される半導体層上に、キャップ絶縁膜が形成されてもよい。キャップ絶縁膜は、ポーラス化により生じるポイドが、半導体層の上面のラフネスが悪化することを抑制し得る。キャップ絶縁膜としては、例えば、シリコン窒化膜（SiN）が使用される。シリコン窒化膜の融点は、シリコン酸化膜の融点よりも高い。その結果、キャップ絶縁膜は、ポイドに起因するラフネスの悪化を効果的に抑制することができる。

#### 【0108】

図27は、第1実施形態に係る半導体装置1における貼り合わせ前の第1ウエハW1の断面構造の一例を示す断面図である。図27に示すように、貼り合わせ前の第1ウエハW1は、コンタクト80を有していてもよい。コンタクト80は、スペース領域SRを介して第1ウエハW1の表面と、導電体層20との間を電氣的に接続している。コンタクト80は、メモリピラーMPを形成する際の深穴のエッチング工程などにより発生する電荷を放電する経路として使用され得る。また、導電体層20におけるコンタクト80と接続された部分は、深穴のエッチング工程の後に分断されてもよいし、メモリ領域MRと異なる層構造を有していてもよい。また、コンタクト80は、複数のコンタクトや導電体層がZ方向に連結された構造を有していてもよい。コンタクト80は、第2実施形態及び第3実施形態のいずれと組み合わせられてもよい。

10

#### 【0109】

図28は、貼合パッドBPの貼り合わせ部分の詳細な断面構造の一例を示す断面図である。図28は、貼合層B1の導電体層65（貼合パッドBP）と貼合層B2の導電体層26（貼合パッドBP）と、これらの貼合パッドBPに接続される一部のコンタクト及び配線を示している。図28に示すように、対向配置される2つの貼合パッドBPは、形成時のエッチング方向に基づいて、異なるテーパ形状を有している。具体的には、第1ウエハW1を利用して形成された導電体層55は、例えば、逆テーパ形状を有している。第1ウエハW1を利用して形成された導電体層26は、例えば、テーパ形状を有している。すなわち、メモリ層200の半導体回路とCMOS層300との間を接続する貼合パッドBPの組は、CMOS層300側に逆テーパ形状に設けられた部分を有し、メモリ層200側にテーパ形状に設けられた部分を有する。逆テーパ形状に形成された貼合パッドBPは、貼合処理により上下に反転されたため、第1ウエハW1を基準とした場合にテーパ形状とみなされ得る。なお、対向配置される2つの貼合パッドBPの組は、接合処理時の位置合わせに応じて、ずれて接合され得る。このため、導電体層55の上面と導電体層26の下面とは、段差を形成し得る。対向配置される2つの貼合パッドBPの組は、境界を有していてもよいし、一体化されていてもよい。貼合パッドBPと、当該貼合パッドBPに接続されるコンタクトとは、一体で形成されてもよい。貼合パッドBPに接続されるコンタクトは、複数であってもよい。例えば、導電体層55は、複数のコンタクトC3を介して導電体層54に接続されてもよい。同様に、導電体層26は、複数のコンタクトV1を介して導電体層25に接続されてもよい。

20

30

#### 【0110】

上記実施形態において、半導体装置1の回路構成、平面レイアウト、及び断面構造のそれぞれは、適宜変更され得る。例えば、メモリピラーMPの半導体層41とソース線SLとの間は、メモリピラーMPの底部を介して接続されてもよい。メモリピラーMPは、複数のピラーがZ方向に2本以上連結された構造を有していてもよい。メモリピラーMPは、選択ゲート線SGDに対応するピラーと、ワード線WLに対応するピラーとが連結された構造を有していてもよい。各コンタクトは、Z方向に連結された複数のコンタクトによって接続されてもよい。複数のコンタクトの連結部分には、導電体層が挿入されてもよい。半導体装置1が備える配線層やコンタクトの数は、適宜変更され得る。

40

#### 【0111】

上記実施形態では、CMOS層300の上方にメモリ層200が設けられる場合につい

50

て例示したが、メモリ層 200 の上方に CMOS 層 300 が設けられてもよい。半導体装置 1 が、複数のメモリ層 200 を備えていてもよいし、複数の CMOS 層 300 を備えていてもよい。上記実施形態で説明に使用された図面では、メモリピラー MP が Z 方向において同一径を有している場合を例示したが、これに限定されない。メモリピラー MP は、テーパ形状、逆テーパ形状、又はボーイング形状を有していてもよい。同様に、スリット SLT 及び SHE のそれぞれが、テーパ形状、逆テーパ形状、又はボーイング形状を有していてもよい。同様に、各コンタクトが、テーパ形状、逆テーパ形状、又はボーイング形状を有していてもよい。メモリピラー MP 並びにコンタクト CC 及び C3 のそれぞれの断面構造は、円形であってもよいし、楕円形であってもよい。

#### 【0112】

10

本明細書において“接続”は、電氣的に接続されていることを示し、例えば、間に別の素子を介することを除外しない。“電氣的に接続される”は、電氣的に接続されたものと同様に動作することが可能であれば、絶縁体を介していてもよい。“テーパ形状”は、基準とされる基板から離れるにつれて細くなる形状のことを示している。“逆テーパ形状”は、基準とされる基板から離れるにつれて太くなる形状のことを示している。“ボーイング形状”は、中間部分の径が上端部分及び下端部分よりも大きい形状のことを示している。“柱状”は、半導体装置 1 の製造工程において形成されたホール内に設けられた構造体であることを示している。“幅”は、例えば、X 方向又は Y 方向における構成要素の幅のことを示している。“径”は、基板の表面と平行な断面における、ホールの内径や、ピラーの外形のことを示している。“ウエハ”や“半導体基板”は、“基板”と呼ばれてもよい。“半導体層”は、“導電体層”と呼ばれてもよい。“領域”は、基準とされる基板によって含まれる構成と見なされてもよい。“平面位置”は、平面レイアウトにおける構成要素の位置を示している。“上面(平面)視”は、例えば、ウエハのおもて面側から、対象物を見ることに対応する。

#### 【0113】

本発明のいくつかの実施形態を説明したが、これらの実施形態は、例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことが出来る。これら実施形態やその変形は、発明の範囲や要旨に含まれると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

#### 【符号の説明】

30

#### 【0114】

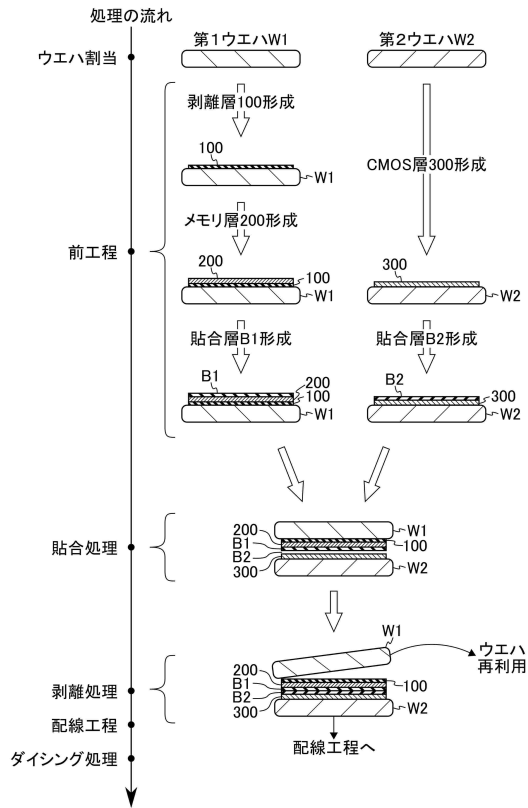
1 ... 半導体装置、2 ... メモリコントローラ、10 ... メモリセルアレイ、11 ... 入出力回路、12 ... ロジックコントローラ、13 ... レジスタ回路、14 ... シーケンサ、15 ... ドライバ回路、16 ... ロウデコーダモジュール、17 ... センスアンプモジュール、W1 ... 第1ウエハ、W2 ... 第2ウエハ、20 ~ 26 ... 導電体層、30 ~ 35 ... 絶縁体層、40 ... コア部材、41 ... 半導体層、42 ... 積層膜、43 ... トンネル絶縁膜、44 ... 絶縁膜、45 ... ブロック絶縁膜、50, 51 ... 絶縁体層、52 ~ 55 ... 導電体層、60 ... 絶縁体層、70 ... 導電体層、71 ... 絶縁体層、80 ... コンタクト、100, 100a, 100b, 100c, 100d ... 剥離層、110 ... 下地層、120 ... レーザー吸収層、121, 122, 123 ... 絶縁体層、130, 140 ... 熱伝導層、150 ... 遮蔽層、200, 200a ... メモリ層、300 ... CMOS 層、400 ... 配線層、B1, B2 ... 貼合層、MR ... メモリ領域、HR1, HR2 ... 引出領域、BLK ... ブロック、SU ... スtringユニット、BL ... ビット線、WL ... ワード線、SGD, SGS ... 選択ゲート線、MT ... メモリセルトランジスタ、ST1, ST2 ... 選択トランジスタ、C0 ~ C3 ... コンタクト、V0, V1 ... コンタクト、RD ... ロウデコーダ、SAU ... センスアンプユニット、S1, S2 ... スペース幅

40

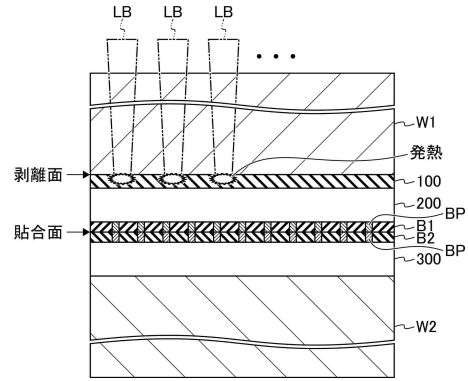
50

【 図 面 】

【 図 1 】



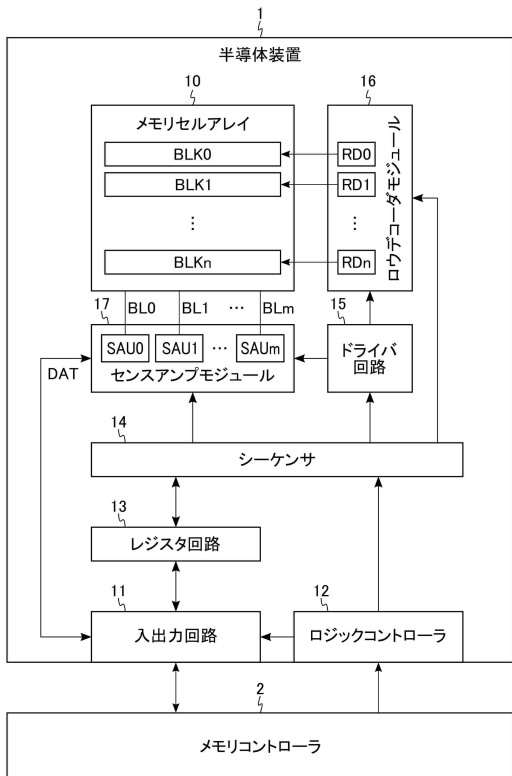
【 図 2 】



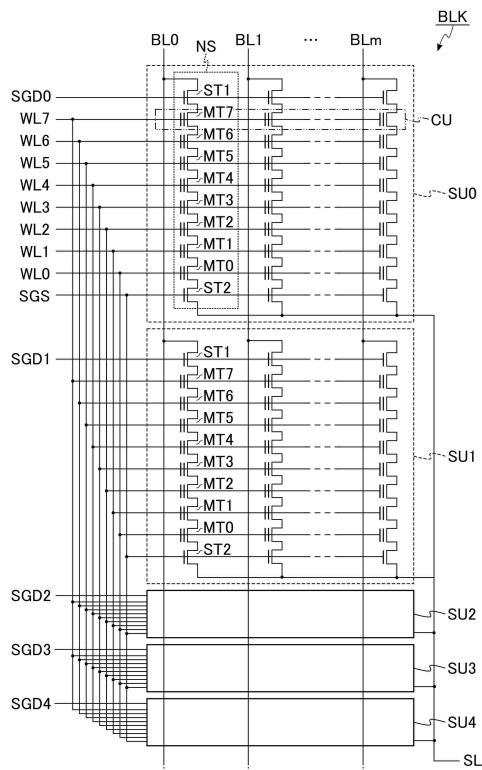
10

20

【 図 3 】



【 図 4 】

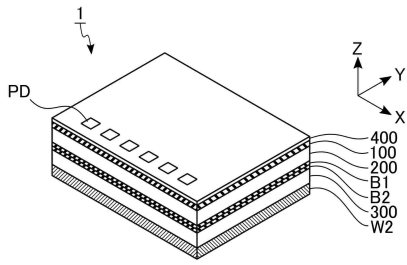


30

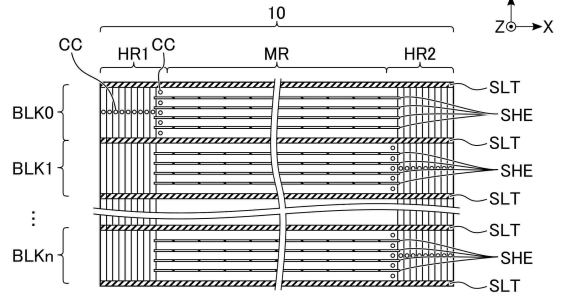
40

50

【 図 5 】

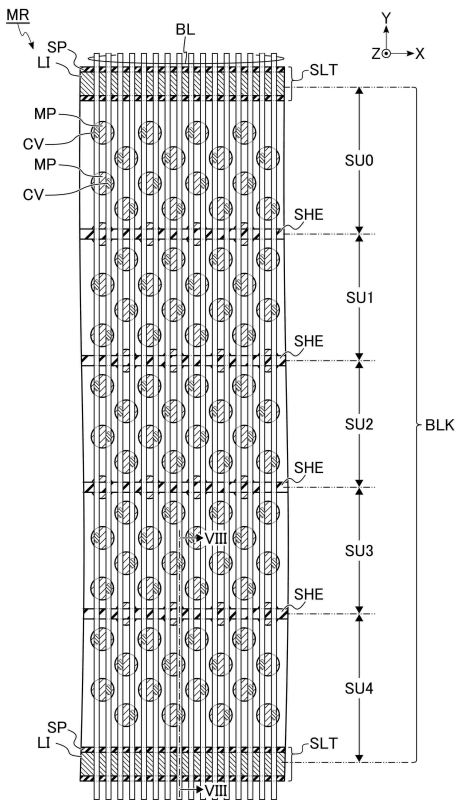


【 図 6 】

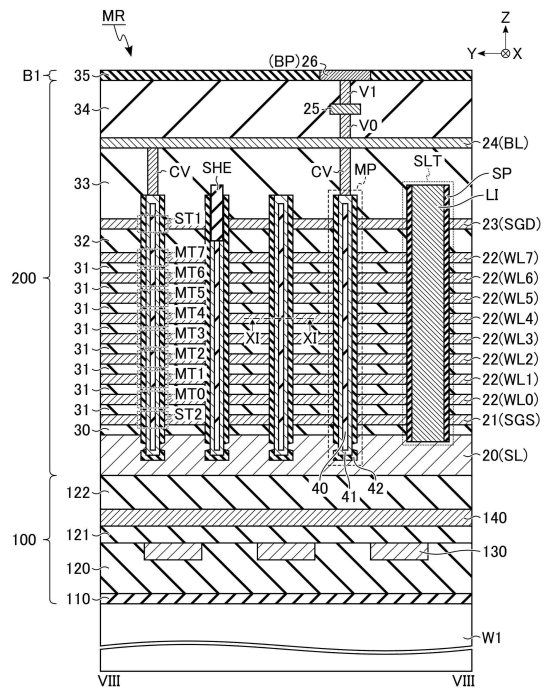


10

【 図 7 】



【 図 8 】



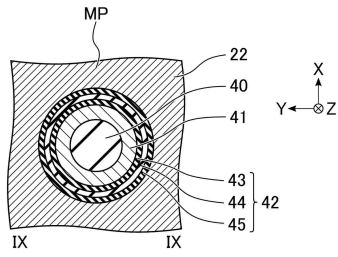
20

30

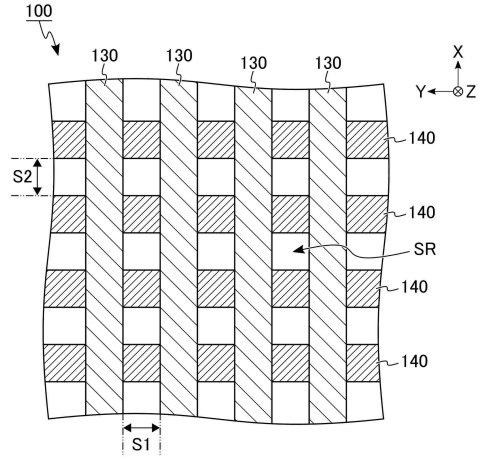
40

50

【図9】

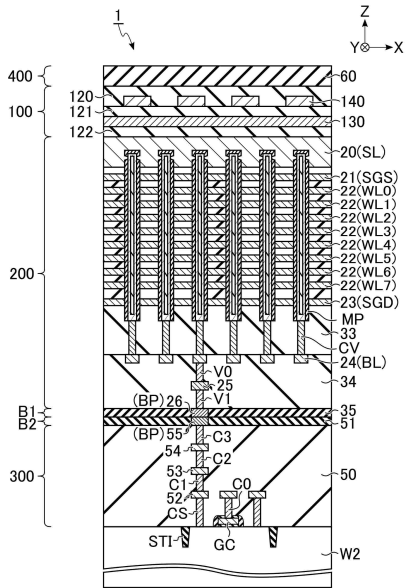


【図10】

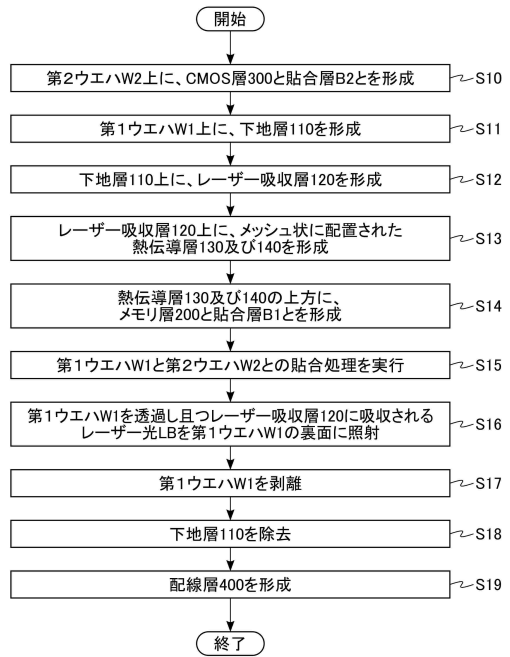


10

【図11】



【図12】



20

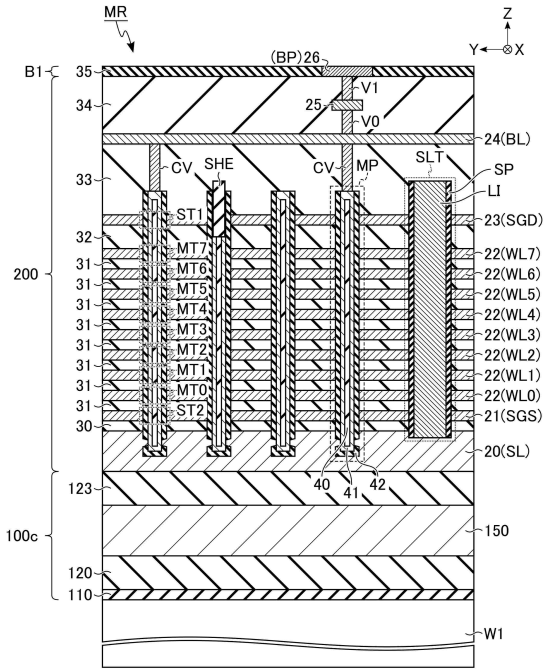
30

40

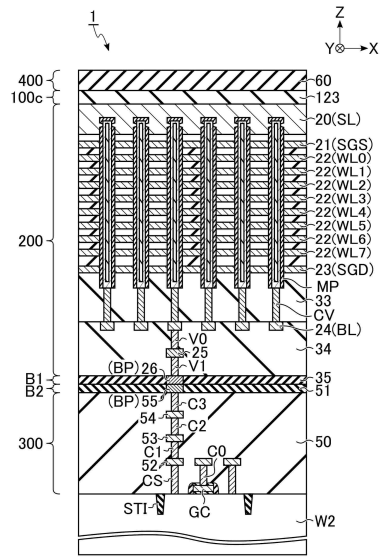
50



【図 17】



【図 18】



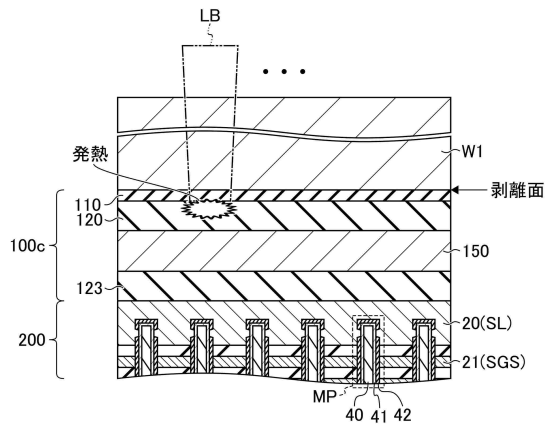
10

20

【図 19】



【図 20】

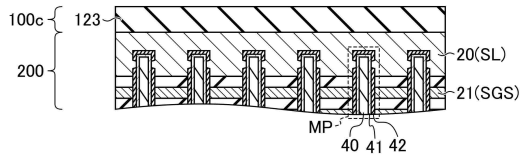


30

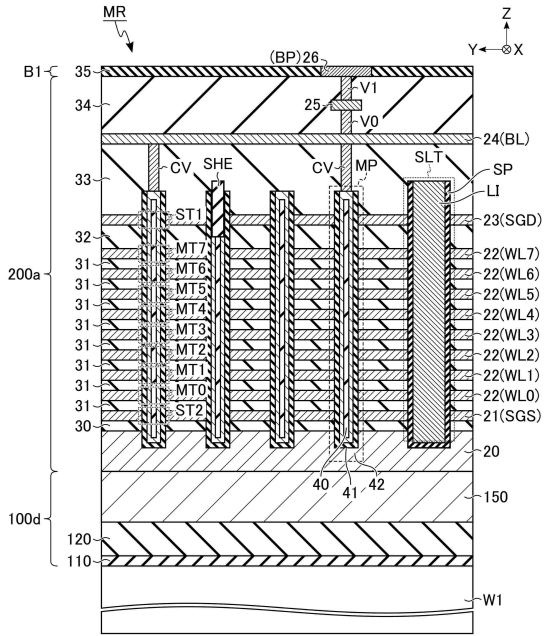
40

50

【図 2 1】



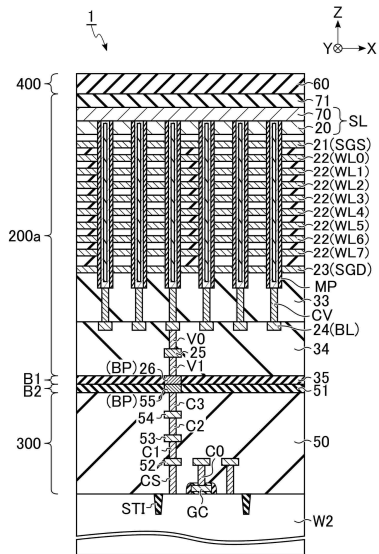
【図 2 2】



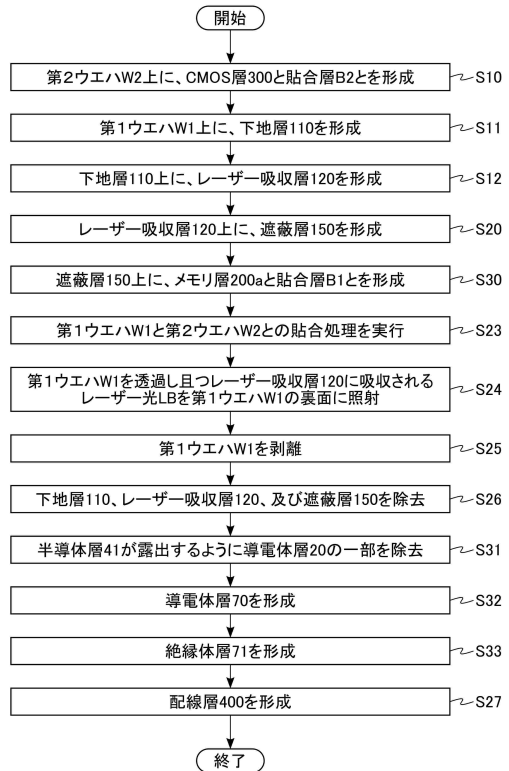
10

20

【図 2 3】



【図 2 4】

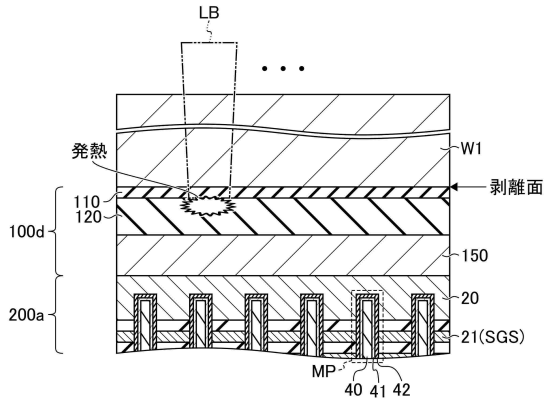


30

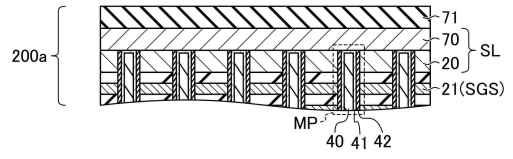
40

50

【 図 2 5 】

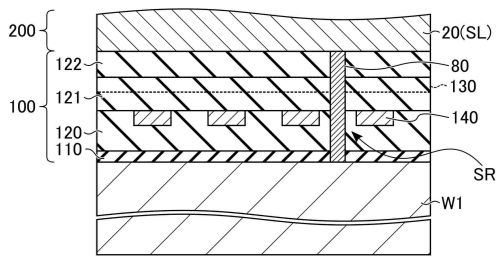


【 図 2 6 】

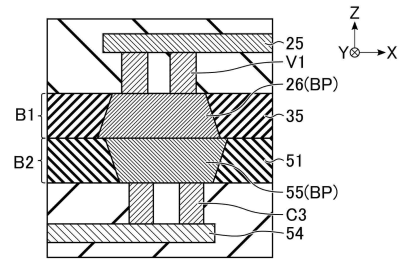


10

【 図 2 7 】



【 図 2 8 】



20

30

40

50

---

フロントページの続き

(51)国際特許分類

F I

テーマコード (参考)

*H 0 1 L 27/00 (2006.01)*

H 0 1 L 27/00 3 0 1 C

*H 0 1 L 25/07 (2006.01)*

H 0 1 L 27/00 3 0 1 B

H 0 1 L 27/00 3 0 1 H

H 0 1 L 25/08 Y

Fターム (参考)

ZA30

5F101 BA42 BA46 BB02 BC01 BD02 BD05 BD16 BD30 BD34 BE20

BH23 BH30