



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년01월02일
(11) 등록번호 10-1346921
(24) 등록일자 2013년12월24일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) G02F 1/1343 (2006.01)
(21) 출원번호 10-2008-0014899
(22) 출원일자 2008년02월19일
심사청구일자 2011년11월03일
(65) 공개번호 10-2009-0089630
(43) 공개일자 2009년08월24일
(56) 선행기술조사문헌
US7138655 A
US7687806 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
박성진
대구광역시 북구 학정로 271, 청구아파트 102동
1603호 (구암동)
이재구
경상북도 구미시 인동45길 7, 부영 아파트 106동
1104호 (구평동)
(74) 대리인
서교준

전체 청구항 수 : 총 14 항

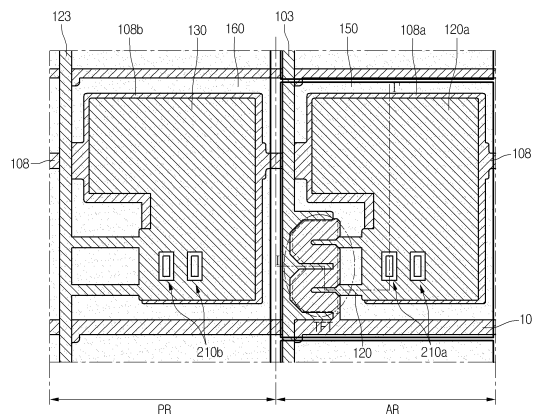
심사관 : 신창우

(54) 발명의 명칭 평판 표시 장치 및 그 제조방법

(57) 요약

본 발명에 따른 평판 표시 장치는, 액티브 영역과 주변 영역이 구분된 기판; 상기 액티브 영역 상에 교차 배열되어 픽셀 영역을 정의하는 게이트 배선과 데이터 배선; 상기 게이트 배선과 데이터 배선의 교차 영역에 배치된 박막 트랜지스터; 상기 픽셀 영역에 배치된 제 1 공통전극; 상기 제 1 공통전극 상부에 배치되어 스토리지 커패시턴스를 형성하는 스토리지 전극; 상기 스토리지 전극과 전기적으로 연결되면서, 상기 픽셀 영역과 상기 데이터 배선 및 상기 게이트 배선을 덮도록 배치된 화소전극; 및 상기 화소전극 상에 형성되어 액티브 영역 및 주변 영역을 덮으며, 화이트 영상 및 블랙 영상을 표시하기 위해 서로 다른 종류의 대전입자들이 내부에 마련된 마이크로 캡슐을 가지는 잉크층을 포함하는 잉크필름을 포함한다.

대표도 - 도2



특허청구의 범위

청구항 1

액티브 영역과 주변 영역이 구분된 기판;

상기 액티브 영역 상에 교차 배열되어 픽셀 영역을 정의하는 게이트 배선과 데이터 배선;

상기 게이트 배선과 데이터 배선의 교차 영역에 배치된 박막 트랜지스터;

상기 게이트 배선과 평행하면서 픽셀 영역을 가로질러 배치되는 공통 배선으로부터 분기되어 형성된 제1 공통전극;

상기 제 1 공통전극 상부에 배치되어 스토리지 커패시턴스를 형성하는 스토리지 전극;

상기 스토리지 전극과 전기적으로 연결되면서, 상기 픽셀 영역과 상기 데이터 배선 및 상기 게이트 배선을 덮도록 배치된 화소전극; 및

상기 화소전극 상에 형성되어 액티브 영역 및 주변 영역을 덮으며, 화이트 영상 및 블랙 영상을 표시하기 위해 서로 다른 종류의 대전입자들이 내부에 마련된 마이크로 캡슐을 가지는 잉크층을 포함하는 잉크필름을 포함하고,

상기 박막 트랜지스터의 소스 전극은 세개의 전극 구조로 형성되고, 드레인 전극은 상기 소스 전극의 세개의 전극들과 맞물려 배치될 수 있도록 두개의 전극구조로 형성된 것을 특징으로 하는 평판 표시 장치.

청구항 2

제1항에 있어서, 상기 주변 영역은,

더미 픽셀 영역을 정의하기 위해 교차 배열된 게이트 배선과 더미 데이터 배선;

상기 더미 픽셀 영역에 배치된 더미 공통전극;

상기 더미 공통전극과 오버랩되면서 상기 더미 데이터 배선으로부터 분기되는 더미 스토리지 전극; 및

상기 더미 스토리지 전극과 전기적으로 콘택되면서 상기 주변 영역 전체 둘레를 따라 일체로 형성된 더미 화소전극을 포함하는 평판 표시 장치.

청구항 3

제1항에 있어서, 상기 화소 전극과 스토리지 전극 사이에는 유전체층이 게재된 것을 특징으로 하는 평판 표시 장치.

청구항 4

제3항에 있어서, 상기 유전체층 상하층에는 각각 제 1과 2 보호막이 형성된 것을 특징으로 하는 평판 표시 장치.

청구항 5

제3항에 있어서, 상기 유전체층은 유기막인 것을 특징으로 하는 평판 표시 장치.

청구항 6

제1항에 있어서, 상기 화소전극은 상기 픽셀 영역의 게이트 배선, 데이터 배선 및 박막 트랜지스터 전 영역을 덮도록 확장 형성된 것을 특징으로 하는 평판 표시 장치.

청구항 7

제1항에 있어서, 상기 잉크필름에는 제 2 공통전극을 더 포함하는 것을 특징으로 하는 평판 표시 장치.

청구항 8

삭제

청구항 9

제 1 항에 있어서, 상기 박막 트랜지스터의 채널층은 상기 소스 전극의 세개의 전극과 드레인 전극의 두개의 전극 사이에 각각 형성된 것을 특징으로 하는 평판 표시 장치.

청구항 10

제 1 항에 있어서, 상기 게이트 배선과 평행하면서 픽셀 영역을 가로질러 배치된 공통 배선을 더 포함하는 것을 특징으로 하는 평판 표시 장치.

청구항 11

제 10 항에 있어서, 상기 공통 배선은 상기 픽셀 영역들 사이에 배치된 상기 데이터 배선과 교차되는 영역에서 픽셀 영역에서의 폭보다 좁아지도록 형성된 것을 특징으로 하는 평판 표시 장치.

청구항 12

액티브 영역, 주변 영역 및 패드 영역으로 구획되는 기판을 제공하는 단계;

상기 기판 상에 금속막을 형성한 다음, 마스크를 포함하는 포토리소그래피 방법을 이용하여 게이트 전극, 공통 전극, 게이트 배선, 공통배선 및 게이트 패드를 형성하는 단계;

상기 게이트 전극 등이 형성된 기판 상에 게이트 절연막, 비정질 실리콘층과 도핑된 비정질 실리콘층 및 금속층을 연속하여 형성한 다음, 회절 마스크 또는 하프톤 마스크를 포함하는 포토리소그래피 방법을 이용하여 박막 트랜지스터 영역에서 채널층 및 소스/드레인 전극, 스토리지 전극, 데이터 배선 및 데이터 패드를 형성하는 단계;

상기 소스/드레인 전극이 형성된 기판 상에 제 1 보호막, 유전체층 및 제 2 보호막을 순차적으로 형성한 다음, 상기 스토리지 전극 영역에 콘택홀을 형성하면서 상기 게이트 패드와 데이터 패드 영역에 상기 유전체층을 제거하는 단계;

상기 콘택홀이 형성된 기판 상에 투명성 도전물질을 형성한 다음 마스크를 포함하는 포토리소그래피 방법을 이용하여 화소 전극, 게이트 패드 전극 및 데이터 패드 전극을 형성하는 단계; 및

상기 화소 전극 상에 잉크 필름을 형성하는 단계; 를 포함하고,

상기 박막 트랜지스터의 소스 전극은 세개의 전극 구조로 형성되고, 드레인 전극은 상기 소스 전극의 세개의 전극들과 맞물려 배치될 수 있도록 두개의 전극구조로 형성된 것을 특징으로 하는 평판 표시 장치 제조방법.

청구항 13

제12항에 있어서, 상기 콘택홀 형성 공정은,

상기 기판 상에 제 1 보호막과 유전체층을 형성한 다음, 상기 스토리지 전극 영역에서 상기 유전체층의 일부를 제거하여 콘택홀을 형성하고, 이때, 게이트 패드 영역과 데이터 패드 영역의 유전체층을 제거하는 단계; 및

상기 유전체층에 콘택홀을 형성한 다음, 상기 기판 상에 제 2 보호막을 형성한 다음, 상기 스토리지 전극과 게이트 패드 및 데이터 패드 영역에 콘택홀을 형성하는 단계를 포함하는 것을 특징으로 하는 평판 표시 장치 제조 방법.

청구항 14

제12항에 있어서, 상기 화소 전극은 콘택홀을 통하여 상기 스토리지 전극과 전기적으로 연결되는 것을 특징으로 하는 평판 표시 장치 제조방법.

청구항 15

제12항에 있어서, 상기 화소 전극과 스토리지 전극 사이에는 제 1 보호막, 유전체층 및 제 2 보호막이 적층되어 형성된 것을 특징으로 하는 평판 표시 장치 제조방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 평판 표시 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 평판 표시 장치는 정보를 처리하는 정보처리장치에서 처리된 전기적 포맷을 갖는 데이터를 영상으로 변경한다.

[0003] 대표적인 평판 표시 장치로는 액정표시장치(Liquid Crystal Display Device), 유기 전계 발광 표시 장치(Organic Electroluminescence Display Device), 플라즈마 표시 패널(Plasma Display Panel) 및 전기 영동 장치(Electrophoretic Device) 등을 들 수 있다.

[0004] 액정표시장치는 액정을 이용하여 영상을 표시하고, 유기 전계 발광 표시 장치는 유기 발광층을 이용하여 영상을 표시하고, 플라즈마 표시 패널은 플라즈마를 이용하여 영상을 표시하며, 전기 영동 장치는 광을 반사 또는 흡수하는 대전 입자를 이용하여 영상을 표시한다.

[0005] 이들 중 종래 전기 영동 장치는 기관, 화소 전극, 잉크층, 공통전극을 포함한다. 화소 전극은 기관 상에 매트릭스 형태로 배치되며, 잉크층은 화소 전극 상에 필름(Film) 형태로 부착된다. 잉크층은 나노 크기를 갖는 대전 입자들을 포함한다. 대전 입자들은 블랙 대전 입자 또는 화이트 대전 입자를 포함한다. 공통 전극은 잉크층 상에 배치된다.

[0006] 하지만, 최근 전기 영동 장치의 대형화 및 고해상도화 요구에 따라 각 픽셀 영역에서 큰 커패시턴스 확보가 요구되고 있다. 또한, 전기 영동 장치의 화면 품질을 개선하기 위한 요구가 증대되어 가고 있다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명은 평판 표시 장치의 각 픽셀 영역에 배치되어 있는 화소 전극을 확장 형성하여, 픽셀 영역에 배치된 데이터 배선과 게이트 배선을 모두 덮도록 하여 각 픽셀 영역에서의 커패시턴스를 확보하고 반사율을 증가시켜 화질 개선을 한 평판 표시 장치 및 그 제조방법을 제공함에 다른 목적이 있다.

[0008] 또한, 본 발명은 평판 표시 장치의 주변 영역에도 전극을 배치하여 평판표시장치와 케이스의 조립 공정의 불량을 개선할 수 있는 평판 표시 장치 및 그 제조방법을 제공함에 그 목적이 있다.

과제 해결수단

[0009] 상기한 목적을 달성하기 위한, 본 발명에 따른 평판 표시 장치는, 액티브 영역과 주변 영역이 구분된 기관; 상기 액티브 영역 상에 교차 배열되어 픽셀 영역을 정의하는 게이트 배선과 데이터 배선; 상기 게이트 배선과 데이터 배선의 교차 영역에 배치된 박막 트랜지스터; 상기 픽셀 영역에 배치된 제 1 공통전극; 상기 제 1 공통전극 상부에 배치되어 스토리지 커패시턴스를 형성하는 스토리지 전극; 상기 스토리지 전극과 전기적으로 연결되면서, 상기 픽셀 영역과 상기 데이터 배선 및 상기 게이트 배선을 덮도록 배치된 화소전극; 및 상기 화소전극 상에 형성되어 액티브 영역 및 주변 영역을 덮으며, 화이트 영상 및 블랙 영상을 표시하기 위해 서로 다른 종류의 대전입자들이 내부에 마련된 마이크로 캡슐을 가지는 잉크층을 포함하는 잉크필름을 포함한다.

[0010] 또한, 본 발명의 다른 실시예에 따른 평판 표시 장치 제조방법은, 액티브 영역, 주변 영역 및 패드 영역으로 구획되는 기관을 제공하는 단계; 상기 기관 상에 금속막을 형성한 다음, 마스크를 포함하는 포토리소그래피 방법을 이용하여 게이트 전극, 공통전극, 게이트 배선, 공통배선 및 게이트 패드를 형성하는 단계; 상기 게이트 전극 등이 형성된 기관 상에 게이트 절연막, 비정질 실리콘층과 도핑된 비정질 실리콘층 및 금속층을 연속하여 형성한 다음, 회절 마스크 또는 하프톤 마스크를 포함하는 포토리소그래피 방법을 이용하여 박막 트랜지스터 영역에서 채널층 및 소스/드레인 전극, 스토리지 전극, 데이터 배선 및 데이터 패드를 형성하는 단계; 상기 소스/드

레인 전극이 형성된 기판 상에 제 1 보호막, 유전체층 및 제 2 보호막을 순차적으로 형성한 다음, 상기 스토리지 전극 영역에 콘택홀을 형성하면서 상기 게이트 패드와 데이터 패드 영역에 상기 유전체층을 제거하는 단계; 상기 콘택홀이 형성된 기판 상에 투명성 도전물질을 형성한 다음 마스크를 포함하는 포토리소그래피 방법을 이용하여 화소 전극을 형성하는 단계; 및 상기 화소 전극 상에 잉크 필름을 형성하는 단계를 포함한다.

효 과

[0011] 이상에서 자세히 설명된 바와 같이, 본 발명은 평판 표시 장치의 각 픽셀 영역에 배치되어 있는 화소 전극을 확장하고, 픽셀 영역에 배치된 데이터 배선과 게이트 배선을 모두 덮도록 하여 각 픽셀 영역에서의 커패시턴스를 확보하고 반사율을 증가시켜 화질 개선을 한 효과가 있다.

[0012] 또한, 본 발명은 평판 표시 장치의 주변 영역에도 전극을 배치하여 평판표시장치와 케이스의 조립 공정의 불량을 개선하는 효과가 있다.

[0013] 본 발명은 상기한 실시 예에 한정되지 않고, 이하 청구 범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

발명의 실시를 위한 구체적인 내용

[0014] 이하, 첨부된 도면을 참조하여 실시 예를 상세히 설명한다. 우선, 도면들 중 동일한 구성요소 또는 부품들은 가능한 한 동일한 참조부호를 나타내고 있음에 유의해야 한다. 실 시예를 설명함에 있어서 관련된 공지기능 혹은 구성에 대한 구체적인 설명은 실 시예의 요지를 모호하게 하지 않기 위해 생략한다.

[0015] 또한, 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "상(on/above/over/upper)"에 또는 "아래(down/below/under/lower)"에 형성되는 것으로 기재되는 경우에 있어, 그 의미는 각 층(막), 영역, 패드, 패턴 또는 구조물들이 직접 기판, 각 층(막), 영역, 패드 또는 패턴들에 접촉되어 형성되는 경우로 해석될 수도 있으며, 다른 층(막), 다른 영역, 다른 패드, 다른 패턴 또는 다른 구조물들이 그 사이에 추가적으로 형성되는 경우로 해석될 수도 있다. 따라서, 그 의미는 발명의 기술적 사상에 의하여 판단되어야 한다.

[0016] 평판 표시 장치

[0017] 도 1a는 본 발명의 일 실시예에 의한 평판 표시 장치의 평면도이고, 도 1b는 상기 도 1a의 A 영역을 확대한 도면이다.

[0018] 도 1a 및 도 1b를 참조하면, 전기 영동 방식으로 구동되는 평판 표시 장치(display device;100)는 크게 액티브 영역(active region, AR), 주변 영역(peripheral region, PR), 게이트 패드 영역(Gate Pad Region: GPR) 및 데이터 패드 영역(Data Pad Region: DPR)으로 구분된다. 도면에 도시하였지만, 설명하지 않은 GP는 게이트 패드(Gate Pad)이고, DP는 데이터 패드(Data Pad)이다.

[0019] 상기 액티브 영역(PR)과 주변 영역(PR)을 도 1b를 참조하여 보면, 상기 액티브 영역과 주변 영역에는 복수개의 픽셀 영역이 구획되어 있고, 각 픽셀 영역에는 공통전극, 스토리지 전극 및 화소 전극이 형성되어 있다. 또한, 주변 영역(PR)의 외곽에는 데이터 배선들(DL1,DL2...DLn)과 게이트 배선들(GL1,GL2,...)이 확장 형성되어 있고, 상기 게이트 배선들(GL1, GL2,..GLn)과 데이터 배선들(DL1,...DLn)들 가장자리 영역에는 각각 정전기 방지 회로(ESD)가 형성되어 있다. 상기 정전기 방지 회로들은 모두 정전기 방지 회로 라인(ESD Line)에 공통적으로 연결되어 있다. 또한, 상기 게이트 배선들(GL1, GL2, ..GLn) 사이에는 공통 배선(Vcom1, Vcom2,..Vcomn)들이 확장 형성되어 있고, 이들은 모두 Vcom 공급 라인에 의해 공통적으로 연결되어 있다.

[0020] 상기 액티브 영역은 데이터 배선들(DL1, DL2,..DLn)을 통해서 데이터 신호가 각각의 픽셀 영역으로 공급되어 화상을 디스플레이하는 영역이고, 주변 영역(PR)은 데이터 배선들(DL1, DL2,...DLn)을 통해서 데이터 신호가 일정 기간 지속적으로 공급되어 특정 휘도, 예컨대 평판표시장치를 수납 및 보호하는 케이스(도면에는 도시하지 않음.)와 가장 자연스러운 조화를 이룰 수 있는 휘도를 구현한다. 예를 들어, 상기 특정 휘도는 블랙, 화이트 및 회색 휘도 중 어느 하나일 수 있다. 이는, 상기 평판표시장치와 케이스의 조립공정에서 상기 평판표시장치의 주변 영역(PR)이 상기 케이스로부터 노출될 경우, 사용자의 시야에 사용자가 원하는 영상외에 상기 주변 영역이 들어올 수 있기 때문에, 상기 주변 영역(PR)은 상기 케이스와 동일하거나 유사한 특정한 휘도를 구현하여 상기 평판표시장치와 케이스의 조립불량을 개선하기 위함이다. 즉, 상기 주변 영역은 특정한 휘도를 지속적으로 구현함에 따라, 상기 케이스의 조립 불량을 개선할 수 있는 일반적인 액정표시장치의 외곽 블랙매트릭스 역할을 수

행할 수 있다.

- [0021] 또한, 도면에 도시된 바와 같이, 액티브 영역에서는 각 픽셀 영역당 개별적으로 화소전극이 형성되어 있지만, 주변 영역에서는 액티브 영역의 둘레를 따라 일체로 더미 화소전극이 형성되어 있다.(도 2 참조)
- [0022] 또한, 도 1b에 도시된 바와 같이, 본 발명에서는 데이터 배선들(DL1, DL2, ..., DLn)과 게이트 배선들(GL1, GL2, ..., GLn)에는 정전기 방지회로(ESD)를 배치하였지만, 공통 배선들(Vcom1, Vcom2, ..., Vcomn)에는 정전기 방지회로를 배치하지 않았다. 이것은 정전기 방지회로들을 배치하고, 이들을 공통 공급 라인을 통해 폐루프(closed loop) 형태로 연결할 경우 공통배선들에 공급되는 전압 레벨(level)이 강하 또는 왜곡되는 문제가 발생하기 때문이다.
- [0023] 따라서, 본 발명에서는 데이터 배선들(DL1, DL2, ..., DLn) 및 게이트 배선들(GL1, GL2, ..., GLn)의 각각에는 정전기 방지회로를 배치하고, 이를 폐루프로 연결한다. 하지만, 공통 배선들(Vcom1, Vcom2, ..., Vcomn)에는 정전기 방지회로를 배치하지 않고 연결구조도 공통 공급 라인이 오픈된 구조로 형성하였다.
- [0024] 도 2는 본 발명에 따른 평판 표시 장치의 액티브 영역과 주변 영역의 픽셀 구조를 도시한 평면도이고, 도 3은 도 2의 I-I'선을 절단한 단면도이다.
- [0025] 도 2 및 도 3에 도시된 바와 같이, 액티브 영역(AR)에는 다수개의 픽셀 영역이 정의되는데, 각 픽셀 영역은 도 2에 도시된 바와 같이, 게이트 배선(101)과 데이터 배선(103)이 교차 배열되어 단위 픽셀 영역을 정의하고 있다. 또한, 상기 게이트 배선(101)과 데이터 배선(103)의 교차 영역에는 스위칭 소자인 박막 트랜지스터(Thin Film Transistor: TFT)가 배치되어 있고, 픽셀 영역 내에는 제 1 공통전극(108a), 상기 박막 트랜지스터의 드레인 전극(120)으로부터 확장 형성된 스토리지 전극(120a) 및 화소전극(150) 등이 서로 오버랩되도록 배치되어 있다. 상기 제 1 공통전극(108a)은 상기 게이트 배선(101)과 평행하면서 픽셀 영역을 가로질러 배치되는 공통배선(108)으로부터 분기 된다.
- [0026] 상기 공통배선(108)은 상기 데이터 배선(103)과 교차되는 영역에서는 그 배선 폭이 좁아지는 구조로 되어 있는데, 이것은 상기 공통배선(108)을 교차하여 지나가는 데이터 배선(103)이 단선되는 것을 방지하기 위함이다. 또한, 상기 데이터 배선(103)과 교차되는 게이트 배선(101) 영역에도 소정의 돌출부가 형성되어 있어 데이터 배선(103)이 상기 게이트 배선(101) 상에 형성될 때 단선되는 것을 방지하도록 하였다. 도 4a에 도시된 바와 같이, 게이트 전극(111)과 대향하는 하측 방향으로 소정의 돌출부가 형성되어 있음을 볼 수 있다.
- [0027] 특히, 전기 영동 방식으로 구동되는 평판 표시 장치는 하나의 영상 프레임을 장시간 일정하게 유지시켜야하기 때문에 픽셀 영역에서의 스토리지 커패시턴스 값이 커야한다. 따라서, 제 1 공통전극(108a)과 스토리지 전극(120a)은 픽셀 영역에서의 스토리지 커패시턴스 확보를 위해 확장 형성된 것이다. 즉, 스토리지 전극(120a)과 제 1 공통전극(108a)은 픽셀 영역의 대부분을 차지하도록 넓게 형성되어 있다.
- [0028] 또한, 전기 영동 방식으로 구동되는 평판 표시 장치는 다른 평판 표시 장치에 비해 구동 전압이 높기 때문에 박막 트랜지스터(TFT)를 크게 형성할 필요가 있다. 즉, 높은 구동 전압에서 동작하기 위해서는 박막 트랜지스터의 채널폭(W)을 넓게 형성하고, 채널 길이(L)는 길게 형성해야 한다(TFT 영역에서의 점선표시). 이에 따라, 전기 영동 방식으로 구동하는 평판 표시 장치에 있어서, 기존 액정표시장치와 같이 박막트랜지스터와 중첩되지 않게 형성될 경우 반사율이 떨어져 화면 품질이 저하될 수 있다. 하지만, 기존 액정표시장치에 있어서, 화소전극이 상기 박막트랜지스터와 중첩되어 형성될 경우, 상기 박막트랜지스터의 채널과 상기 화소전극의 전압에 의해 액정의 이상 구동을 하게 되어 화질에 영향을 미치는 문제점이 있다. 이와 같은 이상 구동 문제는 전기 영동 방식으로 구동되는 평판 표시 장치에도 발생된다.
- [0029] 또한, 기존 액정표시장치의 화소 영역에서와 같이 화소 전극이 게이트 배선과 데이터 배선 내측에만 존재하게 되면 전기 영동 방식으로 구동하는 평판 표시 장치에서는 반사율이 떨어져 화면 품질이 저하된다. 이로써, 화소 전극이 데이터 배선과 게이트 배선을 모두 덮도록 형성할 경우, 기생 커패시턴스(Cgs, Cgd)의 크기가 커져서 데이터 신호가 기생 커패시턴스에 의해 크게 왜곡되고, 이것은 킥백(kick back: ΔV) 전압을 증가시키는 요인으로 작용한다. 이와 같이 킥백 전압의 증가되면 평판 표시 장치의 화질 품질이 저하된다.
- [0030] 이를 해결하기 위해, 본 발명의 전기 영동 방식 평판 표시 장치에서는 화소 전극을 박막트랜지스터, 게이트 배선과 데이터 배선 중 적어도 어느 하나의 배선상까지 확장하며, 상기 화소전극과 상기 박막트랜지스터, 게이트 배선과 데이터 배선사이에 유전층(141)을 개재하여 화질 품질이 저하되는 것을 최소화하며 이와 동시에 반사율을 향상시킨다.

- [0031] 또한, 본 발명에서와 같이 화소 전극(150)을 확장시킴으로써, 픽셀 영역에서의 반사율을 높이고, 스토리지 커패시턴스의 크기를 크게 하여 하나의 영상 프레임을 장시간 유지할 수 있도록 하였다.
- [0032] 또한, 주변 영역의 더미 픽셀 영역에서는 게이트 배선(101)과, 상기 게이트 배선(101)과 교차 배열되는 더미 데이터 배선(123)이 더미 픽셀 영역을 정의한다. 각 더미 픽셀 영역에는 더미 공통전극(108b)과 상기 더미 데이터 배선(123)으로부터 분기되어 상기 더미 공통전극(108b)과 오버랩되는 더미 스토리지 전극(130) 및 상기 더미 스토리지 전극(130)과 전기적으로 연결되면서 주변 영역의 더미 픽셀 영역 전체를 덮도록 형성된 더미 화소전극(160)이 배치되어 있다. 상기 더미 화소전극(160)은 상기 도 1의 주변 영역을 따라 연장되어 하나의 전극 형태로 형성된다.
- [0033] 상기 더미 스토리지 전극(130)은 상기 더미 데이터 배선(123)으로부터 두개의 연결부로부터 인출된 구조로 되어 있지만, 이것은 이에 한정된 것이 아니고 도 6에서와 같이, 하나의 인출부로 연결될 수 있다.
- [0034] 도 3을 참조하면, 상기 액티브 영역(active region, AR)에서는 데이터 배선(103)을 통하여 영상 신호가 픽셀 영역으로 공급되면, 화소 전극(150)과 잉크필름(170)의 제 2 공통전극(170b) 사이에 전계가 형성된다. 상기 화소 전극(150)과 제 2 공통전극(170b) 사이에 형성되는 전계는 잉크층(170a)의 마이크로 캡슐 내에 포함되어 있는 대전입자들을 이동시켜 블랙 또는 화이트의 화상을 구현한다.
- [0035] 또한, 상기 주변 영역(peripheral region, PR)에는 더미 데이터 배선(123)을 통하여 화이트, 블랙 또는 회색 중 어느 하나의 색을 구현할 수 있는 영상 신호가 선택적으로 공급되어 더미 화소전극(160)과 잉크필름(170)의 제 2 공통전극(170b) 사이에는 잉크층(170a)에 인가되는 전계가 형성된다. 그러면, 상기 주변 영역은 화이트, 블랙 또는 회색 중 어느 하나의 단일 색이 구현되어, 평판표시장치와 케이스의 조립불량을 개선할 수 있다.
- [0036] 상기 더미 공통전극(108b)은 상기 공통배선(108)으로부터 분기되어 형성된다. 또한, 도면에서는 도시하였지만 설명하지 않은 210a는 화소전극(150)과 스토리지 전극(120a)을 전기적으로 연결하기 위한 제 1 콘택홀이고, 210b는 더미 화소전극(160)과 더미 스토리지 전극(130)을 전기적으로 연결하기 위한 제 2 콘택홀이다.
- [0037] 도면에는 제 1 및 제 2 콘택홀(210a, 210b)들은 각각 두 개로 형성한 것으로 도시하였으나, 이에 한정되는 것은 아니며 한개 또는 두개 이상으로 형성될 수도 있다.
- [0038] 도 2를 참조하여 도 3을 구체적으로 설명하면, 기판(200) 상에는 게이트 배선(101)으로부터 픽셀 영역으로 분기되는 게이트 전극(111)과 공통배선(108)으로부터 분기되는 제 1 공통전극(108a)이 형성되어 있다. 상기 게이트 전극(111)과 제 1 공통전극(108a)이 형성된 기판(200) 상에는 게이트 절연막(102)이 형성되어 있고, 상기 게이트 전극(111)과 대응되는 게이트 절연막(102) 상에는 박막 트랜지스터(TFT)의 채널층(114)이 형성되어 있다. 상기 채널층(114) 상에는 데이터 배선(103), 상기 데이터 배선(103)으로부터 분기되는 소스 전극(119) 및 상기 소스 전극(119)과 대향하는 드레인 전극(120)이 형성되어 있다. 픽셀 영역에서는 상기 드레인 전극(120)과 일체로 형성되면서 확장 형성된 스토리지 전극(120a)이 상기 제 1 공통전극(108a)과 대응되는 게이트 절연막(102) 상에 형성되어 상기 제 1 공통전극(108a)과 오버랩된다. 상기 제 1 공통전극(108a)의 기능은 상기 스토리지 전극(120a)과의 사이에서 스토리지 커패시턴스를 확보하기 위함이다.
- [0039] 또한, 상기 소스/드레인 전극(119,120)이 형성된 기판(200) 상에는 제 1 보호막(140)이 형성되어 있고, 상기 제 1 보호막(140) 상에는 유전체층(141)과 제 2 보호막(142)이 형성되어 있다. 상기 유전체층(141)은 포토아크릴과 같은 유기막을 사용하는 것이 바람직하나, 경우에 따라서는 무기막 또는 포토레지스트를 사용할 수 있다. 상기 제 2 보호막(142) 상에는 화소전극(150)이 형성되어 있고, 상기 화소전극(150)은 제 1 콘택홀(210a)을 통하여 하부에 형성된 스토리지 전극(120a)과 전기적으로 연결되어 있다. 마찬가지로, 주변 영역의 더미 화소전극(160)도 제 2 콘택홀(210b)을 통하여 더미 스토리지 전극(130)과 전기적으로 연결되어 있다.
- [0040] 상기 화소전극(150) 상에는 잉크필름(170)이 부착되어 있는데, 상기 잉크필름(170)은 상기 화소전극(150)과 맞닿는 잉크층(170a), 상기 잉크층(170a)을 보호하는 보호필름(170c) 및 상기 보호필름(170c)과 잉크층(170a) 사이에 게재된 제 2 공통전극(170b)으로 구성되어 있다. 상기 잉크층(170a)은 서로 다른 종류의 대전입자들을 포함하는 마이크로 캡슐들을 포함하고, 전계에 의해 대전 입자들을 구동시켜 외부 광을 반사하여 화이트 상태 또는 외부 광을 흡수하여 블랙 상태를 구현한다.
- [0041] 본 발명에서는 화소전극(150)과 제 1 보호막(140) 사이에 유전체층(141) 및 제 2 보호막(142)을 형성하여 화소전극(150) 및 게이트 배선(101)과 데이터 배선(103) 중 적어도 어느 하나의 사이에서 발생 될 수 있는 기생 커패시턴스를 최소화하였다. 즉 유전체층(141)은 상기 화소전극(150)과 스토리지 전극(120a)과의 거리 및 유전율

을 조절하여 기생 커패시턴스를 줄이는 역할을 한다.

- [0042] 또한, 제 1 보호막(140)은 박막 트랜지스터의 전극들과 데이터 배선(103)이 유전체층(141)에 직접적으로 접촉되어 손상되는 것을 방지하고, 제 2 보호막(142)은 화소전극(150)이 유전체층(141)과 직접 접촉되어 손상되는 것을 방지하기 위함이다. 특히, 유전체층(141)이 유기막인 경우에는 유기막으로부터 발생하는 아웃가스로 인해 유전체층(141)과 직접접촉되고 있는 금속 전극이 손상되는데 이를 방지하기 위해 유전체층(141)의 상하층에 보호막을 형성하였다.
- [0043] 따라서, 본 발명에서는 액티브 영역에서의 화소전극(150)을 확장 형성하여 반사율을 높여 화질 품위를 개선하였고, 추가적으로 단위 픽셀 영역에서의 스토리지 커패시턴스를 확보하였다.
- [0044] 평판 표시 장치 제조방법
- [0045] 도 4a 내지 도 4d는 본 발명의 다른 실시예에 의한 평판 표시 장치 제조방법을 도시한 도면이다.
- [0046] 도 3을 참조하면서 도 4a 내지 도 4d의 제조 방법을 설명하면 다음과 같다.
- [0047] 도 4a에 도시된 바와 같이, 액티브 영역(AR)과 주변 영역(PR)이 구획된 기판(200) 상에 게이트 배선(101), 게이트 전극(111), 공통배선(108), 제 1 공통전극(108a) 및 더미 공통전극(108b)을 형성한다. 상기 게이트 배선(101)과 공통배선(108) 물질은 구리, 크롬, 크롬 합금, 몰리브덴 및 이들의 합금 등을 들 수 있다. 배선 및 전극 형성 방법은 마스크를 포함하는 포토리소그래피 방법 및 식각 공정을 이용하여 형성한다. 본 실시 예에서, 공통 배선(108)과 게이트 배선(101)은 액티브 영역뿐만 아니라 주변 영역까지 확장 형성된다.
- [0048] 또한, 상기 공통배선(108)은 픽셀 영역에서 인접한 픽셀 영역으로 넘어갈 때, 데이터 배선과 교차되는 영역에서 배선 폭이 좁아지도록 형성된다. 이것은 이후 게이트 절연막을 사이에 두고 데이터 배선이 형성될 경우 단차에 의해 데이터 배선이 단선되는 것을 방지하기 위함이다.
- [0049] 또한, 상기 게이트 배선(101)에는 상기 게이트 전극(111)과 대향하는 반대 방향에 소정의 돌출부를 형성하여, 이후 데이터 배선이 형성될 때, 단차에 의해 데이터 배선이 단선되는 것을 방지하도록 하였다. 아울러, 상기 게이트 전극(111)은 드레인 전극과 소스 전극이 교차하는 영역에 소정의 홈들을 형성하여, 소스 전극과 드레인 전극 형성시 단차에 의해 전극이 단선되는 것을 방지하도록 하였다.
- [0050] 상기과 같이 게이트 배선(101) 등이 기판(200) 상에 형성되면, 기판(200)의 전 영역 상에 게이트 절연막(102)을 형성한다. 상기 게이트 절연막(102)은 실리콘 산화막(SiO_2) 또는 실리콘 질화막(SiN_x) 등을 사용할 수 있다.
- [0051] 상기과 같이 게이트 배선(101)과 공통배선(108) 등이 기판(200) 상에 형성되면, 도 4b에 도시한 바와 같이, 액티브 영역에서는 게이트 전극(111) 상에 채널층(114)과 소스/드레인 전극(119, 120), 스토리지 전극(120a) 및 데이터 배선(103)을 형성한다. 이때, 회절 마스크 또는 하프톤 마스크를 사용하여 상기 채널층(114)과 소스/드레인 전극(119, 120) 및 데이터 배선(103)을 동시에 형성한다.
- [0052] 이때, 주변 영역에서도 더미 데이터 배선(123)과 상기 더미 데이터 배선(123)으로부터 분기되는 더미 스토리지 전극(130)을 함께 형성한다.
- [0053] 또한, 채널층(114)은 아몰퍼스 실리콘막과 인(P)과 같은 도전성 불순물로 고농도 도핑된 n+ 아몰퍼스 실리콘막을 포함할 수 있다. 본 발명에서는 채널층(114:점선표시)의 폭과 길이를 확보하기 위해 상기 소스 전극(119)이 세개의 전극 구조로 형성되어 있고, 이와 대응되는 드레인 전극(120)이 두개의 전극 구조로 형성되어 있다. 따라서, 도 4b에 도시된 바와 같이 소스 전극(119)과 드레인 전극(120)은 전극들이 서로 맞물려진 이중(double)구조로 형성되어 있다. 그리고 이들 전극 사이에는 점선 형태의 채널층(114)이 형성된다. 채널층(114)의 길이와 폭이 종래 박막 트랜지스터의 채널층 보다 훨씬 크게 형성된다.
- [0054] 상기과 같이 소스/드레인 전극(119, 120) 및 데이터 배선(103)이 기판(200) 상에 형성되면, 도 4c에 도시한 바와 같이, 기판(200)의 전 영역 상에 제 1 보호막(140), 유전체층(141) 및 제 2 보호막(142)을 순차적으로 형성한 다음, 마스크 공정을 적용하여 상기 스토리지 전극(120a) 및 더미 스토리지 전극(130) 상에 제 1 및 제 2 콘택홀(210a, 210b)을 형성한다. 여기서 제 1 보호막(140)과 제 2 보호막(142)은 산화물 또는 질화물과 같은 무기물을 포함할 수 있으며 유기물을 사용할 수도 있다.
- [0055] 또한, 상기 유전체층(141)은 유기막을 사용하는 것이 바람직하지만, 무기물질 또는 포토레지스트를 사용할 수 있다.

- [0056] 상기와 같이 제 1 및 제 2 콘택홀(210a, 210b)이 형성되면, 도 4d에 도시한 바와 같이, 기판(200)의 전 영역에 투명하면서 도전성인 산화 주석 인듐(Indium Tin Oxide, ITO), 산화 아연 인듐(Indium Zinc Oxide, IZO) 및 아몰퍼스 산화 주석 인듐(amorphous Indium Tin Oxide, a-ITO) 중 어느 하나를 형성한다.
- [0057] 그런 다음, 마스크 공정을 진행하여 액티브 영역의 픽셀 영역에 화소전극(150)을 형성하고, 주변 영역에 더미 화소전극(160)을 형성한다.
- [0058] 이때, 상기 화소전극(150)은 픽셀 영역을 구획하는 데이터 배선(103)과 게이트 배선(101) 및 박막 트랜지스터(TFT)를 덮을 수 있도록 확장 형성한다.
- [0059] 주변 영역에서의 더미 화소전극(160)은 주변 영역 전체 둘레를 따라 일체형 전극 구조로 형성된다. 또한, 도면에서는 도시하지 않았지만, 주변 영역에는 더미 데이터 배선(123)을 통하여 블랙 또는 화이트 데이터 신호만을 공급하여 평판표시장치와 케이스의 조립 불량률을 개선하고자 하였다.
- [0060] 도 5a 내지 도 5d는 본 발명에 따른 평판 표시 장치의 제조 방법을 도시한 도면이다. 제조 공정 영역은 픽셀 영역의 박막 트랜지스터 영역(TFT), 스토리지 커패시턴스 영역(Storage Cap), 게이트 패드(도 1a의 GP) 및 데이터 패드(도 1a의 DP)이다.
- [0061] 도 2를 참조하여 도 5a 내지 도 5d의 제조방법을 설명하면, 기판(200) 상에 구리, 크롬, 크롬 합금, 몰리브덴 및 이들의 합금중 어느 하나를 등을 형성한 다음, 마스크를 포함하는 포토리소그래피 방법을 사용하여 포토레지스트를 패터닝한다. 패터닝된 포토레지스트를 마스크로 사용하여 습식각 공정을 진행하여 기판(200) 상에 게이트 전극(111), 픽셀 영역 내에 제 1 공통전극(108a), 게이트 배선(101), 공통배선(108) 및 게이트 패드(190)를 형성한다. 상기 게이트 패드(190)는 게이트 배선(101)이 연장되어 도 1의 패드 영역까지 확장되어 형성된다.
- [0062] 상기와 같이 게이트 전극(111)이 기판(200) 상에 형성되면, 도 5b에 도시된 바와 같이, 기판(200)의 전 영역 상에 게이트 절연막(102)을 형성한다. 상기 게이트 절연막(102)은 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x) 등을 사용할 수 있다.
- [0063] 그런 다음, 계속해서 게이트 절연막(102) 상에 비정질 실리콘층과 도핑된(n+, p+) 비정질 실리콘층 및 금속층을 연속하여 형성한다. 그런 다음, 회절 마스크 또는 하프톤 마스크를 포함하는 포토리소그래피 방법을 이용하여 패터닝한 다음, 습식각 및 건식각 공정을 반복적으로 사용하여 박막 트랜지스터의 게이트 전극(111) 상에 채널층(114)과 소스/드레인 전극(119, 120) 및 데이터 배선(103)을 형성한다. 스토리지 커패시턴스 영역에는 상기 드레인 전극(120)과 일체로 형성되면서 픽셀 영역에서 확장 형성된 스토리지 전극(120a)을 형성한다.
- [0064] 이때, 데이터 패드(data pad) 영역에는 데이터 패드(191)와 상기 데이터 패드(191)와 게이트 절연막(102) 사이에 반도체층(114a)이 존재한다.
- [0065] 상기에서와 같이 소스/드레인 전극(119, 120) 및 데이터 배선(103)이 기판(200) 상에 형성되면, 도 5c에 도시된 바와 같이, 기판(200) 상에 제 1 보호막(140)과 유전체층(141) 및 제 2 보호막(142)을 순차적으로 형성한다. 그런 다음, 마스크를 포함하는 포토리소그래피 방법을 이용하여 상기 스토리지 전극(120a) 상에 제 1 콘택홀(210a)을 형성한다. 이때, 게이트 패드와 데이터 패드 영역에는 유전체층(141)이 제거되어 제 1 보호막(140)과 제 2 보호막(142)이 게이트 절연막(102) 상에 적층된 구조로 되어 있다. 이때, 제 1 콘택홀 공정에 의해 게이트 패드(190)와 데이터 패드(191)가 노출된다. 즉, 구체적인 공정을 보면 1차적으로 제 1 보호막(140)이 기판(200)의 전 영역 상에 형성되고, 이후 유전체층(141)이 기판(200)의 전 영역 상에 적층된다. 이때, 유전체층(141)에 제 1 콘택홀을 형성하는 공정을 진행하는데, 이때, 패드 영역의 유전체층(141)을 모두 제거한다. 이후, 제 2 보호막(142)을 기판(200) 상에 형성한 다음, 제 1 콘택홀 공정을 진행한다.
- [0066] 여기서 제 1 보호막(140)과 제 2 보호막(142)은 산화물 또는 질화물과 같은 무기물을 포함할 수 있으며 유기물을 사용할 수도 있다. 또한, 상기 유전체층(141)은 유기막을 사용하는 것이 바람직하지만, 무기물질 또는 포토레지스트를 사용할 수 있다.
- [0067] 상기와 같이 제 1 콘택홀(210a)이 형성되면, 도 5d에 도시한 바와 같이, 기판(200)의 전 영역에 투명하면서 도전성인 산화 주석 인듐(Indium Tin Oxide, ITO), 산화 아연 인듐(Indium Zinc Oxide, IZO) 및 아몰퍼스 산화 주석 인듐(amorphous Indium Tin Oxide, a-ITO) 중 어느 하나를 형성한다.
- [0068] 그런 다음, 마스크 공정을 진행하여 액티브 영역의 픽셀 영역에 화소전극(150)을 형성하고, 게이트 패드(190) 상에는 게이트 패드전극(250)과 데이터 패드(191) 상에는 데이터 패드전극(260)을 형성한다.

- [0069] 이때, 상기 화소전극(150)은 픽셀 영역을 구획하는 데이터 배선(103)과 게이트 배선(101) 및 박막 트랜지스터(TFT)를 덮을 수 있도록 확장 형성한다.(도 2 참조)
- [0070] 도 2를 참조하면, 주변 영역에서의 더미 화소전극(160)은 주변 영역 전체 둘레를 따라 일체형 전극 구조로 형성된다. 또한, 도면에서는 도시하지 않았지만, 주변 영역에는 더미 데이터 배선(123)을 통하여 블랙 또는 화이트 데이터 신호만을 공급하여 평판표시장치와 케이스의 조립 불량을 개선할 수 있다.
- [0071] 도 6은 본 발명의 또 다른 실시예에 의한 평판 표시 장치의 평면도이다.
- [0072] 도 2의 도면부호와 동일한 도면부호는 동일한 구성부를 나타내므로 이를 참조한다.
- [0073] 도 6에 도시된 바와 같이, 본 발명의 다른 실시예에 의한 평판 표시 장치의 픽셀 구조의 박막 트랜지스터(TFT)는 두 개의 제 1, 2 게이트 전극(211a, 211b)을 구비한다.
- [0074] 또한, 상기 박막 트랜지스터는 데이터 배선(103)으로부터 분기되는 소스 전극(219)과, 상기 제 1 게이트 전극(211a)과 제 2 게이트 전극(211b) 사이에 배치된 연결전극(218)과, 상기 제 2 게이트 전극(211b)과 일부 오버랩되면서 픽셀 영역의 스토리지 전극(220a)과 연결된 드레인 전극(220)을 구비한다.
- [0075] 상기 스토리지 전극(220a)은 상기 드레인 전극(220)과 일체로 형성되어 있고, 하부에는 제 1 공통전극(108a)이 배치되고, 상기 스토리지 전극(220a) 상부에는 화소전극(150)이 배치된다. 상기 화소전극(150)은 픽셀 영역을 구획하는 데이터 배선(103)과 게이트 배선(101)을 모두 덮도록 확장 형성된다. 그 기능 및 효과는 도 2에서 설명한 기능 및 효과와 같으므로 이를 참조한다.
- [0076] 따라서, 상기 게이트 배선(101)을 통하여 구동 신호가 공급되면 상기 박막 트랜지스터의 제 1, 2 게이트 전극(211a, 211b)에 구동 전압이 공급되어 턴온 상태가 되고, 이때, 상기 데이터 배선(103)을 통하여 공급되는 데이터 신호는 소스 전극(219)과 연결전극(218), 드레인 전극(220) 및 스토리지 전극(220a)을 순차적으로 거치면서 상기 화소전극(150)에 데이터 신호를 공급한다.
- [0077] 상기와 같이 화소전극(150)에 데이터 신호가 공급되면 도 2와 3에서와 같이 화소전극(150)과 잉크층(170a) 상에 형성된 제 2 공통전극(170b) 사이에 전계가 형성되어 잉크층(170a)의 마이크로 캡슐 내에 포함된 대전입자들을 동작시킨다.
- [0078] 상기와 같은 구조의 박막 트랜지스터는 높은 구동전압에 대하여 트랜지스터의 로드를 분산시켜 동작 특성을 향상시킬 수 있다.

도면의 간단한 설명

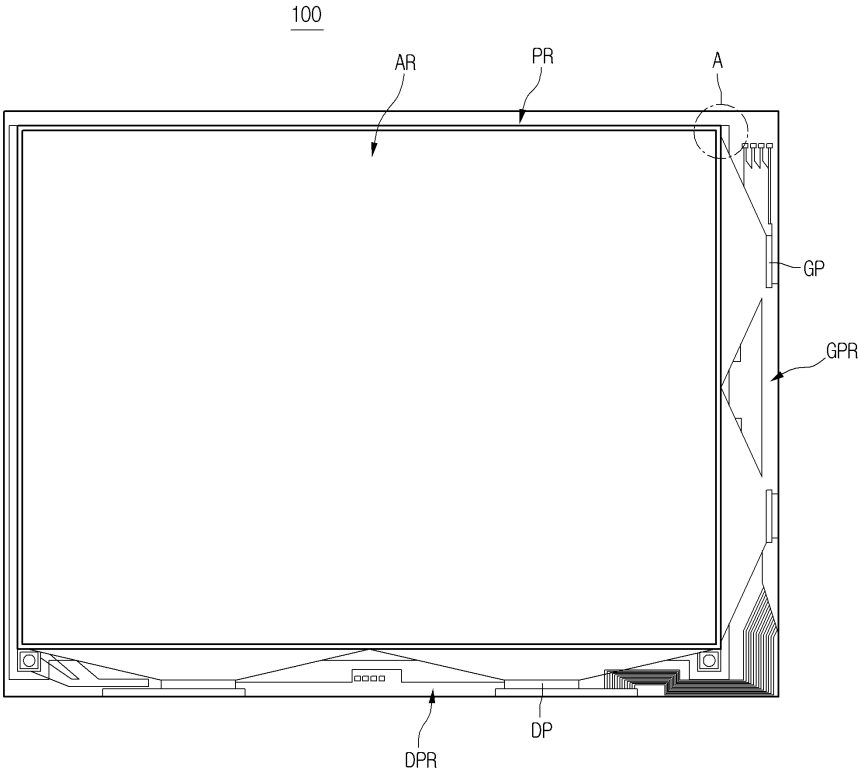
- [0079] 도 1a는 본 발명의 일 실시예에 의한 평판 표시 장치의 평면도이다.
- [0080] 도 1b는 상기 도 1a의 A 영역을 확대한 도면이다.
- [0081] 도 2는 본 발명에 따른 평판 표시 장치의 액티브 영역과 주변 영역의 픽셀 구조를 도시한 평면도이다.
- [0082] 도 3은 도 2의 I-I'선을 절단한 단면도이다.
- [0083] 도 4a 내지 도 4d는 본 발명의 다른 실시예에 의한 평판 표시 장치 제조방법을 도시한 도면이다.
- [0084] 도 5a 내지 도 5d는 본 발명에 따른 평판 표시 장치의 제조 방법을 도시한 도면이다.
- [0085] 도 6은 본 발명의 또 다른 실시예에 의한 평판 표시 장치의 평면도이다.

[0086] *도면의 주요 부분에 대한 부호의 설명*

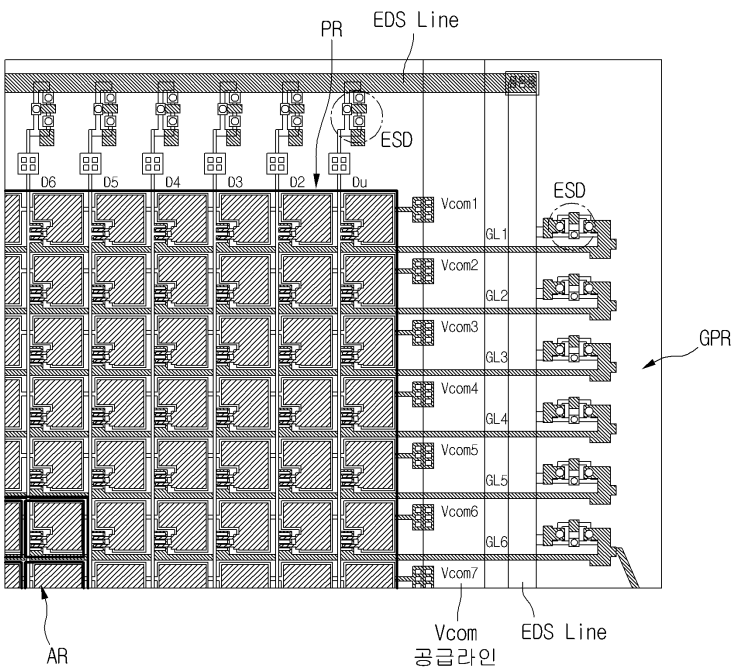
- | | |
|-----------------------|---------------|
| [0087] 100: 평판 표시 장치 | 101: 게이트 배선 |
| [0088] 103: 데이터 배선 | 108: 공통배선 |
| [0089] 108a: 제 1 공통전극 | 108b: 더미 공통전극 |
| [0090] 119: 소스 전극 | 120: 드레인 전극 |
| [0091] 150: 화소전극 | 160: 더미 화소전극 |

도면

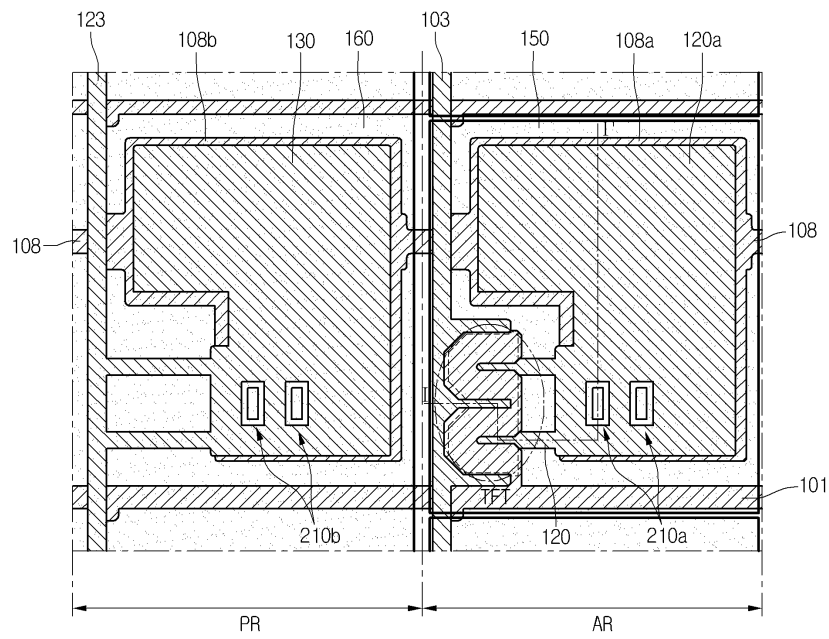
도면1a



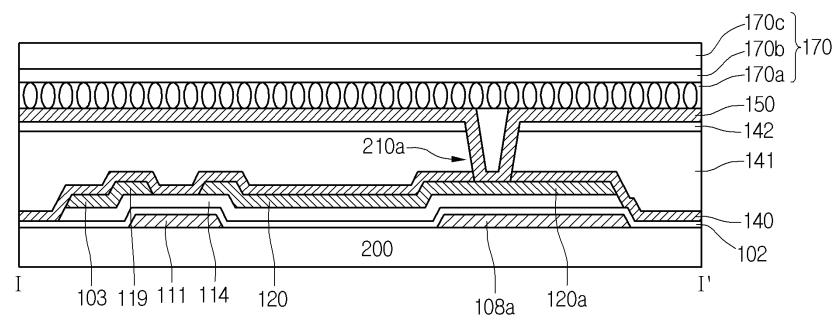
도면1b



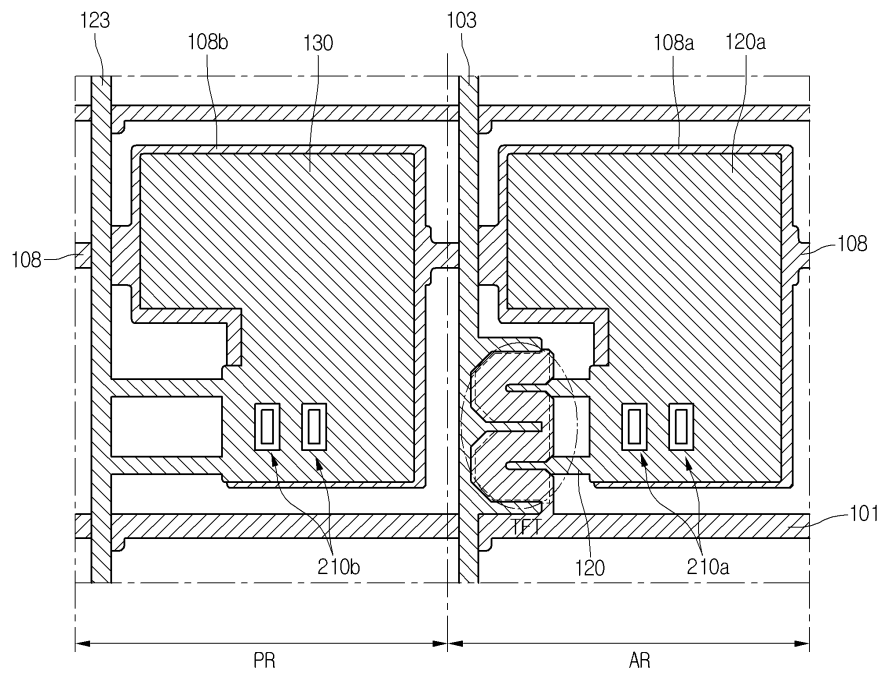
도면2



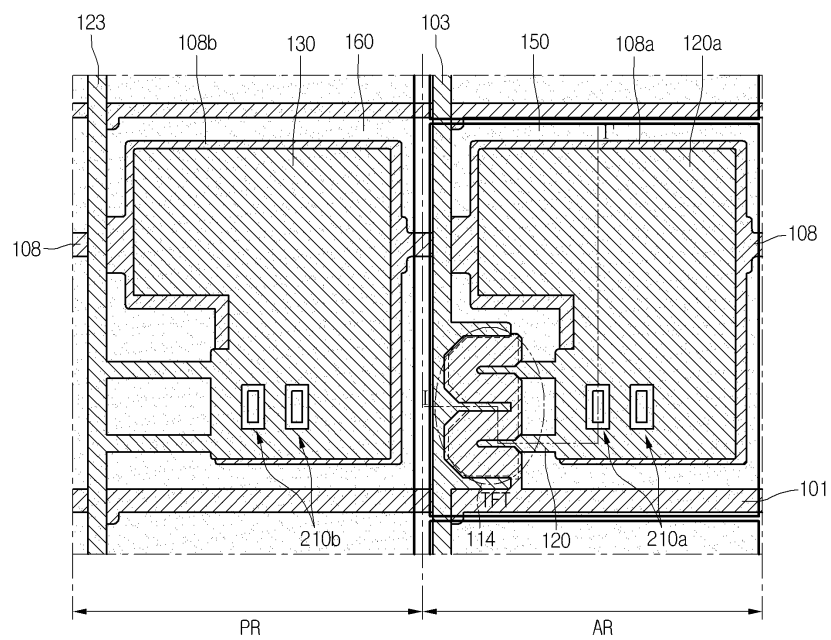
도면3



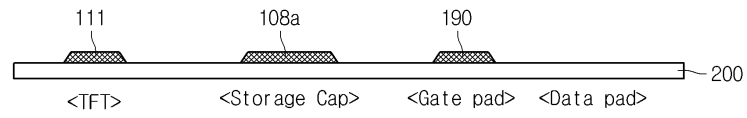
도면4c



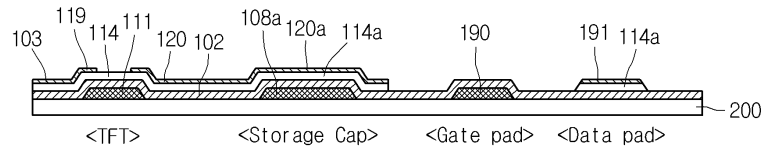
도면4d



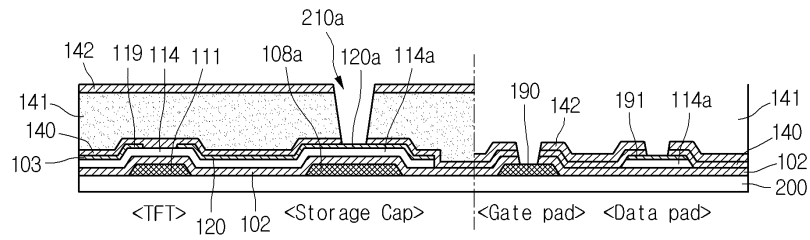
도면5a



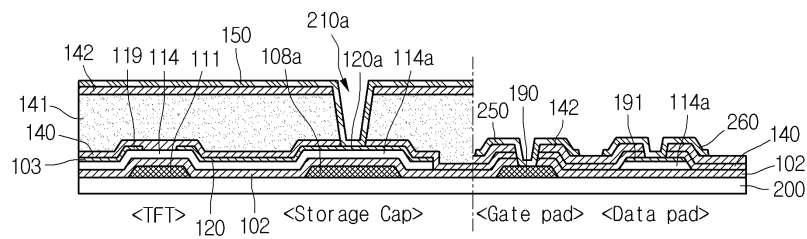
도면5b



도면5c



도면5d



도면6

