

(19)대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) 。 Int. Cl. ⁷ G11C 16/12		(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년11월02일 10-0525913 2005년10월26일
(21) 출원번호 (22) 출원일자	10-2000-0085519 2000년12월29일	(65) 공개번호 (43) 공개일자	10-2002-0056204 2002년07월10일
(73) 특허권자	주식회사 하이닉스반도체 경기 이천시 부발읍 아미리 산136-1		
(72) 발명자	류필상 서울특별시마포구성산2동성산아파트24동1206호		
(74) 대리인	신영무 최승민		

심사관 : 조명관

(54) 플래쉬 메모리 소자의 포스트 프로그램 검증 회로

요약

본 발명은 플래쉬 메모리 소자의 포스트 프로그램 검증 회로에 관한 것으로, 제 1 전압에 의해 구동되어 메인 셀로의 전류 패스를 형성하기 위한 제 1 스위칭 수단과, 제 2 전압에 의해 구동되어 기준 셀로의 전류 패스를 형성하기 위한 제 2 스위칭 수단과, 상기 메인 셀 전류에 의한 메인 셀 전압 및 상기 기준 셀 전류에 의한 기준 셀 전압을 비교하기 위한 센스 증폭기와, 상기 제 2 전압을 온도의 변화에 따라 변화하도록 생성하는 온도 보상 회로로 이루어져, 소거후 온도의 변화에 관계없이 일정한 셀 문턱 전압 분포를 갖도록 할 수 있는 플래쉬 메모리 소자의 포스트 프로그램 검증 회로가 제시된다.

대표도

도 2

색인어

포스트 프로그램 검증, 온도 보상 회로, 셀 문턱 전압 분포

명세서

도면의 간단한 설명

도 1은 종래의 플래쉬 메모리 소자의 포스트 프로그램 검증 회로도.

도 2는 본 발명에 따른 플래쉬 메모리 소자의 포스트 프로그램 검증 회로도.

<도면의 주요 부분에 대한 부호의 설명>

11 및 21 : 메인 셀 12 및 22 : 기준 셀

13 및 23 : 센스 증폭기 24 : 온도 보상 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래쉬 메모리 소자의 포스트 프로그램 검증 회로에 관한 것으로, 특히 온도 보상 회로를 이용하여 기준 셀을 스위칭시킴으로써 소거후 온도의 변화에 관계없이 일정한 셀 문턱 전압 분포를 갖도록 할 수 있는 플래쉬 메모리 소자의 포스트 프로그램 검증 회로에 관한 것이다.

플래쉬 메모리 셀을 소거하기 위해서는 프리 프로그램, 소거 및 포스트 프로그램 과정을 실시하며, 각 과정을 실시한 후 검증 과정을 실시한다. 플래쉬 메모리 셀을 소거한 후 실시하는 포스트 프로그램은 소거 과정에서 과소거된 셀, 즉 소거 문턱 전압이 0V 이하로 내려간 셀을 원하는 문턱 전압으로 상승시키는 것이다. 즉, 게이트 전압이 0V 이상일 때 전류가 흐르지 않도록 하는 과정으로서 모든 셀의 문턱 전압을 약 2V 정도의 일정한 레벨로 유지시키게 된다.

기존의 칩 구조에서는 독출 속도를 향상시키기 위하여 NOR 셀 구조를 사용하면서 512개의 셀이 연결된 컬럼 구조를 사용하게 된다. 이때 512개의 셀이 연결된 스트링에서 포스트 프로그램을 실시한 후 모든 셀의 게이트 전압을 0V로 인가한다 해도 각 셀의 누설 성분이 모여 한 스트링에서 흐르는 누설 전류 성분은 증가하게 된다. 이 전류는 고온에서 더욱 증가하게 되고 고온에서 낮아지는 문턱 전압으로 인해 생기는 전류 증가로 여러가지 문제를 야기시킨다.

현재 사용되는 포스트 프로그램 검증 회로는 도 1에 도시된 바와 같이 메인 셀 전류(I_{main})에 따른 메인 셀 전압(V_{main})과 기준 셀 전류(I_{ref})에 따른 기준 셀 전압(V_{ref})을 센스 증폭기(13)에서 비교하여 출력(V_{out})하게 된다. 메인 셀 전류(I_{main})는 전원 전압(V_{cc})이 인가되어 제 1 저항(R_{11})과 전원 전압(V_{cc})에 의해 구동되는 제 1 NMOS 트랜지스터(N_{11})를 통해 메인 셀(11)로 흐르는 전류이고, 기준 셀 전류(I_{ref})는 전원 전압(V_{cc})이 인가되어 제 2 저항(R_{12})과 펌핑된 일정 전압(V_g)에 의해 구동되는 제 2 NMOS 트랜지스터(N_{12})를 통해 기준 셀(12)로 흐르는 전류이다.

이러한 메인 전압(V_{main})이 기준 전압(V_{ref})보다 크면, 즉 메인 전류(I_{main})가 기준 전류(I_{ref})보다 작으면 포스트 프로그램이 성공되었다고 판단하게 된다. 예를들어, 기준 전류(I_{ref})를 $10\mu A$ 라고 한다면 512개 셀이 공통으로 묶인 컬럼에 $10\mu A$ 이하의 전류가 흐르면 포스트 프로그램 동작을 정지하게 된다.

그러나, 기준 셀 전류는 펌핑된 일정 전압(V_g)이 인가될 때 저온에서 증가하게 되므로 저온에서의 포스트 프로그램 문턱 전압은 더 낮아지게 된다. 이렇게 되면 고온에서 누설 전류가 증가하고 문턱 전압이 감소하게 되므로 셀 독출 마진의 변화를 가져오고 프로그램 효율도 저하된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 온도의 변화에 관계없이 셀 독출 마진이 변화되지 않는 플래시 메모리 소자의 포스트 프로그램 검증 회로를 제공하는데 있다.

본 발명의 다른 목적은 기준 셀을 스위칭시키는 전압을 온도의 변화에 따라 변화시킴으로써 독출 문턱 전압의 감소를 방지할 수 있는 플래쉬 메모리 소자의 포스트 프로그램 검증 회로를 제공하는데 있다.

발명의 구성 및 작용

본 발명은 제 1 전압에 응답하여 메인 셀로의 전류 패스를 형성해서 메인 셀 전압을 발생시키는 제 1 스위칭 수단과, 제 2 전압에 응답하여 기준 셀로의 전류 패스를 형성해서 기준 셀 전압을 발생시키는 제 2 스위칭 수단과, 상기 메인 셀 전압과 상기 기준 셀 전압을 비교하기 위한 센스 증폭기를 포함하는 플래쉬 메모리 소자의 포스트 프로그램 검증 회로에 있어서,

포스트 프로그램 검증 동작을 실시할 때만 동작하여 상기 제2 전압의 레벨을 온도에 따라 변화시키는 온도 보상 회로를 더 포함하며, 상기 온도 보상 회로는 전원 단자와 제 1 노드 사이에 다이오드 접속된 제 1 PMOS 트랜지스터와, 상기 전원 단자와 제 2 노드 사이에 접속되며 게이트로 상기 제 2 노드의 전위를 인가받아 구동되는 제 2 PMOS 트랜지스터와, 상기 전원 단자와 상기 제1 노드 사이에 접속되며, 게이트가 상기 제 2 PMOS 트랜지스터의 게이트와 연결되고, 상기 제 2 노드의 전위에 응답하여 구동되는 제 3 PMOS 트랜지스터와, 상기 전원 단자와 제 3 노드 사이에 접속되며 게이트로 상기 제 2 노드의 전위를 인가받아 구동되는 제 4 PMOS 트랜지스터와, 상기 제 1 노드와 상기 접지 단자 사이에 접속되며 게이트로 상기 제1 노드의 전위를 인가받아 구동되는 제 1 NMOS 트랜지스터와, 상기 제 2 노드와 접지 단자 사이에 접속되며 게이트가 상기 제1 NMOS 트랜지스터의 게이트와 연결되고, 상기 제1 노드의 전위에 응답하여 접속되는 제 2 NMOS 트랜지스터와, 상기 제 2 NMOS 트랜지스터와 상기 접지단자 사이에 접속되는 제 1 저항과, 상기 제 3 노드와 상기 접지 단자 사이에 접속되는 제 2 저항을 포함하여 이루어진 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

도 2는 본 발명에 따른 플래쉬 메모리 소자의 포스트 프로그램 검증 회로의 회로도로서, 일반적인 포스트 프로그램 검증 회로에 기준 셀을 스위칭시키는 전압(V_g)을 온도의 변화에 따라 전압이 변화되는 온도 보상 회로로부터 출력한다.

메인 셀 전류(I_{main})에 따른 메인 셀 전압(V_{main})과 기준 셀 전류(I_{ref})에 따른 기준 셀 전압(V_{ref})을 센스 증폭기(23)에서 비교하여 출력(V_{out})하게 된다. 메인 셀 전류(I_{main})는 전원 전압(V_{cc})이 인가되어 제 1 저항(R_{21})과 전원 전압(V_{cc})에 의해 구동되는 제 1 NMOS 트랜지스터(N_{21})를 통해 메인 셀(21)로 흐르는 전류이고, 기준 셀 전류(I_{ref})는 전원 전압(V_{cc})이 인가되어 제 2 저항(R_{22})과 온도 보상 회로(24)에서 출력된 온도에 따라 변화하는 전압(V_g)에 의해 구동되는 제 2 NMOS 트랜지스터(N_{22})를 통해 기준 셀(22)로 흐르는 전류이다.

온도 보상 회로(24)의 구성을 설명하면 다음과 같다.

전원 단자(V_{cc})와 제 1 노드(Q_{21}) 사이에 다이오드로 동작하는 제 1 PMOS 트랜지스터(P_{21})가 접속된다. 전원 단자(V_{cc})와 제 2 노드(Q_{22}) 사이에 제 1 노드(Q_{21})의 전위에 따라 구동되는 제 2 PMOS 트랜지스터(P_{22})가 접속되고, 다이오드로 동작되는 제 3 PMOS 트랜지스터(P_{23})가 접속된다. 전원 단자(V_{cc})와 제 3 노드(Q_{23}) 사이에 제 1 노드(Q_{21})의 전위에 따라 구동되는 제 4 PMOS 트랜지스터 (P_{24})가 접속된다. 제 1 노드(Q_{21})와 접지 단자(V_{ss}) 사이에 제 2 노드(Q_{22})의 전위에 따라 구동되는 제 3 NMOS 트랜지스터(N_{23})와 제 3 저항(R_{23})이 직렬 접속된다. 제 2 노드(Q_{22})와 접지 단자(V_{ss}) 사이에 다이오드로 동작되는 제 4 NMOS 트랜지스터(N_{24})가 접속된다. 제 3 노드(Q_{23})와 접지 단자(V_{ss}) 사이에 제 4 저항(R_{24})이 접속된다.

상기와 같이 구성되는 온도 보상 회로는 온도가 증가함에 따라 출력 전압을 증가시킨다. 제 4 PMOS 트랜지스터(P_{24})를 흐르는 전류의 이동도는 $1/\mu$ 의 함수가 되며, 이는 온도가 증가함에 따라 전압을 증가시키게 된다.

상기 온도 보상 회로는 포스트 프로그램 검증 동작을 실시할 때만 동작하여 온도에 따라 적절한 전압(V_g)을 발생시켜 센스 증폭기의 기준 전압을 발생시킨다. 즉, 온도에 따라 기준 셀을 스위칭시키는 전압을 증가시키는 회로를 이용하여 온도가 감소할 때에는 기준 셀 전류를 기준 셀 스위칭 전압을 감소시켜 저온에서 포스트 프로그램 검증이 성공되는 메인 셀의 문턱 전압을 높일 수 있다.

결과적으로, 메인 셀의 문턱 전압을 고온에서 문턱 전압이 0V 이하가 되지 않도록 상승시켜 고온에서의 독출 마진을 향상시키고 프로그램 효율을 증가시킨다.

발명의 효과

상술한 바와 같이 본 발명에 의하면 플래쉬 메모리 소자의 포스트 프로그램 검증 동작을 온도 특성을 보정하여 실시하여 온도에 따른 셀 분포를 개선함으로써 고온에서의 독출 마진과 프로그램 효율을 향상시켜 소자의 효율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1.

제 1 전압에 응답하여 메인 셀로의 전류 패스를 형성해서 메인 셀 전압을 발생시키는 제 1 스위칭 수단과, 제 2 전압에 응답하여 기준 셀로의 전류 패스를 형성해서 기준 셀 전압을 발생시키는 제 2 스위칭 수단과, 상기 메인 셀 전압과 상기 기준 셀 전압을 비교하기 위한 센스 증폭기를 포함하는 플래쉬 메모리 소자의 포스트 프로그램 검증 회로에 있어서,

포스트 프로그램 검증 동작을 실시할 때만 동작하여 상기 제2 전압의 레벨을 온도에 따라 변화시키는 온도 보상 회로를 더 포함하며,

상기 온도 보상 회로는 전원 단자와 제 1 노드 사이에 다이오드 접속된 제 1 PMOS 트랜지스터와,

상기 전원 단자와 제 2 노드 사이에 접속되며 게이트로 상기 제 2 노드의 전위를 인가받아 구동되는 제 2 PMOS 트랜지스터와,

상기 전원 단자와 상기 제1 노드 사이에 접속되며, 게이트가 상기 제 2 PMOS 트랜지스터의 게이트와 연결되고, 상기 제 2 노드의 전위에 응답하여 구동되는 제 3 PMOS 트랜지스터와,

상기 전원 단자와 제 3 노드 사이에 접속되며 게이트로 상기 제 2 노드의 전위를 인가받아 구동되는 제 4 PMOS 트랜지스터와,

상기 제 1 노드와 상기 접지 단자 사이에 접속되며 게이트로 상기 제1 노드의 전위를 인가받아 구동되는 제 1 NMOS 트랜지스터와,

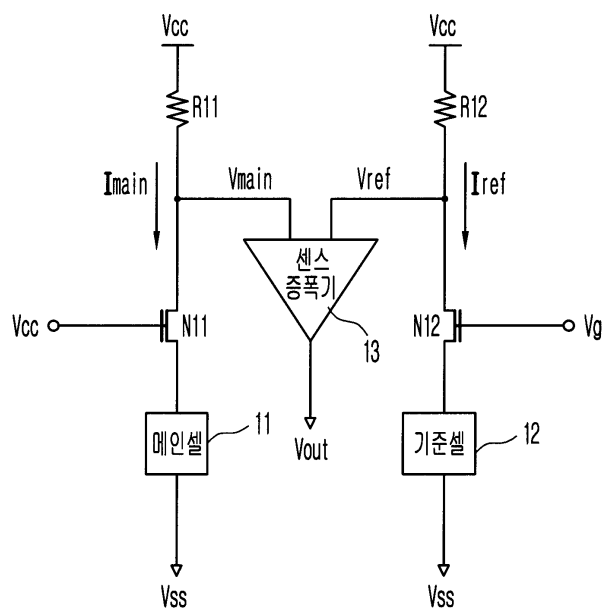
상기 제 2 노드와 접지 단자 사이에 접속되고, 게이트가 상기 제1 NMOS 트랜지스터의 게이트와 연결되며, 상기 제1 노드의 전위에 응답하여 구동되는 제 2 NMOS 트랜지스터와,

상기 제 2 NMOS 트랜지스터와 상기 접지단자 사이에 접속되는 제 1 저항과,

상기 제 3 노드와 상기 접지 단자 사이에 접속되는 제 2 저항을 포함하여 이루어진 것을 특징으로 하는 플래쉬 메모리 소자의 포스트 프로그램 검증 회로.

도면

도면1



도면2

