



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2012년05월10일
(11) 등록번호 10-1138552
(24) 등록일자 2012년04월13일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/268* (2006.01)
H01L 21/324 (2006.01)
- (21) 출원번호 10-2011-0033238(분할)
- (22) 출원일자 2011년04월11일
심사청구일자 2011년04월11일
- (65) 공개번호 10-2011-0042163
- (43) 공개일자 2011년04월25일
- (62) 원출원 특허 10-2009-0030491
원출원일자 2009년04월08일
심사청구일자 2009년04월08일
- (30) 우선권주장
200802817-7 2008년04월09일 싱가포르(SG)
- (56) 선행기술조사문헌
KR100287776 B1*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
도시바 모바일 디스플레이 가부시키가이샤
일본국 사이타마켄 후카야시 하타라초 1초메 9반
치 2
- (72) 발명자
립 키안 키아트
싱가포르 528798 탐피니스 인더스트리얼 애비뉴3
10 에이에프피디 팩트., 엘티디. 내
나카무라 아쓰시
일본 도쿄도 미나토구 4조메 고난 1-8 도시바 모
바일 디스플레이 가부시키가이샤 지적재산부 내
(뒷면에 계속)
- (74) 대리인
이중희, 장수길

전체 청구항 수 : 총 8 항

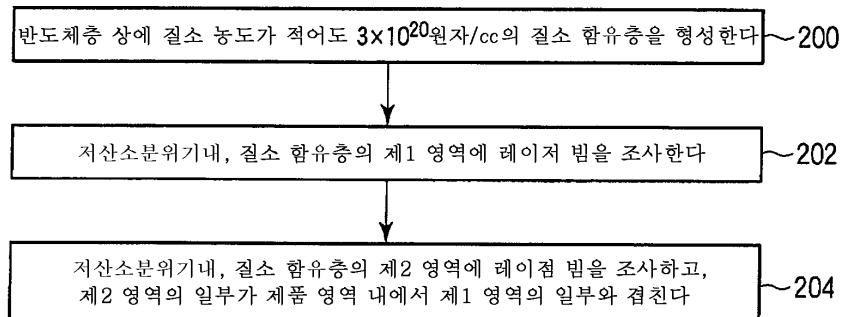
심사관 : 이석주

(54) 발명의 명칭 반도체 장치

(57) 요 약

반도체층의 전기적 혹은 물리적 특성의 변화를 발생시키지 않고 반도체층을 어닐링할 수 있어, 제조 효율의 향상 및 대형의 제품을 제조 가능한 레이저 어닐링 방법 및 이 방법에 의해 제조된 반도체 장치를 제공한다. 이 방법은, 반도체층 상에 질소 함유층을 형성하고(200), 이 질소 함유층은 적어도 3×10^{20} 원자/cc의 질소 농도를 갖고, 저산소 분위기에서, 상기 질소 함유층의 제1 영역에 레이저 빔을 조사하고(202), 저산소 분위기에서, 일부가 상기 제1 영역의 일부와 겹치는 상기 질소 함유층의 제2 영역에 레이저 빔을 조사한다(204).

대 표 도 - 도1



(72) 발명자

tan kai peng

싱가포르 528798 탐피니스 인더스트리얼 애비뉴3
10 에이에프피디 팻., 엘티디. 내

립, 업 순

싱가포르 528798 탐피니스 인더스트리얼 애비뉴3
10 에이에프피디 팻., 엘티디. 내

푸, 포 링

싱가포르 528798 탐피니스 인더스트리얼 애비뉴3
10 에이에프피디 팻., 엘티디. 내

가미무라 다까아끼

일본 도쿄도 미나모구 4조메 고난 1-8 도시바 모바
일 디스플레이 가부시키가이샤 지적재산부 내

특허청구의 범위

청구항 1

레이저 어닐링된 제1 영역과 제2 영역을 갖고, 상기 제1 영역 및 제2 영역의 일부가 서로 겹치는 반도체층을 구비하고,

상기 반도체층은, 그 표면에 적어도 3×10^{20} 원자/cc의 질소 농도를 가짐과 함께, 그 표면에서 3×10^{21} 원자/cc 내지 7×10^{22} 원자/cc 범위의 산소 농도를 갖고, 입상 돌기 높이(제곱 평균 평방근 값: rms 값)는 20nm보다 작은,

반도체 장치.

청구항 2

제1항에 있어서,

상기 반도체층은 다결정 실리콘층인, 반도체 장치.

청구항 3

제2항에 있어서,

상기 다결정 실리콘층은 $0.2\mu\text{m}$ 보다 큰 입자 사이즈를 갖는, 반도체 장치.

청구항 4

제3항에 있어서,

상기 다결정 실리콘층은 $0.3\mu\text{m}$ 보다 큰 입자 사이즈를 갖는, 반도체 장치.

청구항 5

제1항에 있어서,

상기 질소 농도는 $5 \times 10^{20} \sim 3 \times 10^{22}$ 원자/cc의 범위에 있는, 반도체 장치.

청구항 6

제5항에 있어서,

상기 질소 농도는 $5 \times 10^{20} \sim 5 \times 10^{21}$ 원자/cc의 범위에 있는, 반도체 장치.

청구항 7

삭제

청구항 8

제1항에 있어서,

상기 산소 농도는 $5 \times 10^{21} \sim 5 \times 10^{22}$ 원자/cc의 범위에 있는, 반도체 장치.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

레이저 어닐링된 제1 영역과 제2 영역을 갖고, 상기 제1 영역 및 제2 영역의 일부가 서로 겹치는 다결정 실리콘 층으로서, 제1 표면 및 제2 표면을 갖고, 상기 제2 표면이 글래스 기판 상에 인접하여 설치된 다결정 실리콘 층과,

상기 제1 표면에 인접하여 상기 다결정 실리콘 층에 겹쳐서 설치된 게이트 전극과,

상기 게이트 전극과 제1 표면 사이를 분리한 게이트 절연막과,

상기 다결정 실리콘 층에 전기적으로 접속된 소스 전극 및 드레인 전극을 구비하고,

상기 다결정 실리콘 층은 $0.2\mu\text{m}$ 보다 큰 입자 사이즈를 가짐과 함께, 상기 제1 표면에서의 질소 농도가 $5 \times 10^{20} \sim 3 \times 10^{22}$ 원자/cc임과 함께, 산소 농도가 3×10^{21} 원자/cc 내지 7×10^{22} 원자/cc 범위이며, 입상 돌기 높이(제곱 평균 평방근 값: rms 값)는 20nm 보다 작은,

반도체 장치.

명세서**기술 분야**

[0001]

본 발명은, 반도체층의 레이저 어닐링 방법 및 이 방법에 의해 제조된 반도체 장치에 관한 것이다.

배경기술

[0002]

일반적으로, 반도체 장치를 제조하는 공정은, 반도체층을 레이저 어닐링하는 공정을 1개 혹은 복수 포함하고 있다. 통상적으로, 이와 같은 레이저 어닐링은, 반도체층에 한층 더한 처리를 실시하기 전에, 아몰퍼스 반도체층과 같은 반도체 장치의 비단결정 반도체층을 결정화하기 위해 행해진다.

[0003]

예를 들면, 액정 디스플레이(LCD)나 유기 발광 다이오드 디스플레이(OLED)와 같은 평면 패널 표시 장치의 제조에서, 아몰퍼스 실리콘(a-Si)층은 레이저 어닐링되어 다결정 실리콘(p-Si)층을 형성하고, 이 다결정 실리콘 층을 이용하여, LCD나 OLED의 화소를 제어하는 박막 트랜지스터(TFT)가 형성된다.

[0004]

어닐링되는 층의 사이즈 및 조사하는 레이저 빔의 크기에 따라서, 레이저 어닐링은 2회 이상 조사 혹은 주사된다. 예를 들면, 2×2 열의 제품 영역을 갖는 a-Si 반도체층을 레이저 어닐링하는 경우, 어닐링에 이용되는 레이저 빔은 소정의 길이 x, 폭 y의 유효 작용 영역을 갖고 있다. 일반적으로, 레이저 빔의 최대 길이 x는, 어레이의 전체면을 조사하기 위해서는 불충분한 길이로 되어 있다. 그 때문에, 대부분의 경우, 레이저 빔은, 처음에 어레이의 제1 영역을 가로질러 주사되고, 계속해서 레이저 빔은, 어레이의 제2 영역을 가로질러 동일 방향으로 주사된다. 어레이 전체를 확실하게 어닐링하기 위해, 제2 영역에서의 레이저 빔의 주사는, 제1 영역에 일부를 겹쳐 행해져, 오버랩 영역을 형성한다(특히 문현 1).

[0005]

이와 같은 레이저 어닐링에 의한 이중 노광에 기인하여, 오버랩 영역은, 통상적으로, 바람직하지 않은 특성, 예를 들면 용인할 수 없는 전기적 혹은 물리적 특성의 변화를 나타낸다. 이와 같은 바람직하지 않은 특성이 상기 어레이로부터 제조된 제품에 영향을 주지 않도록 하기 위해, 종래 오버랩 영역이 각 제품 영역의 외측에 위치하도록 어닐링된다.

[0006]

<선행 기술 문헌>

[0007] 특허 문헌 1 : 일본 특허 공개 평7-249591호 공보

발명의 내용

해결하려는 과제

[0008] 상기한 바와 같이, 종래의 반도체층의 오버랩 영역은, 그 물리적 혹은 전기적 특성상의 문제로부터, 제조의 제조에 이용할 수 없기 때문에, 어레이의 이 부분이 불필요하게 된다. 그 때문에, 1개의 어레이로부터 효율 좋게 제품을 만들어내는 경우가 곤란하게 된다. 또한, 보다 큰 사이즈의 제품을 어닐링하고자 하는 경우, 제품 내에 레이저 어닐링의 오버랩 영역이 생기게 되어 제조가 곤란하게 된다.

[0009] 본 발명은, 이상의 점을 감안하여 이루어진 것으로서, 그 목적은 반도체층을 어닐링할 때에, 반도체층에 원하지 않는 전기적 혹은 물리적 특성의 변화를 발생시키지 않고, 제조 효율의 향상 및 대형의 제품을 제조 가능한 레이저 어닐링 방법, 및 이 방법에 의해 제조된 반도체 장치를 제공하는 데에 있다.

과제의 해결 수단

[0010] 본 발명의 양태에 따른 레이저 어닐링 방법은, 제품 영역을 갖는 비단결정 반도체층을 레이저 어닐링하는 레이저 어닐링 방법으로서, 적어도 3×10^{20} 원자/cc의 질소 농도를 갖는 질소 함유층을 상기 비단결정 반도체층 상에 형성하고, 저산소 분위기 내에서, 상기 질소 함유층의 제1 영역에 레이저 빔을 조사하고, 저산소 분위기 내에서, 상기 질소 함유층의 상기 제1 영역의 일부와 겹치는 제2 영역에 레이저 빔을 조사한다.

[0011] 본 발명의 다른 양태에 따른 반도체 장치는, 레이저 어닐링된 반도체층을 구비하고, 상기 반도체층은, 그 표면에 적어도 3×10^{20} 원자/cc의 질소 농도를 갖고, 그 표면에서 3×10^{21} 원자/cc 내지 7×10^{22} 원자/cc 범위의 산소 농도를 갖고, 입상 둘기 높이(제곱 평균 평방근 값: rms 값)는 20nm보다 작다.

[0012] 이 레이저 어닐링 방법에 따르면, 오버랩 영역에 바람직하지 않은 전기적 혹은 물리적 특성을 발생시키지 않고, 반도체층을 레이저 어닐링할 수 있다. 이에 의해, 1개 혹은 보다 많은 제품 영역의 외측에 오버랩 영역을 형성해야만 한다고 하는 제약을 없앨 수 있다. 1개의 양태에 따르면, 종래 필요로 되어 있는 것보다 적은 레이저 주사에 의해 반도체층 전체를 레이저 어닐링하는 것이 가능해져, 레이저 어닐링에 수반하는 작업 시간, 에너지 및 코스트를 저감할 수 있다.

[0013] 상기 방법에 따르면, 어레이 상의 제품 영역간의 간극은, 더 이상 오버랩 영역으로서 작용할 필요가 없어, 이들 간격을 저감할 수 있다. 이에 의해, 불필요한 반도체 표면 혹은 반도체 물질을 저감하는 것이 가능하게 된다.

발명의 효과

[0014] 상기 구성에 따르면, 반도체층의 전기적 혹은 물리적 특성을 원하지 않는 문제점을 발생시키지 않고 반도체층을 어닐링할 수 있어, 제조 효율의 향상 혹은 대형의 제품을 제조 가능한 레이저 어닐링 방법 및 이 방법에 의해 제조된 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0015] 도 1은 본 발명의 형태에 따른 방법의 공정 플로우를 나타내는 플로우차트.

도 2의 (a), 도 2의 (b), 도 2의 (c)는 이 방법의 일 형태에 따라서 어닐링된 반도체층을 도시하는 단면도.

도 3의 (a), 도 3의 (b), 도 3의 (c)는 이 방법의 다른 형태에 따라서 어닐링된 반도체층을 도시하는 단면도.

도 4의 (a)는 비교예에 따른 레이저 어닐링에 의한 복수의 제품 영역의 어레이를 도시하는 도면, 도 4의 (b)는 본 발명의 일 형태에 따른 방법에 따라서 레이저 어닐링된 복수의 제품 영역의 어레이를 도시하는 도면.

도 5의 (a)는 비교예의 방법에 따른 레이저 어닐링에서의 2회의 레이저 주사에 의한 중복을 도시하는 도면, 도 5의 (b)는 도 5의 (a)에 도시된 레이저 어닐링의 결과를 나타내는 그래프.

도 6의 (a)는 본 실시 형태에 따른 방법에 따른 레이저 어닐링에서의 2회의 레이저 주사에 의한 중복을 도시하는 도면, 도 6의 (b)는 도 6의 (a)에 도시된 레이저 어닐링의 결과를 나타내는 그래프.

도 7은 본 발명의 실시 형태에 따른 반도체 장치의 단면도.

도 8은 상기 반도체 장치의 제조 방법을 도시하는 단면도.

도 9는 상기 반도체 장치의 제조 방법을 도시하는 단면도.

발명을 실시하기 위한 구체적인 내용

[0016] 이하 도면을 참조하면서, 본 발명의 실시 형태에 따른 레이저 어닐링 방법 및 반도체 장치에 대해서 상세히 설명한다. 도 1은, 실시 형태에 따른 1개의 제품 영역을 갖는 반도체층을 레이저 어닐링하는 방법을 개략적으로 도시하고 있다. 본 명세서에서 이용하는 "제품 영역"의 용어는, 반도체층의 영역의 내, 이 영역 상 혹은 이 영역 내에, 반도체 장치 혹은 반도체 장치의 구성 요소가 형성되는 영역을 도시하고 있다. 반도체 장치의 일례로서, 트랜지스터, 다이오드, 센서 등을 예로 들 수 있지만, 이들에 한정되는 것은 아니다.

[0017] 도 1에 도시한 공정 200에서, 반도체층 상에, 적어도 3×10^{20} 원자/cc의 질소 농도를 갖는 질소 함유층이 형성된다.

[0018] 계속해서, 저산소 분위기 내에서, 질소 함유층의 제1 영역에 레이저 조사를 행하고(공정 202), 또한 질소 함유층의 제2 영역에 레이저 조사를 행한다(공정 204). 적어도 1개의 제품 영역에서, 제2 영역의 일부는, 제1 영역의 일부에 겹쳐져 있다. 여기서, "저산소 분위기"란, 산소의 양이 환경 전체량의 2% 미만인 분위기를 나타내고 있다. 일례로서, 저산소 분위기는, 약 0.3%의 산소를 함유하고 있는 상태이다. 다른 예로서, 저산소 분위기는, 실질적으로 0%(즉, 10ppm 이하)의 산소를 갖는 상태이다.

[0019] 이하, 도 2의 (a), 도 2의 (b), 도 2의 (c)를 참조하여, 도 1에 도시한 방법의 실시 형태를 설명한다.

[0020] 도 2의 (a)에서는, 제품 영역(302)을 갖는 반도체층(300)이 기판(304) 상에 형성되어 있다. 또한, 단일의 제품 영역(302) 대신에, 복수의 제품 영역(302)을 형성하여도 된다. 기판(304)은, 예를 들면 클래스, 실리콘, 수정 혹은 사파이어 등의 기판이 이용된다. 반도체층(300)은, 예를 들면 아몰퍼스 실리콘(a-Si)층, 미정질 실리콘(μ -Si)층, 다결정 실리콘(p-Si)층 등의 비단결정 반도체층이 이용된다. 반도체층(300)은 스퍼터링, 화학 증착(CVD(저압 CVD, 플라즈마 CVD 등의 특수한 CVD를 포함함) 등의 주지의 방법으로 기판(304) 상에 형성된다.

[0021] 또한, 도면에 도시한 반도체층(300)의 배열은 중요하지 않고, 도시한 단면은 반도체층 전체 및 기판 상, 전체에서의 구성을 도시하는 것은 아니다. 예를 들면, 중앙부에서, 반도체층(300) 상 혹은 하에, 또 다른 층이 형성되어 있어도 된다. 이와 같은 또 다른 층으로서, 1층 혹은 복수의 금속층, 또 다른 a-Si층 혹은 1층 혹은 복수의 산화실리콘 및/혹은 질화 실리콘층을 예로 들 수 있다.

[0022] 도 2의 (b)에 도시한 바와 같이, 도 1의 공정 200에 따라서, 반도체층(300) 상에 질소 함유층(306)이 형성된다. 이 질소 함유층(306)은, 적어도 3×10^{20} 원자/cc의 질소 농도를 갖고 있다. 본 출원인은, 상기 질소 농도는 저산소 분위기 내에서 레이저 어닐링을 행할 때, 반도체층의 용인할 수 없는 어블레이션의 발생을 저감하는, 바람직한 농도인 것을 발견하였다. 저산소 분위기 내에서 레이저 어닐링하는 이유는 후에 설명한다.

[0023] 본 실시 형태에서, 질소 농도는 3×10^{20} 원자/cc와 3×10^{22} 원자/cc 사이에 있다. 또한, 다른 실시 형태에서, 질소 농도는 5×10^{20} 원자/cc와 5×10^{21} 원자/cc 사이에 있다.

[0024] 질소 함유층(306)의 두께는, 예를 들면 1~30nm의 범위 내 혹은 5~15nm의 범위 내에 형성된다. 일례에서는, 질소 함유층(306)은 약 10nm의 두께를 갖고 있다. 두께를 1~30nm의 범위로 함으로써, 어닐링 후, 크게 균일한 입자 사이즈가 얻어져, 어닐링된 반도체층의 전자 이동도가 향상됨과 함께, 어블레이션이 저감 혹은 완전히 배제되는 것을 알 수 있다. 특정한 범위 5~15nm로 하면, 반도체 장치를 대량 생산할 때, 질소 함유층(306)의 두께를 한층 용이하게 제어할 수 있어, 개선된 작업 마진이 얻어지는 것을 알 수 있다. 입자 사이즈에 관하여, 질소 함유층(306)의 두께를 전술한 범위로 한 경우, 어닐링 후, 크게 균일한 입자 사이즈(즉, 0.2 μ m보다 큼)가 얻어지는 것을 알 수 있었다. 일례로서, 어닐링 후의 입자 사이즈는 0.3 μ m 이상이다.

[0025] 도 2의 (b)에 도시된 실시 형태에서, 질소 함유층(306)은 a-Si 반도체층(300) 상에 질소 첨가의 a-Si층을 더 성막함으로써 형성되어 있다. 다시 말해서, 반도체층(300)은 제1 a-Si층이며, 질소 함유층(306)은 질소가 첨가된 제2 a-Si층이다. 제2 a-Si층은 스퍼터링, 화학 증착(CVD(저압 CVD, 플라즈마 CVD 등의 특수한 CVD를 포함함) 등에 의해 퇴적되고, 그 성막 프로세스 혹은 성막 후의 이온 주입 프로세스 혹은 플라즈마 도핑 프로세스에 의

해 질소가 첨가된다.

- [0026] CVD를 이용하는 경우, 제2 a-Si층은 CVD 챔버 내에서 퇴적되고, 실란(SiH₄) 가스 및 질화기 가스(예를 들면, N₂O)를 CVD 챔버 내에 도입함으로써 실질적 구성막과 동시에 질소가 첨가된다. 예를 들면, 실란 가스는 제1 유량에서 도입되고, 질화기 가스는 제2 유량에서 도입된다. 이 경우, 제2 a-Si층의 질소 농도 및 두께는, 제1 유량 및 제2 유량의 한쪽 혹은 양방을 조정함으로써 제어된다. 또한, 상기한 바와 같이, 질소 함유층을 단일 공정에서 형성함으로써, 질소 함유층의 형성에 관한 시간 및 코스트를 저감할 수 있다. 단, 제2 a-Si층의 성막과 질소 첨가의 양방을 실질적으로 동시에 행하는 것은 반드시 필수는 아니다. 예를 들면, 처음에 제2 a-Si층을 성막하고, 그 후 이온 주입 혹은 플라즈마 도핑에 의해 질소를 제2 a-Si층에 도포하여도 된다. 이 경우, 제2 a-Si층의 질소 농도는 이온 주입 혹은 플라즈마 도핑에 이용하는 에너지를 조정함으로써 제어된다.
- [0027] 질소 함유층(306)이 형성된 후, 도 1의 공정 202에 따라서, 저산소 분위기 내에서, 질소 함유층(306)의 제1 영역에 레이저 빔을 조사하고, 이 제1 영역 및 a-Si 반도체층(300)의 내, 제1 영역의 거의 아래에 위치한 부분을 어닐링한다. 제1 영역에의 레이저 조사는, 도 2의 (b)에 실선 화살표 308로 나타내어져 있다.
- [0028] 계속해서, 도 1의 공정 204에 따라서, 저산소 분위기 내에서, 질소 함유층(306)의 제2 영역에 레이저 빔을 조사하고, 이 제2 영역 및 a-Si 반도체층(300)의 내, 제2 영역의 거의 아래에 위치한 부분을 어닐링한다. 제2 영역에의 레이저 조사는, 도 2의 (b)에 파선 화살표 310으로 나타내어져 있다. 일례에서는, 각 어닐링 공정은, 약 0.3% 산소 농도를 갖는 분위기 내에서 행해진다. 다른 예로서, 각 어닐링 공정은, 실질적의 0%(즉, 산소 농도 10ppm 혹은 그것보다 소량)의 산소를 갖는 분위기 내에서 행해진다.
- [0029] 어닐링 분위기에서의 산소 농도는, 어닐링 후의 반도체층 상에 존재하는 입상 돌기(즉, 표면을 거칠게 하는 결점)에 직접 비례하므로, 레이저 어닐링은 저산소 분위기에서 행하는 것이 바람직하다. 입상 돌기는 반도체층의 전기적 및 물리적 특성을 저하시킨다. 다시 말해서, 산소 농도가 낮을수록, 입상 돌기가 감소하여, 바람직한(혹은 개선된) 전기적 및 물리적 특성을 부여한다.
- [0030] 그러나, 저산소 분위기 내에서의 레이저 어닐링은, 통상적으로 어블레이션이 생기기 쉬워진다. 따라서, 어닐링 되는 반도체층 상에, 적어도 3×10^{20} 원자/cc의 농도를 갖는 질소 함유층을 형성함으로써, 어블레이션을 억제한 상태에서, 레이저 어닐링을 저산소 분위기 내에서 행할 수 있는 것을 알 수 있었다. 이 점에 대해서는 이하에, 보다 상세히 설명한다.
- [0031] 도 2의 (b)에 도시한 바와 같이, 또한 전술한 바와 같이, 레이저 조사에 의한 질소 함유층(306)의 제1 영역 및 제2 영역의 레이저 어닐링은, 제1 영역의 일부와 제2 영역의 일부가 제품 영역(302) 내에서 겹치도록 행해진다. 이와 같은 중복부를 갖는 이점에 대해서는, 후술한다.
- [0032] 상기 레이저 어닐링 공정을 실행함으로써, 도 2의 (c)에 도시한 바와 같이, 반도체층(300)의 a-Si와 질소 함유층(306)의 a-Si가 하나로 되어 다결정 실리콘층(312)을 형성한 구조가 얻어진다. 질소 함유층(306)을 이용한 경우, 다결정 실리콘층(312)은, 적어도 3×10^{20} 원자/cc의 질소 농도를 갖는 표면을 포함하게 된다. 다결정 실리콘층(312)이 형성된 후, 반도체층은 다음 공정(예를 들면, 노광, 현상, 애칭 등)에 보내진다. 또한, 전술한 공정에 의해 형성된 다결정 실리콘층(312)이, 반도체층(300)의 두께와 질소 함유층(306)의 두께를 더한 두께와 거의 동등한 두께를 갖는 것은, 당업자에게 있어서 자명하다. 일례로서, 50nm 두께의 다결정 실리콘층이 요망되는 경우, 40nm 두께의 a-Si 반도체층(300) 상에 10nm 두께의 a-Si 질소 함유층(306)을 형성하고, 레이저 어닐링하는 방법이 실행된다.
- [0033] 도 3의 (a), 도 3의 (b), 도 3의 (c)를 참조하여, 도 1에 도시한 방법의 다른 실시 형태를 설명한다.
- [0034] 도 2의 (a)와 마찬가지로, 도 3의 (a)는 일례에 관한 반도체층(400)의 일부의 단면을 도시하고 있다. 이 반도체층(400)은 제품 영역(402)을 갖고, 기판(404) 상에 형성되어 있다. 이 실시 형태에서, 도 1의 공정 200은 반도체층(400)의 상층부(406)에 질소를 이온 주입 혹은 플라즈마 도핑함으로써 실행된다. 이 공정에 의해, 반도체층(400)의 상층부(406)는 질소 함유층(406)으로 변하게 된다. 즉, 이 공정에서, 질소 함유층(406)은 반도체층(400)의 일부를 형성하고 있지만, 질소 함유층(406)의 질소 농도에 의해, 반도체층(400)으로부터 구별할 수 있다. 질소 함유층(406)의 질소 농도 및 깊이(두께)는, 이온 주입 혹은 플라즈마 도핑 공정에서의 에너지를 조정함으로써 제어된다. 전술한 바와 마찬가지로, 질소 농도는 적어도 3×10^{20} 원자/cc이다.
- [0035] 계속해서, 도 1에서의 공정 202, 204가 질소 함유층(406)에 대해 실행된다. 즉, 질소 함유층(406)의 제1 영역

에 레이저 어닐링(408)이 행해지고, 또한 질소 함유층(406)의 제2 영역에 레이저 어닐링(410)이 행해진다. 전술한 바와 마찬가지로, 제1 영역 및 제2 영역은 제품 영역(402) 내에서 겹치고, 레이저 어닐링 공정에 의해 결정화층(412)이 형성된다. 이 경우, 반도체층(400)은 a-Si에 의해 형성되고, 레이저 어닐링에 의해 다결정 실리콘층(412)으로 된다. 또한, 본 실시 형태에서, 다결정 실리콘층(412)이 반도체층(400)의 두께와 거의 동일한 두께를 갖는 것은 명백하다. 일례로서, 50nm 두께의 p-Si층이 요망되는 경우, 본 실시 형태에서는 50nm 두께의 a-Si 반도체층(400)을 이용하여 본 방법이 실행된다.

[0036] 도 1에 도시한 방법의 다른 예에 따르면, 공정 200은 산소를 함유하는 질소 함유층을 형성하는 공정을 더 갖고, 산소 농도는 3×10^{21} 원자/cc ~ 7×10^{22} 원자/cc의 범위로 설정된다. 보다 바람직하게는, 산소 농도는 5×10^{21} 원자/cc ~ 5×10^{22} 원자/cc의 범위로 설정된다. 이와 같은 산소 농도는, 산화 질소(N_2O) 가스를 이용한 CVD 프로세스에 의해 질소 함유층을 형성함으로써, 혹은 산소 분위기(예를 들면, 공기에 의한 산화) 내에서 질소 함유층을 형성함으로써 얻어진다. 혹은, 상기 산소 농도는 질소 함유층에 산소를 이온 주입 혹은 플라즈마 도핑함으로써 얻도록 하여도 된다.

[0037] 어느 것으로 하여도, 필요에 따라서, 상기 산소 농도는 반도체층에 질소를 첨가하기 전, 첨가 후 혹은 첨가와 동시에 얻도록 하면 된다.

[0038] 위에서 개략적으로 설명한 바와 같이, 본 방법에서, 질소 함유층을 이용함으로써, 레이저 어닐링 공정 후, 중복 영역에 일반적으로 보이는 소정의 결함을 저감할 수 있다. 특히, 종래의 레이저 어닐링 방법에 의한 중복 영역은, 통상적으로, 과도한 입상 돌기(즉, 표면 거칠기)를 형성하고, 이 입상 돌기는 어닐링된 반도체층의 전기적 및 물리적 특성에 악영향을 미친다. 과도한 입상 돌기가 생긴 경우, 어닐링된 반도체층을 얇은 절연층으로 덮어 반도체 장치를 형성하는 것이 곤란하게 된다. 그 결과, 어닐링된 반도체층과 도전층(예를 들면, 게이트 전극) 사이에서, 이들 사이에 형성된 상기 절연층을 개재하여, 전기적 단락이 생긴다. 반도체 장치의 이와 같은 층의 구성은, 후에, 도 7을 참조하여 상세하게 설명한다. 상기한 바와 같은 문제로부터, 종래의 레이저 어닐링은, 중복 영역은 제품 영역의 외측에 형성해야만 한다고 하는 제약을 받는다.

[0039] 도 4의 (a)에 도시한 비교예와 같이, 예를 들면 3×3 의 제품 영역(502)을 갖는 어레이(500)를 레이저 어닐링하는 경우로서, 중복 영역(506)의 전체를 제품 영역(502)의 외측에 형성한다고 하는 제약이 있는 경우, 레이저 빔(504)의 길이는 $\times 1$ 로 제한된다. 또한, 어레이(500) 전체를 어닐링하기 위해서는, 레이저 빔(504)은 3개의 영역(508, 510, 512) 상을 3회 주사해야만 한다.

[0040] 이에 대해, 본 실시 형태에 따른 방법에 따라서 질소 함유층을 이용한 경우, 도 4의 (b)에 도시한 바와 같이, 레이저 어닐링은 저산소 분위기 속에서 행해지고, 중복 영역(506)에서의 입상 돌기의 발생은 허용 레벨까지 저감된다. 그 때문에, 중복 영역(506)을 1개 혹은 복수의 제품 영역(502) 내에 형성하는 것이 가능하게 된다. 또한, 레이저 빔을 길이 $\times 1$ 보다 큰 길이 $\times 2$ 로 설정하고, 이 레이저 빔을 수회 주사(도 4의 (a)에 도시한 영역(508, 510, 512)을 3회 주사하는 것에 대해서, 도 4의 (b)에 도시한 실시 형태에서는 제1 영역(514) 및 제2 영역(516)의 2회의 주사)함으로써, 어닐링 공정을 완결할 수 있다. 본 실시 형태에서, 상기 방법에 따르면, 보다 적은 시간으로, 또한 보다 소수의 레이저 주사로, 레이저 어닐링을 실시할 수 있다. 따라서, 제조 시간을 단축하여, 제조 효율의 향상 및 제조 코스트의 낙감을 도모할 수 있다.

[0041] 중복 영역에서의 입상 돌기의 형성에 관한 결함을 저감하는 실시 형태에 대해서 도 5의 (a), 도 5의 (b), 도 6의 (a), 도 6의 (c)를 참조하여 설명한다. 도 5의 (a)는, 반도체층(604)의 제1 영역(영역 1, 2로 이루어짐)을 주사하는 에너지 밀도 $300mJ/cm^2$ 의 엑시머 레이저 빔(600), 및 반도체층(604)의 제2 영역(영역 2, 3)을 주사하는 에너지 밀도 $300mJ/cm^2$ 의 엑시머 레이저 빔(602)을 모식적으로 도시하는 측면도이다. 도시한 비교예에서, 반도체층(604)은 글래스 기판을 수용하는 CVD 챔버 내에 실란 가스(캐리어로서 아르곤 가스(Ar)를 함께)를 도입함으로써, 이 글래스 기판 상에 증착된 50nm 두께의 a-Si층으로 형성되어 있다.

[0042] 도 5의 (b)는, 반도체층(604)을 종래의 방법으로 레이저 어닐링함으로써 얻어진 결과를 나타내고, x축은 도 5의 (a)에 도시된 각각의 영역을 나타내고, y축은 nm 단위의 입상 돌기 높이를 나타내고 있다. y축은 p-Si층(도 7에 부호 702로 나타냄)에 계속해서 형성되는 얇은 절연층(도 7에서의 부호 726)에 의해 충분히 피복 가능한 최대 입상 돌기 높이를 나타내는 상한 표지(예를 들면, 20nm)를 포함하고 있다. 전술한 바와 같이, 통상적으로, 상한을 초과하는 입상 돌기의 존재는, 바람직하지 않은 전기적 및 물리적 특성을 중복 영역에 발생시킨다.

[0043] 도 5의 (b)로부터, 종래의 어닐링 공정에서의 중복 영역(영역 2)은, 상한을 초과하는 입상 돌기를 발생시키는

것을 알 수 있다.

[0044] 도 6의 (a)에 도시한 바와 같이, 본 실시 형태의 방법에 따르면, 반도체층(604)은 질소 함유층(608)을 갖고 있다. 도시한 실시 형태에서, 반도체층(604) 및 질소 함유층(608)은 이하와 같이 연속해서 성막된다.

1. 글래스 기판을 CVD 챔버 내의 서셉터 상에 지지한다.

2. CVD 챔버 내의 공기를 배기하고, 글래스 기판을 수용한 CVD 챔버 내에 실란 가스(캐리어로서 Ar 가스를 함께)를 도입한다.

3. 40nm 두께의 a-Si층을 글래스 기판 상에 증착하고, 반도체층(604)을 형성한다.

4. 실란 가스와 함께 N₂O 가스를 CVD 챔버 내에 도입하고, 농도가 2×10^{21} 원자/cc인 질소 원자 및 농도가 2×10^{22} 원자/cc인 산소 원자를 갖는 10nm 두께의 질소 함유 a-Si층(608)을 형성한다.

[0049] 그 후, 상기한 바와 마찬가지로, 레이저 빔(600, 602)에 의해, 질소 함유 a-Si층(608)의 제1 영역 및 제2 영역을 각각 레이저 어닐링한다.

[0050] 도 6의 (b)에 도시한 바와 같이, 질소 함유층(608)을 이용함으로써, 중복 영역(영역 2)에서의 입상 돌기가 감소하여 최고 레벨보다 낮아진다. 예를 들면, 중복 영역에서의 입상 돌기 높이(제곱 평균 평방근 값: rms 값)는 상한 20nm보다 낮아 15nm로 되어 있다. 따라서, 어닐링된 반도체층 전체에서의 입상 돌기 높이(제곱 평균 평방근 값: rms 값)는 상한 20nm보다 작다. 또한, 중복 영역의 입자 사이즈는 0.2μm보다 크고(예를 들면, 약 0.35 μm), 또한 거의 균일하게 되어 있다. 이와 같은 허용 가능한 입자 사이즈 및 입상 돌기의 경우, 중복 영역은, 바람직하지 않은 전기적 및 물리적 특성을 더 이상 나타내는 일이 없다. 따라서, 제품 영역의 전기적 및 물리적 특성에 악영향을 미치지 않고, 중복 영역을 제품 영역 내에 1개 혹은 복수 형성하는 것이 가능하게 된다. 질소 함유층(608)을 이용함으로써, 1×10^{21} 원자/cc의 질소 농도 및 1×10^{22} 원자/cc의 산소 농도를 갖는 표면을 구비한 p-Si층(즉, 레이저 어닐링 후)이 얻어진다.

[0051] 다음으로, 본 방법을 이용하여 레이저 어닐링된 반도체층으로 형성된 반도체 장치의 일례로서, 액정 표시 장치의 어레이 기판 및 그 제조 방법에 대해서 설명한다. 도 7은, 반도체 장치로서 코플래너형의 TFT를 갖는 LCD용의 어레이 기판(700)을 도시하고 있다.

[0052] 어레이 기판(700)은 글래스판 등의 투명한 절연 기판(721)과, 절연 기판 상에 형성되고, 이 절연 기판으로부터의 불순물 확산을 방지하기 위한 언더코트층(722)을 구비하고 있다. 언더코트층(722) 상에는, 소정 형상으로 패터닝된 p-Si로 이루어지는 반도체층(724)이 형성되어 있다. 반도체층(724)의 결정 구조는 소스 영역(702a), 드레인 영역(702b) 및 이들 영역 사이에 끼워진 채널 영역(702c)을 갖는 TFT 활성층(702)을 형성하고 있다. 이 TFT 활성층(702) 및 언더코트층(722)에 겹쳐서 SiO₂나 TEOS 등으로 이루어지는 게이트 절연막(726)이 형성되어 있다. TFT 활성층(702)은, 제1 표면 및 제2 표면을 갖고 있다. TFT 활성층(702)이 글래스 기판 상에 퇴적될 때, 제2 표면이 절연 기판(721)측에 위치하고, TFT 활성층(702)의 제1 표면에 겹쳐서 게이트 절연막(726)이 형성되어 있다.

[0053] TFT 활성층(702)(보다 상세하게는, TFT 활성층(702)의 제1 표면)은, 1×10^{21} 원자/cc의 질소 농도를 갖고 있다. 보다 일반적으로 설명하면, TFT 활성층(702)의 제1 표면은 3×10^{20} 원자/cc ~ 1×10^{22} 원자/cc의 범위의 질소 농도, 보다 상세하게는 5×10^{20} 원자/cc ~ 5×10^{21} 원자/cc의 범위의 질소 농도를 갖고 있어도 된다. 전술한 바와 같이, 상기의 질소 농도는 질소 함유층의 초기 도핑에 의해 얻어진다.

[0054] 또한, TFT 활성층(702)(보다 상세하게는, TFT 활성층(702)의 제1 표면)은 1×10^{22} 원자/cc의 산소 농도를 갖고 있어도 된다. 보다 일반적으로 설명하면, TFT 활성층(702)의 제1 표면은 3×10^{21} 원자/cc ~ 7×10^{22} 원자/cc의 범위의 산소 농도, 보다 상세하게는 5×10^{21} 원자/cc ~ 5×10^{22} 원자/cc의 범위의 산소 농도를 갖고 있어도 된다. 일 형태에서는, TFT 활성층(702)의 제1 표면은, 적어도 3×10^{20} 원자/cc의 질소 농도를 갖고 있다.

[0055] 게이트 절연막(726) 상에는, 알루미늄(AI)이나 알루미늄(AI) 합금 혹은 MoW합금 등의 금속의 게이트 전극(710)이 형성되고, 이 게이트 전극은 게이트 절연막(726)을 사이에 두고 TFT 활성층(702)의 채널 영역(702c)과 대향하고 있다. 게이트 절연막(726) 및 게이트 전극(710)을 덮어 SiNx의 충간 절연막(728)이 형성되어 있다. 충간

절연막(728) 및 게이트 절연막(726)에는 콘택트 홀(90, 91)이 형성되고, 이들 콘택트 홀(90, 91)에, 알루미늄이나 알루미늄 합금 등의 금속의 소스 전극(704) 및 드레인 전극(706)이 형성되어 있다. 소스 전극(704) 및 드레인 전극(706)은, 각각 TFT 활성층(702)의 소스 영역(702a) 및 드레인 영역(702b)에 전기적으로 접속되어 있다. 이들에 의해, 박막 트랜지스터(TFT)(701)가 구성되어 있다.

[0056] 층간 절연막(728)에 겹쳐서 보호막(730)이 형성되고, 또한 이 보호층 상에 투명 도전막 등으로 이루어지는 화소 전극(711)이 형성되어 있다. 화소 전극(711)은 보호막(730)에 형성된 콘택트 홀을 통하여, TFT(701)의 드레인 전극(706)에 전기적으로 접속되어 있다. 그 밖에, 어레이 기판(700)은 도시하지 않은 신호선, 주사선 등을 구비하고 있다.

[0057] 일 형태에서는, TFT(701)는 LCD에서, 절연층을 개재하여 TFT(701) 상에 설치된 화소 전극(711)을 제어하여, LCD 표시 영역 혹은 LCD 패널을 형성하는 각 제품 영역 내에 형성된 복수의 TFT의 1개를 구성하고 있다. 다른 형태에서는, TFT(701)는 OLED 표시 장치에서의 화소를 제어하여, OLED 표시 영역 혹은 OLED 패널을 형성하는 각 제품 영역 내에 형성된 복수의 TFT의 1개를 구성하고 있다.

[0058] 상기한 바와 같이 구성된 TFT를 갖는 어레이 기판의 제조 방법에 대해서 설명한다.

[0059] 도 8의 (a)에 도시한 바와 같이, 우선 글래스판 등의 투명한 절연 기판(721) 상에 언더코트층(722)을 형성한다. 언더코트층(722)으로서는, 화학 기상 반응법이나 스퍼터링법에 의해 형성된 SiO_2 막을 이용한다. 또한, 언더코트층(722)으로서, 이 밖에도, SiNx 나, SiNx 와 SiO_2 의 2층의 박막을 이용하여도 된다.

[0060] 다음으로, 언더코트층(722) 상에, 반도체층(724)으로서의 다결정 실리콘(p-Si)막을 형성한다. 이 p-Si막의 형성은, 예를 들면 플라즈마 CVD법, 스퍼터링법 등의 성막법에 의해 a-Si막을 형성한 후, 질소 함유의 a-Si막을 적층하거나 혹은 a-Si막의 상층부에 질소를 이온 주입 혹은 플라즈마 도핑한다. 이 공정에 의해, a-Si막의 상층부는 질소 함유 a-Si층으로 된다. 즉, 이 공정에서, 질소 함유 a-Si층은 반도체층(724)의 일부를 형성하고 있지만, 질소 함유 a-Si층의 질소 농도에 의해, 반도체층으로부터 구별할 수 있다. 질소 함유 a-Si층의 질소 농도 및 깊이(두께)는, 성막 시의 막 두께, 도입 가스의 유량비, 이온 주입 혹은 플라즈마 도핑 공정에서의 에너지를 조정함으로써 제어된다. 질소 농도는, 예를 들면 3×10^{20} 원자/cc이다.

[0061] 계속해서, 도 8의 (b)에 도시한 바와 같이, 질소 함유 a-Si층이 형성된 반도체층(724)에 레이저 어닐링을 실시하고, 다결정화함으로써, p-Si막을 형성한다. 이 때, 질소 함유 a-Si층이 형성된 반도체층(724)의 제1 영역에 레이저 어닐링(408)이 행해지고, 또한 반도체층(724)의 제2 영역에 레이저 어닐링(410)이 행해진다. 제1 영역 및 제2 영역은 제품 영역 내에서 겹치고, 레이저 어닐링 공정에 의해 p-Si막이 형성된다.

[0062] 다음으로, 도 8의 (c)에 도시한 바와 같이, p-Si막을 패터닝함으로써, 복수의 섬 형상의 반도체층(724)을 형성한다. 또한, 예를 들면 플라즈마 CVD법에 의해, SiO_2 막으로 이루어지는 게이트 절연막(726)을 언더코트층(722) 및 반도체층(724) 상에 형성한다. 게이트 절연막(726)의 형성 방법으로서는, 플라즈마 CVD법 대신에, 상압 CVD 법, LPCVD법, ECR 플라즈마 CVD법, 리모트 플라즈마 CVD법 등의 다른 CVD법이나, 스퍼터링법 등을 이용하여도 된다. 또한, 원료 가스로서도, $\text{TEOS} \cdot \text{O}_2$ 가스, $\text{SiH}_4 \cdot \text{O}_2$ 가스를 이용할 수 있다.

[0063] 게이트 절연막(726)을 형성한 후, 이 게이트 절연막의 막질을 더욱 향상시키는 것을 목적으로 하여, 예를 들면 질소 분위기 속에서, 600°C , 5시간의 조건에서 게이트 절연막을 어닐링하여도 된다.

[0064] 다음으로, 도 8의 (d)에 도시한 바와 같이, 게이트 절연막(726) 상에, 몰리브덴 텅스텐 합금(MoW)이나 알루미늄(Al) 등의 저저항 금속막이나 불순물이 도입된 다결정 실리콘막 등을 형성한 후, 이 막을 소정의 형상으로 패터닝하여 게이트 전극(710)을 형성한다.

[0065] 이와 같이 하여 소정 형상의 게이트 전극(710)을 형성한 후, 도 9의 (a)에 도시한 바와 같이, 게이트 전극(710)을 마스크로 하여 자기 정합에 의해, 반도체층(724)에 n형 불순물인 인(P)을 이온 주입하고, p-Si막에 소스 영역(702a) 및 드레인 영역(702b)을 형성한다. 그 후, 레이저 어닐링이나 열 어닐링 등의 어닐링에 의해, 이온 주입에 의해 도입된 인을 활성화한다. 이에 의해, 소스 영역(702a), 드레인 영역(702b), 이들 사이에 위치한 채널 영역(702c)을 갖는 TFT 활성층(702)이 형성된다.

[0066] 또한, P형 채널 TFT를 제조하는 경우에는, 반도체층(724)에 붕소 등의 P형 불순물을 이온 주입한다.

[0067] 계속해서, 도 9의 (b)에 도시한 바와 같이, 게이트 절연막(726) 및 게이트 전극(710)에 겹쳐서 전체면에 절연성

을 갖는 충간 절연막(728)을 형성하고, 이 충간 절연막(728)에 TFT 활성층(702)의 소스 영역(702a) 및 드레인 영역(702b)에 각각 연통하는 콘택트 홀(712a, 712b)을 형성한다.

[0068] 그리고, 도 9의 (c)에 도시한 바와 같이, 콘택트 홀(712a, 712b)을 메우도록, 충간 절연막(728)의 전체면에 Al 등의 금속막을 형성한 후, 이 금속막을 패터닝하여, 소스 전극(704) 및 드레인 전극(706)을 형성한다. 이에 의해, TFT(701)가 얻어진다.

[0069] 계속해서, TFT(701)를 수분의 흡착 등으로부터 보호하기 위해, 질화 실리콘막 등으로 이루어지는 보호막(730)이 형성되어 있다. 또한, 드레인 전극(706)에 연통하는 콘택트 홀(714)을 보호막(730)으로 형성한다. 콘택트 홀(714)을 메우도록, 보호막(730)의 전체면에 ITO 등의 투명 도전막을 형성한 후, 이 투명 도전막을 패터닝하여 화소 전극(711)을 형성한다. 이에 의해, 복수의 TFT(701)를 구비한 어레이 기판(700)이 얻어진다.

[0070] 또한, 본 발명은 상기 실시 형태 그대로 한정되는 것이 아니라, 실시 단계에서는 그 요지를 일탈하지 않는 범위에서 구성 요소를 변형하여 구체화할 수 있다. 또한, 상기 실시 형태에 개시되어 있는 복수의 구성 요소의 적절한 조합에 의해, 다양한 발명을 형성할 수 있다. 예를 들면, 실시 형태에 기재되는 전체 구성 요소로부터 몇 가지의 구성 요소를 삭제하여도 된다. 또한, 다른 실시 형태에 걸친 구성 요소를 적절하게 조합하여도 된다.

[0071] 예를 들면, 전술한 레이저 어닐링 방법은, 소정의 순번에 의해 실행하는 공정으로서 설명하였지만, 이에 한정되지 않고, 본 방법은 적절하게, 상기와 다른 순번에 의해 실행하는 공정으로 변경하여도 된다. 또한, 본 방법은, 또 다른 공정을 실행하도록 변형하여도 된다. 1개 혹은 복수의 제품 영역 내에 중복 영역을 갖는다고 하는 특징은, 이 중복 영역이 복수의 제품 영역 내에만 형성되는 것에 한정되지 않고, 중복 영역의 적어도 일부가 제품 영역에 형성되어 있으면 된다.

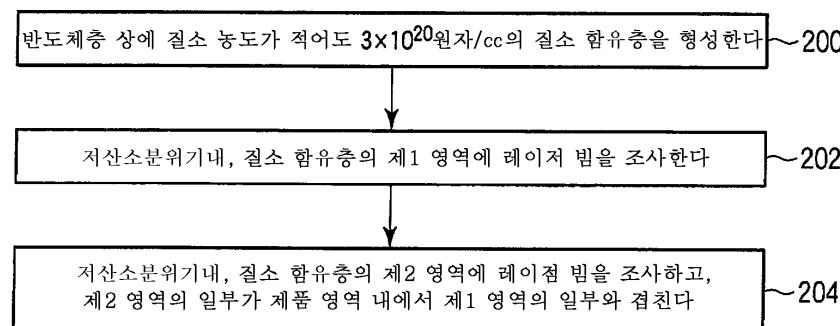
[0072] 또한, 질소 함유층은 입상 돌기의 저감에 유효한 것으로서 설명하였지만, 이와 같은 사용에 한정되는 것은 아니다. 예를 들면, 질소 함유층은 소모(어블레이션) 등의 결함의 저감에 이용하여도 된다. 전술한 변형에는, 본 발명의 범위에 포함되는 것이다.

산업상 이용가능성

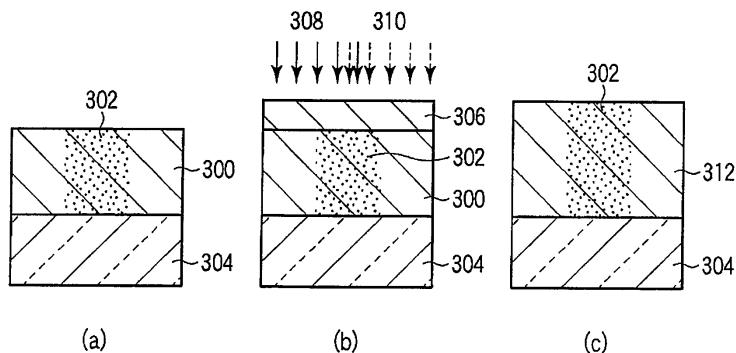
[0073] 반도체층의 전기적 혹은 물리적 특성의 변화를 발생시키지 않고 반도체층을 어닐링할 수 있어, 제조 효율의 향상 및 대형의 제품을 제조 가능한 레이저 어닐링 방법 및 이 방법에 의해 제조된 반도체 장치를 제공할 수 있다.

도면

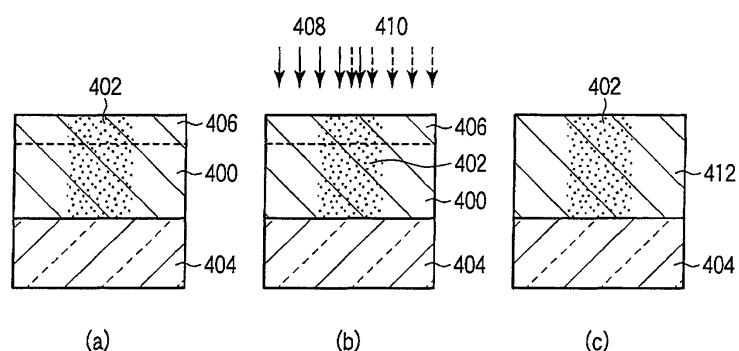
도면1



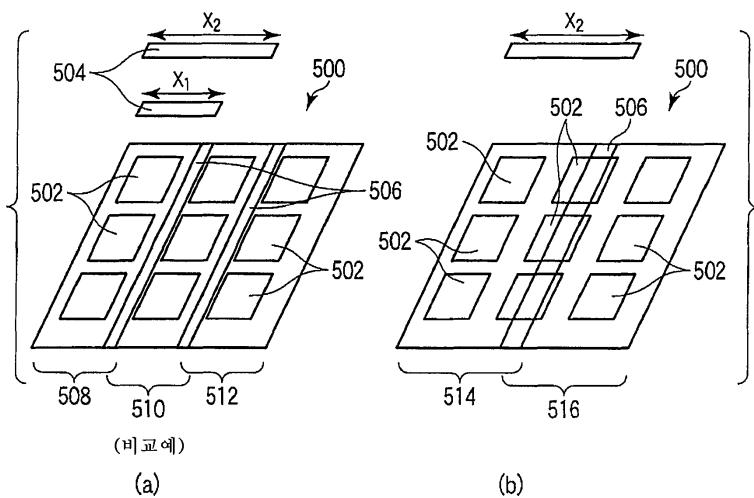
도면2



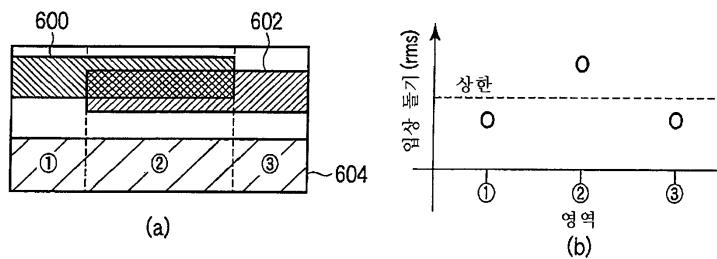
도면3



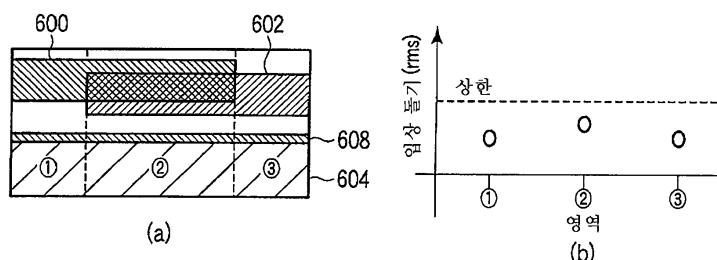
도면4



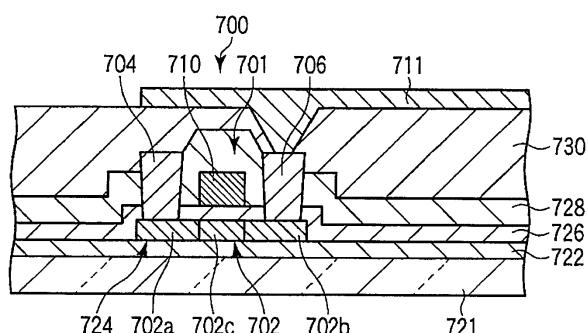
도면5



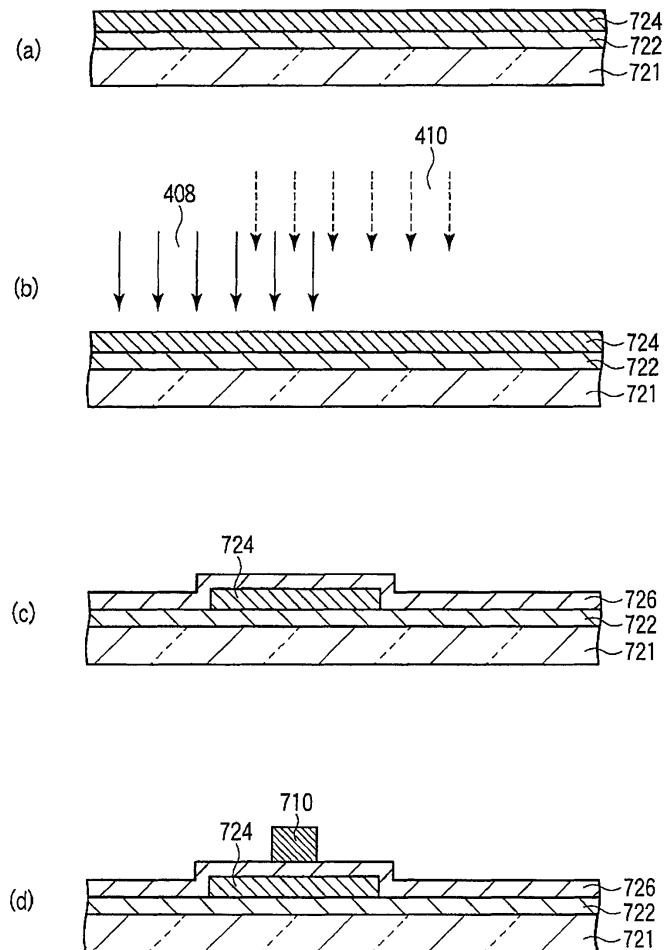
도면6



도면7



도면8



도면9

