



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I802199 B

(45)公告日：中華民國 112 (2023) 年 05 月 11 日

(21)申請案號：111100118

(22)申請日：中華民國 111 (2022) 年 01 月 03 日

(51)Int. Cl. : G11C16/06 (2006.01)

G11C11/413 (2006.01)

G06F13/14 (2006.01)

(30)優先權：2021/09/22 日本

2021-154184

(71)申請人：日商鎧俠股份有限公司 (日本) KIOXIA CORPORATION (JP)

日本

(72)發明人：佐藤裕治 SATOH, YUJI (JP)；駒井宏充 KOMAI, HIROMITSU (JP)

(74)代理人：陳長文

(56)參考文獻：

TW I521522B

TW 201905920A

US 6590802B2

US 9082640B2

審查人員：劉耀允

申請專利範圍項數：5 項 圖式數：23 共 58 頁

(54)名稱

半導體記憶裝置

(57)摘要

本發明提供一種能提高資料輸入輸出之穩健性之半導體記憶裝置。實施方式之半導體記憶裝置包含：複數個資料鎖存電路 XDL，其等用於在感測放大器電路與輸入輸出電路之間進行資料之輸入輸出；及匯流排 XBUS，其連接於複數個資料鎖存電路 XDL。資料鎖存電路 XDL 包含：反相器電路 XIV，其暫時保持在感測放大器電路與輸入輸出電路之間輸入輸出之資料；以及 N 通道型 MOS 電晶體 TN31、TN32 及 P 通道型 MOS 電晶體 TP31，其等並聯設置於反相器電路 XIV 與匯流排 XBUS 之間。N 通道型 MOS 電晶體 TN31、TN32 經多工化。

指定代表圖：

符號簡單說明：

DBUS, XBUS:匯流排
(資料配線)

LAT, INV:節點

TN11~13, TN21,
TN31, TN32:N 通道型
MOS 電晶體

TP11~14, TP21,
TP31:P 通道型 MOS
電晶體

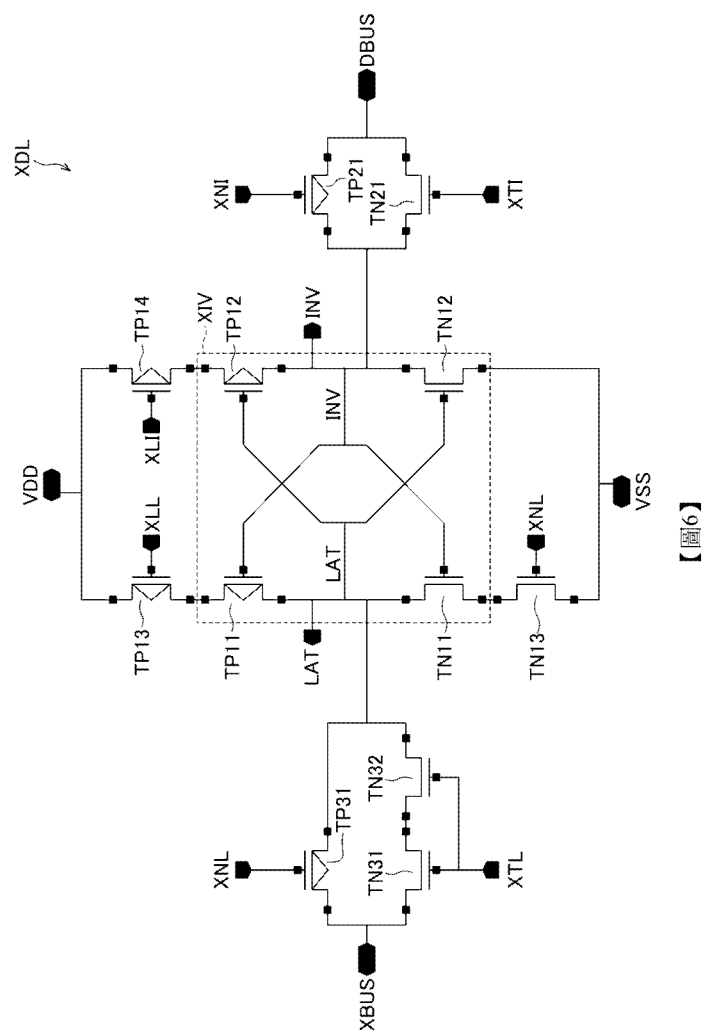
VDD:電源電位節點

VSS:接地電位節點

XDL:資料鎖存電路

XLL, XLI, XNL, XNI,
XTL, XTI:控制信號

XIV:反相器電路(資料
保持部)





I802199

【發明摘要】

IPC 分類號: **G11C 16/06** (2006.01)
G11C 11/413 (2006.01)
G06F 13/14 (2006.01)

【中文發明名稱】

半導體記憶裝置

【中文】

本發明提供一種能提高資料輸入輸出之穩健性之半導體記憶裝置。

實施方式之半導體記憶裝置包含：複數個資料鎖存電路XDL，其等用於在感測放大器電路與輸入輸出電路之間進行資料之輸入輸出；及匯流排XBUS，其連接於複數個資料鎖存電路XDL。資料鎖存電路XDL包含：反相器電路XIV，其暫時保持在感測放大器電路與輸入輸出電路之間輸入輸出之資料；以及N通道型MOS電晶體TN31、TN32及P通道型MOS電晶體TP31，其等並聯設置於反相器電路XIV與匯流排XBUS之間。N通道型MOS電晶體TN31、TN32經多工化。

【指定代表圖】

圖6

【代表圖之符號簡單說明】

DBUS, XBUS:匯流排(資料配線)

LAT, INV:節點

TN11~13, TN21, TN31, TN32:N通道型MOS電晶體

TP11~14, TP21, TP31:P通道型MOS電晶體

VDD:電源電位節點

VSS:接地電位節點

XDL:資料鎖存電路

XLL, XLI, XNL, XNI, XTL, XTI:控制信號

XIV:反相器電路(資料保持部)

【發明說明書】

【中文發明名稱】

半導體記憶裝置

【技術領域】

【0001】 本發明之實施方式係關於一種半導體記憶裝置。

【先前技術】

【0002】 先前之半導體記憶裝置具備複數個資料鎖存電路，其等用於感測放大器與輸入輸出電路之間之資料之輸入輸出。複數個資料鎖存電路經由資料配線而相互連接。自感測放大器輸出之資料暫時保持於資料鎖存電路後，經由資料配線自輸入輸出電路輸出。

【發明內容】

【0003】 根據所揭示之實施方式，提供一種能提高資料輸入輸出之穩健性之半導體記憶裝置。

【0004】 實施方式之半導體記憶裝置包含：複數個資料鎖存電路，其等用於在感測放大器電路與輸入輸出電路之間進行資料之輸入輸出；及資料配線，其連接於複數個資料鎖存電路。資料鎖存電路包含：資料保持部，其暫時保持在感測放大器電路與輸入輸出電路之間輸入輸出之資料；及N通道型MOS(Metal Oxide Semiconductor，金氧半導體)電晶體及P通道型MOS電晶體中之至少一者，其設置於資料保持部與資料配線之間。N通道型MOS電晶體及P通道型MOS電晶體中之至少一者經多工化。

【圖式簡單說明】

【0005】

圖1係表示實施方式之記憶系統之概略構成之方塊圖。

圖2係表示實施方式之半導體記憶裝置之概略構成之方塊圖。

圖3係表示實施方式之半導體記憶裝置之構成之電路圖。

圖4係表示實施方式之感測放大器單元之概略構成之方塊圖。

圖5係表示實施方式之感測放大器及輸入輸出電路之概略構成之方塊圖。

圖6係表示實施方式之資料鎖存電路之構成之電路圖。

圖7係表示實施方式之半導體記憶裝置之剖面構造之剖視圖。

圖8係模式性表示實施方式之半導體記憶裝置之資料鎖存電路周邊的平面構造之圖。

圖9係模式性表示參考例之半導體記憶裝置之資料鎖存電路周邊的平面構造之圖。

圖10係表示實施方式之資料鎖存電路之動作例之電路圖。

圖11係表示實施方式之資料鎖存電路之動作例之電路圖。

圖12係表示實施方式之資料鎖存電路之動作例之電路圖。

圖13係表示實施方式之資料鎖存電路之動作例之電路圖。

圖14係表示實施方式之資料鎖存電路之動作例之電路圖。

圖15係表示參考例之資料鎖存電路之構成之電路圖。

圖16係模式性表示第1變化例之半導體記憶裝置之資料鎖存電路周邊的平面構造之圖。

圖17係模式性表示第1變化例之半導體記憶裝置之資料鎖存電路周邊的平面構造之圖。

圖18係表示第2變化例之資料鎖存電路之構成的一部分之電路圖。

圖19係表示第2變化例之資料鎖存電路之構成的一部分之電路圖。

圖20係表示第3變化例之資料鎖存電路之構成的一部分之電路圖。

圖21係表示第4變化例之資料鎖存電路之構成的一部分之電路圖。

圖22係表示第4變化例之資料鎖存電路之構成的一部分之電路圖。

圖23係表示第4變化例之資料鎖存電路之構成的一部分之電路圖。

【實施方式】

【0006】 以下，參照圖式對實施方式進行說明。為了使說明容易理解，各圖式中對同一構成要素儘量標註相同之符號，從而省略重複之說明。

【0007】 <實施方式>

(記憶系統之構成)

如圖1所示，本實施方式之記憶系統具備記憶體控制器1及半導體記憶裝置2。半導體記憶裝置2係作為NAND(Not And，反及)型快閃記憶體而構成之非揮發性記憶裝置。記憶系統可與主機連接。主機例如為個人電腦或移動終端等電子設備。再者，雖然圖1中僅圖示出一個半導體記憶裝置2，但實際上記憶系統中設置有複數個半導體記憶裝置2。

【0008】 記憶體控制器1按照來自主機之寫入請求，對向半導體記憶裝置2寫入資料之動作進行控制。又，記憶體控制器1按照來自主機之讀出請求，對自半導體記憶裝置2讀出資料之動作進行控制。

【0009】 於記憶體控制器1與半導體記憶裝置2之間，收發晶片賦能信號/CE、就緒-忙碌信號/RB、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫賦能信號/WE、讀賦能信號RE、/RE、寫保護信號/WP、資料之信號DQ<7:0>、及資料選通信號DQS、/DQS各種信號。

【0010】 晶片賦能信號/CE係用以啟用半導體記憶裝置2之信號。就

緒-忙碌信號/**RB**係用以表示半導體記憶裝置2為就緒狀態抑或為忙碌狀態之信號。所謂「就緒狀態」，係指可受理來自外部之命令之狀態。所謂「忙碌狀態」，係指不可受理來自外部之命令之狀態。指令鎖存賦能信號**CLE**係表示信號**DQ<7:0>**為指令之信號。位址鎖存賦能信號**ALE**係表示信號**DQ<7:0>**為位址之信號。寫賦能信號/**WE**係用以將所接收到之信號取入至半導體記憶裝置2中之信號，每當接收到指令、位址及資料時，由記憶體控制器1使之生效。記憶體控制器1指示半導體記憶裝置2於信號/**WE**為「L(Low，低)」位準之期間取入信號**DQ<7:0>**。

【0011】 讀賦能信號**RE**、/**RE**係用以使記憶體控制器1自半導體記憶裝置2讀出資料之信號。讀賦能信號**RE**、/**RE**用以控制例如輸出信號**DQ<7:0>**時之半導體記憶裝置2之動作時序。寫保護信號/**WP**係用以指示半導體記憶裝置2禁止資料寫入及抹除之信號。信號**DQ<7:0>**係於半導體記憶裝置2與記憶體控制器1之間收發之資料之實體，包括指令、位址及資料。資料選通信號**DQS**、/**DQS**係用以控制信號**DQ<7:0>**之輸入輸出時序之信號。

【0012】 記憶體控制器1具備RAM(Random Access Memory，隨機存取記憶體)11、處理器12、主機介面13、ECC(Error Check and Correction，錯誤檢測與校正)電路14及記憶體介面15。其等藉由內部匯流排16而相互連接。

【0013】 主機介面13將自主機接收到之請求及用戶資料(寫入資料)等輸出至內部匯流排16。又，主機介面13將自半導體記憶裝置2讀出之用戶資料、及來自處理器12之應答等發送至主機。

【0014】 記憶體介面15基於處理器12之指示，對向半導體記憶裝置

2寫入用戶資料等之處理、及自半導體記憶裝置2讀出用戶資料等之處理進行控制。

【0015】 處理器12統籌控制記憶體控制器1。處理器12為CPU(Central Processing Unit，中央處理單元)或MPU(Micro Processing Unit，微處理單元)等。處理器12於自主機經由主機介面13接收到請求之情形時，按照該請求進行控制。例如，處理器12按照來自主機之請求，指示記憶體介面15向半導體記憶裝置2寫入用戶資料及奇偶校驗碼。又，處理器12按照來自主機之請求，指示記憶體介面15自半導體記憶裝置2讀出用戶資料及奇偶校驗碼。

【0016】 處理器12決定RAM11中儲存之用戶資料於半導體記憶裝置2上之儲存區域(記憶區域)。用戶資料經由內部匯流排16儲存於RAM11。處理器12對作為寫入單位之頁單位之資料(頁資料)實施記憶區域之決定。半導體記憶裝置2之1頁中儲存之用戶資料下文亦稱「單元資料」。單元資料一般會被編碼，而以碼字形式儲存於半導體記憶裝置2。本實施方式中，並非一定要編碼。記憶體控制器1亦可將單元資料不經編碼地儲存於半導體記憶裝置2，但圖1中示出了進行編碼之構成作為一例。於記憶體控制器1不進行編碼之情形時，頁資料與單元資料一致。又，可基於1個單元資料生成1個碼字，亦可基於由單元資料分割而成之分割資料生成1個碼字。又，亦可使用複數個單元資料生成1個碼字。

【0017】 處理器12逐個單元資料地決定作為寫入目的地之半導體記憶裝置2之記憶區域。半導體記憶裝置2之記憶區域被分配有物理位址。處理器12使用物理位址，管理作為單元資料之寫入目的地之記憶區域。處理器12指定所決定之記憶區域(物理位址)，而指示記憶體介面15將用戶資料

寫入至半導體記憶裝置2。處理器12管理用戶資料之邏輯位址(由主機管理之邏輯位址)與物理位址之對應。處理器12於接收到來自主機之包含邏輯位址之讀出請求之情形時，特定出與邏輯位址對應之物理位址，並且指定物理位址而指示記憶體介面15讀出用戶資料。

【0018】 ECC電路14將RAM11中儲存之用戶資料編碼，生成碼字。又，ECC電路14將自半導體記憶裝置2讀出之碼字解碼。

【0019】 RAM11於將自主機接收到之用戶資料向半導體記憶裝置2中記憶以前，暫時儲存該用戶資料，或於將自半導體記憶裝置2讀出之資料向主機發送以前，暫時儲存該資料。RAM11例如為SRAM(Static Random Access Memory，靜態隨機存取記憶體)或DRAM(Dynamic Random Access Memory，動態隨機存取記憶體)等通用記憶體。

【0020】 圖1中示出了記憶體控制器1具備ECC電路14及記憶體介面15之構成例。但其實亦可為ECC電路14內置於記憶體介面15中。又，還可為ECC電路14內置於半導體記憶裝置2中。圖1所示之各要素之具體構成及配置並不特別限定。

【0021】 於自主機接收到寫入請求之情形時，圖1之記憶系統按照如下所述而動作。處理器12使作為寫入對象之資料暫時記憶於RAM11。處理器12將RAM11中儲存之資料讀出並輸入至ECC電路14。ECC電路14將所輸入之資料編碼，並將碼字輸入至記憶體介面15。記憶體介面15將所輸入之碼字寫入至半導體記憶裝置2。

【0022】 於自主機接收到讀出請求之情形時，圖1之記憶系統按照如下所述而動作。記憶體介面15將自半導體記憶裝置2讀出之碼字輸入至ECC電路14。ECC電路14將所輸入之碼字解碼，並將解碼所得之資料儲

存於RAM11。處理器12將RAM11中儲存之資料經由主機介面13發送至主機。

【0023】 (半導體記憶裝置之概略構成)

如圖2所示，半導體記憶裝置2具備記憶單元陣列21、輸入輸出電路22、邏輯控制電路23、暫存器24、定序器25、電壓產生電路26、列解碼器27、感測放大器28、輸入輸出用焊墊群30、邏輯控制用焊墊群31及電源輸入用端子群32。

【0024】 記憶單元陣列21係記憶資料之部分。記憶單元陣列21具有與複數個位元線及複數個字元線相關聯之複數個記憶單元電晶體而構成。

【0025】 輸入輸出電路22與記憶體控制器1之間收發信號DQ<7:0>及資料選通信號DQS、/DQS。又，輸入輸出電路22將信號DQ<7:0>內之指令及位址傳送至暫存器24。進而，輸入輸出電路22與感測放大器28之間收發寫入資料及讀出資料。

【0026】 邏輯控制電路23自記憶體控制器1接收晶片賦能信號/CE、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫賦能信號/WE、讀賦能信號RE、/RE及寫保護信號/WP。又，邏輯控制電路23將就緒-忙碌信號/RB傳送至記憶體控制器1，向外部通知半導體記憶裝置2之狀態。

【0027】 暫存器24暫時保持各種資料。例如，暫存器24保持指示寫入動作、讀出動作及抹除動作等之指令。該指令自記憶體控制器1輸入至輸入輸出電路22後，自輸入輸出電路22傳送至暫存器24而加以保持。又，暫存器24亦保持與上述指令對應之位址。該位址自記憶體控制器1輸入至輸入輸出電路22後，自輸入輸出電路22傳送至暫存器24而加以保持。進而，暫存器24還保持表示半導體記憶裝置2之動作狀態之狀態資

訊。狀態資訊根據記憶單元陣列21等之動作狀態，由定序器25隨時更新。狀態資訊根據來自記憶體控制器1之請求，作為狀態信號自輸入輸出電路22輸出至記憶體控制器1。

【0028】 定序器25基於自記憶體控制器1輸入至輸入輸出電路22及邏輯控制電路23之控制信號，控制包括記憶單元陣列21在內之各部之動作。

【0029】 電壓產生電路26係產生記憶單元陣列21中之資料之寫入動作、讀出動作及抹除動作各自所需之電壓之部分。該電壓中包括例如對記憶單元陣列21之複數個字元線及複數個位元線分別施加之電壓等。電壓產生電路26之動作由定序器25控制。

【0030】 列解碼器27係包含用以對記憶單元陣列21之複數個字元線分別施加電壓之開關群之電路。列解碼器27自暫存器24接收塊位址及列位址，基於塊位址而選擇塊，並且基於列位址而選擇字元線。列解碼器27切換開關群之開關狀態，以對所選擇之字元線施加來自電壓產生電路26之電壓。列解碼器27之動作由定序器25控制。

【0031】 感測放大器28係用以調整對記憶單元陣列21之位元線施加之電壓、或將位元線之電壓讀出並轉換成資料之電路。感測放大器28於資料之讀出時，獲取自記憶單元陣列21之記憶單元電晶體讀出至位元線之資料，並且將所取得之讀出資料傳送至輸入輸出電路22。感測放大器28於資料之寫入時，將經由位元線而寫入之資料傳送至記憶單元電晶體。感測放大器28之動作由定序器25控制。

【0032】 輸入輸出用焊墊群30係設置有用以於記憶體控制器1與輸入輸出電路22之間收發各信號之複數個端子(焊墊)之部分。各個端子分別

對應於信號DQ<7：0>及資料選通信號DQS、/DQS而個別地設置。

【0033】 邏輯控制用焊墊群31係設置有用以於記憶體控制器1與邏輯控制電路23之間收發各信號之複數個端子之部分。各個端子分別對應於晶片賦能信號/CE、指令鎖存賦能信號CLE、位址鎖存賦能信號ALE、寫賦能信號/WE、讀賦能信號RE、/RE、寫保護信號/WP及就緒-忙碌信號/RB而個別地設置。

【0034】 電源輸入用端子群32係設置有用以承接半導體記憶裝置2之動作所需之各電壓之施加的複數個端子之部分。對各個端子施加之電壓中包括電源電壓Vcc、VccQ、Vpp及接地電壓Vss。電源電壓Vcc係作為動作電源而自外部提供之電路電源電壓，例如為3.3 V左右之電壓。電源電壓VccQ例如為1.2 V之電壓。電源電壓VccQ係於記憶體控制器1與半導體記憶裝置2之間收發信號時使用之電壓。電源電壓Vpp係高於電源電壓Vcc之電源電壓，例如為12 V之電壓。

【0035】 (記憶單元陣列之電路構成)

其次，對記憶單元陣列21之電路構成進行說明。

【0036】 如圖3所示，記憶單元陣列21包含複數個塊BLK。圖3中僅示出了複數個塊BLK中之一個。記憶單元陣列21所具有之其他塊BLK之構成與圖3所示之構成相同。

【0037】 如圖3所示，塊BLK例如包含4個串單元SU(SU0～SU3)。又，各串單元SU包含複數個NAND串NS。NAND串NS各自包含例如8個記憶單元電晶體MT(MT0～MT7)、及選擇電晶體ST1、ST2。

【0038】 再者，記憶單元電晶體MT之個數並不限於8個，例如亦可為32個、48個、64個、96個。例如，為了提高截止特性，選擇電晶體

ST1、ST2亦可各自由複數個電晶體構成，而非由單個電晶體構成。進而，記憶單元電晶體MT與選擇電晶體ST1、ST2之間亦可設置有虛設單元電晶體。

【0039】 記憶單元電晶體MT以串聯連接於選擇電晶體ST1與選擇電晶體ST2之間之方式配置。一端側之記憶單元電晶體MT7連接於選擇電晶體ST1之源極，另一端側之記憶單元電晶體MT0連接於選擇電晶體ST2之汲極。

【0040】 串單元SU0～SU3各自之選擇電晶體ST1之閘極分別共通連接於選擇閘極線SGD0～SGD3。選擇電晶體ST2之閘極在位於同一塊BLK內之複數個串單元SU間共通連接於同一根選擇閘極線SGS。位於同一塊BLK內之記憶單元電晶體MT0～MT7之閘極分別共通連接於字元線WL0～WL7。即，字元線WL0～WL7及選擇閘極線SGS於同一塊BLK內之複數個串單元SU0～SU3間共通，而選擇閘極線SGD即便於同一塊BLK內亦針對每個串單元SU0～SU3個別地設置。

【0041】 於記憶單元陣列21，設置有n個位元線BL(BL0、BL1、…、BL(n-1))。「n」係與1個串單元SU中包含之NAND串NS之個數對應之整數。例如，於半導體記憶裝置2以將16 kByte資料作為1個單位而寫入至記憶單元陣列21或自記憶單元陣列21讀出之方式構成之情形時，「n」為131072(2之17次冪)。NAND串NS各自之選擇電晶體ST1之汲極連接於對應之位元線BL。NAND串NS各自之選擇電晶體ST2之源極連接於源極線SL。源極線SL相對於塊BLK所具有之複數個選擇電晶體ST2之源極共通。

【0042】 位於同一塊BLK內之複數個記憶單元電晶體MT中記憶之

資料會被一次性抹除。另一方面，資料之讀出及寫入係對連接於1個字元線WL且屬於1個串單元SU之複數個記憶單元電晶體MT統一進行。

【0043】再者，於以下之說明中，將連接於1個字元線WL且屬於1個串單元SU之複數個記憶單元電晶體MT所記憶之1位元資料之集合稱為「頁」。於圖3中，對如上所述之由複數個記憶單元電晶體MT構成之集合之一標註了符號「MG」。

【0044】（感測放大器之構成）

感測放大器28包含與n個位元線BL分別相關聯之n個感測放大器電路。圖4表示n個感測放大器電路中之1個感測放大器電路SAC之電路構成。

【0045】如圖4所示，感測放大器電路SAC包含感測放大器部SA、及資料鎖存電路SDL、ADL、BDL、CDL、XDL。感測放大器部SA、及資料鎖存電路SDL、ADL、BDL、CDL、XDL以可相互收發資料之方式藉由匯流排LBUS而連接。更詳細而言，資料鎖存電路SDL、ADL、BDL、CDL經由匯流排LBUS而共通連接，資料鎖存電路XDL連接於匯流排DBUS。匯流排LBUS及匯流排DBUS經由電晶體TRXX而連接。電晶體TRXX之閘極被輸入控制信號SW。控制信號SW例如由定序器25生成。

【0046】感測放大器部SA例如於讀出動作中，感測讀出至對應之位元線BL之資料，並判定所讀出之資料為「0」抑或為「1」。感測放大器部SA例如包含為P通道型MOS電晶體之電晶體TR1、為N通道型MOS電晶體之電晶體TR2～TR9、及電容器C10。

【0047】電晶體TR1之一端連接於電源線，電晶體TR1之另一端連接於電晶體TR2。電晶體TR1之閘極連接於資料鎖存電路SDL內之節點

INV。電晶體TR2之一端連接於電晶體TR1，電晶體TR2之另一端連接於節點COM。對電晶體TR2之閘極輸入控制信號BLX。電晶體TR3之一端連接於節點COM，電晶體TR3之另一端連接於電晶體TR4。對電晶體TR3之閘極輸入控制信號BLC。電晶體TR4為高耐壓之MOS電晶體。電晶體TR4之一端連接於電晶體TR3。電晶體TR4之另一端連接於對應之位元線BL。對電晶體TR4之閘極輸入控制信號BLS。

【0048】 電晶體TR5之一端連接於節點COM，電晶體TR5之另一端連接於節點SRC。電晶體TR5之閘極連接於節點INV。電晶體TR6之一端連接於電晶體TR1與電晶體TR2之間，電晶體TR6之另一端連接於節點SEN。對電晶體TR6之閘極輸入控制信號HLL。電晶體TR7之一端連接於節點SEN，電晶體TR7之另一端連接於節點COM。對電晶體TR7之閘極輸入控制信號XXL。

【0049】 電晶體TR8之一端接地，電晶體TR8之另一端連接於電晶體TR9。電晶體TR8之閘極連接於節點SEN。電晶體TR9之一端連接於電晶體TR8，電晶體TR9之另一端連接於匯流排LBUS。對電晶體TR9之閘極輸入控制信號STB。電容器C10之一端連接於節點SEN。對電容器C10之另一端輸入時脈CLK。

【0050】 控制信號BLX、BLC、BLS、HLL、XXL、STB例如由定序器25生成。又，對連接於電晶體TR1之一端之電源線，例如施加半導體記憶裝置2之內部電源電壓即電壓Vdd，對節點SRC例如施加半導體記憶裝置2之接地電壓即電壓Vss。

【0051】 資料鎖存電路SDL、ADL、BDL、CDL、XDL暫時保持讀出資料。資料鎖存電路XDL連接於輸入輸出電路22，使用於在感測放大

器電路SAC與輸入輸出電路22之間進行資料之輸入輸出。

【0052】 資料鎖存電路SDL例如包含反相器IV11、IV12、及為N通道型MOS電晶體之電晶體TR13、TR14。反相器IV11之輸入節點連接於節點LAT。反相器IV11之輸出節點連接於節點INV。反相器IV12之輸入節點連接於節點INV。反相器IV12之輸出節點連接於節點LAT。電晶體TR13之一端連接於節點INV，電晶體TR13之另一端連接於匯流排LBUS。對電晶體TR13之閘極輸入控制信號STI。電晶體TR13之一端連接於節點LAT，電晶體TR14之另一端連接於匯流排LBUS。對電晶體TR14之閘極輸入控制信號STL。

【0053】 例如，節點LAT中保持之資料，相當於資料鎖存電路SDL中保持之資料。又，節點INV中保持之資料，相當於節點LAT中保持之資料之反相資料。資料鎖存電路ADL、BDL、CDL之電路構成例如與資料鎖存電路SDL之電路構成相同，因此省略其等之說明。以下，將資料鎖存電路ADL、BDL、CDL統稱為「資料鎖存電路DL」。資料鎖存電路XDL之電路構成將於下文加以敘述。

【0054】 如圖5所示，感測放大器28具有k個感測放大器單元SAU(SAU0～SAU(k-1))。1個感測放大器單元SAU包含m個感測放大器部SA(SA0～SA(m-1))、m個資料鎖存電路DL(DL0～DL(m-1))、及m個資料鎖存電路XDL(XDL0～XDL(m-1))。「m」及「k」為整數，滿足「 $m \times k = n$ 」。「m」例如為16(2之4次幂)，「k」為8192(2之13次幂)。換言之，n(131072，2之17次幂)個感測放大器電路SAC分割成k(8192，2之13次幂)個感測放大器單元SAU，各感測放大器單元SAU包含m(16，2之4次幂)個感測放大器電路SAC。

【0055】 m 個資料鎖存電路 $XDL0 \sim XDL(m-1)$ 經由 m 根匯流排 $XBUS(XBUS0 \sim XBUS(m-1))$ 連接於輸入輸出電路 22。 m 根匯流排 $XBUS0 \sim XBUS(m-1)$ 例如相對於 32~64 個複數個感測放大器單元 SAU 而共通設置。換言之，於 m 根匯流排 $XBUS0 \sim XBUS(m-1)$ ，連接有複數個例如 32~64 個感測放大器單元 SAU。複數個感測放大器單元 SAU 經由匯流排 $XBUS0 \sim XBUS(m-1)$ 連接於輸入輸出電路 22。將如此連接複數個感測放大器單元 SAU 之匯流排 $XBUS0 \sim XBUS(m-1)$ 設為一組，複數組匯流排 $XBUS0 \sim XBUS(m-1)$ 連接於輸入輸出電路 22。本實施方式中，匯流排 $XBUS$ 相當於資料配線。

【0056】 輸入輸出電路 22 包含資料轉換部 220 及輸入輸出控制部 221。資料轉換部 220 及輸入輸出控制部 221 經由複數根配線 XL 而相互連接。

【0057】 資料轉換部 220 藉由在讀出動作時作為串列器發揮功能，而將自資料鎖存電路 $XDL0 \sim XDL(m-1)$ 經由匯流排 $XBUS0 \sim XBUS(m-1)$ 分別傳送之並行資料轉換成串列信號，並經由複數根配線 XL 將其發送至輸入輸出控制部 221。資料轉換部 220 藉由在寫入動作時作為解串器發揮功能，而將自輸入輸出控制部 221 經由複數根配線 XL 發送之串列信號轉換成並行資料，並將其分別傳送至匯流排 $XBUS0 \sim XBUS(m-1)$ 。

【0058】 輸入輸出控制部 221 係控制複數根輸入輸出線 I/O 與複數根配線 XL 之間之串列信號傳送之部分。

【0059】 (資料鎖存電路 XDL 之構成)

其次，對資料鎖存電路 XDL 之構成進行說明。

【0060】 如圖 6 所示，資料鎖存電路 XDL 包含為 P 通道型 MOS 電晶

體之TP11~14、TP21、TP31、及為N通道型MOS電晶體之TN11~13、TN21、TN31、TN32。

【0061】 電晶體TP11、TP12、TN11、TN12構成了交叉連接之反相器電路XIV。即，電晶體TP11、TN11構成了第1反相器電路，於節點LAT串聯連接。電晶體TP11、TN11各自之閘極連接於節點INV。節點LAT及節點INV分別作為第1反相器電路之輸出及輸入發揮功能。電晶體TP12、TN12構成了第2反相器電路，於節點INV串聯連接。電晶體TP12、TN12各自之閘極連接於節點LAT。節點LAT及節點INV分別作為第2反相器電路之輸入及輸出發揮功能。

【0062】 電晶體TP11之電流路徑之2個端部中，與連接於節點LAT之端部為相反側之端部經由電晶體TP13連接於電源電位節點VDD。電源電位節點VDD被供給電源電位Vdd。電晶體TP13之閘極被輸入由定序器25生成之控制信號XLL。電晶體TP13作為基於控制信號XLL而接通/斷開之開關電路發揮功能。

【0063】 電晶體TP12之電流路徑之2個端部中，與連接於節點INV之端部為相反側之端部經由電晶體TP14連接於電源電位節點VDD。電晶體TP14之閘極被輸入由定序器25生成之控制信號XLI。電晶體TP12作為基於控制信號XLI而接通/斷開之開關電路發揮功能。

【0064】 電晶體TN11之電流路徑之2個端部中，與連接於節點LAT之端部為相反側之端部經由電晶體TN13連接於接地電位節點VSS。接地電位節點VSS被供給接地電位Vss。電晶體TN13之閘極被輸入由定序器25生成之控制信號XNL。電晶體TN13作為基於控制信號XNL而接通/斷開之開關電路發揮功能。

【0065】 電晶體TN12之電流路徑之2個端部中，與連接於節點INV之端部為相反側之端部連接於接地電位節點VSS。

【0066】 電晶體TP21、TN21並聯連接於匯流排DBUS與節點INV之間。電晶體TP21之閘極被輸入由定序器25生成之控制信號XNI。電晶體TN21之閘極被輸入由定序器25生成之控制信號XTI。電晶體TP21、TN21作為基於控制信號XNI、XTI而接通/斷開之開關電路發揮功能。

【0067】 電晶體TP31、TN31、TN32連接於匯流排XBUS與節點LAT之間。電晶體TN31、TN32串聯連接。電晶體TP31與串聯連接之電晶體TN31、TN32並聯連接。電晶體TP31之閘極被輸入由定序器25生成之控制信號XNL。電晶體TN31、TN32各自之閘極被輸入由定序器25生成之控制信號XTL。電晶體TP31、TN31、TN32作為基於控制信號XNL、XTL而接通/斷開之開關電路發揮功能。本實施方式中，電晶體TN31、TN32相當於多工化之電晶體。

【0068】 (半導體記憶裝置之剖面構造)

如圖7所示，半導體記憶裝置2具有於半導體基板40上依序配置了周邊電路PER及記憶單元陣列21之構造。

【0069】 記憶單元陣列21中，於導電體層520之上形成有複數個NAND串NS。導電體層520亦稱嵌入源極線(BSL)，相當於圖3之源極線SL。

【0070】 於導電體層520之上方，積層有作為選擇閘極線SGS發揮功能之配線層533、作為字元線WL發揮功能之複數個配線層532、及作為選擇閘極線SGD發揮功能之配線層531。於積層之各配線層533、532、531之間，配置有未圖示之絕緣層。

【0071】 於記憶單元陣列21，形成有複數個記憶孔534。記憶孔534

係於上下方向上貫通配線層533、532、531及位於其等之間之未圖示之絕緣層並抵達導電體層520之孔穴。

【0072】 記憶孔534中與積層之配線層533、532、531分別交叉之各部分作為電晶體發揮功能。上述複數個電晶體中，位於與配線層531交叉之部分之電晶體作為選擇電晶體ST1發揮功能。複數個電晶體中，位於與配線層532交叉之部分之電晶體作為記憶單元電晶體MT(MT0～MT7)發揮功能。複數個電晶體中，位於與配線層533交叉之部分之電晶體作為選擇電晶體ST2發揮功能。

【0073】 於記憶孔534之上方，形成有作為位元線BL發揮功能之配線層616。記憶孔534之上端經由接觸插塞539連接於配線層616。

【0074】 沿著圖7之紙面之進深方向，排列有複數個與圖7所示之構造相同之構造。由沿著圖7之紙面之進深方向排成一行之複數個NAND串NS之集合，形成了1個串單元SU。

【0075】 半導體基板40與導電體層520(源極線SL)相隔而配置，兩者之間配置有周邊電路PER之一部分。周邊電路PER係為了實現記憶單元陣列21中之資料之寫入動作、讀出動作及抹除動作等而設置之電路。圖2所示之感測放大器28、列解碼器27及電壓產生電路26等成為了周邊電路PER之一部分。

【0076】 周邊電路PER包含形成於半導體基板40之上表面之電晶體TR、及複數個導電體611～615。導電體611～615係由例如金屬等導體形成之配線層。導電體611～615以分佈於複數個高度位置之方式形成，經由接點620～623而相互電性連接。接點620～623係藉由以於上下方向上貫穿未圖示之絕緣層之方式形成接觸孔後，向該接觸孔之內側填充例如鎢

等導電體材料而形成。導電體615經由接點624電性連接於配線層616(位元線BL)。

【0077】圖8模式性地表示半導體記憶裝置2之周邊電路PER之構造之一部分，尤其是構成資料鎖存電路XDL之部分之平面構造。再者，圖8中示出了構成2個資料鎖存電路XDL1、XDL2之部分之平面構造。

【0078】如圖8所示，於半導體記憶裝置2中，依序配置有源極・汲極部LW1、閘極部LT1、源極・汲極部LW2、閘極部LT2、源極・汲極部LW3及閘極部LT3。

【0079】源極・汲極部LW1配置有作為資料鎖存電路XDL1、XDL2各自之電晶體TN31各自之源極或汲極發揮功能之源極・汲極部LW1_1、LW1_2。源極・汲極部LW1_1、LW1_2連接於匯流排XBUS。於閘極部LT1，配置有作為資料鎖存電路XDL1、XDL2各自之電晶體TN31之閘極發揮功能之閘極部LT1_1、LT1_2。於閘極部LT1_1、LT1_2，分別形成有連接於電晶體TN31之閘極之通孔V31。於源極・汲極部LW2，配置有作為資料鎖存電路XDL1、XDL2各自之電晶體TN31之源極或汲極發揮功能，且作為電晶體TN32之源極或汲極發揮功能之源極・汲極部LW2_1、LW2_2。

【0080】於閘極部LT2，配置有作為資料鎖存電路XDL1、XDL2各自之電晶體TN32之閘極發揮功能之閘極部LT2_1、LT2_2。於閘極部LT2_1、LT2_2，分別形成有連接於電晶體TN32之閘極之通孔V32。於源極・汲極部LW3，配置有作為資料鎖存電路XDL1、XDL2各自之電晶體TN32之源極或汲極發揮功能，且作為電晶體TN11之源極或汲極發揮功能之源極・汲極部LW3_1、LW3_2。源極・汲極部LW3_1、LW3_2連接於

節點LAT。於閘極部LT3，配置有作為資料鎖存電路XDL1、XDL2各自之電晶體TN11之閘極發揮功能之閘極部LT3_1、LT3_2。

【0081】 將配置各部LW1、LT1、LW2、LT2、LW3、LT3之方向設為進深方向Y時，通孔V31及通孔V32配置於與進深方向Y平行之同一直線上。於通孔V31及通孔V32，連接有沿著進深方向Y延伸之共通之配線LTG。控制信號XTL自定序器25經由配線LTG輸入至通孔V31及通孔V32。本實施方式中，配線LTG相當於共通之信號線。

【0082】 本實施方式之半導體記憶裝置2如圖8所示，採用了所謂之雙閘極方式，即各資料鎖存電路XDL1、XDL2之電晶體TN31之閘極、及電晶體TN32之閘極設置於不同之部分。於採用雙閘極方式之情形時，如圖8所示，可將構成一資料鎖存電路XDL1之各部LW1_1、LT1_1、LW2_1、LT2_1、LW3_1、LT3_1與構成另一資料鎖存電路XDL2之各部LW1_2、LT1_2、LW2_2、LT2_2、LW3_2、LT3_2沿著橫向X排列而配置。

【0083】 另一方面，於如圖9所示地製造半導體記憶裝置2之情形時，亦可設置雙重化之電晶體TN31、TN32。於圖9所示之參考例之半導體記憶裝置2中，依序配置有源極・汲極部LW1、閘極部LT1、源極・汲極部LW2、閘極部LT2、源極・汲極部LW3、間隙部LG、源極・汲極部LW4及閘極部LT3。

【0084】 源極・汲極部LW1作為另一資料鎖存電路XDL2之電晶體TN31、TN32各自之源極或汲極發揮功能。源極・汲極部LW1連接於節點LAT。閘極部LT1作為另一資料鎖存電路XDL2之電晶體TN31、TN32各自之閘極發揮功能。於閘極部LT1，設置有連接於電晶體TN31、TN32各

自之閘極之通孔V31、V32。源極・汲極部LW2作為一資料鎖存電路XDL1之電晶體TN31、TN32各自之源極或汲極發揮功能，且作為另一資料鎖存電路XDL2之電晶體TN31、TN32各自之源極或汲極發揮功能。源極・汲極部LW2連接於匯流排XBUS。

【0085】 閘極部LT2作為一資料鎖存電路XDL1之電晶體TN31、TN32各自之閘極發揮功能。於閘極部LT2，設置有連接於電晶體TN31、TN32各自之閘極之通孔V31、V32。源極・汲極部LW3作為一資料鎖存電路XDL1之電晶體TN31、TN32各自之源極或汲極發揮功能。源極・汲極部LW3連接於節點LAT。間隙部LG設置於源極・汲極部LW3與源極・汲極部LW4之間。

【0086】 於源極・汲極部LW4，配置有作為資料鎖存電路XDL1、XDL2各自之電晶體TN11各自之源極或汲極發揮功能之源極・汲極部LW4_1、LW4_2。源極・汲極部LW4_1經由配線WW1連接於源極・汲極部LW3。源極・汲極部LW4_2經由配線WW2連接於源極・汲極部LW1。源極・汲極部LW4_1、LW4_2連接於節點LAT。於閘極部LT3，配置有作為資料鎖存電路XDL1、XDL2各自之電晶體TN11之閘極發揮功能之閘極部LT3_1、LT3_2。

【0087】 該參考例之半導體記憶裝置2採用了所謂之雙通孔方式，即於閘極部LT1、LT2分別設置2個通孔V31、V32。於此種構成之情形時，為了防止源極・汲極部LW4_2之電位基於源極・汲極部LW3之電位而變化，需將源極・汲極部LW3與源極・汲極部LW4分割，並於其等之間形成間隙部LG。如圖8所示，於本實施方式之半導體記憶裝置2中，無需此種構成，因此能相應地使半導體記憶裝置2薄型化。藉此，能使晶片

面積減少，從而能降低成本。

【0088】（資料鎖存電路XDL之動作例）

其次，對資料鎖存電路XDL之動作例進行說明。

【0089】－資料之鎖存－

於資料鎖存電路XDL中鎖存資料時，定序器25使資料鎖存電路XDL如圖10所示般動作。如圖10所示，定序器25將控制信號XTL、XTI、XLI、XLL維持為低位準，將控制信號XNL、XNI維持為高位準。高位準具有使P通道型MOS電晶體斷開，且使N通道型MOS電晶體接通之大小之電位，例如電源電位Vdd。低位準具有使P通道型MOS電晶體接通，且使N通道型MOS電晶體接通之大小之電位，例如接地電位Vss。

【0090】 藉由將控制信號XNL、XTL、XTI、XLI、XLL、XNI各自之電位設定為上述位準，電晶體TP13、TP14、TN13成為接通狀態，電晶體TP21、TN21、TP31、TN31、TN32成為斷開狀態。於圖10中，呈接通狀態之電晶體以虛線框圍。藉由如上所述之電晶體之接通/斷開狀態，節點LAT、INV均自匯流排DBUS、XBUS兩者切斷。另一方面，交叉連接之反相器電路XIV因連接於電源電位節點VDD及接地電位節點VSS，故得以保持節點LAT、INV各自之電位。即，節點LAT根據由資料鎖存電路XDL保持之數位資料，維持高位準或低位準之電位。節點INV維持與由資料鎖存電路XDL保持之數位資料之位準相反之位準之電位。如此，本實施方式中，交叉連接之反相器電路XIV相當於暫時保持在感測放大器電路SAC與輸入輸出電路22之間輸入輸出之資料之資料保持部。

【0091】－自匯流排DBUS之資料輸入－

自匯流排DBUS向資料鎖存電路XDL傳送資料時，定序器25藉由將

圖4所示之控制信號SW設定為高位準，而使電晶體TRXX成為接通狀態。為此，匯流排DBUS已具有基於應傳送至資料鎖存電路XDL之資料之電位。若應傳送之資料為高位準，則匯流排DBUS之電位維持為高位準。另一方面，若應傳送之資料為低位準，則匯流排DBUS之電位維持為低位準。

【0092】 於開始自匯流排DBUS向資料鎖存電路XDL輸入資料之時點，資料鎖存電路XDL呈圖10所示之狀態。自匯流排DBUS向資料鎖存電路XDL輸入資料時，定序器25使資料鎖存電路XDL如圖11所示般動作。

【0093】 如圖11所示，定序器25藉由將控制信號XNL維持為高位準，且將控制信號XTL維持為低位準，而將電晶體TP31、TN31、TN32均維持為斷開狀態。因此，節點LAT自匯流排XBUS切斷。

【0094】 又，定序器25藉由將控制信號XLL維持為低位準，而將電晶體TP13維持為接通狀態。進而，定序器25藉由將控制信號XLI維持為高位準，而將電晶體TP14維持為斷開狀態。

【0095】 該狀態下，定序器25藉由將控制信號XNI維持為低位準，且將控制信號XTI維持為高位準，而將電晶體TP21、TN21維持為接通狀態。藉此，節點INV連接於匯流排DBUS，節點INV之位準成為匯流排DBUS之位準，並且節點LAT之位準成為與匯流排DBUS之位準相反之位準。即，若匯流排DBUS之電位為高位準，則節點INV之電位成為高位準，而節點LAT之位準成為低位準。如此，匯流排DBUS之高位準之資料傳送至資料鎖存電路XDL。與此相對地，若匯流排DBUS之電位為低位準，則節點INV之電位成為低位準，而節點LAT之位準成為高位準。如此，匯流排DBUS之低位準之資料傳送至資料鎖存電路XDL。

【0096】 一向匯流排XBUS之資料輸出－

於開始向匯流排XBUS輸出資料之時點，資料鎖存電路XDL呈圖10所示之狀態。自資料鎖存電路XDL向匯流排XBUS輸出資料時，定序器25使資料鎖存電路XDL如圖12所示般動作。

【0097】 如圖12所示，定序器25藉由將控制信號XNI維持為高位準，且將控制信號XTI維持為低位準，而將電晶體TP21、TN21維持為斷開狀態。因此，節點INV自匯流排DBUS切斷。

【0098】 又，定序器25藉由將控制信號XLL、XLI維持為低位準，且將控制信號XNL維持為高位準，而將電晶體TP13、TP14、TN13維持為接通狀態。

【0099】 該狀態下，定序器25藉由將控制信號XTL設定為接通狀態，而將電晶體TN31、TN32維持為接通狀態。再者，由於向電晶體TP31之閘極輸入之控制信號XNL如上所述已設定為高位準，所以電晶體TP31亦維持為接通狀態。藉此，節點LAT連接於匯流排XBUS，節點LAT之位準輸出至匯流排XBUS。即，若節點LAT之電位為高位準，則匯流排XBUS之電位維持為高位準，高位準之資料自資料鎖存電路XDL傳送至匯流排XBUS。另一方面，若節點LAT之電位為低位準，則匯流排XBUS之電位維持為低位準，低位準之資料自資料鎖存電路XDL傳送至匯流排XBUS。

【0100】 一自匯流排XBUS之資料輸入－

於開始自匯流排XBUS輸入資料之時點，資料鎖存電路XDL呈圖10所示之狀態。自匯流排XBUS向資料鎖存電路XDL輸入資料時，定序器25使資料鎖存電路XDL如圖13所示般動作。再者，此時資料鎖存電路XDL

之動作對比上述自匯流排DBUS向資料鎖存電路DL輸入資料時之動作而言，只要將輸入側切換成匯流排XBUS即可，基本動作相同，因此省略其詳細說明。

【0101】 一向匯流排DBUS之資料輸出

於開始向匯流排DBUS輸出資料之時點，資料鎖存電路XDL呈圖10所示之狀態。自資料鎖存電路XDL向匯流排DBUS輸出資料時，定序器25使資料鎖存電路XDL如圖14所示般動作。再者，此時資料鎖存電路XDL之動作對比上述自資料鎖存電路XDL向匯流排XBUS輸出資料時之動作而言，只要將輸出目的地切換成匯流排DBUS即可，基本動作相同，因此省略其詳細說明。

【0102】（參考例之資料鎖存電路XDL與本實施方式之資料鎖存電路XDL之比較）

圖15表示參考例之資料鎖存電路XDL之電路圖。比較圖15所示之參考例之資料鎖存電路XDL與圖6所示之本實施方式之資料鎖存電路XDL可知，本實施方式之資料鎖存電路XDL中設置有2個電晶體TN31、TN32，而參考例之資料鎖存電路XDL中僅設置有一個電晶體TN31。於上述參考例之資料鎖存電路XDL之構成之情形時，若連接於電晶體TN31之閘極之通孔、或連接於通孔之配線發生開路故障，則不僅資料鎖存電路XDL之動作會變得不穩定，還會有包含發生了故障之資料鎖存電路XDL之感測放大器單元SAU、及經由匯流排XBUS與資料鎖存電路XDL連接之其他感測放大器單元SAU無法再使用之虞。

【0103】 詳細而言，製造如圖7所示之半導體記憶裝置2時，在將通孔連接於該電晶體TN31之閘極之步驟、及將配線連接於該通孔之步驟

中，通孔或配線有可能發生開路故障。若連接於閘極之通孔或配線發生開路故障，則電晶體TN31之閘極會變成浮動，從而無法控制其閘極電壓。該情形時，電晶體TN31之閘極電壓由於是藉由來自電晶體TN31之附近傳送之鄰接信號之電荷共享而決定，故會變成非常不穩定之電壓。因鄰接信號之狀況會隨時變化，因此最終變得無法控制電晶體TN31之接通/斷開。

【0104】 於資料鎖存電路XDL鎖存有資料之狀態下，電晶體TN13本來必須維持為斷開狀態。但於如上所述般無法控制電晶體TN13之接通/斷開之情形時，即便於鎖存有資料之狀態下，亦有可能發生所謂之通路故障，即電晶體TN13於非預期之時序成為接通狀態。另一方面，當處於鎖存有資料之狀態時，為了使電晶體TP31斷開，而將控制信號XNL設定為高位準，因此電晶體TN13被設定為接通狀態。因此，若電晶體TN13於非預期之時序成為接通狀態，則有匯流排XBUS連接於接地電位節點VSS之虞。即，與具有發生了通路故障之電晶體TN13之資料鎖存電路XDL連接之匯流排XBUS有可能於非預期之時序轉變成接地電位。

【0105】 如圖5所示，例如複數個感測放大器單元SAU各自之資料鎖存電路XDL0連接於共通之匯流排XBUS。因此，於複數個感測放大器單元SAU中之一個感測放大器單元SAU之資料鎖存電路XDL0發生了電晶體TN13之通路故障之情形時，若欲自未發生通路故障之其他資料鎖存電路XDL0向匯流排XBUS傳送資料時，藉由強行地使匯流排XBUS轉變成接地電位，則有可能無法適當地傳送資料。其結果，不僅是電晶體TN13發生了通路故障之資料鎖存電路XDL無法使用，與其共享匯流排XBUS之所有資料鎖存電路XDL均變得無法使用。

【0106】 又，與某資料鎖存電路XDL共享匯流排DBUS之所有感測

放大器電路SAC0～SAC(m－1)係作為1個整體而加以控制，因此若電晶體TN13發生了通路故障之資料鎖存電路XDL之動作變得不穩定，則與該資料鎖存電路XDL共享匯流排DBUS之所有感測放大器電路SAC0～SAC(m－1)亦有可能變得無法使用。

【0107】 鑒於該點，本實施方式之資料鎖存電路XDL如圖6所示，具有2個電晶體TN31、TN32作為與控制信號XTL對應之電晶體。根據該構成，即便其中一電晶體TN31發生了通路故障，只要另一電晶體TN32正常，匯流排XBUS便不會於非預期之時序轉變成接地電位。即，即便電晶體TN31、TN32中之任一者發生了通路故障，亦能藉由正常之另一電晶體確保資料鎖存電路XDL之動作。因此，能提高資料輸入輸出之穩健性。

【0108】 (第1變化例)

作為將配線連接於電晶體TN31之通孔V31及電晶體TN32之通孔V32之方法，亦可採用與圖8所示之方法不同之方法。

【0109】 例如，如圖16所示，亦可將不同之配線LTG1、LTG2分別連接於電晶體TN31之通孔V31及電晶體TN32之通孔V32。於該構成中，控制信號XTL自定序器25分別向配線LTG1、LTG2輸入。

【0110】 或者，如圖17所示，亦可將電晶體TN31之通孔V31與電晶體TN32之通孔V32以於進深方向Y上不重疊之方式配置。於該構成中，將配線LTG1、LTG2分別連接於電晶體TN31之通孔V31及電晶體TN32之通孔V32時，該等配線LTG1、LTG2不會重疊。因此，如圖16所示，無需使配線LTG1、LTG2中之任一者彎曲。於本變化例中，配線LTG1、LTG2相當於個別之信號線。

【0111】 (第2變化例)

本變化例之資料鎖存電路XDL具有圖18所示之構成。如圖18所示，該資料鎖存電路XDL中，於匯流排XBUS與節點LAT之間，連接有為P通道型MOS電晶體之2個電晶體TP31、TP32、及為N通道型MOS電晶體之電晶體TN31。電晶體TP31、TP32串聯連接。電晶體TN31與串聯連接之電晶體TP31、TP32並聯連接。根據該構成，即便電晶體TP31、TP32中之任一者發生了故障，亦能藉由正常之另一電晶體確保資料鎖存電路XDL之動作。

【0112】 或者，資料鎖存電路XDL亦可具有圖19所示之構成。如圖19所示，該資料鎖存電路XDL中，於匯流排XBUS與節點LAT之間，連接有為CMOS電晶體之2個電晶體TC31、TC32。電晶體TC31具有N通道型MOS電晶體TN31與P通道型MOS電晶體TP31。同樣地，電晶體TC32具有N通道型MOS電晶體TN32與P通道型MOS電晶體TP32。N通道型MOS電晶體TN31、TN32串聯連接。P通道型MOS電晶體TP31、TP32亦串聯連接。

【0113】 根據該構成，即便電晶體TC31、TC32中之任一者發生了故障，亦能藉由正常之另一電晶體確保資料鎖存電路XDL之動作。

【0114】 (第3變化例)

如圖20所示，於本變化例之資料鎖存電路XDL中，對電晶體TN31、TN32進而串聯連接有為N通道型電晶體之電晶體TN33。根據該構成，即便3個電晶體TN31、TN32、TN33中之1個或2個電晶體發生了故障，亦能藉由剩下之電晶體確保資料鎖存電路XDL之動作。

【0115】 再者，N通道型MOS電晶體能以3以上之數多工化。又，亦可並非N通道型MOS電晶體，而是P通道型MOS電晶體以3以上之數多

工化。

【0116】 (第4變化例)

本變化例之資料鎖存電路XDL具有圖21所示之構成。如圖21所示，於該資料鎖存電路XDL中，為N通道型電晶體之3個電晶體TN31、TN32、TN33串聯連接。電晶體TN31、TN32之閘極被輸入控制信號XTL。電晶體TN32之閘極被輸入與控制信號XTL不同之控制信號XTLL。於該變化例中，電晶體TN31、TN32、TN33相當於多工化電晶體，電晶體TN31、TN32相當於第1電晶體，電晶體TN33相當於第2電晶體。又，控制信號XTL相當於第1信號，控制信號XTLL相當於第2信號。

【0117】 又，於半導體記憶裝置2具有如圖8所示之構造之情形時，例如有配線LTG之中間部分P1發生了開路故障時，電晶體TN31、TN32各自之閘極浮動之可能性。該情形時，儘管設置了雙重化之電晶體TN31、TN32，但有電晶體TN31、TN32兩者均發生通路故障之可能性。

【0118】 鑒於該點，若為如圖21所示之構成，則即便電晶體TN31、TN32兩者均發生了通路故障，亦能藉由利用控制信號XTLL控制電晶體TN33之接通/斷開而確保資料鎖存電路XDL之動作。藉此，能進而提高資料輸入輸出之穩健性。

【0119】 再者，資料鎖存電路XDL亦可具有圖22所示之構成。如圖22所示，於該資料鎖存電路XDL中，電晶體TN31、TN33之閘極被輸入控制信號XTL，電晶體TN32之閘極被輸入不同之控制信號XTLL。於該變化例中，電晶體TN31、TN33相當於第1電晶體，電晶體TN32相當於第2電晶體。

【0120】 或者，資料鎖存電路XDL亦可具有圖23所示之構成。如圖

23所示，於該資料鎖存電路XDL中，4個電晶體TN31、TN32、TN33、TN34串聯連接。電晶體TN31、TN34之閘極被輸入控制信號XTL，電晶體TN32、TN33之閘極被輸入不同之控制信號XTLL。於該變化例中，電晶體TN31、TN34相當於第1電晶體，電晶體TN32、TN33相當於第2電晶體。

【0121】 若為如圖22及圖23所示之構成，亦能獲得與圖21所示之構成相同或類似之作用及效果。

【0122】 <其他實施方式>

本發明並非如上所述被具體限定者。

【0123】 如圖6、圖18～圖23所示，只要半導體記憶裝置2為配置於匯流排XBUS與節點LAT之間之N通道型MOS電晶體及P通道型MOS電晶體中之至少一者多工化即可。

【0124】 業者對上述具體例適當施以設計變更而獲得者只要具備本發明之特徵，同樣包含於本發明之範圍內。上述各具體例具備之各要素及其配置、條件、形狀等並不限定於例示者，而可適當變更。上述各具體例具備之各要素只要不存在技術矛盾，便可適當改變組合。

【0125】 [相關申請]

本申請享有以日本專利申請2021-154184號(申請日：2021年9月22日)為基礎申請之優先權。本申請藉由參照該基礎申請而包含基礎申請之全部內容。

【符號說明】

【0126】

1:記憶體控制器

2:半導體記憶裝置
11:隨機存取記憶體
12:處理器
13:主機介面
14:錯誤檢測與校正電路
15:記憶體介面
16:內部匯流排
21:記憶單元陣列
22:輸入輸出電路
23:邏輯控制電路
24:暫存器
25:定序器
26:電壓產生電路
27:列解碼器
28:感測放大器
30:輸入輸出用焊墊群
31:邏輯控制用焊墊群
32:電源輸入用端子群
40:半導體基板
220:資料轉換部
221:輸入輸出控制部
520:導電體層
531, 532, 533, 616:配線層

534:記憶孔

539:接觸插塞

611~615:導電體

620~624:接點

BL(BL0, BL1, ..., BL(n-1)):位元線

BLC, BLS, BLX, HLL, STB, STL, STI, , SW, XLL, XLI, XNL, XNI, XTL, XTI:控制信號

BLK:塊

C10:電容器

DL(DL0~DL(m-1)), ADL, BDL, CDL, SDL, XDL(XDL0~XDL(m-1)):資料鎖存電路

DBUS, XBUS(XBUS0~XBUS(m-1)):匯流排(資料配線)

LAT, COM, SEN, SRC, INV:節點

LTG, LTG1, LTG2:信號線

LT1, LT2, LT3:閘極部

LW1, LW2, LW3:源極・汲極部

MG:記憶單元電晶體之集合

MT(MT0~MT7):記憶單元電晶體

NS:NAND串

PER:周邊電路

SA(SA0~SA(m-1)):感測放大器部

SAC:感測放大器電路

SAU(SAU0~SAU(k-1)):感測放大器單元

SGD0~SGD3, SGS:選擇閘極線

ST1, ST2:選擇電晶體

SL:源極線

SU(SU0~SU3):串單元

TR, TR1~TR14, TRXX:電晶體

TN11~13, TN21, TN31~TN34:N通道型MOS電晶體

TP11~14, TP21, TP31, TP32:P通道型MOS電晶體

VDD:電源電位節點

VSS:接地電位節點

WL0~WL7:字元線

XIV:反相器電路(資料保持部)

【發明申請專利範圍】

【請求項1】

一種半導體記憶裝置，其包含：

複數個資料鎖存電路，其等用於在感測放大器電路與輸入輸出電路之間進行資料之輸入輸出；及

資料配線，其連接於複數個上述資料鎖存電路；且

上述資料鎖存電路包含：

資料保持部，其暫時保持在上述感測放大器電路與上述輸入輸出電路之間輸入輸出之資料；以及

N通道型MOS電晶體及P通道型MOS電晶體中之至少一者，其設置於上述資料保持部與上述資料配線之間；

上述N通道型MOS電晶體及上述P通道型MOS電晶體中之至少一者經多工化。

【請求項2】

如請求項1之半導體記憶裝置，其中將上述N通道型MOS電晶體及上述P通道型MOS電晶體中之至少一者以3以上之數多工化。

【請求項3】

如請求項1或2之半導體記憶裝置，其中將上述N通道型MOS電晶體及上述P通道型MOS電晶體之至少一者中之經多工化之電晶體設為多工化電晶體時，

上述多工化電晶體中包含：

第1電晶體，其閘極被輸入第1信號；及

第2電晶體，其閘極被輸入與上述第1信號不同之第2信號。

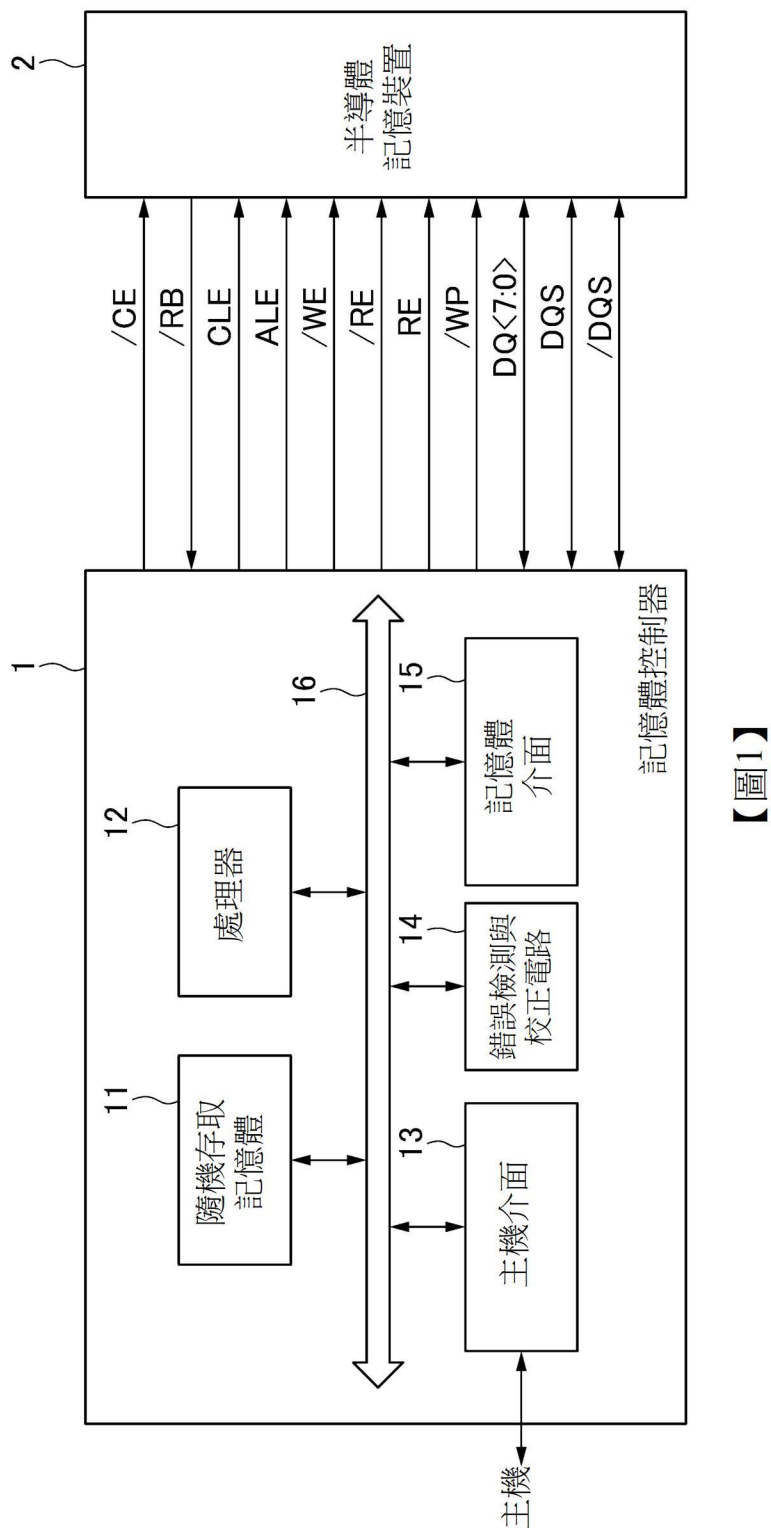
【請求項4】

如請求項1或2之半導體記憶裝置，其中於上述N通道型MOS電晶體及上述P通道型MOS電晶體中之經多工化之電晶體各自之閘極，連接有共通之信號線。

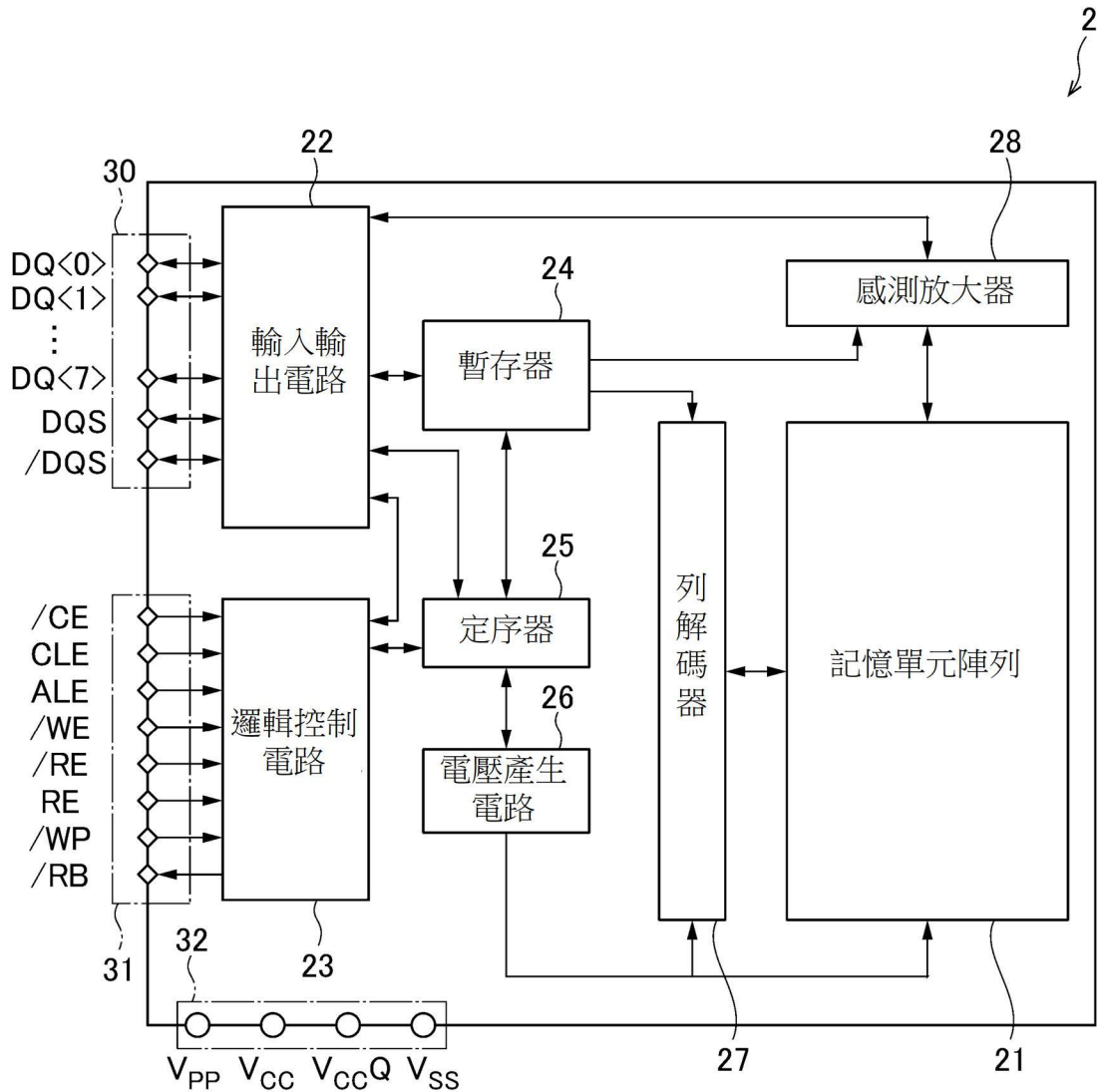
【請求項5】

如請求項1或2之半導體記憶裝置，其中於上述N通道型MOS電晶體及上述P通道型MOS電晶體之至少一者中之經多工化之電晶體各自之閘極，連接有個別之信號線。

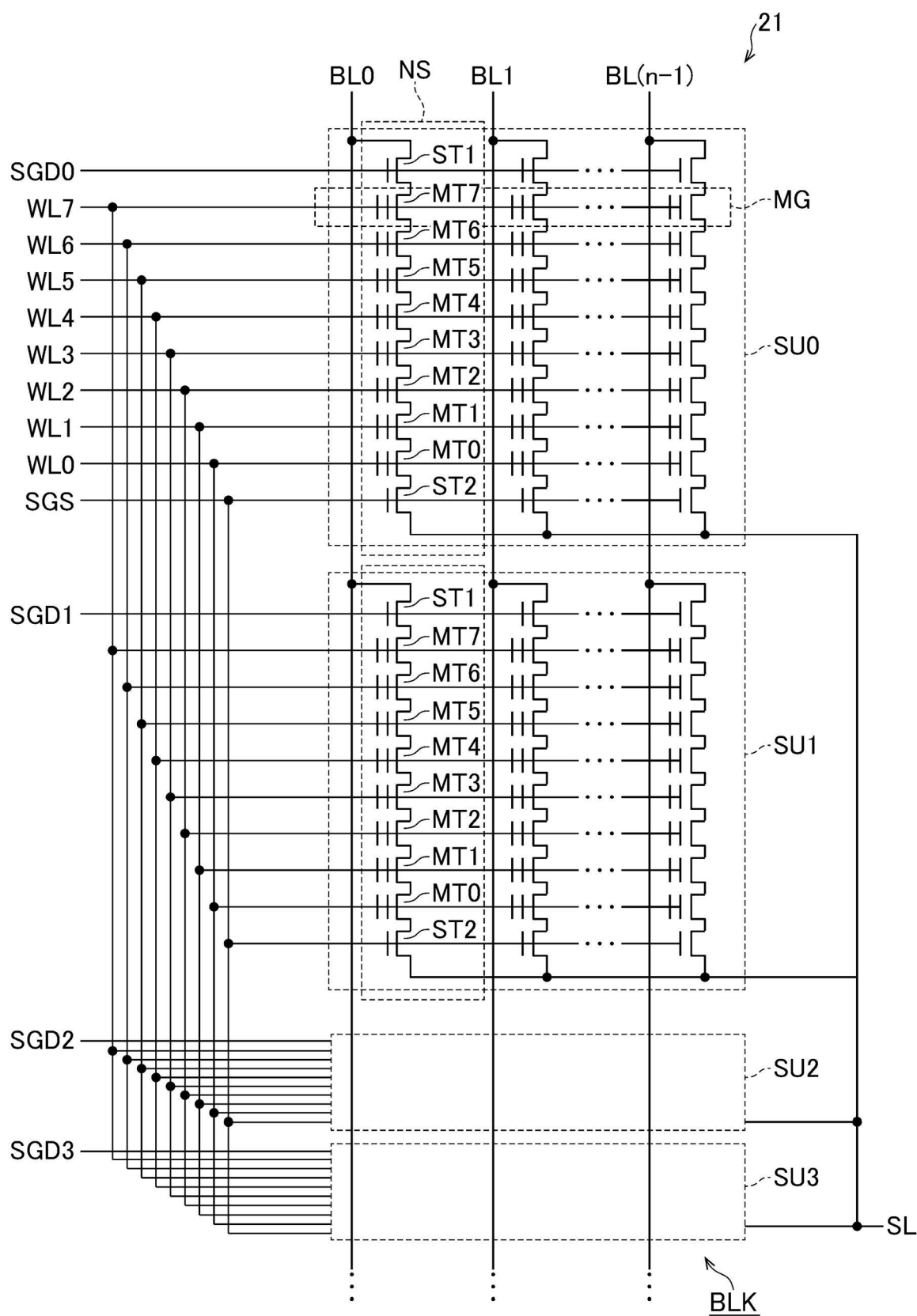
【發明圖式】



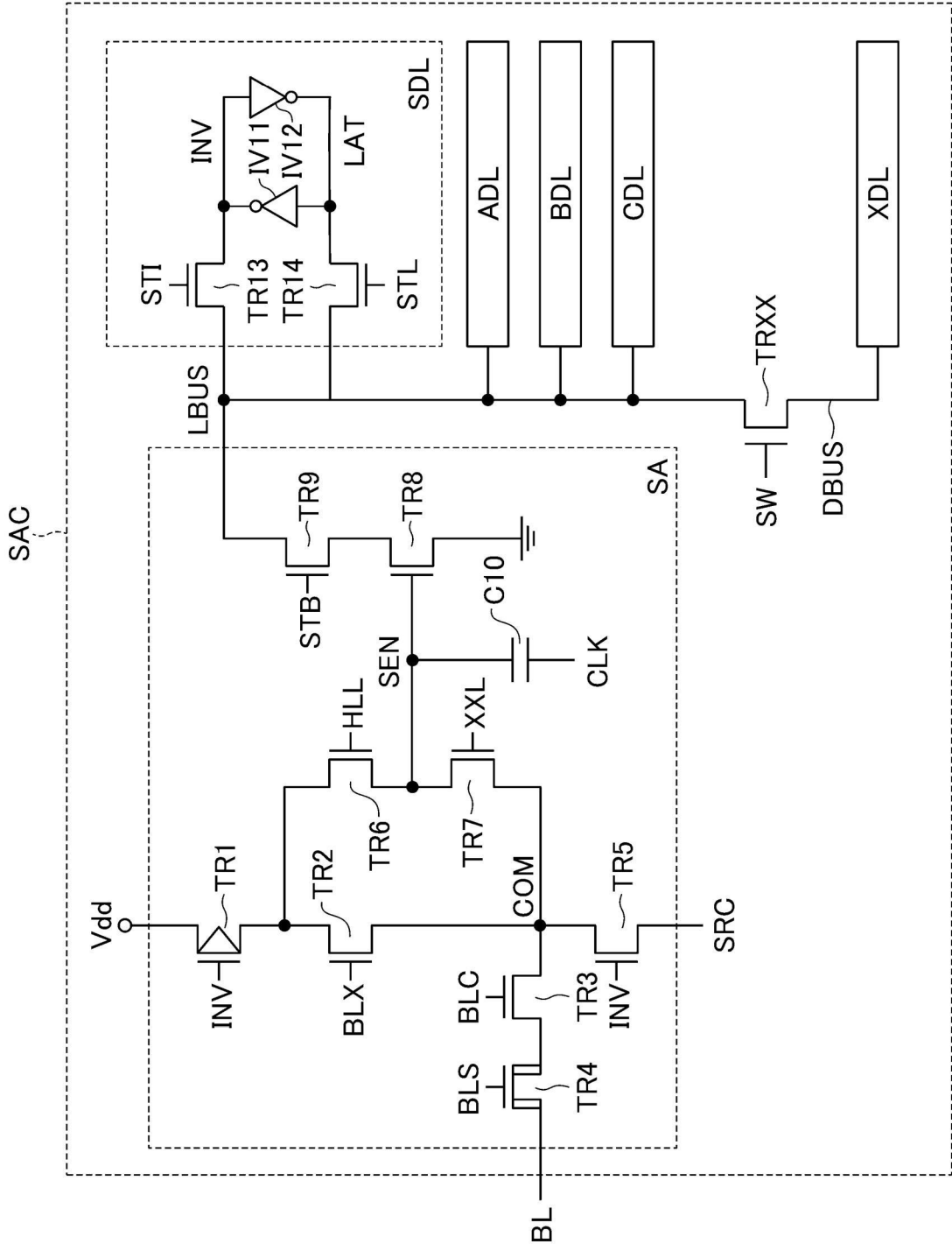
【圖1】



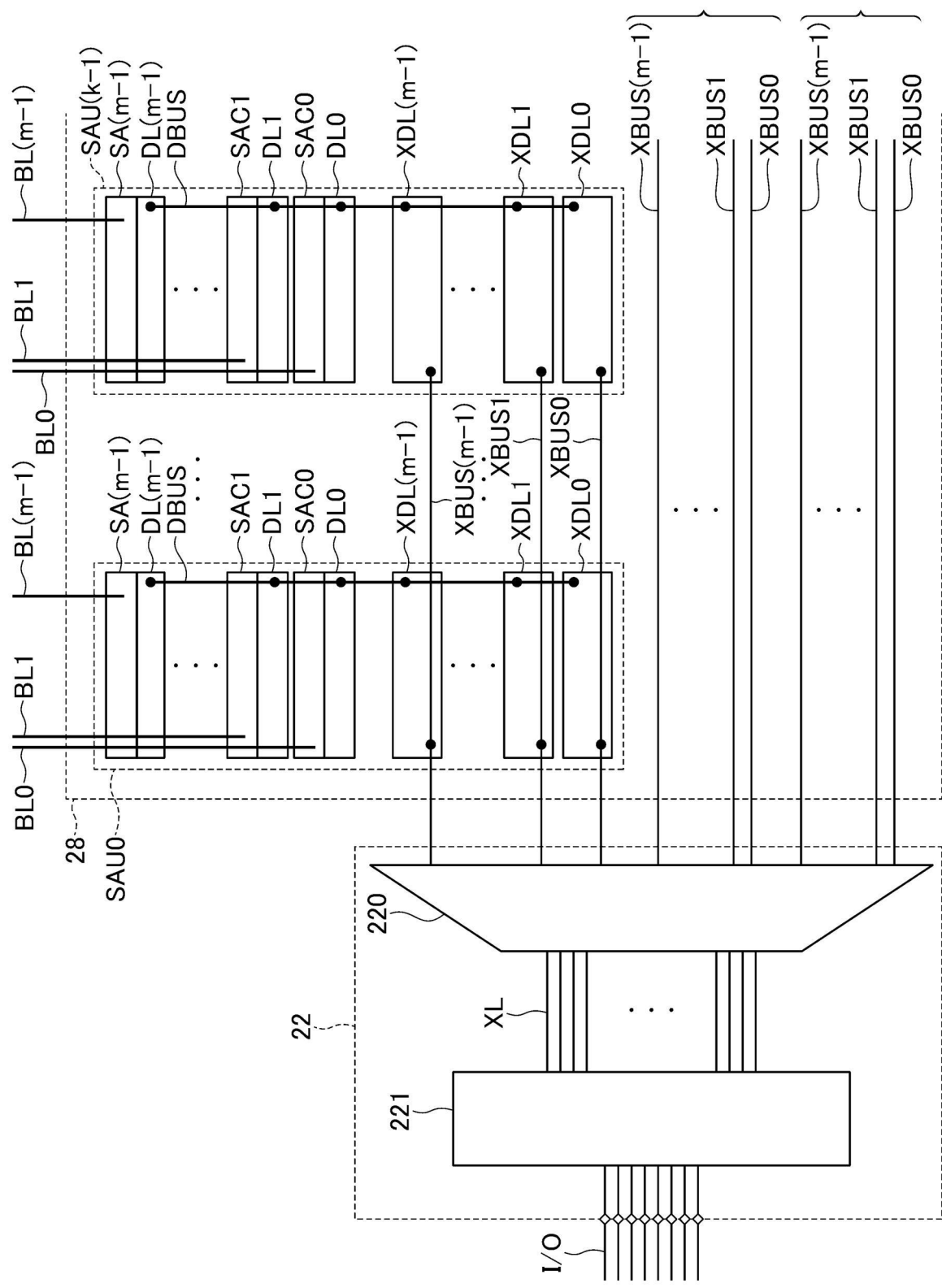
【圖2】



【圖3】

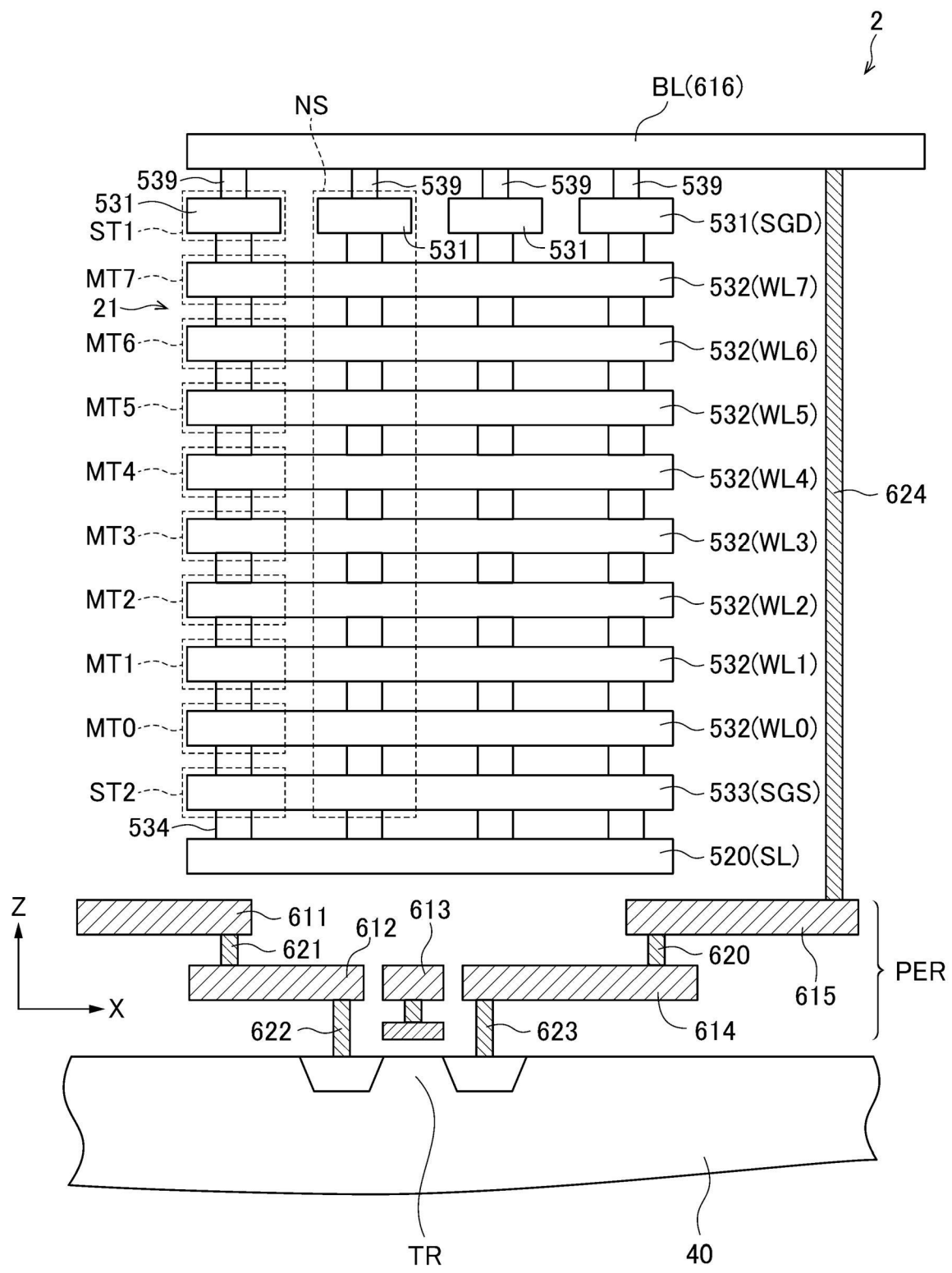


【圖4】

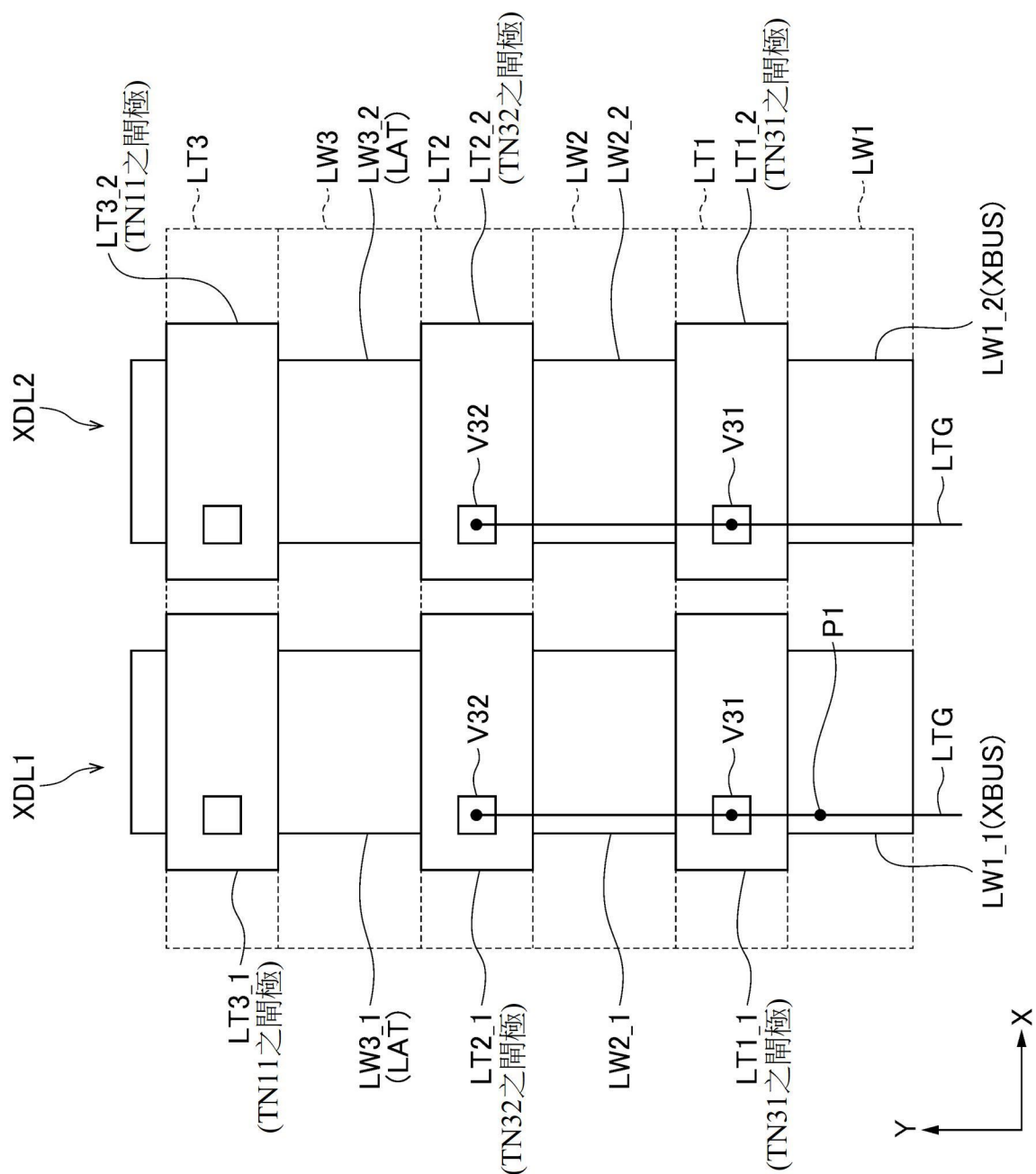


【圖5】

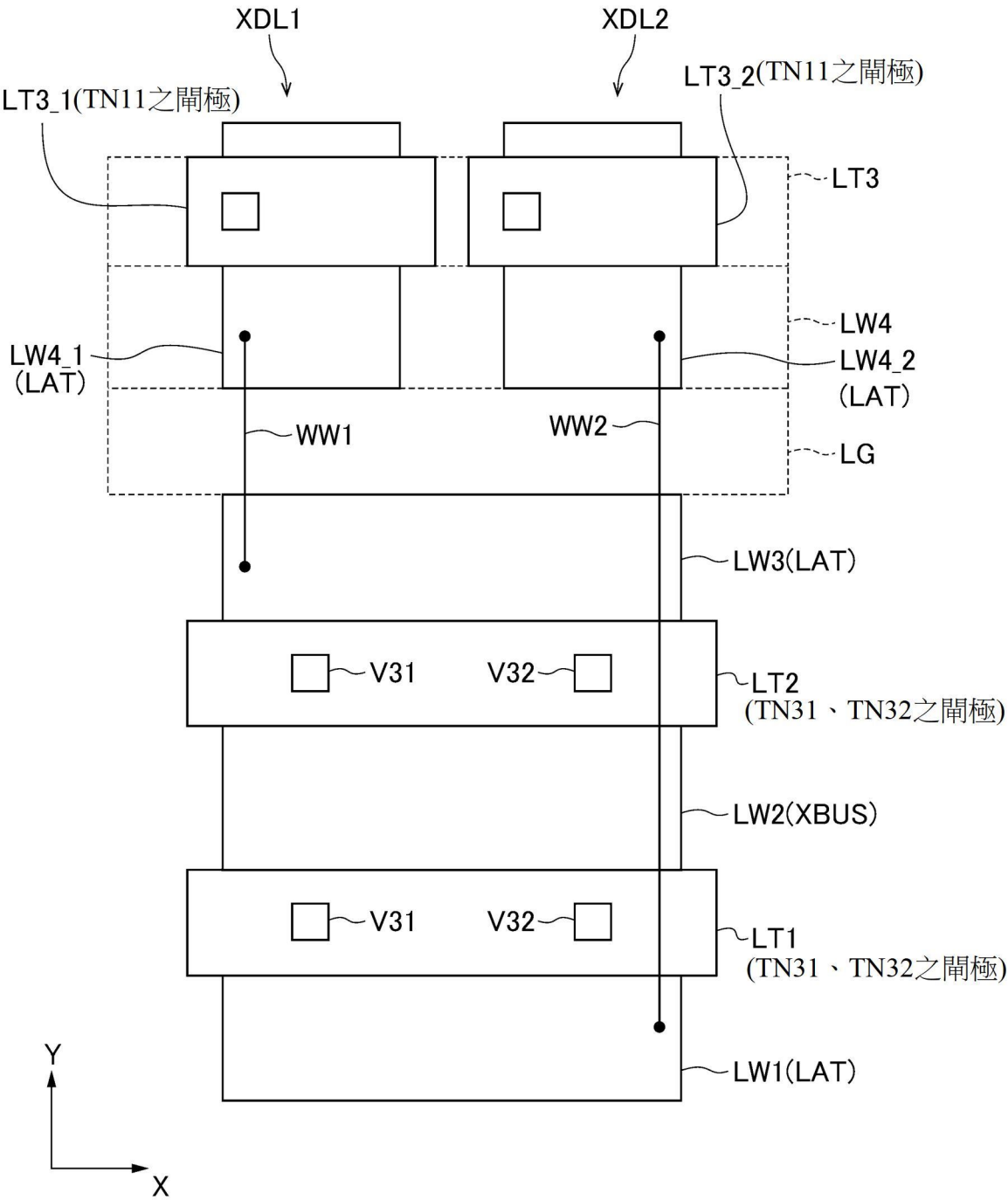
【圖 6】



【圖7】



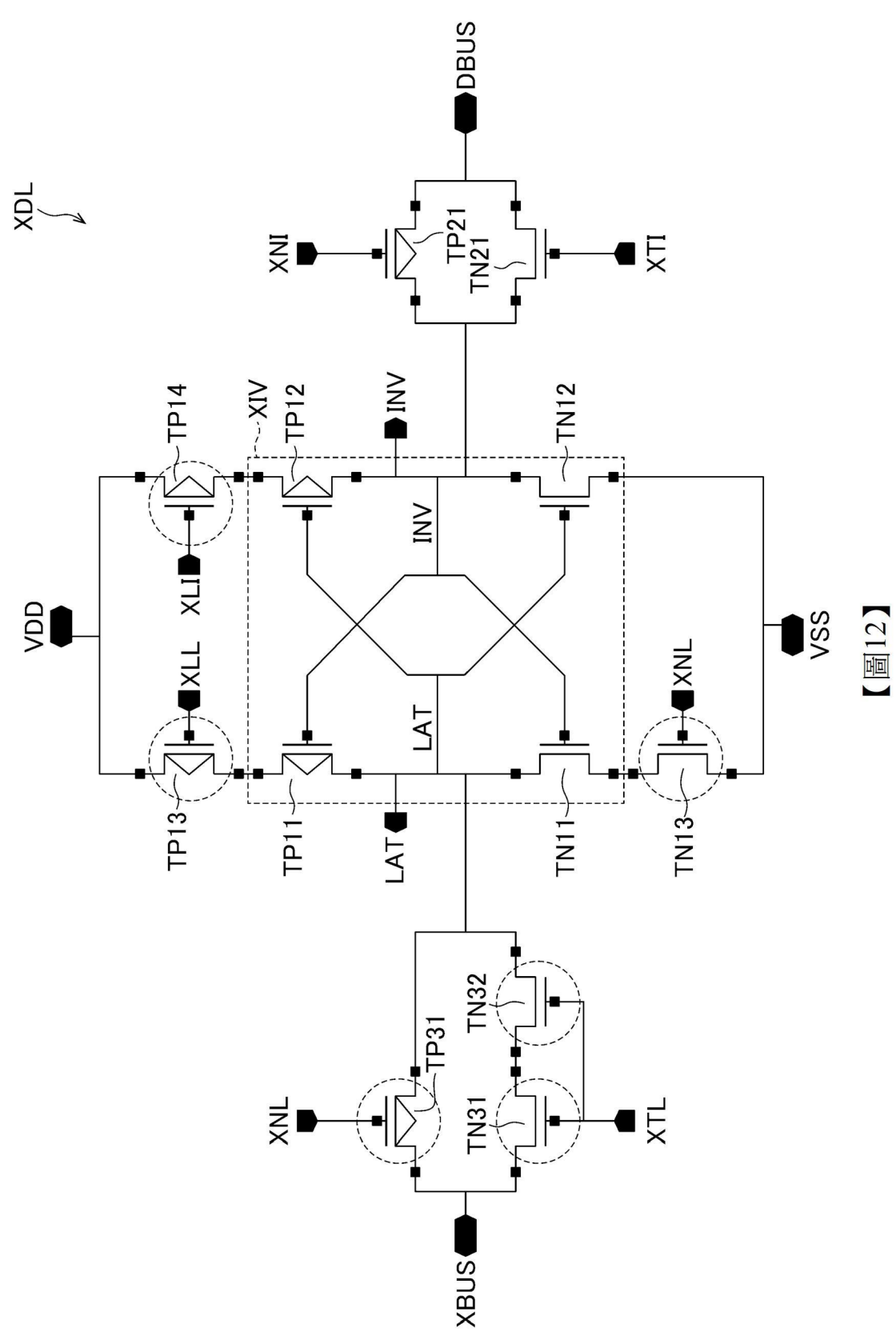
【圖8】



【圖9】

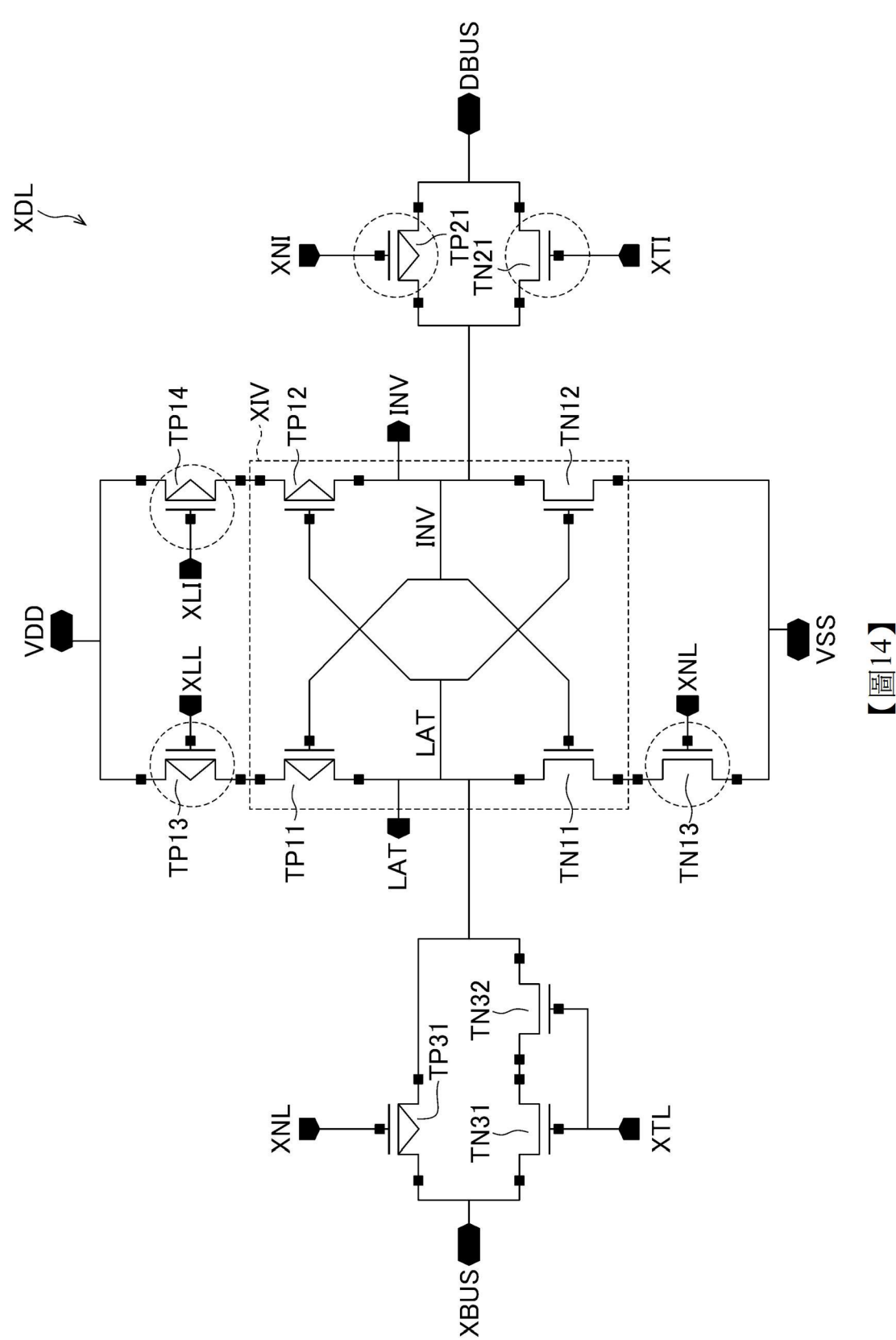
【10】

【11】

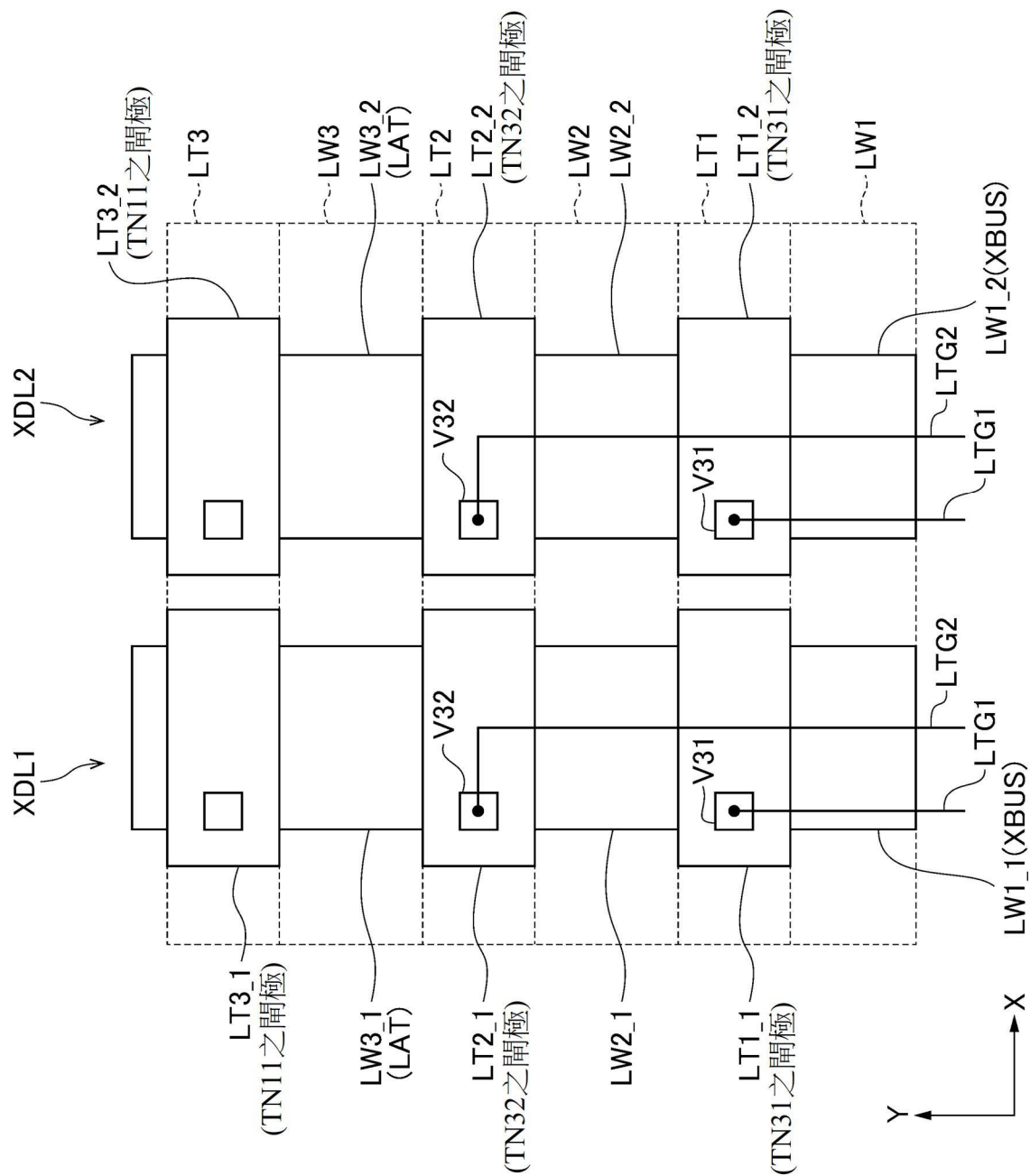


【圖12】

【圖13】



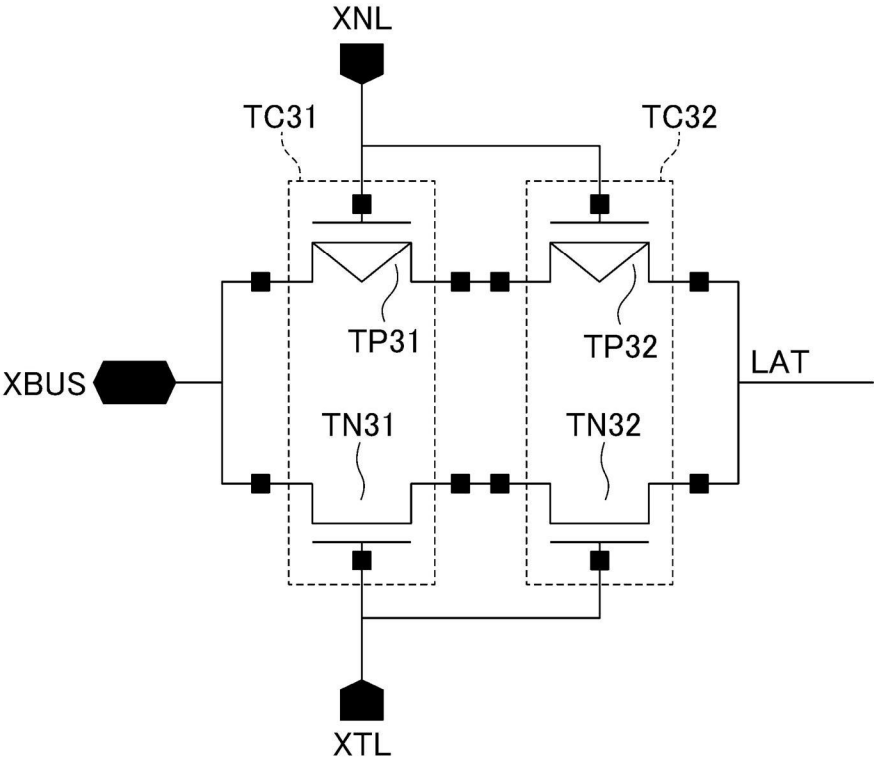
【圖14】



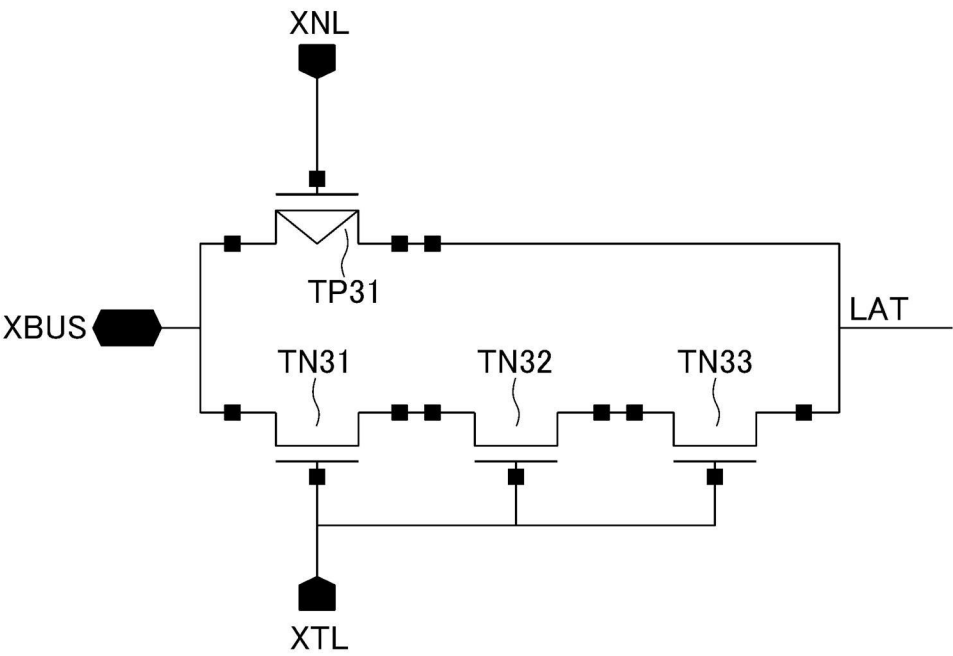
【圖16】



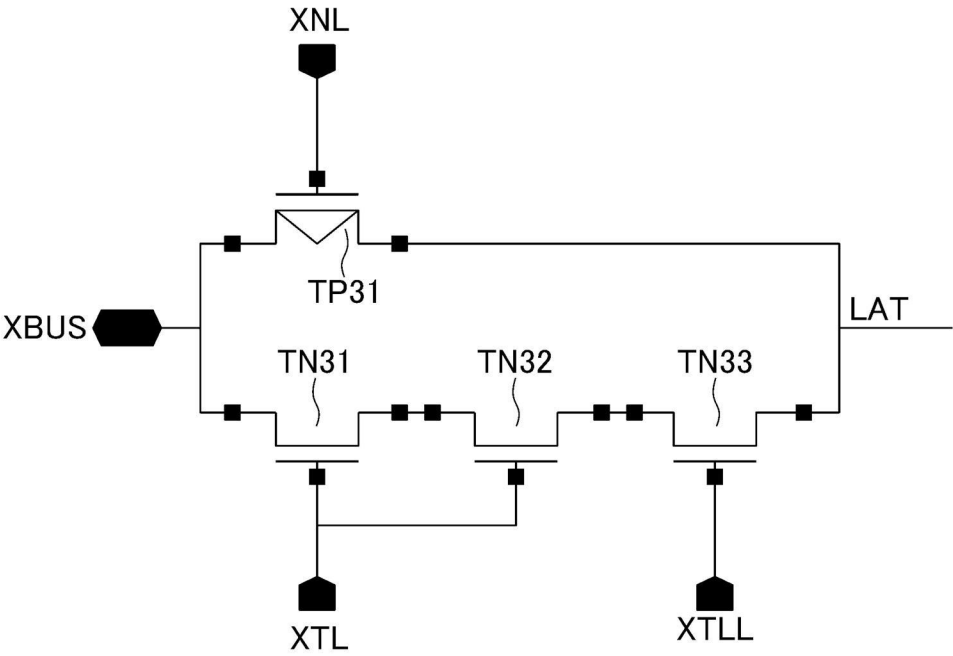
【圖18】



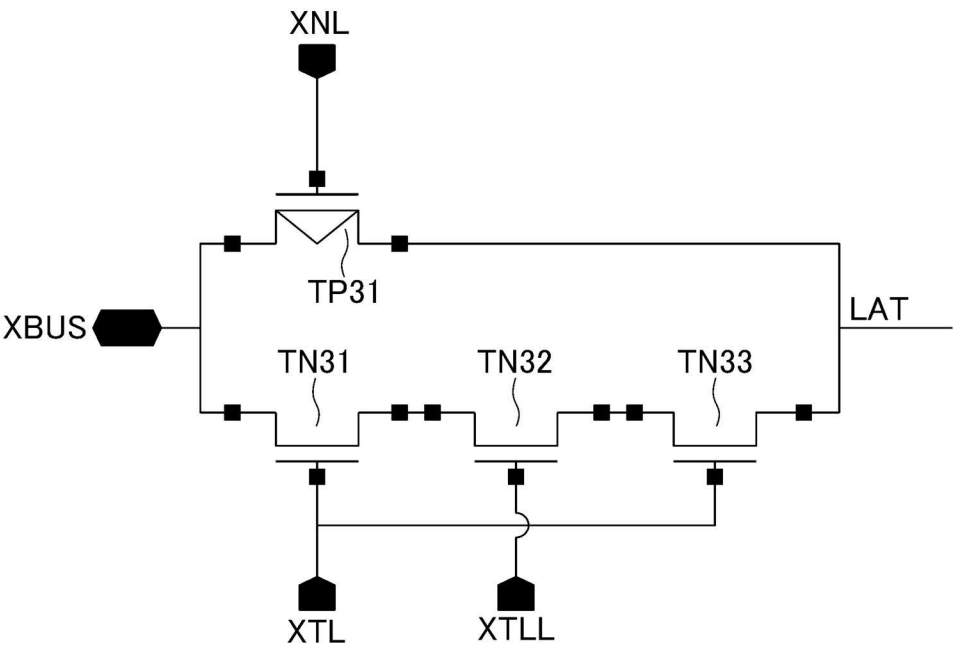
【圖19】



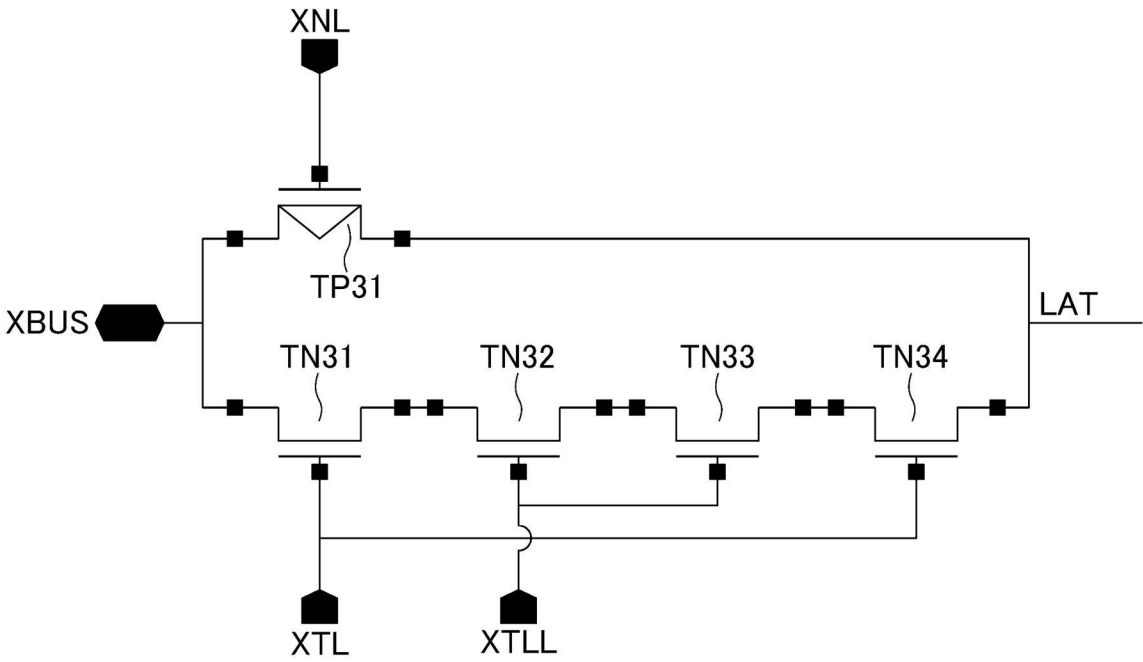
【圖20】



【圖21】



【圖22】



【圖23】