



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2017년07월03일  
(11) 등록번호 10-1753020  
(24) 등록일자 2017년06월26일

- (51) 국제특허분류(Int. Cl.)  
G06F 12/06 (2006.01) G06F 1/32 (2006.01)  
G11C 14/00 (2006.01)
- (52) CPC특허분류  
G06F 12/0607 (2013.01)  
G06F 1/3275 (2013.01)
- (21) 출원번호 10-2016-7005992
- (22) 출원일자(국제) 2014년08월07일  
심사청구일자 2017년05월15일
- (85) 번역문제출일자 2016년03월04일
- (65) 공개번호 10-2016-0040289
- (43) 공개일자 2016년04월12일
- (86) 국제출원번호 PCT/US2014/050208
- (87) 국제공개번호 WO 2015/021316  
국제공개일자 2015년02월12일
- (30) 우선권주장  
13/962,746 2013년08월08일 미국(US)
- (56) 선행기술조사문헌  
US20130339640 A1  
US20140040576 A1

- (73) 특허권자  
**켈컴 인코포레이티드**  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
- (72) 발명자  
**춘 텍스터**  
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
**리 안투**  
미국 92121 캘리포니아주 샌디에고 모어하우스 드라이브 5775  
(뒷면에 계속)
- (74) 대리인  
**특허법인코리아나**

전체 청구항 수 : 총 40 항

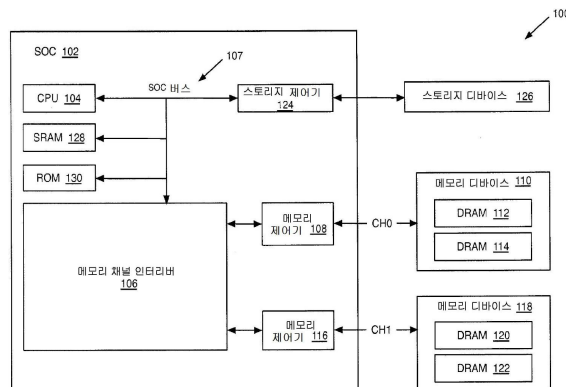
심사관 : 임정복

(54) 발명의 명칭 **선택적 전력 또는 성능 최적화를 이용한 메모리 채널 인터리빙을 위한 시스템 및 방법**

**(57) 요약**

메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템들 및 방법들이 개시된다. 하나의 이러한 방법은, 2 개 이상의 각각의 메모리 채널들을 통해 액세스되는 2 개 이상의 메모리 디바이스들에 대해, 인터리빙된 영역 및 선행 영역으로 메모리 어드레스 맵을 구성하는 단계를 포함한다. 인터리빙된 영역은 상대적으로 보다 높은 성능 사용 경우들을 위한 인터리빙된 어드레스 공간을 포함한다. 선행 영역은 상대적으로 보다 낮은 전력 사용 경우들을 위한 선행 어드레스 공간을 포함한다. 하나 이상의 클라이언트들로부터 메모리 요청들이 수신된다. 메모리 요청들은 전력 절약 또는 성능에 대한 선호도를 포함한다. 수신된 메모리 요청들은, 전력 절약 또는 성능에 대한 선호도에 따라, 선행 영역 또는 인터리빙된 영역에 할당된다.

**대표도**



(52) CPC특허분류

*G11C 14/009* (2013.01)

*G06F 2212/1028* (2013.01)

*Y02B 60/1225* (2013.01)

*Y02B 60/1228* (2013.01)

(72) 발명자

**투 알렉스**

미국 92121 캘리포니아주 샌디에고 모어하우스 드  
라이브 5775

**로 하우-징**

미국 92121 캘리포니아주 샌디에고 모어하우스 드  
라이브 5775

## 명세서

### 청구범위

#### 청구항 1

선택적 전력 또는 성능 최적화를 이용한 메모리 채널 인터리빙 방법으로서,

적어도 제 1 메모리 디바이스 및 제 2 메모리 디바이스에 대해 메모리 어드레스 맵을 구성하는 단계로서, 상기 제 1 메모리 디바이스는 제 1 메모리 제어기 및 제 1 메모리 채널과 연관되고, 상기 제 2 메모리 디바이스는 제 2 메모리 제어기 및 제 2 메모리 채널과 연관되며, 상기 제 1 및 제 2 메모리 디바이스들의 각각은 인터리빙된 영역의 부분 및 선형 영역의 부분을 포함하고, 상기 인터리빙된 영역은 상대적으로 보다 높은 성능 사용 경우들을 위한 인터리빙된 어드레스 공간을 포함하고, 상기 선형 영역은 상대적으로 보다 낮은 전력 사용 경우들을 위한 선형 어드레스 공간을 포함하는, 상기 메모리 어드레스 맵을 구성하는 단계;

메모리 채널 인터리버에서, 하나 이상의 클라이언트들로부터 메모리 요청들을 수신하는 단계로서, 상기 메모리 요청들은 전력 절약 또는 성능에 대한 선호도를 포함하는, 상기 메모리 요청들을 수신하는 단계; 및

상기 메모리 채널 인터리버에 의해, 전력 절약에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 선형 영역에, 그리고 성능에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 인터리빙된 영역에 할당하는 단계로서, 전력 절약에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 선형 영역에 할당하는 것은, 상기 제 1 메모리 제어기에게, 상기 제 1 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 제 1 어드레스 범위에 기입하도록 지시하는 것, 및, 상기 제 2 메모리 제어기에게, 상기 제 2 메모리 디바이스를 전력 절약 모드로 천이시키도록 지시하는 것을 포함하는, 상기 할당하는 단계를 포함하는, 메모리 채널 인터리빙 방법.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 상기 제 1 어드레스 범위에서의 마지막 메모리 어드레스에 도달될 때,

상기 제 1 메모리 디바이스를 상기 전력 절약 모드에 두는 단계;

상기 제 2 메모리 디바이스를 활성화하는 단계; 및

상기 제 2 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 제 2 어드레스 범위에 대해 전력 절약에 대한 선호도를 포함하는 다음 수신된 메모리 요청을 기입하는 단계를 더 포함하는, 메모리 채널 인터리빙 방법.

#### 청구항 3

제 1 항에 있어서,

상기 전력 절약 또는 성능에 대한 선호도는 오퍼레이팅 시스템에 대한 시스템 호출을 통해 특정되는, 메모리 채널 인터리빙 방법.

#### 청구항 4

제 1 항에 있어서,

상기 전력 절약 또는 성능에 대한 선호도는 메모리 힙의 타입을 특정하는 파라미터를 포함하는, 메모리 채널 인터리빙 방법.

#### 청구항 5

제 1 항에 있어서,

상기 메모리 디바이스들은 동적 랜덤 액세스 메모리 (DRAM) 디바이스들을 포함하는, 메모리 채널 인터리빙 방법.

**청구항 6**

제 1 항에 있어서,

상기 메모리 채널 인터리버는 시스템 온 칩 (SoC) 버스를 통해 상기 메모리 요청들을 수신하는, 메모리 채널 인터리빙 방법.

**청구항 7**

제 1 항에 있어서,

상기 메모리 채널 인터리버에서, 메모리 대역폭의 이력 로그를 포함하는 데이터베이스에 대하여 성능에 대한 선호도를 갖는 메모리 요청들을 유효화하는 단계; 및

유효화되지 않는 경우에, 상기 메모리 채널 인터리버에서, 상기 성능에 대한 선호도를 오버라이드 (override) 하고, 상기 선형 영역에 유효화되지 않은 메모리 요청을 할당하는 단계를 더 포함하는, 메모리 채널 인터리빙 방법.

**청구항 8**

제 1 항에 있어서,

상기 선형 영역 또는 상기 인터리빙된 영역에 상기 메모리 요청들을 할당하는 것은, 동적 메모리 할당 또는 미리결정된 정적 메모리 할당을 포함하는, 메모리 채널 인터리빙 방법.

**청구항 9**

제 1 항에 있어서,

상기 메모리 채널 인터리버는 어드레스 맵핑 모듈을 포함하는, 메모리 채널 인터리빙 방법.

**청구항 10**

제 9 항에 있어서,

상기 메모리 채널 인터리버는 데이터 선택기를 더 포함하고, 상기 데이터 선택기는 상기 어드레스 맵핑 모듈에 커플링되고 상기 어드레스 맵핑 모듈과 통신하는, 메모리 채널 인터리빙 방법.

**청구항 11**

메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템으로서,

적어도 제 1 메모리 디바이스 및 제 2 메모리 디바이스에 대해 메모리 어드레스 맵을 구성하는 수단으로서, 상기 제 1 메모리 디바이스는 제 1 메모리 제어기 및 제 1 메모리 채널과 연관되고, 상기 제 2 메모리 디바이스는 제 2 메모리 제어기 및 제 2 메모리 채널과 연관되며, 상기 제 1 및 제 2 메모리 디바이스들의 각각은 인터리빙된 영역의 부분 및 선형 영역의 부분을 포함하고, 상기 인터리빙된 영역은 상대적으로 보다 높은 성능 사용 경우들을 위한 인터리빙된 어드레스 공간을 포함하고, 상기 선형 영역은 상대적으로 보다 낮은 전력 사용 경우들을 위한 선형 어드레스 공간을 포함하는, 상기 메모리 어드레스 맵을 구성하는 수단;

하나 이상의 클라이언트들로부터 메모리 요청들을 수신하는 수단으로서, 상기 메모리 요청들은 전력 절약 또는 성능에 대한 선호도를 포함하는, 상기 메모리 요청들을 수신하는 수단; 및

전력 절약에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 선형 영역에, 그리고 성능에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 인터리빙된 영역에 할당하는 수단으로서, 전력 절약에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 선형 영역에 할당하는 수단은, 상기 제 1 메모리 제어기에게, 상기 제 1 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 제 1 어드레스 범위에 기입하도록 지시하는 수단, 및, 상기 제 2 메모리 제어기에게, 상기 제 2 메모리 디바이스를 전력 절약 모드로 천이시키도록 지시하는 수단을 포함하는, 상기 할당하는 수단을 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

**청구항 12**

제 11 항에 있어서,

상기 제 1 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 상기 제 1 어드레스 범위에서의 마지막 메모리 어드레스에 도달될 때,

상기 제 1 메모리 디바이스를 상기 전력 절약 모드에 두는 수단;

상기 제 2 메모리 디바이스를 활성화하는 수단; 및

상기 제 2 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 제 2 어드레스 범위에 대해 전력 절약에 대한 선호도를 포함하는 다음 수신된 메모리 요청을 기입하는 수단을 더 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

### 청구항 13

제 11 항에 있어서,

상기 전력 절약 또는 성능에 대한 선호도는 오퍼레이팅 시스템에 대한 시스템 호출을 통해 특정되는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

### 청구항 14

제 11 항에 있어서,

상기 전력 절약 또는 성능에 대한 선호도는 메모리 힙의 타입을 특정하는 파라미터를 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

### 청구항 15

제 11 항에 있어서,

상기 메모리 디바이스들은 동적 랜덤 액세스 메모리 (DRAM) 디바이스들을 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

### 청구항 16

제 11 항에 있어서,

상기 메모리 요청들을 수신하는 수단은 시스템 온 칩 (SoC) 버스와 통신하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

### 청구항 17

제 11 항에 있어서,

메모리 대역폭의 이력 로그를 포함하는 데이터베이스에 대하여 성능에 대한 선호도를 갖는 메모리 요청들을 유효화하는 수단; 및

유효화되지 않은 메모리 요청들에 대해 상기 성능에 대한 선호도를 오버라이드 (override) 하고, 상기 선형 영역에 상기 유효화되지 않은 메모리 요청을 할당하는 수단을 더 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

### 청구항 18

제 11 항에 있어서,

상기 선형 영역 또는 상기 인터리빙된 영역에 상기 메모리 요청들을 할당하는 수단은, 동적 메모리 할당 수단 또는 미리결정된 정적 메모리 할당 수단을 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

### 청구항 19

제 11 항에 있어서,

상기 메모리 요청들을 할당하는 수단은, 어드레스 맵핑 모듈을 갖는 메모리 채널 인터리버를 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

**청구항 20**

제 19 항에 있어서,

상기 메모리 채널 인터리버는 데이터 선택기를 더 포함하고, 상기 데이터 선택기는 상기 어드레스 맵핑 모듈에 커플링되고 상기 어드레스 맵핑 모듈과 통신하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템.

**청구항 21**

컴퓨터 관독가능 프로그램 코드를 포함한 비일시적 컴퓨터 관독가능 저장 매체로서,

상기 컴퓨터 관독가능 프로그램 코드는, 선택적 전력 또는 성능 최적화를 이용한 메모리 채널 인터리빙을 위한 방법을 구현하기 위해 실행되도록 적응되고,

상기 방법은,

적어도 제 1 메모리 디바이스 및 제 2 메모리 디바이스에 대해 메모리 어드레스 맵을 구성하는 단계로서, 상기 제 1 메모리 디바이스는 제 1 메모리 제어기 및 제 1 메모리 채널과 연관되고, 상기 제 2 메모리 디바이스는 제 2 메모리 제어기 및 제 2 메모리 채널과 연관되며, 상기 제 1 및 제 2 메모리 디바이스들의 각각은 인터리빙된 영역의 부분 및 선형 영역의 부분을 포함하고, 상기 인터리빙된 영역은 상대적으로 보다 높은 성능 사용 경우들을 위한 인터리빙된 어드레스 공간을 포함하고, 상기 선형 영역은 상대적으로 보다 낮은 전력 사용 경우들을 위한 선형 어드레스 공간을 포함하는, 상기 메모리 어드레스 맵을 구성하는 단계;

하나 이상의 클라이언트들로부터 메모리 요청들을 수신하는 단계로서, 상기 메모리 요청들은 전력 절약 또는 성능에 대한 선호도를 포함하는, 상기 메모리 요청들을 수신하는 단계; 및

전력 절약에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 선형 영역에, 그리고 성능에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 인터리빙된 영역에 할당하는 단계로서, 전력 절약에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 선형 영역에 할당하는 것은, 상기 제 1 메모리 제어기에게, 상기 제 1 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 제 1 어드레스 범위에 기입하도록 지시하는 것, 및, 상기 제 2 메모리 제어기에게, 상기 제 2 메모리 디바이스를 전력 절약 모드로 천이시키도록 지시하는 것을 포함하는, 상기 할당하는 단계를 포함하는, 비일시적 컴퓨터 관독가능 저장 매체.

**청구항 22**

제 21 항에 있어서,

상기 방법은,

상기 제 1 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 상기 제 1 어드레스 범위에서의 마지막 메모리 어드레스에 도달될 때,

상기 제 1 메모리 디바이스를 상기 전력 절약 모드에 두는 단계;

상기 제 2 메모리 디바이스를 활성화하는 단계; 및

상기 제 2 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 제 2 어드레스 범위에 대해 전력 절약에 대한 선호도를 포함하는 다음 수신된 메모리 요청을 기입하는 단계를 더 포함하는, 비일시적 컴퓨터 관독가능 저장 매체.

**청구항 23**

제 21 항에 있어서,

상기 전력 절약 또는 성능에 대한 선호도는 오퍼레이팅 시스템에 대한 시스템 호출을 통해 특정되는, 비일시적 컴퓨터 관독가능 저장 매체.

**청구항 24**

제 21 항에 있어서,

상기 전력 절약 또는 성능에 대한 선호도는 메모리 힙의 타입을 특징하는 파라미터를 포함하는, 비밀시적 컴퓨터 관독가능 저장 매체.

**청구항 25**

제 21 항에 있어서,

상기 메모리 디바이스들은 동적 랜덤 액세스 메모리 (DRAM) 디바이스들을 포함하는, 비밀시적 컴퓨터 관독가능 저장 매체.

**청구항 26**

제 21 항에 있어서,

메모리 채널 인터리버는 시스템 온 칩 (SoC) 버스를 통해 상기 메모리 요청들을 수신하는, 비밀시적 컴퓨터 관독가능 저장 매체.

**청구항 27**

제 21 항에 있어서,

상기 방법은,

메모리 대역폭의 이력 로그를 포함하는 데이터베이스에 대하여 성능에 대한 선호도를 갖는 메모리 요청들을 유효화하는 단계; 및

유효화되지 않는 경우에, 상기 성능에 대한 선호도를 오버라이드 (override) 하고, 상기 선행 영역에 유효화되지 않은 메모리 요청을 할당하는 단계를 더 포함하는, 비밀시적 컴퓨터 관독가능 저장 매체.

**청구항 28**

제 21 항에 있어서,

상기 선행 영역 또는 상기 인터리빙된 영역에 상기 메모리 요청들을 할당하는 것은, 동적 메모리 할당 또는 미리결정된 정적 메모리 할당을 포함하는, 비밀시적 컴퓨터 관독가능 저장 매체.

**청구항 29**

제 21 항에 있어서,

상기 메모리 요청들을 할당하는 것은, 메모리 채널 인터리버에 의해 수행되는, 비밀시적 컴퓨터 관독가능 저장 매체.

**청구항 30**

제 29 항에 있어서,

상기 메모리 채널 인터리버는 어드레스 맵핑 모듈 및 데이터 선택기를 포함하고, 상기 데이터 선택기는 상기 어드레스 맵핑 모듈에 커플링되고 상기 어드레스 맵핑 모듈과 통신하는, 비밀시적 컴퓨터 관독가능 저장 매체.

**청구항 31**

메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템으로서,

시스템 온 칩 (SoC) 에 접속된 적어도 제 1 메모리 디바이스 및 제 2 메모리 디바이스에 액세스하기 위한 메모리 요청들을 생성하기 위한 하나 이상의 프로세싱 유닛들을 포함하는 상기 시스템 온 칩 (SoC) 으로서, 상기 제 1 메모리 디바이스는 제 1 메모리 제어기 및 제 1 메모리 채널과 연관되고, 상기 제 2 메모리 디바이스는 제 2 메모리 제어기 및 제 2 메모리 채널과 연관되며,

상기 제 1 및 제 2 메모리 디바이스들의 각각은 메모리 어드레스 맵에 의해 정의된 인터리빙된 영역의 부분 및 선형 영역의 부분을 포함하고, 상기 인터리빙된 영역은 상대적으로 보다 높은 성능 사용 경우들을 위한 인터리빙된 어드레스 공간을 포함하고, 상기 선형 영역은 상대적으로 보다 낮은 전력 사용 경우들을 위한 선형 어드레스 공간을 포함하는, 상기 시스템 온 칩 (SoC); 및

상기 SoC 상에 존재하는 메모리 채널 인터리버로서, 상기 메모리 채널 인터리버는, 전력 절약 또는 성능에 대한 선호도를 포함하는 메모리 요청들을 상기 하나 이상의 프로세싱 유닛들로부터 수신하고; 그리고, 전력 절약에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 선형 영역에, 그리고 성능에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 인터리빙된 영역에 할당하는 것을 행하도록 구성되고, 전력 절약에 대한 선호도를 포함하는 상기 메모리 요청들을 상기 선형 영역에 할당하는 것은, 상기 제 1 메모리 제어기에게, 상기 제 1 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 제 1 어드레스 범위에 기입하도록 지시하는 것, 및, 상기 제 2 메모리 제어기에게, 상기 제 2 메모리 디바이스를 전력 절약 모드로 천이시키도록 지시하는 것을 포함하는, 상기 메모리 채널 인터리버를 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 32**

제 31 항에 있어서,

상기 제 1 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 상기 제 1 어드레스 범위에서의 마지막 메모리 어드레스에 도달될 때,

상기 제 1 메모리 디바이스는 상기 전력 절약 모드에 놓이고;

상기 제 2 메모리 디바이스는 활성화되며; 그리고

상기 제 2 메모리 디바이스 내의 상기 선형 영역의 부분에 대응하는 제 2 어드레스 범위에 대해 전력 절약에 대한 선호도를 포함하는 다음 수신된 메모리 요청이 기입되는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 33**

제 31 항에 있어서,

상기 전력 절약 또는 성능에 대한 선호도는 오퍼레이팅 시스템에 대한 시스템 호출을 통해 특정되는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 34**

제 31 항에 있어서,

상기 전력 절약 또는 성능에 대한 선호도는 메모리 힙의 타입을 특정하는 파라미터를 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 35**

제 31 항에 있어서,

상기 메모리 디바이스들은 동적 랜덤 액세스 메모리 (DRAM) 디바이스들을 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 36**

제 31 항에 있어서,

상기 SoC 는 휴대용 통신 디바이스 상에 존재하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 37**

제 31 항에 있어서,



상기 메모리 채널 인터리버는,

메모리 대역폭의 이력 로그를 포함하는 데이터베이스에 대하여 성능에 대한 선호도를 갖는 메모리 요청들을 유효화하고; 그리고

유효화되지 않는 경우에, 상기 성능에 대한 선호도를 오버라이드 (override) 하고, 상기 선행 영역에 유효화되지 않은 메모리 요청을 할당하도록 더 구성되는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 38**

제 31 항에 있어서,

상기 메모리 채널 인터리버는, 동적 메모리 할당 또는 미리결정된 정적 메모리 할당을 이용하여 상기 선행 영역 또는 상기 인터리빙된 영역에 상기 메모리 요청들을 할당하도록 더 구성되는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 39**

제 31 항에 있어서,

상기 메모리 채널 인터리버는 어드레스 맵핑 모듈을 포함하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 40**

제 39 항에 있어서,

상기 메모리 채널 인터리버는 데이터 선택기를 더 포함하고, 상기 데이터 선택기는 상기 어드레스 맵핑 모듈에 커플링되고 상기 어드레스 맵핑 모듈과 통신하는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템.

**청구항 41**

삭제

**청구항 42**

삭제

**청구항 43**

삭제

**청구항 44**

삭제

**발명의 설명**

**배경 기술**

[0001] 모바일 전화기들과 같은 휴대용 컴퓨팅 디바이스들을 포함하는 많은 컴퓨팅 디바이스들은 시스템 온 칩 ("SoC") 을 포함한다. SoC 들은 더블 데이터 레이트 (DDR) 메모리 디바이스들과 같은 메모리 디바이스들로부터 증가하는 전력 성능 및 용량을 요구하고 있다. 이들 요구들은 더 빠른 클럭 속도들 및 넓은 버스들 양자 모두로 이어지고, 이들은 그러면 통상적으로, 효율성을 유지하기 위해 다수의, 더 좁은 메모리 채널들로 파티셔닝된다. 다수의 메모리 채널들은, 메모리 디바이스들에 걸쳐 메모리 트래픽을 균일하게 분배하고 성능을 최적화하기 위해 함께 어드레스-인터리빙될 수도 있다. 메모리 데이터는 어드레스들을 교번하는 메모리 채널들에 할당함으로써 균일하게 분배된다. 이 기법은 통상적으로 대칭적 채널 인터리빙으로서 지칭된다.

[0002] 기존의 대칭적 메모리 채널 인터리빙 기법들은 채널들의 모두가 활성화되는 것을 필요로 한다. 고 성능 사용 경우들에 대해, 이것은 원하는 레벨의 성능을 달성하기 위해 의도적이고 필요한 것이다. 하지만, 저 성능 사용 경우들에 대해, 이것은 낭비되는 전력 및 비효율성을 초래한다. 따라서, 메모리 채널 인터리빙을 제공하는 향상된 시스템들 및 방법들에 대한 필요성이 당해 기술분야에서 여전히 남아있다.

**발명의 내용**

**과제의 해결 수단**

[0003] 메모리 채널 인터리빙 (memory channel interleaving) 에 선택적 전력 또는 성능 최적화 (selective power or performance optimization) 를 제공하는 시스템들 및 방법들이 개시된다. 하나의 실시형태는, 선택적 전력 또는 성능 최적화를 이용한 메모리 채널 인터리빙 방법이다. 하나의 이러한 방법은: 인터리빙된 영역 (interleaved region) 및 선형 영역 (linear region) 을 갖는, 2 개 이상의 각각의 메모리 채널들을 통해 액세스되는 2 개 이상의 메모리 디바이스들에 대한, 메모리 어드레스 맵을 구성하는 단계로서, 인터리빙된 영역은 비교적 더 높은 성능으로 사용하는 경우들을 위한 인터리빙된 어드레스 공간을 포함하고, 선형 영역은 비교적 더 낮은 전력으로 사용하는 경우들을 위한 선형 어드레스 공간을 포함하는, 상기 메모리 어드레스 맵을 구성하는 단계; 하나 이상의 클라이언트들로부터 메모리 요청들을 수신하는 단계로서, 메모리 요청들은 전력 절약 또는 성능에 대한 선호도 (preference) 를 포함하는, 상기 메모리 요청들을 수신하는 단계; 및 전력 절약 또는 성능에 대한 선호도에 따라, 선형 영역 또는 인터리빙된 영역에 메모리 요청들을 할당하는 단계를 포함한다.

[0004] 다른 실시형태는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하는 시스템이다. 하나의 이러한 시스템은, 시스템 온 칩 (System on Chip; SoC), 메모리 어드레스 맵, 및 메모리 채널 인터리버 (memory channel interleaver) 를 포함한다. SoC 는, 그 SoC 에 접속되고 2 개 이상의 각각의 메모리 채널들을 통해 액세스되는 2 개 이상의 외부 메모리 디바이스들에 액세스하기 위한 메모리 요청들을 생성하기 위한 하나 이상의 프로세싱 유닛들을 포함한다. 메모리 요청들은 전력 절약 또는 성능에 대한 선호도를 포함한다. 메모리 어드레스 맵은 외부 메모리 디바이스들과 연관되고, 인터리빙된 영역 및 선형 영역을 포함한다. 인터리빙된 영역은 비교적 더 높은 성능으로 사용하는 경우들을 위한 인터리빙된 어드레스 공간을 포함한다. 선형 영역은 비교적 더 낮은 전력으로 사용하는 경우들을 위한 선형 어드레스 공간을 포함한다. 메모리 채널 인터리버는 SoC 상에 상주하고, 전력 절약 또는 성능에 대한 선호도에 따라, 선형 영역 또는 인터리빙된 영역에 메모리 요청들을 할당하도록 구성된다.

**도면의 간단한 설명**

[0005] 도면들에서, 달리 나타내어지지 않는 한 유사한 참조 부호들은 다양한 도면들에 걸쳐 유사한 부분들을 지칭한다. "102A" 또는 "102B" 와 같이 문자 지정들을 갖는 참조 부호들에 있어서, 문자 지정들은 동일한 도면에 있는 2 개의 유사한 부분들 또는 엘리먼트들을 구별지을 수도 있다. 참조 부호들에 대한 문자 지정들은 참조 부호가 모든 도면들에서 동일한 참조 부호를 갖는 모든 부분들을 망라하고자 하는 경우 생략될 수도 있다.

도 1 은 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 시스템의 일 실시형태의 블록도이다.

도 2 는, 메모리 채널 인터리빙에 선택적 전력 또는 성능 최적화를 제공하기 위한 도 1 의 시스템에서 구현되는 방법의 일 실시형태를 나타내는 플로우차트이다.

도 3 은 도 1 의 시스템에서 예시적인 메모리 어드레스 맵의 구조 및 동작을 나타내는 데이터/플로우 도이다.

도 4 는 도 1 의 메모리 채널 인터리버의 일 실시형태를 나타내는 블록/플로우 도이다.

도 5 는 고 성능 메모리 요청들을 유효화 또는 오버라이딩하기 위한 방법의 일 실시형태를 나타내는 플로우차트이다.

도 6 은 4 개의 메모리 채널들 및 2 개의 랭크들을 이용하는 선형 구역 및 인터리빙된 구역을 갖는 메모리 어드레스 맵의 다른 실시형태를 나타낸다.

도 7 은 도 1 의 시스템을 포함하는 휴대용 컴퓨터 디바이스의 일 실시형태의 블록도이다.

**발명을 실시하기 위한 구체적인 내용**

- [0006] 단어 "예시적인" 은 본원에서 "일 예, 사례, 또는 사례의 역할을 하는" 것을 의미하기 위해 이용된다. "예시적" 으로 본원에서 설명된 임의의 양태는 반드시 다른 양태들보다 바람직하거나 이로운 것으로 해석되지는 않는다.
- [0007] 본 설명에서, 용어 "애플리케이션 (application)" 은 실행 가능한 콘텐츠, 예컨대: 오브젝트 코드, 스크립트들, 바이트 코드, 마크업 언어 파일들, 및 패치들을 구비하는 파일들을 또한 포함할 수도 있다. 또한, 본원에서 지칭되는 "애플리케이션" 은, 공개될 필요가 있는 문서들 또는 액세스될 필요가 있는 다른 데이터 파일들과 같이, 사실상 실행 불가능한 파일들을 또한 포함할 수도 있다.
- [0008] 용어 "콘텐츠 (content)" 는 실행가능한 콘텐츠, 예컨대: 오브젝트 코드, 스크립트들, 바이트 코드, 마크업 언어 파일들, 및 패치들을 구비하는 파일들을 또한 포함할 수도 있다. 또한, 본원에서 지칭되는 "콘텐츠" 는 공개될 필요가 있을 수도 있는 문서들 또는 액세스될 필요가 있는 다른 데이터 파일들과 같은, 사실상 실행 불가능한 파일들을 또한 포함할 수도 있다.
- [0009] 본 설명에서 이용되는 바와 같이, 용어들 "컴포넌트", "데이터베이스", "모듈", "시스템" 등은 컴퓨터 관련 엔티티, 하드웨어, 펌웨어, 하드웨어와 소프트웨어의 조합, 소프트웨어, 또는 실행 중인 소프트웨어 중 어느 것을 지칭하고자 한다. 예를 들어, 컴포넌트는 프로세서 상에서 실행되는 프로세스, 프로세서, 오브젝트, 실행가능물, 실행의 스레드, 프로그램, 및/또는 컴퓨터일 수도 있지만, 이들에 제한되는 것은 아니다. 예시로서, 컴퓨팅 디바이스 상에서 실행되는 애플리케이션 및 컴퓨팅 디바이스 양자 모두가 컴포넌트일 수도 있다. 하나 이상의 컴포넌트들은 프로세스 및/또는 실행의 스레드 내에 있을 수도 있고, 컴포넌트는 하나의 컴퓨터 상에 로컬화될 수도 있고/있거나 두 개 이상의 컴퓨터 들 사이에 분산될 수도 있다. 또한, 이들 컴포넌트들은 다양한 데이터 구조들이 저장된 여러 컴퓨터 판독 가능한 매체들로부터 실행될 수도 있다. 컴포넌트들은 하나 이상의 데이터 패킷들 (예를 들어, 로컬 시스템의 다른 컴포넌트, 분산 시스템 및/또는 인터넷과 같은 네트워크에 걸쳐 신호를 통해 다른 시스템들과 상호작용하는 하나의 컴포넌트로부터의 데이터) 을 구비하는 신호에 따르는 것과 같이 로컬 및/또는 원격 프로세스들을 통해 통신할 수도 있다.
- [0010] 본 설명에서, 용어들 "통신 디바이스", "무선 디바이스", "무선 전화기", "무선 통신 디바이스", 및 "무선 핸드셋" 은 상호교환가능하게 이용된다. 3 세대 ("3G") 무선 기술 및 4 세대 ("4G") 의 도래로, 보다 넓은 대역폭 이용가능성은 보다 다양한 무선 능력들을 갖는 보다 많은 휴대용 컴퓨팅 디바이스들을 가능하게 했다. 따라서, 휴대용 컴퓨팅 디바이스는 셀룰러 전화기, 페이지, PDA, 스마트폰, 네비게이션 디바이스, 또는 무선 접속이나 링크를 갖는 핸드 헬드 컴퓨터를 포함할 수도 있다.
- [0011] 도 1 은 메모리 채널 인터리빙에 선택적 성능 또는 전력 최적화를 제공하기 위한 시스템 (100) 을 나타낸다. 시스템 (100) 은, 퍼스널 컴퓨터, 워크스테이션, 서버, 셀룰러 전화기, 개인 휴대 정보 단말기 (PDA), 휴대용 게임 콘솔, 팜톱 컴퓨터, 또는 태블릿 컴퓨터와 같은 휴대용 컴퓨팅 디바이스 (PCD) 를 포함하는 임의의 컴퓨팅 디바이스에서 구현될 수도 있다.
- [0012] 도 1 의 실시형태에서 도시된 바와 같이, 시스템 (100) 은 각종 온-칩 컴포넌트들을 포함하는 시스템 온 칩 (SoC) (102) 및 SoC (102) 에 접속된 각종 외부 컴포넌트들을 포함한다. SoC (102) 는 SoC 버스 (107) 에 의해 상호접속된 하나 이상의 프로세싱 유닛들, 메모리 채널 인터리버 (106), 스토리지 제어기 (124), 및 온-보드 메모리 (예컨대, 정적 랜덤 액세스 메모리 (SRAM) (128), 판독 전용 메모리 (ROM) (130) 등) 를 포함한다. 스토리지 제어기 (124) 는 외부 스토리지 디바이스 (126) 에 전기적으로 접속되고 그것과 통신한다. 당해 기술분야에서 알려진 바와 같이, 메모리 채널 인터리버 (106) 는 CPU (104) (또는 다른 메모리 클라이언트들) 와 연관된 판독/기입 메모리 요청들 (read/write memory requests) 을 수신하고, 전용 메모리 채널을 통해 각각의 외부 메모리 디바이스들에 접속된 2 개 이상의 메모리 제어기들 사이에 메모리 데이터를 분배한다. 도 1 의 예에서, 시스템 (100) 은 2 개의 메모리 디바이스들 (110 및 118) 을 포함한다. 메모리 디바이스 (110) 는 메모리 제어기 (108) 에 접속되고, 제 1 메모리 채널 (CH0) 을 통해 통신한다. 메모리 디바이스 (118) 는 메모리 제어기 (116) 에 접속되고, 제 2 메모리 채널 (CH1) 을 통해 통신한다.
- [0013] 임의의 수의 메모리 디바이스들, 메모리 제어기들, 및 메모리 채널들이 바람직한 타입들, 사이즈들, 및 구성의 메모리 (예컨대, 더블 데이터 레이트 (DDR) 메모리) 와 함께 시스템 (100) 에서 사용될 수도 있다. 도 1 의 실시형태에서, 채널 (CH0) 을 통해 지원되는 메모리 디바이스 (110) 는 2 개의 동적 랜덤 액세스 메모리 (DRAM) 디바이스들: DRAM (112) 및 DRAM (114) 을 포함한다. 채널 (CH1) 을 통해 지원되는 메모리 디바이스 (118)

는 또한 2 개의 DRAM 디바이스들: DRAM (120) 및 DRAM (122) 을 포함한다.

[0014] 메모리 채널 인터리버 (106) 는 성능 및 전력 절약 최적화를 선택적으로 제공하기 위해 특별히 구성된 메모리 채널 인터리버를 포함한다. 메모리 채널 인터리버 (106) 는 고 성능 (인터리빙된) 및 저 성능 (선형) 메모리 영역들 양자 모두를 선택적으로 제공하도록 구성된다. 도 3 은 메모리 채널 인터리버 (106) 에 의해 제어되는 예시적인 메모리 어드레스 맵 (300) 을 나타낸다. 메모리 어드레스 맵 (300) 은 시스템 (100) 및 메모리 채널 인터리버 (106) 의 일반적 동작, 아키텍처, 및 기능성을 예시하기 위해 설명될 것이다. 메모리 어드레스 맵 (300) 은, (메모리 채널 (CH0) 을 통해 액세스되는) DRAM 들 (112 및 114) 을 포함하는 메모리 디바이스 (110) 및 (메모리 채널 (CH1) 을 통해 액세스되는) DRAM 들 (120 및 122) 을 포함하는 메모리 디바이스 (118) 를 갖는, 도 1 에서 도시된 예시적인 시스템 (100) 에 대응한다.

[0015] 메모리 어드레스 맵 (300) 은 선형 영역 (302) 및 인터리빙된 영역 (304) 을 포함한다. 선형 영역 (302) 은 상대적으로 낮은 전력 사용 경우들 및/또는 태스크들 (tasks) 에 대해 사용될 수도 있고, 인터리빙된 영역 (304) 은 상대적으로 높은 성능 사용 경우들 및/또는 태스크들에 대해 사용될 수도 있다. 각 영역은 2 개의 메모리 채널들 (CH0 및 CH1) 사이에 나누어진 대응하는 어드레스 범위 (address range) 를 갖는 별개의 할당된 메모리 어드레스 공간을 포함한다. 인터리빙된 영역 (304) 은 인터리빙된 어드레스 공간을 포함하고, 선형 영역 (302) 은 선형 어드레스 공간을 포함한다.

[0016] 도 3 의 예를 참조하고 인터리빙된 어드레스 공간과 관련하여, 제 1 어드레스 (어드레스 0) 는 DRAM (114) 및 메모리 채널 (CH0) 과 연관된 하위 어드레스에 할당될 수도 있다. 인터리빙된 어드레스 범위에서의 다음 어드레스 (어드레스 32) 는 DRAM (122) 및 메모리 채널 (CH1) 과 연관된 하위 어드레스에 할당될 수도 있다. 이러한 방식으로, 교번하는 어드레스들의 패턴은 DRAM (112) 및 DRAM (112) 과 연관된 최상위 또는 마지막 어드레스들로 오름차순으로, 메모리 채널들 (CH0 및 CH1) 에 걸쳐 "줄무늬" 또는 인터리빙될 수도 있고, 이는 인터리빙된 영역 (304) 과 선형 영역 (302) 사이에 경계를 정의한다. 인터리빙된 영역 (304) 에서, 채널들 (CH0 및 CH1) 사이의 수평 점선 화살표들은 어드레스들이 어떻게 메모리 채널들 사이에서 "핑퐁 (ping-pong)" 하는지를 나타낸다. 메모리 디바이스들에 대해 데이터를 판독/기입하기 위해 메모리 자원을 요청하는 클라이언트들 (예컨대, CPU (104)) 은, 데이터 어드레스들은 랜덤하다고 가정될 수도 있고 따라서 양 채널들 (CH0 및 CH1) 에 걸쳐 균일하게 분포될 수도 있기 때문에, 양 메모리 채널들 (CH0 및 CH1) 에 의해 서비스될 수도 있다.

[0017] 선형 영역 (302) 은 동일한 채널 내의 별개의 연속적인 메모리 어드레스 범위들을 포함한다. 도 3 의 실시 형태에서 예시된 바와 같이, 연속적인 메모리 어드레스들의 제 1 범위는 CH0 에서 DRAM (112) 에 할당될 수도 있고, 연속적인 메모리 어드레스들의 제 2 범위는 CH1 에서 DRAM (120) 에 할당될 수도 있다. 상기 인터리빙된/선형 경계 위의 DRAM (112) 에서의 다음 어드레스는 선형 어드레스 공간에서 제 1 어드레스 ((2N-3)\*64) 를 할당받을 수도 있다. 수직 화살표들은, DRAM (112) 에서의 최상위 또는 마지막 어드레스 (어드레스 (2N-2)\*64) 가 도달될 때까지 연속적인 어드레스들이 CH0 내에 할당되는 것을 나타낸다. CH0 에서의 마지막 이용가능한 어드레스가 도달될 때, 선형 어드레스 공간에서의 다음 어드레스는 인터리빙된/선형 경계 위의 DRAM (120) 에서의 다음 이용가능한 어드레스 (어드레스 (2N-2)\*64 + 32) 를 할당받을 수도 있다. 그 다음, 할당 스킴 (allocation scheme) 은, 최상위 어드레스 (어드레스 (2N-1)\*64 + 32) 에 도달할 때까지, CH1 에서 연속적인 메모리 어드레스들을 따른다.

[0018] 이러한 방식에서, 저 성능 사용 경우 데이터는 채널 (CH0) 또는 채널 (CH1) 중 어느 일방에 완전히 포함될 수도 있을을 이해하여야 한다. 동작 시에, 채널들 (CH0 및 CH1) 중 오직 하나만이 활성화될 수도 있는 한편, 다른 채널은 메모리 전력을 보존하기 위해 비활성 또는 "셀프-리프레시 (self-refresh)" 모드에 놓인다. 이것은 임의의 수 (N) 의 메모리 채널들로 확장될 수 있다.

[0019] 도 2 는 메모리 채널 인터리빙에 선택적 성능 또는 전력 최적화를 제공하기 위해 시스템 (100) (도 1) 에 의해 구현되는 방법 (200) 을 나타낸다. 블록 202 에서, 메모리 어드레스 맵 (300) 은 2 개 이상의 메모리 채널들 (예컨대, 메모리 채널들 (CH0 및 CH1)) 을 통해 액세스되는 이용가능한 메모리 디바이스들 (예컨대, DRAM 들 (112, 114, 120, 및 122) 에 대해 인터리빙된 영역 (304) 및 선형 영역 (302) 으로 구성된다. 메모리 어드레스 맵 (300) 은 예상된 메모리 풋프린트 또는 사이즈 고 및 저 성능 사용 경우들에 기초하여 구성될 수도 있다. 부트 시에, 플랫폼 프로파일에 기초하여, 메모리 채널 인터리버 (106) 는 미리결정된 양의 인터리빙된 및 선형 메모리 공간을 제공할 수도 있다. 런타임 시에, 오퍼레이팅 시스템은, 그래픽 프로세싱 유닛 (GPU), 디스플레이, 멀티미디어 리소스들, 카메라 등과 같은 고 성능 클라이언트 요청들에 대해 인터리빙된 영역 (304) 을 할당할 수도 있다. 오퍼레이팅 시스템은 상대적으로 보다 낮은 성능 및/또는 모든 다른 클라이



언트 요청들에 대해 선형 메모리를 할당할 수도 있다. 예를 들어, 선형 영역 (302) 은 오퍼레이팅 시스템 리소스들, 일반적 저 성능 애플리케이션들, 서비스들 등에 대해 할당될 수도 있다. 메모리는 인터리빙된 영역 (304) 에 대해 GPU 에 대해 동적으로 할당될 수도 있음을 이해하여야 한다. 정적 할당으로서 지칭되는, 다른 실시형태들에서, GPU 는, 예를 들어, 고 성능을 달성하기 위해 인터리빙된 영역 (304) 을 이용하기 위해 부트 시에, 미리결정된 메모리를 이용할 수도 있다.

[0020] 일 실시형태에서, 선형 영역 (302) 및 인터리브 영역 (304) 에 대한 메모리 할당은 소망하는 사용 케이스들에 기초하여 구성될 수도 있다. 상이한 선형 영역들에 대한 메모리 할당은 사용 경우들 (use cases) 에 기초하여 그룹화될 수도 있다. 예를 들어, 제 1 "전력 절약 (power savings)" 사용 경우는 CH0 과 연관된 제 1 선형 어드레스 공간을 액세스하도록 허용될 수도 있고, 제 2 "전력 절약" 사용 경우는 CH1 과 연관된 제 2 선형 어드레스 공간을 액세스하도록 허용될 수도 있다. 이러한 방식으로, 메모리 전력 절약은 다른 것이 활성화인 동안에 하나의 메모리 채널 상에서 실현될 수 있다.

[0021] 다시 도 2 를 참조하면, 블록 204 에서, 메모리 채널 인터리버 (106) 는 메모리 리소스들 (memory resources) 을 요청하는 하나 이상의 클라이언트들 (예컨대, CPU (104)) 로부터 메모리 요청들을 수신할 수도 있다. 메모리 요청은 전력 절약 또는 성능에 대한 선호도를 나타내는 "힌트 (hint)", 파라미터(들), 또는 다른 데이터를 포함할 수도 있다. 일 실시형태에서, 전력/성능 선호도는 오퍼레이팅 시스템에 대한 시스템 호출 (system call) 을 통해 특정될 수도 있다. 이와 관련하여, 시스템 (100) 은 메모리 할당에 대한 지원을 제공하는 오퍼레이팅 시스템 (미도시) 을 포함할 수도 있다. 오퍼레이팅 시스템은 호출자에 의해 표시된 바와 같이 특정 힙들로부터 메모리를 할당하는 능력을 가질 수도 있다. 메모리 채널 인터리버 (106) 및 시스템 (100) 은 예를 들어 전력 절약 대 성능에 대한 선호도의 정도에 따라 메모리 타입 (즉, 인터리빙된 대 선형) 을 특정하기 위한 능력을 제공하고, 이에 의해, 메모리 전력 절약 및/또는 고 대역폭 스트루풋을 달성한다.

[0022] 예를 들어, 멀티프로세싱에서 사용되는 비-균일 메모리 액세스 (NUMA) 는 프로세서 (예컨대, CPU (104)) 에 대한 메모리 노드들에 기초한 메모리 할당을 수행할 수도 있다. NUMA 하에서, 프로세서는 상이한 메모리 노드들의 성능 차이의 정보를 가지고, 선호되는 노드들로부터 메모리를 지능적으로 할당하는 것이 가능할 수도 있다. 시스템 (100) 은 최상의 성능을 산출하는 노드들로부터 또는 전력 소모 특성들에 기초하여 메모리를 할당하도록 지능적으로 이용가능한 노드들의 리스트로부터 메모리를 할당하기 위해 이 메커니즘을 구현할 수도 있다. 또한, 일부 오퍼레이팅 시스템들 (예컨대, Linux Android®) 에서, 메모리 할당자는 메모리 힙 (memory heap) 이 부트 동안 호출들을 통해 먼저 추가되는 폴백 (fallback) 순서로, 할당할 하나 이상의 메모리 힙들을 나타내기 위한 입력 인수를 가질 수도 있다. 메모리 채널 인터리버 (106) 는 클라이언트들에 의해 요청되는 바와 같은 성능 또는 전력 절약 중 어느 일방에 기초하여 특정 힙 타입으로부터 메모리를 할당하기 위한 이러한 메커니즘을 지원할 수도 있다.

[0023] 블록 206 에서, 메모리 채널 인터리버 (106) 는 메모리 요청 (또는 그렇지 않은 경우) 및 메모리 어드레스 맵 (300) 에서 특정된 선호도에 따라 선형 영역 (302) 또는 인터리빙된 영역 (304) 에 수신된 메모리 요청들을 할당한다.

[0024] 도 5 의 방법 (500) 에서 나타낸 바와 같이, 메모리 채널 인터리버 (106) 는 또한, 태스크들, 프로세스들 등의 특정 타입들에 대한 메모리 대역폭 사용의 이력 로그 (historical log) 를 포함하는 데이터베이스에 대하여 고 성능 메모리 요청들을 유효화하기 위한 메커니즘을 제공할 수도 있다. 블록 502 에서, 메모리 채널 인터리버 (106) 는 새로운 프로세스와 연관된 고 성능 메모리 요청을 수신할 수도 있다. 블록 504 에서, 이력 로그는 프로세스에 의해 이전에 사용된 메모리 대역폭을 결정하기 위해 액세스될 수도 있다.

[0025] 이러한 방식으로, 메모리 요청들은 각 실행 태스크에 대한 대역폭 요구의 이력 트래킹에 따라 할당될 수도 있다. 일 실시형태에서, 시스템 (100) 상의 실행 태스크들의 각각에 대한 요구 대역폭을 로깅 (logging) 하고, 파일 시스템 또는 다른 메모리에 저장될 수도 있는 각 프로세스 명칭에 대한 이력을 추적하기 위해 트랜스액션 카운터들이 사용될 수도 있다. 메모리 관리자는 새로운 태스크에 대해 메모리를 할당할 때 데이터베이스를 액세스할 수도 있다. 상술한 바와 같이, 태스크는 그것이 고 성능 또는 저 성능이라는 힌트를 제공할 수도 있다. 태스크는 또한 버퍼가 공유가능한지 여부를 특정할 수도 있다. 메모리 관리자는 요청을 유효화 (validate) 하기 위해 데이터베이스를 액세스할 수도 있다. 고 성능이 경험적으로 로깅되고 정당화되지 않은 경우, 메모리 할당자는 힌트를 거부할 수도 있고, 오직 전력을 절약하기 위해 저 성능 메모리를 할당할 수도 있다. 메모리 할당자는 또한, 버퍼가 공유가능한 것으로서 선언되었는지 및 동일한 공유된 버퍼를 이용하는 상이한 태스크가 고 대역폭을 필요로할 수도 있기 때문에 그것이 공유가능한 경우에 원래의 힌트를 고수

하는지 여부를 찾아볼 수도 있다.

[0026] 도 5 를 다시 참조하면, 결정 블록 506 에서, 메모리 채널 인터리버 (106) 는 고 성능 메모리 요청이 유효화되는지를 결정한다. 이전 대역폭이 인터리빙된 영역 (304) 에 할당하기 위한 미리결정된 임계치를 충족하지 않는 경우에, 메모리 요청은 거부되고 대신에 선형 영역 (302) 에 할당된다 (블록 508). 하지만, 고 성능 메모리 요청이 유효화되는 경우, 메모리 요청은 인터리빙된 영역에 할당될 수도 있다 (블록 510).

[0027] 도 4 는 메모리 채널 인터리버 (106) 의 일 실시형태의 아키텍처, 동작, 및/또는 기능을 나타내는 모식도/흐름도이다. 메모리 채널 인터리버 (106) 는 SoC 버스 (107) 상에서 입력을 수신하고, 별개의 메모리 제어기 버스들을 통해 메모리 제어기들 (108 및 116) (메모리 채널들 (CH0 및 CH1) 각각) 에 출력들을 제공한다. 메모리 제어기 버스들은 넷 데이터 스루풋 (net data throughput) 이 매칭되는 상태로 SoC 버스 (107) 의 레이트의 절반으로 실행될 수도 있다. 어드레스 맵핑 모듈(들) (450) 은 SoC 버스 (107) 를 통해 프로그래밍될 수도 있다. 어드레스 맵핑 모듈(들) (450) 은, 상술한 바와 같이, 선형 영역 (302) 및 인터리빙된 영역 (304) 을 갖는 어드레스 메모리 맵 (300) 을 구성 및 액세스할 수도 있다. SoC 버스 (107) 에 진입하는 데이터 트래픽은 데이터 선택기 (470) 로 라우팅되고, 이 데이터 선택기 (470) 는 그 데이터를, 어드레스 맵핑 모듈(들) (450) 에 의해 제공되는 선택 신호 (464) 에 기초하여, 병합 컴포넌트들 (472 및 474) 을 통해 각각 메모리 제어기들 (108 및 116) 로 포워딩한다. 각 트래픽 패킷에 대해, 하이 어드레스 (high address) (456) 는 어드레스 맵핑 모듈(들) (450) 로 진입한다. 어드레스 맵핑 모듈(들) (450) 은 사전-프로그래밍된 선형 및 인터리빙된 영역 어드레스들에 대하여 하이 어드레스 (456) 를 비교하고, 어드레스 비트 포지션 재배열을 수행하며, 그 다음, 그것을 인터리브 파라미터들에 기초하여 CH0 하이 어드레스 (460) 또는 CH1 하이 어드레스 (462) 에 출력한다. 선택 신호 (464) 는 CH0 또는 CH1 이 선택되었는지 여부를 특정한다. 병합 컴포넌트들 (472 및 474) 은 하이 어드레스들 (460 및 462), 로우 어드레스 (low address) (405), 및 CH0 데이터 (466) 및 CH1 데이터 (468) 의 재결합을 포함할 수도 있다.

[0028] 도 6 은 4 개의 메모리 채널들에 대해 적응되고 (adapted) 복수의 랭크들 (ranks) 을 이용하는 메모리 어드레스 맵 (600) 의 다른 실시형태를 나타낸다. 메모리 어드레스 맵 (600) 은 상기 논의된 메모리 어드레스 맵 (300) (도 3) 에 비해, 2 개의 추가적인 메모리 채널들 (CH2 및 CH3) 을 추가한다. 메모리 채널 (CH2) 은 추가적인 DRAM 들 (602 및 604) 과 연관된다. 메모리 채널 (CH3) 은 추가적인 DRAM 들 (606 및 608) 과 연관된다. 도 6 에서 도시된 바와 같이, 메모리 어드레스 맵 (600) 은, 성능과 전력 소모 사이의 소망되는 균형을 제공하기 위해 커스터마이징된 인터리브 설정들을 각각 갖는 랭킹 스킴 (랭크 1 및 랭크 0) 을 제공한다. 선형 영역 (302) 은 랭크 1 에 있을 수도 있고, 예를 들어, 전력 절약을 제공하기 위해 뱅크-로우-컬럼 (Bank-Row-Column; BRC) DRAM 인터리브 메커니즘을 이용할 수도 있다. (DRAM 들 (112, 120, 602, 및 606) 상에 상주하는) 인터리빙된 영역 (304) 의 제 1 부분 (610) 은 또한 랭크 1 에 있을 수도 있고, 예를 들어, 성능을 위한 로우-뱅크-컬럼 (Row-Bank-Column) DRAM 인터리브 메커니즘을 이용할 수도 있다. (DRAM 들 (114, 122, 604, 및 608) 상에서 이용가능한 전체 메모리를 포함하는) 인터리빙된 영역 (304) 의 제 2 부분 (612) 은 다른 랭크 (즉, 랭크 0) 에 있을 수도 있다. DRAM 들 (114, 122, 604, 및 608) 은 성능을 위한 RBC DRAM 인터리브 메커니즘을 이용하여 랭크 0 에 진입할 수도 있다.

[0029] 상기 언급된 바와 같이, 시스템 (100) 은 임의의 바람직한 컴퓨팅 시스템 내에 통합될 수도 있다. 도 7 은 예시적인 휴대용 컴퓨팅 디바이스 (PCD) (700) 에 통합된 시스템 (100) 을 나타낸다. 시스템 (100) 은 멀티코어 CPU (402A) 를 포함할 수도 있는 SoC (322) 에 포함될 수도 있다. 멀티코어 CPU (402A) 는 제 0 코어 (410), 제 1 코어 (412), 및 제 N 코어 (414) 를 포함할 수도 있다. 코어들 중 하나의 코어는, 예를 들어, CPU (104) (도 1) 를 포함하여 다른 것들 중 하나 이상과 함께 그래픽 프로세싱 유닛 (GPU) 을 포함할 수도 있다. 대안적인 예시적인 실시형태들에 따르면, CPU (402a) 는 또한 단일 코어 타입들의 것들 뿐만 아니라 다수의 코어들을 갖는 것들을 포함할 수도 있으며, 이 경우 CPU (104) 및 GPU 는 시스템 (100) 에서 예시된 바와 같이 전용 프로세서들일 수도 있다.

[0030] 디스플레이 제어기 (328) 및 터치 스크린 제어기 (330) 가 CPU (402a) 에 커플링될 수도 있다. 차례로, 온칩 시스템(322) 의 외부에 있는 터치 스크린 디스플레이 (108) 가 디스플레이 제어기 (328) 및 터치 스크린 제어기 (330) 에 커플링될 수도 있다.

[0031] 도 7 은, 비디오 인코더 (334), 예를 들어, PAL (phase alternating line) 인코더, SECAM (sequential color a memoire) 인코더, 또는 NTSC (national television system(s) committee) 인코더가 멀티코어 CPU (402A) 에 커플링되어 있는 것을 또한 도시한다. 또한, 비디오 증폭기 (336) 가 비디오 인코더 (334) 및 터치 스크린 디

스플레이 (108) 에 커플링된다. 또한, 비디오 포트 (338) 가 비디오 증폭기 (336) 에 커플링된다. 도 7 에 도시된 바와 같이, 범용 직렬 버스 (USB) 제어기 (340) 가 멀티코어 CPU (402A) 에 커플링된다. 또한, USB 포트 (342) 가 USB 제어기 (340) 에 커플링된다. 메모리 (404A) 및 가입자 신원 모듈 (subscriber identity module; SIM) 카드 (346) 가 또한 멀티코어 CPU (402A) 에 커플링될 수도 있다. 메모리 (404A) 는, 상술한 바와 같이, 메모리 디바이스들 (110 및 118) (도 1) 을 포함할 수도 있다. 시스템 (100) (도 1) 은 CPU (402A) 에 커플링될 수도 있다.

[0032] 또한, 도 7 에 도시된 바와 같이, 디지털 카메라 (348) 가 멀티코어 CPU (402A) 에 커플링될 수도 있다. 일 예시적인 양태에서, 디지털 카메라 (348) 는 CCD (charge-coupled device) 카메라 또는 CMOS (complementary metal-oxide semiconductor) 카메라이다.

[0033] 도 7 에 또한 도시된 바와 같이, 스테레오 오디오 코더-디코더 (코덱) (350)가 멀티코어 CPU (402A) 에 커플링 될 수도 있다. 또한, 오디오 증폭기 (352) 가 스테레오 오디오 코덱 (350) 에 커플링될 수도 있다. 일 예시적인 양태에서, 제 1 스테레오 스피커 (354) 및 제 2 스테레오 스피커 (356) 가 오디오 증폭기 (352) 에 커플링된다. 도 7 은 마이크로폰 증폭기 (358) 가 스테레오 오디오 코덱 (350) 에 또한 커플링될 수도 있음을 도시한다. 또한, 마이크로폰 (360) 은 마이크로폰 증폭기 (358) 에 커플링될 수도 있다. 특정 양태에서, 주파수 변조 (frequency modulation; FM) 라디오 튜너 (362) 가 스테레오 오디오 코덱 (350) 에 커플링될 수도 있다. 또한, FM 안테나 (364) 가 FM 라디오 튜너 (362) 에 커플링된다. 또한, 스테레오 헤드폰들 (366) 이 스테레오 오디오 코덱 (350) 에 커플링될 수도 있다.

[0034] 도 7 은 무선 주파수 (RF) 송수신기 (368) 가 멀티코어 CPU (402A) 에 커플링될 수도 있다는 것을 또한 도시한다. RF 스위치 (370) 가 RF 송수신기 (368) 와 RF 안테나 (372) 에 커플링될 수도 있다. 도 7 에 도시된 바와 같이, 키패드 (204) 가 멀티코어 CPU (402A) 에 커플링될 수도 있다. 또한, 마이크로폰 (376) 을 구비한 모노 헤드셋이 멀티코어 CPU (402A) 에 커플링될 수도 있다. 또한, 진동자 디바이스 (378) 가 멀티 코어 CPU (402A) 에 커플링될 수도 있다.

[0035] 도 7 은 또한 전원 (380) 이 온 칩 시스템 (322) 에 커플링될 수도 있다는 것을 도시한다. 일 특정 양태에서, 전원 (380) 은 전력을 필요로 하는 PCD (700) 의 다양한 컴포넌트들에 전력을 제공하는 직류 (DC) 전원이다. 또한, 일 특정 양태에서, 전원은 AC 전원에 접속된 교류 (AC) 대 DC 변압기로부터 도출되는 DC 전원 또는 재충전 가능한 DC 배터리이다.

[0036] 도 7 은 데이터 네트워크, 예를 들어, 근거리 네트워크, 개인 영역 네트워크, 또는 임의의 다른 네트워크에 액세스하기 위해 이용될 수도 있는 네트워크 카드 (388) 를 PCD (700) 가 또한 포함할 수도 있음을 또한 나타낸다. 네트워크 카드 (388) 는 블루투스 네트워크 카드, 와이파이 네트워크 카드, 개인 영역 네트워크 (PAN) 카드, PeANUT (personal area network ultra-low-power technology) 네트워크 카드, 텔레비전/케이블/위성 튜너, 또는 당해 기술분야에서 잘 알려진 임의의 다른 네트워크 카드일 수도 있다. 또한, 네트워크 카드 (388) 는 칩에 통합될 수도 있고, 즉, 네트워크 카드 (388) 는 칩 내의 풀 솔루션 (full solution) 일 수도 있고, 별도의 네트워크 카드 (388) 가 아닐 수도 있다.

[0037] 도 7 에 도시된 바와 같이, 터치 스크린 디스플레이 (108), 비디오 포트 (338), USB 포트 (342), 카메라 (348), 제 1 스테레오 스피커 (354), 제 2 스테레오 스피커 (356), 마이크로폰 (360), FM 안테나 (364), 스테레오 헤드폰들 (366), RF 스위치 (370), RF 안테나 (372), 키패드 (374), 모노 헤드셋 (376), 진동자 (378), 및 전원 (380) 은 온칩 시스템 (322) 의 외부에 있을 수도 있다.

[0038] 본원에 설명된 방법 단계들 중 하나 이상의 방법 단계는 상술된 모듈들과 같은 컴퓨터 프로그램 명령들로서 메모리에 저장될 수도 있다는 것이 이해되어야 한다. 이러한 명령들은 본원에 설명된 방법들을 수행하기 위해 대응하는 모듈과 조합하여 또는 대응하는 모듈과 협력하여 임의의 적합한 프로세서에 의해 실행될 수도 있다.

[0039] 본 명세서에서 설명된 프로세스들 또는 프로세스 흐름들에서의 소정의 단계들은 물론 설명된 바와 같이 가능하기 위해 본 발명에 대한 다른 것들에 선행한다. 그러나, 그러한 순서 또는 시퀀스가 본 발명의 가능성을 변경하지 않는 경우, 본 발명은 설명된 단계들의 순서로 제한되지 않는다. 즉, 다른 실시예들에서, 본 발명의 범위 및 사상을 벗어나지 않으면서 일부 단계들이 다른 단계들 전, 후, 또는 병행하여 (실질적으로 동시에) 수행될 수도 있는 것으로 인식된다. 일부 사례들에서, 본 발명으로부터 벗어나지 않으면서 소정의 단계들이 생략되거나 수행되지 않을 수도 있다. 또한, "그 후", "그 다음", "다음에" 등과 같은 단어들은 단계들의 순서를 제한하려는 의도는 아니다. 이러한 단어들은 단순히 예시적인 방법의 설명을 통해 독자를 안내하려

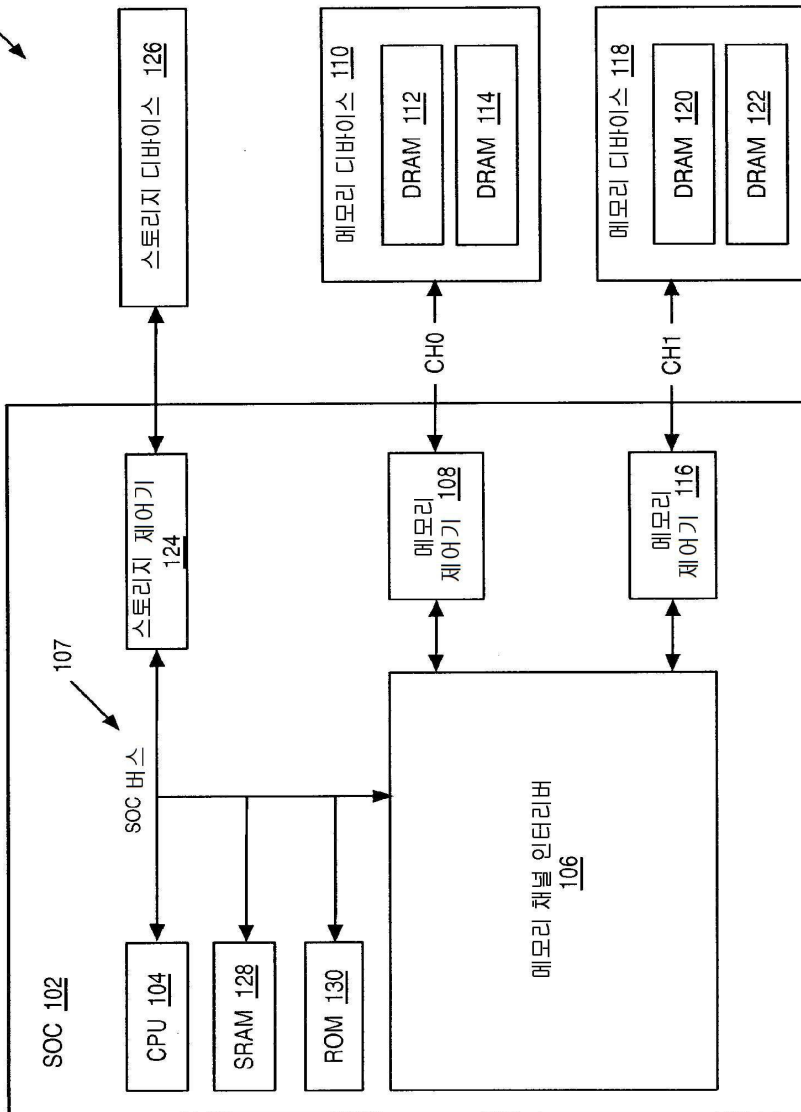
는 의도로 이용된다.

- [0040] 또한, 프로그래밍 분야에서 통상의 지식을 가진 자는, 예를 들어, 본 명세서에서의 플로우차트들 및 연관된 설명에 기초하여 어려움 없이 개시된 발명을 구현하기 위해 컴퓨터 코드를 작성하거나 적절한 하드웨어 및/또는 회로들을 식별하는 것이 가능하다.
- [0041] 따라서, 프로그램 코드 명령들의 특정 셋트 또는 상세한 하드웨어 디바이스들의 개시는 본 발명을 제작하고 이용하는 방식의 적절한 이해를 위해 필수적인 것으로 고려되지는 않는다. 청구된 컴퓨터 구현된 프로세스들의 독창적 기능성은 상기의 설명에서, 그리고 다양한 프로세스 흐름들을 도시할 수도 있는 도면들과 연계하여 보다 상세히 설명된다.
- [0042] 하나 이상의 예시적인 양태들에서, 상술된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수도 있다. 소프트웨어로 구현되는 경우, 기능들은 컴퓨터 판독가능 매체 상에 하나 이상의 명령들 또는 코드로서 저장되거나 송신될 수도 있다. 컴퓨터 판독가능 매체들은 한 장소에서 다른 장소로 컴퓨터 프로그램의 전송을 가능하게 하는 임의의 매체를 포함하는 컴퓨터 저장 매체들 및 통신 매체들 양자를 포함한다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수도 있다. 비제한적인 예로서, 그러한 컴퓨터 판독가능 매체들은 RAM, ROM, EEPROM, NAND 플래시, NOR 플래시, M-RAM, P-RAM, R-RAM, CD-ROM 또는 다른 광학 디스크 스토리지, 자기 디스크 스토리지 또는 다른 자기 스토리지 디바이스들, 또는 원하는 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 이송 또는 저장하기 위해 이용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수도 있다.
- [0043] 또한, 임의의 연결은 컴퓨터 판독가능 매체라고 적절히 칭해진다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 연선, 디지털 가입자 회선 ("DSL"), 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들을 이용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되는 경우, 동축 케이블, 광섬유 케이블, 연선, DSL, 또는 적외선, 무선, 및 마이크로파와 같은 무선 기술들은 매체의 정의 내에 포함된다.
- [0044] 본원에서 이용된 디스크 (disk) 와 디스크 (disc) 는, 콤팩트 디스크 ("CD"), 레이저 디스크, 광학 디스크, 디지털 다기능 디스크 ("DVD"), 플로피 디스크 및 블루레이 디스크를 포함하며, 여기서 디스크 (disk) 들은 통상 자기적으로 데이터를 재생하는 반면, 디스크 (disc) 들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 위의 조합들도 컴퓨터 판독가능 매체들의 범위 내에 포함되어야 한다.
- [0045] 본 발명의 사상 및 범주로부터 벗어나지 않으면서 본 발명과 관련되는 대안적인 실시형태들이 당해 기술분야에서 통상의 지식을 가진 자에게 자명할 것이다. 따라서, 선택된 양태들이 예시되고 상세히 설명되었지만, 다음의 청구항들에 의해 정의되는 본 발명의 사상과 범주로부터 벗어나지 않으면서 다양한 대체예들 및 수정예들이 이루어질 수도 있음이 이해될 것이다.

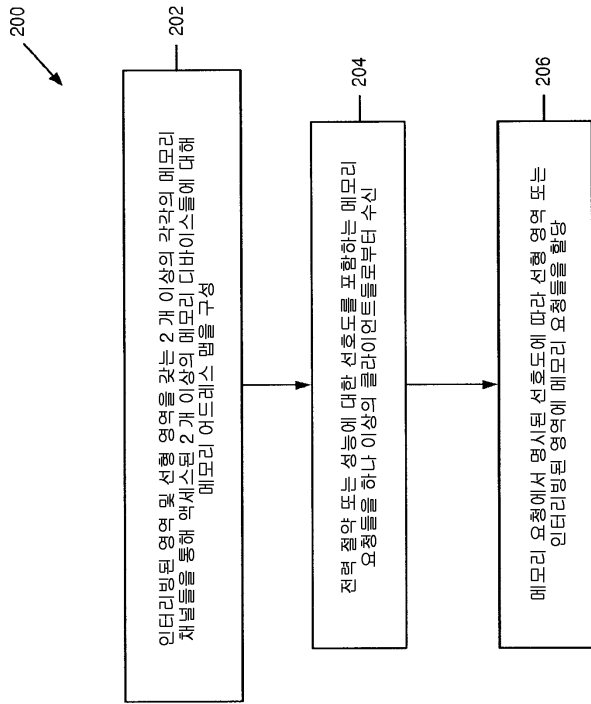


도면  
도면1

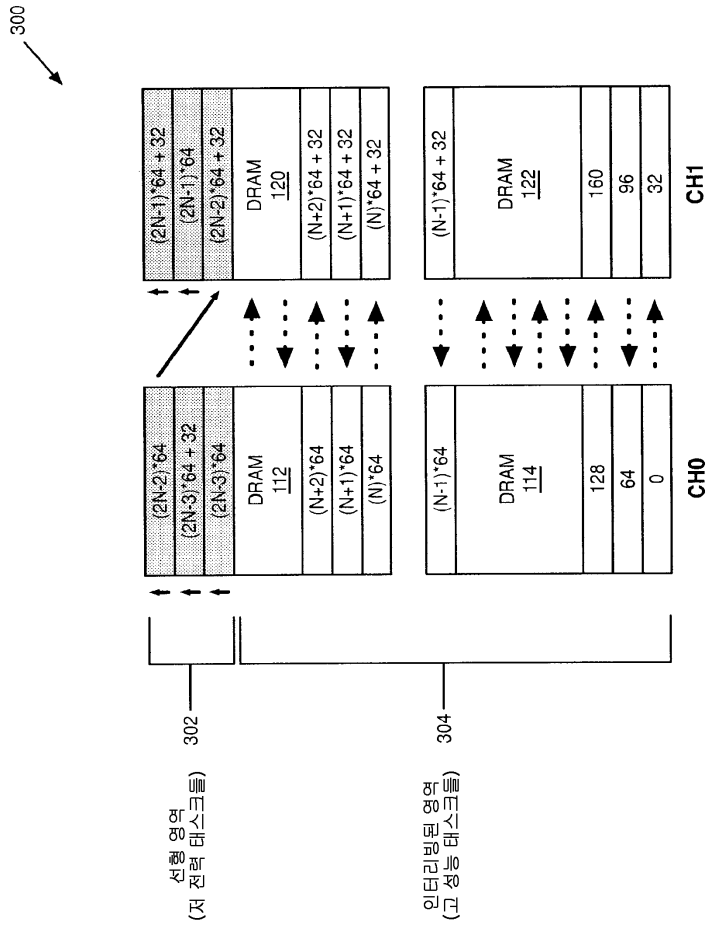
100



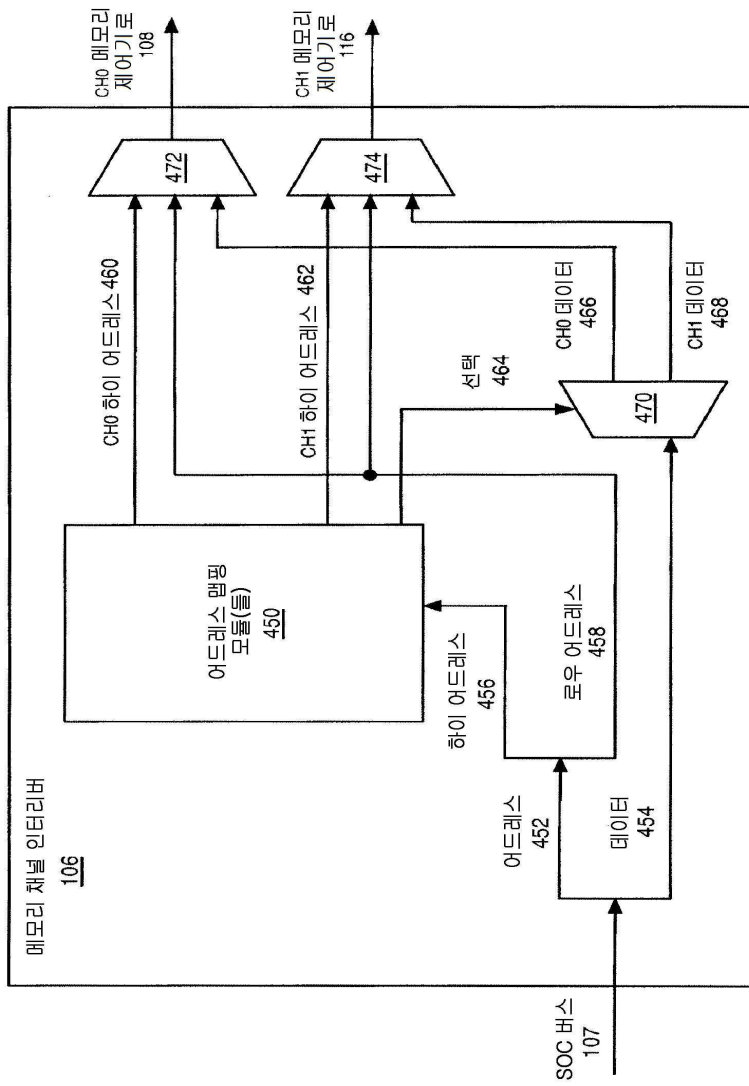
도면2



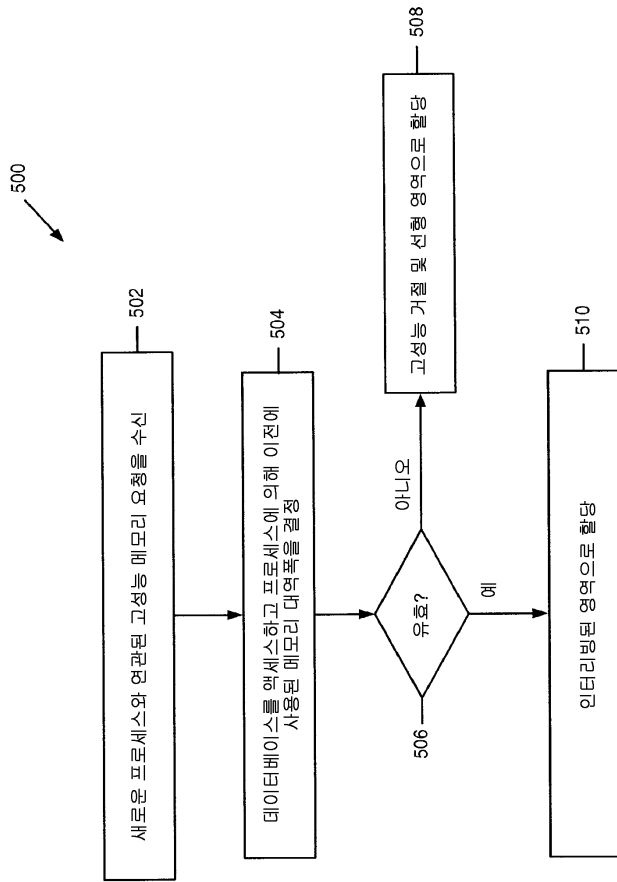
도면3



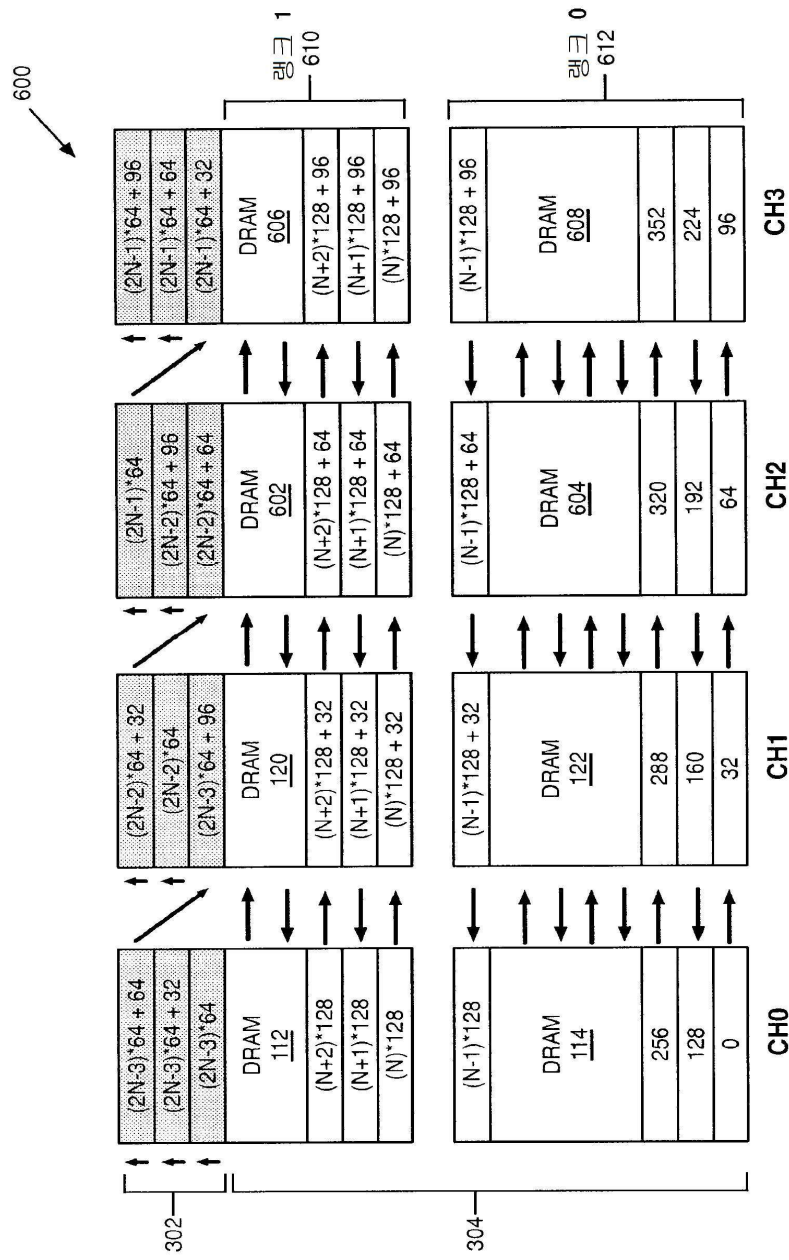
도면4



도면5



도면6



도면7

