



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I524652 B

(45) 公告日：中華民國 105 (2016) 年 03 月 01 日

(21) 申請案號：100122393

(22) 申請日：中華民國 100 (2011) 年 06 月 27 日

(51) Int. Cl. : **H02P1/16 (2006.01)**

(30) 優先權：2010/06/28 美國 12/824,585

(71) 申請人：伊藤公司 (美國) EATON CORPORATION (US)  
美國(72) 發明人：凡維爾登 羅南 A VANWEELDEN, RONALD A. (US)；維爾海妍 馬克 A  
VERHEYEN, MARK A. (US)

(74) 代理人：閻啟泰；林景郁

(56) 參考文獻：

US	5719732	US	7199587B2
US	7254004B2	US	7511979B2
US	2004/0169987A1		

審查人員：陳丙寅

申請專利範圍項數：15 項 圖式數：4 共 28 頁

(54) 名稱

用於交流信號的輸入電路及將其包含的馬達啟動器

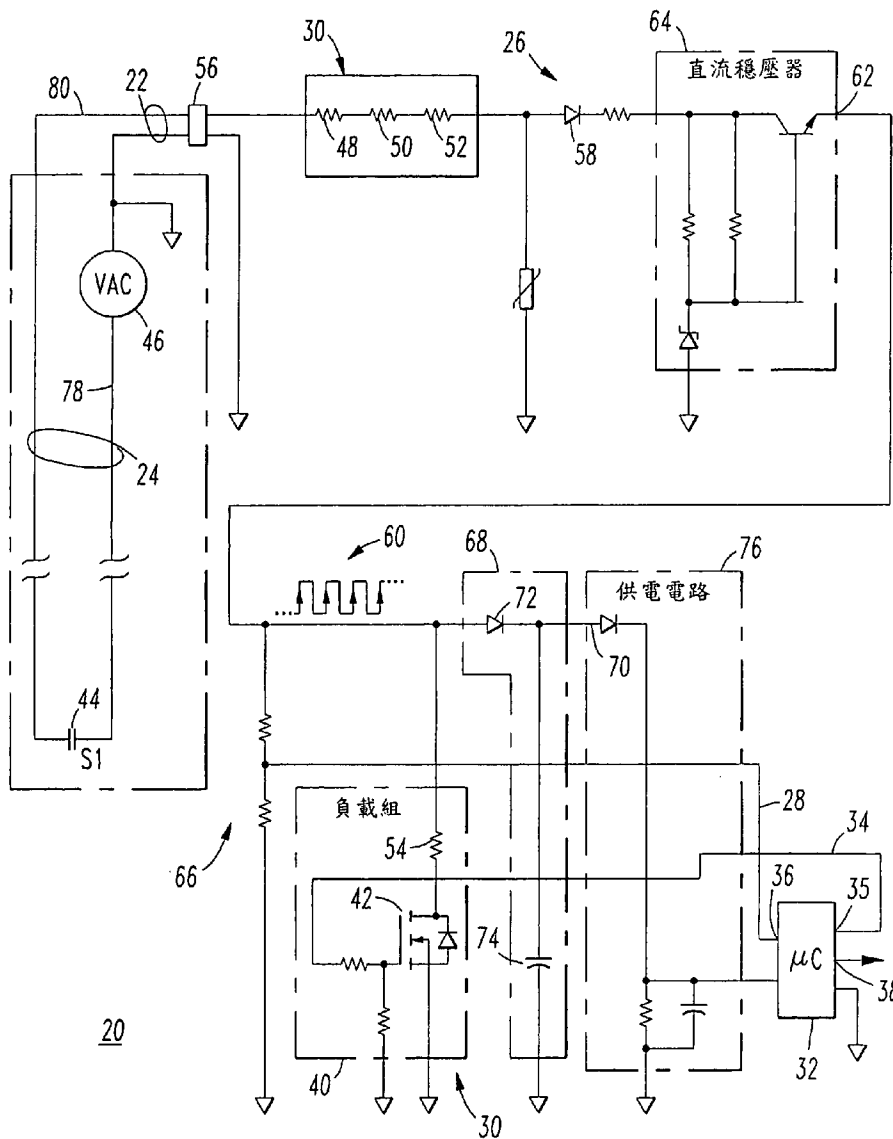
INPUT CIRCUIT FOR ALTERNATING CURRENT SIGNAL, AND MOTOR STARTER INCLUDING THE SAME

(57) 摘要

一種輸入電路(20)，包含一介面(26)，被構建以自一對細長導體(24)之一交流信號(22)輸出一邏輯信號(28)。一負載(30)，可切換至該細長導體。一處理器(32)輸出(35)一控制信號(34)以將該負載相對於該交流信號非同步地切換至該細長導體有一第一預定時間、輸入(36)該邏輯信號、判定(158、160、162、164)該輸入邏輯信號是否在該第一預定時間期間有效複數次並據而設定該交流信號之一第一狀態，否則設定該交流信號之一相反第二狀態、以及針對該相反第二狀態，在重複輸出之前延遲(178)一長於該第一預定時間之第二預定時間，否則針對該第一狀態，在重複輸出之前延遲(172)一長於該第二預定時間之第三預定時間。

An input circuit (20) includes an interface (26) structured to output a logic signal (28) from an alternating current signal (22) of a pair of elongated conductors (24). A load (30) is switchable to the elongated conductors. A processor (32) outputs (35) a control signal (34) to switch the load to the elongated conductors asynchronously with respect to the alternating current signal for a first predetermined time, inputs (36) the logic signal, determines (158, 160, 162, 164) if the input logic signal is active a plurality of times during the first predetermined time and responsively sets a first state of the alternating current signal, and, otherwise, sets an opposite second state of the alternating current signal, and delays (178) for a second predetermined time, which is longer than the first predetermined time, for the opposite second state before repeating the output, and, otherwise, delays (172) for a third predetermined time, which is longer than the second predetermined time, for the first state before repeating the output.

指定代表圖：



符號簡單說明：

- 20 . . . 輸入電路
- 22 . . . 交流信號
- 24 . . . 細長導體對
- 26 . . . 介面
- 28 . . . 邏輯信號
- 30 . . . 負載
- 32 . . . 處理器
- 34 . . . 控制信號
- 35 . . . 輸出端
- 36 . . . 輸入埠
- 38 . . . 輸出埠
- 40 . . . 電子負載組
- 42 . . . 電晶體
- 44 . . . 遠端開關 S1
- 46 . . . VAC 電源
- 48 . . . 電阻
- 50 . . . 電阻
- 52 . . . 電阻
- 54 . . . 電阻
- 56 . . . 輸入連接器
- 58 . . . 二極體
- 60 . . . 方波(對應至 AC 零交越)
- 62 . . . 輸出端
- 64 . . . 線性直流穩壓器
- 66 . . . 分壓器
- 68 . . . 峰值保持電路
- 70 . . . +15VDC
- 72 . . . 二極體
- 74 . . . 電容器
- 76 . . . 供電電路
- 78 . . . 導體
- 80 . . . 導體

圖2

# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100/223f3

※申請日：100.6.27

※IPC分類：H02P 1/16 (2006.01)

## 一、發明名稱：(中文/英文)

用於交流信號的輸入電路及將其包含的馬達啟動器

INPUT CIRCUIT FOR ALTERNATING CURRENT

SIGNAL, AND MOTOR STARTER INCLUDING THE

SAME

## 二、中文發明摘要：

一種輸入電路(20)，包含一介面(26)，被構建以自一對細長導體(24)之一交流信號(22)輸出一邏輯信號(28)。一負載(30)，可切換至該細長導體。一處理器(32)輸出(35)一控制信號(34)以將該負載相對於該交流信號非同步地切換至該細長導體有一第一預定時間、輸入(36)該邏輯信號、判定(158、160、162、164)該輸入邏輯信號是否在該第一預定時間期間有效複數次並據而設定該交流信號之一第一狀態，否則設定該交流信號之一相反第二狀態、以及針對該相反第二狀態，在重複輸出之前延遲(178)一長於該第一預定時間之第二預定時間，否則針對該第一狀態，在重複輸出之前延遲(172)一長於該第二預定時間之第三預定時間。

### 三、英文發明摘要：

An input circuit (20) includes an interface (26) structured to output a logic signal (28) from an alternating current signal (22) of a pair of elongated conductors (24). A load (30) is switchable to the elongated conductors. A processor (32) outputs (35) a control signal (34) to switch the load to the elongated conductors asynchronously with respect to the alternating current signal for a first predetermined time, inputs (36) the logic signal, determines (158,160,162,164) if the input logic signal is active a plurality of times during the first predetermined time and responsively sets a first state of the alternating current signal, and, otherwise, sets an opposite second state of the alternating current signal, and delays (178) for a second predetermined time, which is longer than the first predetermined time, for the opposite second state before repeating the output, and, otherwise, delays (172) for a third predetermined time, which is longer than the second predetermined time, for the first state before repeating the output.

#### 四、指定代表圖：

(一)本案指定代表圖為：圖 2。

(二)本代表圖之元件符號簡單說明：

20	輸入電路
22	交流信號
24	細長導體對
26	介面
28	邏輯信號
30	負載
32	處理器
34	控制信號
35	輸出端
36	輸入埠
38	輸出埠
40	電子負載組
42	電晶體
44	遠端開關 S1
46	VAC 電源
48	電阻
50	電阻
52	電阻
54	電阻
56	輸入連接器
58	二極體

60	方波(對應至 AC 零交越)
62	輸出端
64	線性直流穩壓器
66	分壓器
68	峰值保持電路
70	+15VDC
72	二極體
74	電容器
76	供電電路
78	導體
80	導體

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

所揭示之概念基本上係有關於輸入電路，特別是關於用於交流信號的輸入電路。所揭示之概念同時亦有關於電氣裝置，諸如馬達啟動器(motor starter)。

### 【先前技術】

電容性耦合發生於當諸如用以攜載信號(例如，但不限於，用於馬達過載之信號，諸如在一跳脫(trip)發生之後重置馬達之輸入信號)之 I/O(輸入/輸出)線之導體極為接近攜載電力的其他導體之時。此等導體可以全部被一起緊密耦接於同一導線盤之中或甚至同一纜線組之中。

圖 1 顯示一包含電容性耦合可能性之典型組態。一遠端開關 S1 2 可以與一馬達啟動器 4 相距一百至數千呎。在此實例之中，一 120 VAC 活線(hot line)6 一直被供予電力。電容器 C1 8 並非實體，而是代表二細長導體 10 在一纜線組(圖中未顯示)之中延伸一相當長之距離的事實，實際上該等導體係實體上並列，因此其作用相當於一電容器極為緊密地耦合在一起的二個極板。導體 10 一起行進的距離愈長，該電容值愈大。此電容器之一極板具有 120 VAC 之電壓一直加諸其上。另一極板在開關 S1 2 斷開之時透過電阻器 R1 12 被拉至接地端。馬達啟動器 4 內部之電路(圖中未顯示)監測跨 R1 12 之電壓以判定是否存在一有效的輸入信號。此特別實例具有一設定於一預定數值之門檻值，諸如 5 VDC。任何高於 5 VDC 之信號均將被視為單一有效的邏輯高位

準，而任何低於 5 VDC 之信號則是一有效的邏輯低位準。開關 S1 2 斷開之時，R1 12 上的電壓係電容器 C1 8 之電容值之量以及電阻 R1 12 之電阻值之量的函數。此二元件構成一高通濾波器，其輸出電壓，Vout，可表示為等式 1。

$$V_{out} = \frac{2 \pi \text{FREQ}(V_{in})(C1)(R1)}{((2 \pi \text{FREQ}(C1)(R1))^2 + 1)^{0.5}} \quad (\text{等式 1})$$

其中：

Vin 係 AC 輸入電壓(例如，但不限於，120 VAC)；而 FREQ 係該 AC 輸入電壓之頻率(例如，但不限於，60 Hz)。

代入適當之數值得到表 1 所示之結果：

表 1

C1 (F)	R1 ( $\Omega$ )	FREQ (Hz)	Vin (VAC <sub>RMS</sub> )	Vout (VAC <sub>RMS</sub> )	Vout 峰 值 (V)	5 VDC 有效的邏 輯高位準
5.00E-08	100000	60	120	106.0	149.9	否
5.00E-09	100000	60	120	22.2	31.4	否
5.00E-10	100000	60	120	2.3	3.2	是
5.00E-05	100	60	120	106.0	149.9	否
5.00E-06	100	60	120	22.2	31.4	否
5.00E-07	100	60	120	2.3	3.2	是

若馬達起動器輸入阻抗極高(例如，R1 = 100 k $\Omega$ )，則在該門檻值因 S1 2 斷開而被超過之前，纜線僅能具有大約 0.5 nF(5.00E-10 F)的 C1 電容值。C1 8 之電容值大於 0.5 nF 產生一無效的邏輯高位準。當輸入阻抗被改變成 100  $\Omega$ ，則 C1 8 之電容值大於 0.5  $\mu$ F (5.00E-07 F) 產生一無效的邏輯

高位準。纜線電容值可能變成 1000 倍大，而後可能產生錯誤讀數。較大之電容值管控將允許大上許多的纜線長度。

因此，位於一輸入線上的有效信號可能由於長距離延伸或者由於極接近輸入線的極高電壓而具有電容性耦合問題。

其已知利用一同步輸入電路，其在每一零交越處導通一負載組 (load bank) 大約 4 毫秒。該負載組在每一零交越之前被導通 2 毫秒並維持導通直到該零交越之後 2 毫秒。此需要精確地知悉零交越何時發生。跨該負載組之電壓在此時間區間之中相當地小。

其在輸入裝置具有改善之空間。

在諸如馬達啟動器之電氣裝置亦具有改善之空間。

#### 【發明內容】

上述及其他需求由所揭示概念之實施例加以滿足，其輸出一控制信號以將一負載相對於一交流信號非同步地切換至一對細長導體有一第一預定時間、自該對細長導體之該交流信號輸入一邏輯信號、判定該輸入邏輯信號在該第一預定時間期間是否有效複數次並據而設定該交流信號之一第一狀態，否則設定該交流信號之一相反第二狀態、以及針對該相反第二狀態，在重複輸出之前延遲一長於該第一預定時間之第二預定時間，否則針對該第一狀態，在重複輸出之前延遲一長於該第二預定時間之第三預定時間。

依據所揭示概念之一特色，用於一交流信號之一輸入電路包含：一介面，被構建成自該對細長導體之交流信號

輸出一邏輯信號；一負載，可切換至該對細長導體；以及一處理器，被構建成：(i)輸出一控制信號以將該負載相對於該交流信號非同步地切換至該對細長導體有一第一預定時間，(ii)輸入該邏輯信號，(iii)判定該輸入邏輯信號在該第一預定時間期間是否有效複數次並據而設定該交流信號之一第一狀態，否則設定該交流信號之一相反第二狀態，以及(iv)針對該相反第二狀態，在重複輸出之前延遲一長於該第一預定時間之第二預定時間，否則針對該第一狀態，在重複輸出之前延遲一長於該第二預定時間之第三預定時間。

該處理器可以被構建成判定該邏輯信號在該第一預定時間期間是否連續有效複數次，並據而設定該交流信號之一第一狀態，以及延遲該第三預定時間，否則則延遲該第二預定時間。

依據所揭示概念該之另一特色，一馬達啟動器包含：一接觸器(contactor)；以及一過載繼電器(overload relay)，包含：一針對來自一對細長導體之一交流信號之輸入端，一介面，被構建成自該對細長導體之該交流信號輸出一邏輯信號，一負載，可切換至該對細長導體，以及一處理器，被構建成：(i)輸出一控制信號以將該負載相對於該交流信號非同步地切換至該對細長導體有一第一預定時間，(ii)輸入該邏輯信號，(iii)判定該輸入邏輯信號在該第一預定時間期間是否有效複數次並據而設定該交流信號之一第一狀態，否則設定該交流信號之一相反第二狀態，以及(iv)針對

該相反第二狀態，在重複輸出之前延遲一長於該第一預定時間之第二預定時間，否則針對該第一狀態，在重複輸出之前延遲一長於該第二預定時間之第三預定時間。

### 【實施方式】

在本說明書之中，"數個"一詞可以表示一個或者大於一之整數個(意即，複數個)。

在本說明書之中，"處理器"一詞表示能夠儲存、擷取、及處理資料之一可程式類比及/或數位裝置；一電腦；一工作站；一個人電腦；一微處理器；一微控制器；一微電腦；一中央處理單元；一大型電腦；一小型電腦；一伺服器；一網路處理器；或任何適當之處理裝置或設備。

參見圖 2，其顯示針對來自一對細長導體 24 之一交流信號 22 之一輸入電路 20。輸入電路 20 包含一介面 26，被構建成自該交流信號 22 輸出一邏輯信號 28、一負載 30，可切換至該對細長導體 24、以及一處理器，諸如例示之微電腦( $\mu C$ )32。如同以下配合圖 4 之詳細說明， $\mu C$  32 被構建以從輸出端 35 輸出一控制信號 34 以將負載 30 相對於交流信號 22 非同步地切換至該對細長導體 24 有一第一預定時間(例如，但不限於，大約 121 毫秒；任何適當時間)、自諸如輸入埠 36 之輸入端輸入邏輯信號 28，判定輸入邏輯信號 28 在該第一預定時間期間是否有效複數次並據而在諸如輸出埠 38 之輸出端設定交流信號 22 之一第一狀態，否則在輸出埠 38 設定交流信號 22 之一相反第二狀態、以及針對該相反第二狀態，在重複自輸出端 35 輸出控制信號 34

之前延遲一長於該第一預定時間之第二預定時間(例如，但不限於，大約 750 毫秒；任何適當時間)，否則針對該第一狀態，在重複自輸出端 35 輸出控制信號 34 之前延遲一長於該第二預定時間之第三預定時間(例如，但不限於，大約 2 秒；任何適當時間)。

### 實例 1

如同以下配合圖 4 之進一步說明，範例  $\mu C 32$  實施選擇性電子負載以及上升信號緣零交越邏輯，以大幅降低電容性耦合問題。 $\mu C 32$  利用由來自輸出端 35 之控制信號 34 控制之電晶體 42，選擇性地導通一電子負載組 40 一預定時間(例如，但不限於，大約 121 毫秒)。當來自輸入埠 36 之邏輯信號 28 之一預定數目(例如，但不限於，四個)連續上升信號緣發生於所例示的 121 毫秒之中時， $\mu C 32$  在一對應的遠端開關 S1 44 關合時偵測對應的連續 AC 周期。電子負載組 40 之作用在某種程度上類似圖 1 之電阻 R1 12。瞬時開關(momentary switch)S1 44 以及 VAC 電源 46 之例示 120 VAC 電壓被施加至輸入電路 20。此係藉由關合瞬時開關 S1 44 至少大約例示之 121 毫秒之時間，其可以涵蓋，舉例而言，至少四個 50Hz 之 AC 周期(每周期大約 20 毫秒)或 60Hz 之 AC 周期(每周期大約 16.67 毫秒)。舉例而言，該 VAC 電源 46 可以是一 50Hz 或一 60Hz 交流電源。

基本上， $\mu C 32$  將電子負載組 40 導通例示之 121 毫秒、檢查邏輯信號 28 之有效連續上升信號緣之一預定數目(例如，但不限於，四個；任何適當數目)、而後關閉電子負

載組 40 一預定時間((例如，但不限於，750 毫秒)以使其得以冷卻。負載 30 所使用的例示電阻 48、50、52、54 之瓦特數相當地低，實際上其被頻繁地關閉以免超出其額定瓦特數。其亦有必要盡可能地經常檢查瞬時開關 S1 44 的開關關合狀態(例如，但不限於，每 750 毫秒檢查一次)。然而，若 VAC 電源 46 之例示 120 VAC 電壓上升至例如 150 VAC，則其可能導致負載 30 過熱。將例示的 750 毫秒時間改變成一較長的預定時間(例如，但不限於，2000 毫秒)將使得負載 30 可以冷卻下來。然而，舉例而言，其認為僅僅每 2000 毫秒(2 秒)檢查一次瞬時開關之關合狀態間隔過長，因為有時候會錯過被按下之按鍵。

有趣的是，有時交流信號 22 信號並非真實的(例如，其是電容性耦合)，而有時卻是真實的(例如，源於實際的開關關合)。當電子負載組 40 被導通例示的 121 毫秒期間，任何此種電容性耦合 VAC 信號均迅速地將位準拉下至一有效邏輯低位準以下，但其後並無電力跟隨，因此負載 30 充分地冷卻，且可以在例如 750 毫秒之後回複導通。若該 VAC 信號係真實的，且例示的 120 VAC 電壓出現於負載電阻 48、50、52、54 之上，則此等電阻被加熱。因此，其在例示的 121 毫秒脈波再次施加之前被關閉例示的二秒鐘時間。換言之，若 VAC 信號係電容性耦合(開關斷開)，則  $\mu C$  32，舉例而言，每 750 毫秒檢查一次開關關合狀態，而若 VAC 信號係真實的(開關關合)，舉例而言，則每 2 秒鐘檢查一次。

## 實例 2

所揭示之概念相對於 VAC 電源 46 之例示 VAC 電壓非同步或隨機地將電子負載組 40 納入例示的 121 毫秒時間，以針對極長距離之導體 24 檢查真實的開關關合狀態(因此，並非一電容性耦合信號)。

所揭示之概念提供具有一極短處理時間之非同步運作，且不包含偵測 AC 零交越的特殊零交越電路。雖然在例示的負載 30 之上有極高的電壓，但使用適當之工作週期，配合例示的 750 毫秒及 2000 毫秒延遲，使得負載 30 相對而言能夠保持冷卻。

### 實例 3

例示的電子負載組 40 接受  $\mu C$  32 的輸入埠 36 的極高輸入阻抗，並將其轉變成從輸入連接器 56 處的例示交流信號 22 看見的極低輸入阻抗。介面 26 包含一諸如二極體 58 之半波整流器，以及一由二極體 58 供電之線性直流穩壓器 64，且被構建成輸出方波 60，其在出現半波整流的交流信號 22 之一正半波時包含一正直流電壓，而在出現半波整流的交流信號 22 之一負半波時大約等於零伏特。例示的 120 VAC 輸入電壓被二極體 58 進行半波整流，其自然地在線性直流穩壓器 64 的輸出端 62 處產生方波 60(對應至 AC 零交越)。舉例而言，線性直流穩壓器 64 在出現半波整流的 120 VAC 輸入電壓的正半波時輸出 15 VDC，但在出現半波整流的 120 VAC 輸入電壓的負半波時迅速掉落至大約零伏特。當施加之輸入 AC 波形強度逼近非常低的位準，每一方波 60 開始喪失其某些外形要素(方形)而開始近似一經過半波

整流之正弦波，但仍提供有效的邏輯高位準以及低位準。

為了使交流信號 22 成為一有效的輸入信號，在此實例之中，四個連續的上升信號緣零交越(每一上升信號緣零交越均係方波 60 之一上升信號緣)發生於電子負載組 40 的例示的 121 毫秒期間。若無有效的上升信號緣零交越發生，則電子負載組關閉時間回復至，舉例而言，750 毫秒，而若四個連續的上升信號緣零交越發生，則回復至，舉例而言，2000 毫秒，以避免負載 30 的過熱。

介面 26 另外包含一分壓電路 66，被構建以截分方波 60 並輸出邏輯信號 28。零交越信號(方波 60)被分壓電路 66 適當地截分而產生一適當強度之邏輯信號 28 直接進入  $\mu C$  32 之輸入埠 36，其較佳之實施方式係被構建成偵測信號 28 之一上升信號緣。

例示的介面 26 另外包含一峰值保持電路 68，由方波 60 供電並被構建成對  $\mu C$  32 供電。峰值保持電路 68 被構建成輸出一固定直流電壓，諸如例示的 +15 VDC 70，無論零交越是否出現。峰值保持電路 68 包含一二極體 72 以及一電容器 74，其接受來自方波 60 之電壓並將其傳輸至供電電路 76，但不讓例示的 +15 VDC 70 衰減，即使方波 60 之電壓消失時亦然。

圖 2 之輸入電路 20 可以包含一分離之"重置板"(圖中未顯示)，其包含一連接器(圖中未顯示)，舉例而言，與圖 3 之過載繼電器 108 上之一對應連接器(圖中未顯示)配對。在此實例之中，上述之"重置板"並不包含圖 2 之處理器 32，

其可以提供與圖 3 之處理器 114 相同之功能。

#### 實例 4

例示的 121 毫秒在交流信號 22 的至少四個連續的交流線路周期期間對應至至少四個連續的正向零交越。

#### 實例 5

如圖 2 所示，細長導體 24 中之一導體 78 電性連接至靠近介面 26 之 VAC 電源 46，而細長導體 24 中之另一導體 80 透過輸入連接器 56 電性連接至介面 26。此對細長導體 24 延伸一段大約 100 呎到大約二哩之距離，且在遠端電性連接至遠端開關 S1 44。例示之輸入電路 20 允許輸入線延伸此一極長距離而不被位於同一纜線組(圖中未顯示)中諸如 78、80 等鄰近導體上的電壓之電容性耦合所影響。

#### 實例 6

參見圖 3，一馬達啟動系統 102 包含由一接觸器 106 和一過載繼電器 108 構成之一馬達啟動器 104。過載繼電器 108 包含一電源供應 110 及一處理器 114，電源供應 110 具有一電壓 112，處理器 114 由電源電壓 112 供電並被構建以控制接觸器 106。

過載繼電器 108 中之電源供應 110 在較佳之實施方式中被構建成從數條電力線 118 以寄生形式供電至一馬達 120(圖中顯示為虛線描繪)。在該實例之中，過載繼電器 108 另外包含數個變流器(current transformer)122，被構建成感測流至馬達 120 之電流並供應電力至電源供應 110。當過載繼電器 108 之電流跳脫位準因為馬達接受一極低之電流位

準而被設成非常低之時，電源供應 110 可能耗費一極長的時間(例如，但不限於，30 分鐘到一小時)以抵達處理器 114 被開啟並被容許執行跳脫之一預定位準。關合開關 S1 44 使得電源 76(圖 2)與電源供應 110 被 OR(邏輯或運算，圖中未顯示)在一起，從而允許系統立即啟動並隨著開關 S1 44 關合之命令執行一重置動作。

例示之馬達啟動系統 102 另外包含一電源 124(圖中顯示為虛線描繪)和一主控斷開器(main disconnect)126(圖中顯示為虛線描繪)，其在馬達電流流動時供電至過載繼電器 108。

例示之處理器 114 控制一螺線管(solenoid)128，其又控制常閉型接點 130 以及常開型接點 132。例示之常閉型接點 130 控制接觸器 106 之一螺線管 134。例示之常開型接點 132 控制一指示器 136，其指示出接觸器 106 之可分離接點 138 之狀態。例示之處理器 114 亦可以經由一與圖 2 之輸入電路 20 相同或近似的輸入電路 140 輸入一與圖 2 之交流信號 22 相同或近似之重置信號 139。在此實例之中，處理器 114 可以是相同或近似於圖 2 之  $\mu C 32$ 。

### 實例 7

在此特別的實例之中，例示信號 139 係一重置信號，其可以導致過載繼電器 108 之重置。在其他應用之中，其可以是任何適當之信號，例如但不限於一啟動信號或行進極長距離(例如，但不限於，數百呎至二哩)並可以從其他鄰近導體揀取信號(例如，電容性耦合)之容許/許可信號

(permission/permissive signal)。

### 實例 8

圖 4 係圖 2 之  $\mu C 32$  所使用之一程序 150 之流程圖。程序 150 開始於 152，之後其在 153 將邏輯 VALID INPUT SIGNAL 設成等於零。接著，在 154，LOADBANK ENABLE 信號 34 被設成真。而後，在 156，一計時器(例如， $\mu C 32$  的一部分)被設成零，且一整數 k 被設成零。接著，在 158，其判定  $\mu C$  計時器是否係處於一時段 T1 之中(例如，但不限於，121 毫秒；任何適當之時間)。若非如此，則在 160 判定是否有一來自輸入端 36 之上升信號緣輸入。若沒有，則重複步驟 158。否則，在 162，整數 k 被加一。接著，在 164，其判定整數 k 是否大於或等於整數 L(例如，但不限於，四；任何大於一的適當整數)。若沒有，則重複步驟 158。

否則，若步驟 164 之測試結果為真，則在 168 將 LOADBANK ENABLE 信號 34 設成假，整數 k 被重設成零，且計時器被重設成零。而後，在 170，邏輯 VALID INPUT SIGNAL 被設成一。此數值亦可以被輸出至輸出端 38。而後，在 172，程序 150 延遲一段時間 T3(例如，但不限於，2000 毫秒；任何大於 T1 和步驟 178 之 T2 的適當時間)，之後重複步驟 153。

否則，若步驟 158 之計時器測試結果為真，則在 174 將 LOADBANK ENABLE 信號 34 設成假，整數 k 被重設成零，且計時器被重設成零。而後，在 176，邏輯 VALID INPUT SIGNAL 被設成零。此數值亦可以被輸出至輸出端 38。而

後，在 178，程序 150 延遲一段時間 T2(例如，但不限於，750 毫秒；任何大於 T1 且小於 T3 的適當時間)，之後重複步驟 153。

步驟 158、160、162、164 判定在第一預定時間 T1 期間，信號 28 是否至少連續 L 次為真，據而設定邏輯 VALID INPUT SIGNAL 之真值狀態，並延遲第三預定時間 T3。否則，若在第一預定時間 T1 期間信號 28 均未達有效標準(例如，但不限於，僅發生三次或更少的上升信號緣)，則步驟 158、174、176、178 延遲第二預定時間 T2。

雖然所揭示概念之特定實施例已然詳細說明，但熟習相關技術者應能了解，其可以根據本揭示之整體教示，針對該等細節發展出各種修改及替代。因此，所揭示之特定配置僅係例示性質，而非有關所揭示概念之範疇之限制，該範疇之整體幅度係界定於所附申請專利範圍及其等效項目。

#### 【圖式簡單說明】

經由配合所附圖式之較佳實施例之說明，可以獲得對於所揭示概念的全盤理解，其中：

圖 1 係包含電容性耦合可能性之一輸入組態之示意性功能方塊圖。

圖 2 係依據所揭示概念之實施例之一輸入電路之示意性功能方塊圖。

圖 3 係包含圖 2 輸入電路之一馬達啟動器之示意性功能方塊圖。

圖 4 係圖 2 處理器所用之一程序之流程圖。

【主要元件符號說明】

2	遠端開關 S1
4	馬達啟動器
6	120VAC 活線
8	電容器 C1
10	二細長導體
12	電阻器 R1
20	輸入電路
22	交流信號
24	細長導體對
26	介面
28	邏輯信號
30	負載
32	處理器
34	控制信號
35	輸出端
36	輸入埠
38	輸出埠
40	電子負載組
42	電晶體
44	遠端開關 S1
46	VAC 電源
48	電阻

50	電阻
52	電阻
54	電阻
56	輸入連接器
58	二極體
60	方波(對應至 AC 零交越)
62	輸出端
64	線性直流穩壓器
66	分壓器
68	峰值保持電路
70	+15VDC
72	二極體
74	電容器
76	供電電路
78	導體
80	導體
102	馬達啟動系統
104	馬達啟動器
106	接觸器
108	過載繼電器
110	電源供應
114	處理器
118	數條電力線
120	馬達

122	數個變流器
124	電源
126	主控斷開器
128	螺線管
130	常閉型接點
132	常開型接點
134	螺線管
136	指示器
138	可分離接點
139	重置信號
140	輸入電路
150	程序
152	步驟
153	步驟
154	步驟
156	步驟
158	步驟
160	步驟
162	步驟
164	步驟
168	步驟
170	步驟
172	步驟
174	步驟

176 步驟  
178 步驟

## 七、申請專利範圍：

1. 一種針對來自一對細長導體(24)之一交流信號(22)的輸入電路(20)，該輸入電路包含：

一介面(26)，被構建以自該對細長導體之該交流信號輸出一邏輯信號(28)；

一負載(30)，可切換至該對細長導體；以及

一處理器(32)，被構建(150)以：

(i)輸出(35)一控制信號(34)以將該負載相對於該交流信號非同步地切換至該對細長導體有一第一預定時間，

(ii)輸入(36)該邏輯信號，

(iii)判定(158、160、162、164)該輸入邏輯信號在該第一預定時間期間是否有效複數次並據而設定該交流信號之一第一狀態，否則設定該交流信號之一相反第二狀態，以及

(iv)針對該相反第二狀態，在重複該輸出之前延遲(178)一長於該第一預定時間之第二預定時間，否則針對該第一狀態，在重複該輸出之前延遲(172)一長於該第二預定時間之第三預定時間。

2. 如申請專利範圍第1項之輸入電路(20)，其中該第一預定時間對應至該交流信號的至少四個連續的交流線路周期期間的至少四個連續零交越。

3. 如申請專利範圍第1項之輸入電路(20)，其中該介面包含一半波整流器(58)以及由該半波整流器供電之一線

性穩壓器(64)，該線性穩壓器(64)被構建成輸出一信號(60)，該信號(60)在出現半波整流的交流信號之一正半波時包含一正直流電壓，而在出現半波整流的交流信號之一負半波時大約等於零伏特。

4. 如申請專利範圍第 3 項之輸入電路(20)，其中該介面另包含一分壓電路(66)，構建以截分該線性穩壓器之該信號並輸出該邏輯信號；且其中該處理器包含一輸入端(36)，構建以輸入該邏輯信號。

5. 如申請專利範圍第 3 項之輸入電路(20)，其中該介面另包含一峰值保持電路(68)，由該方波供電，並被構建以對該處理器供電。

6. 如申請專利範圍第 5 項之輸入電路(20)，其中該峰值保持電路被構建以輸出一直流電壓(70)。

7. 如申請專利範圍第 1 項之輸入電路(20)，其中該對細長導體中之一導體(78)電性連接至靠近該介面之一交流電源(46)；其中該對細長導體中之另一導體(80)電性連接至該介面；且其中該對細長導體延伸一大約 100 呎至大約二哩之距離並在遠端電性連接至一遠端之開關(44)。

8. 如申請專利範圍第 1 項之輸入電路(20)，其中該處理器被構建成判定(158、160、162、164)該邏輯信號在該第一預定時間期間內是否連續有效複數次，並據而設定該交流信號之一第一狀態，以及延遲該第三預定時間，否則延遲該第二預定時間。

9. 一種馬達啟動器(104)，包含：

一接觸器(106)；以及

一過載繼電器(108)，包含：

一針對來自一對細長導體(24)之一交流信號(22)之輸入端(56)，以及

如申請專利範圍第1項之輸入電路(20)。

10. 如申請專利範圍第9項之馬達啟動器(104)，其中該交流信號係一重置信號(22)、一許可信號(22)以及一啟動信號(22)的其中之一。

11. 如申請專利範圍第9項之馬達啟動器(104)，其中該處理器被構建成判定(158、160、162、164)該邏輯信號是否在該第一預定時間期間內連續有效複數次，並據而設定該交流信號之該第一狀態，以及延遲該第三預定時間，否則延遲該第二預定時間。

12. 如申請專利範圍第9項之馬達啟動器(104)，其中該對細長導體中之一導體(78)電性連接至靠近該介面之一交流電源(46)；其中該對細長導體中之另一導體(80)電性連接至該介面；且其中該對細長導體延伸一大約100呎至大約二哩之距離並在遠端電性連接至一遠端之開關(44)。

13. 如申請專利範圍第9項之馬達啟動器(104)，其中該介面包含一半波整流器(58)以及由該半波整流器供電之一線性穩壓器(64)，該線性穩壓器(64)被構建成輸出一信號(60)，該信號(60)在出現半波整流的交流信號之一正半波時包含一正直流電壓，而在出現半波整流的交流信號之一負半波時大約等於零伏特。

14. 如申請專利範圍第 13 項之馬達啟動器(104)，其中該介面另包含一分壓電路(66)，構建以截分該線性穩壓器之該信號並輸出該邏輯信號；且其中該處理器包含一輸入端(36)，構建以輸入該邏輯信號。

15. 如申請專利範圍第 13 項之馬達啟動器(104)，其中該介面另包含一峰值保持電路(68)，由該線性穩壓器之該信號供電，並被構建以對該處理器供電。

八、圖式：

(如次頁)

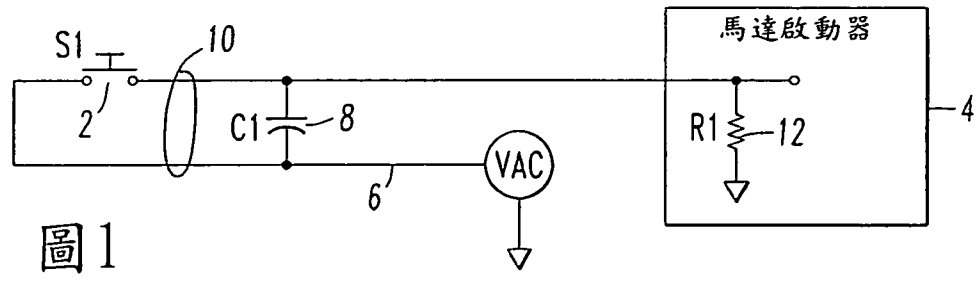


圖 1

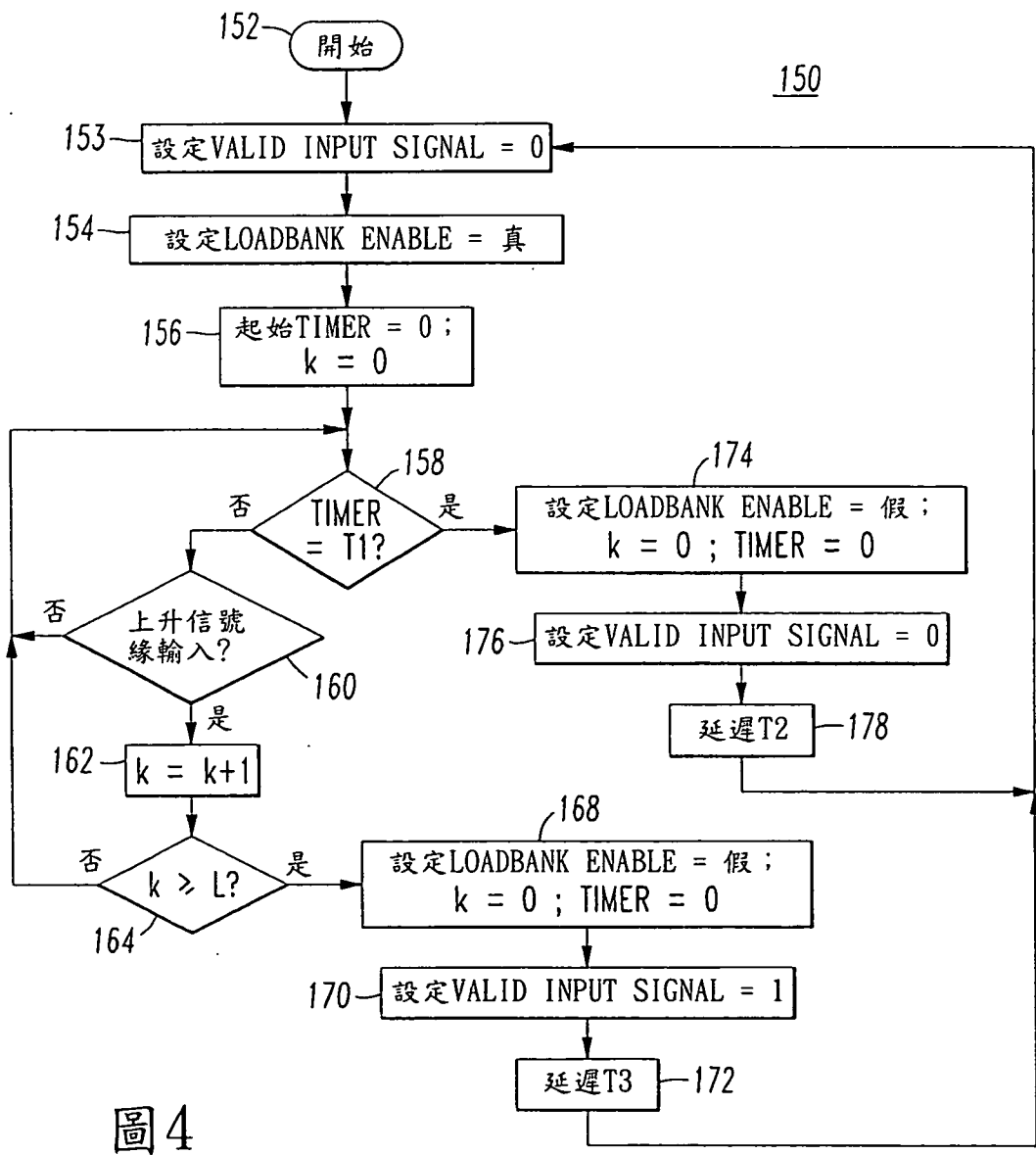


圖 4

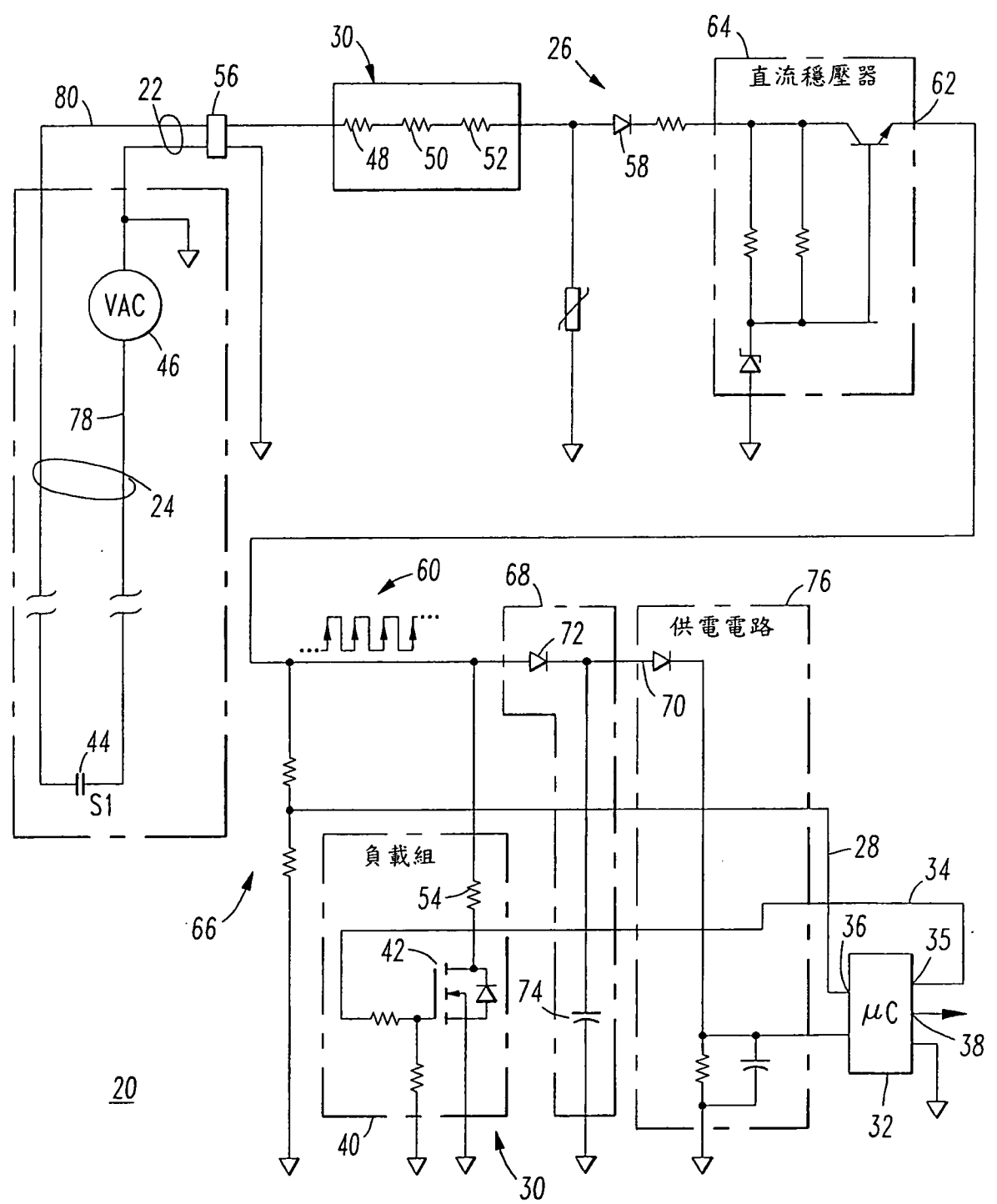


圖2

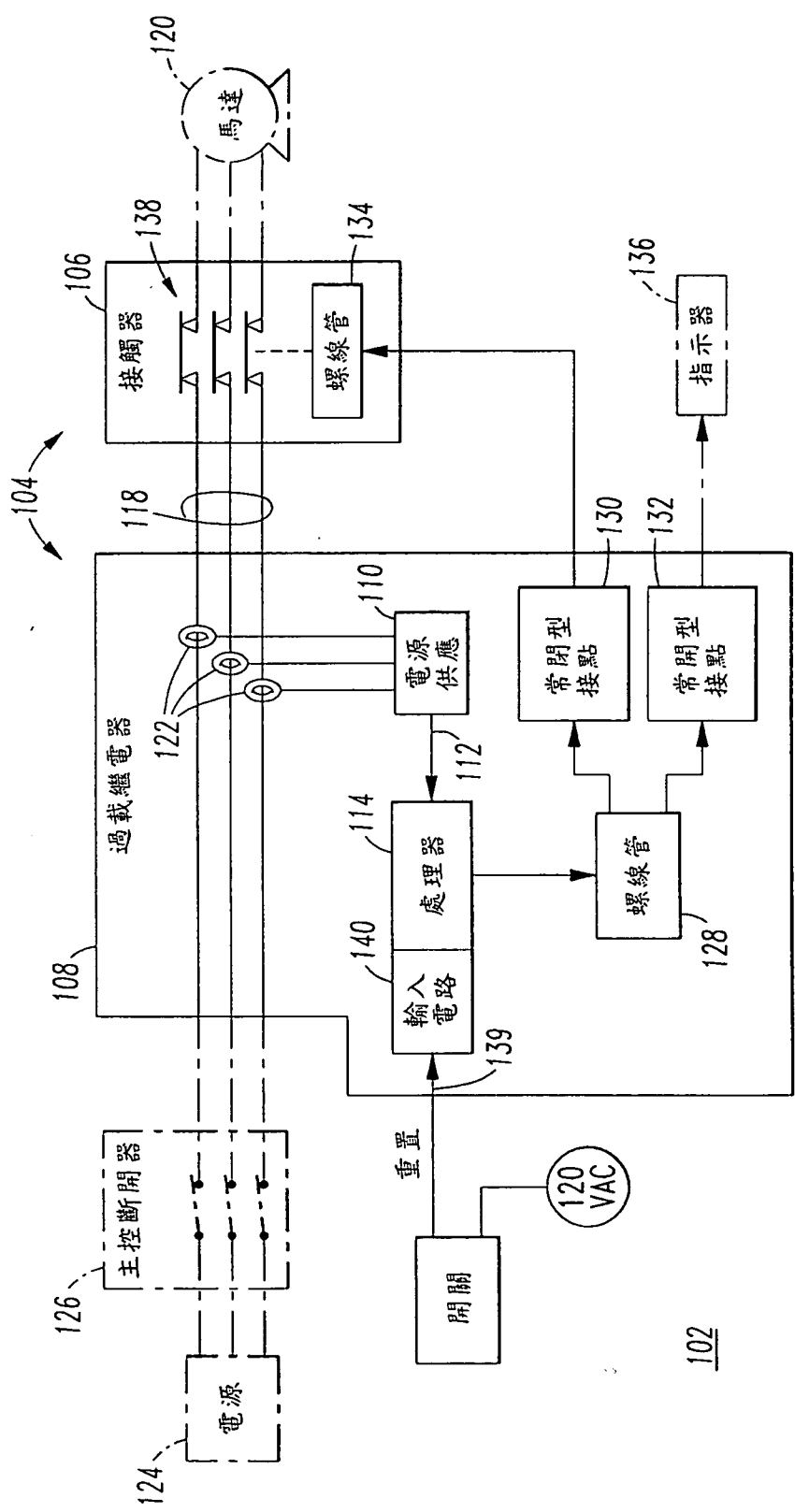


圖3