(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)公表番号
特表2025-513982
(P2025-513982A)
(43)公表日　令和7年5月2日(2025.5.2)

(51)国際特許分類		FI			テーマコード（参考）
Ｇ０９Ｆ	*9/30 (2006.01)*	Ｇ０９Ｆ	9/30	３０８Ｚ	３Ｋ１０７
Ｈ１０Ｋ	*59/123 (2023.01)*	Ｇ０９Ｆ	9/30	３６５	５Ｃ０９４
Ｈ１０Ｋ	*59/88 (2023.01)*	Ｇ０９Ｆ	9/30	３３８	
Ｈ１０Ｋ	*59/131 (2023.01)*	Ｈ１０Ｋ	59/123		
		Ｈ１０Ｋ	59/88		

審査請求　未請求　予備審査請求　未請求　（全54頁）　最終頁に続く

(21)出願番号　特願2024-541062(P2024-541062)
(86)(22)出願日　令和4年4月28日(2022.4.28)
(85)翻訳文提出日　令和6年7月8日(2024.7.8)
(86)国際出願番号　PCT/CN2022/089823
(87)国際公開番号　WO2023/206218
(87)国際公開日　令和5年11月2日(2023.11.2)
(81)指定国・地域　AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,B
最終頁に続く

(71)出願人　510280589
京東方科技集團股▲ふん▼有限公司
ＢＯＥ ＴＥＣＨＮＯＬＯＧＹ ＧＲＯＵＰ ＣＯ．，ＬＴＤ．
中華人民共和国１００００１５北京市朝陽區酒仙橋路１０號
Ｎｏ．１０ Ｊｉｕｘｉａｎｑｉａｏ Ｒｄ．，Ｃｈａｏｙａｎｇ Ｄｉｓｔｒｉｃｔ，Ｂｅｉｊｉｎｇ １００１５，ＣＨＩＮＡ
(71)出願人　511121702
成都京東方光電科技有限公司
ＣＨＥＮＧＤＵ ＢＯＥ ＯＰＴＯＥＬＥＣＴＲＯＮＩＣＳ ＴＥＣＨＮＯＬＯＧＹ ＣＯ．，ＬＴＤ．
最終頁に続く

(54)【発明の名称】　表示基板及び表示装置

(57)【要約】
表示基板９１は、ベース基板１００、複数の画素回路、複数の第１発光素子１３、複数の第２発光素子１４、及び第１方向Ｘに沿って延びる少なくとも１本の第１信号線２１を含む。ベース基板１００は、第１表示領域Ａ１と少なくとも１つの第２表示領域Ａ２ａ、Ａ２ｂを含む。第１表示領域Ａ１は、少なくとも部分的に第２表示領域Ａ２ａ、Ａ２ｂを取り囲む。第１信号線２１は、第１表示領域Ａ１に位置し、第１表示領域Ａ１の複数の画素回路に電気的に接続される。第１信号線２１は、少なくとも１つの第２表示領域Ａ２ａ、Ａ２ｂによって少なくとも２本の第１サブ信号線２１１、２１２、２１３に仕切られる。少なくとも２本の第１サブ信号線２１１、２１２、２１３のうちの隣接する第１サブ信号線は、第１転送線４１を介して電気的に接続される。第１転送線４１の少なくとも一部の線分は、複数の第１画素回路１１の間に位置する。

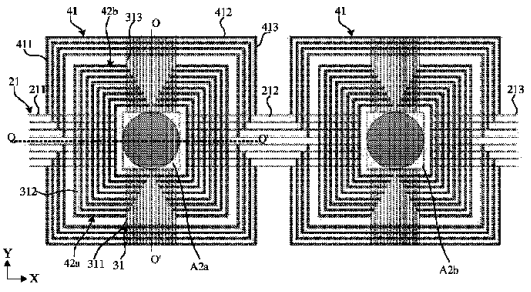

図４

【特許請求の範囲】
【請求項１】
表示基板であって、ベース基板、複数の画素回路、複数の第１発光素子、複数の第２発光素子、及び第１方向に延びる少なくとも１本の第１信号線を含み、
前記ベース基板は、第１表示領域と少なくとも１つの第２表示領域を含み、前記第１表示領域は少なくとも部分的に前記少なくとも１つの第２表示領域を取り囲み、
前記複数の画素回路と前記複数の第１発光素子は、前記第１表示領域に位置し、前記複数の画素回路は、複数の第１画素回路と複数の第２画素回路を含み、前記複数の第２画素回路は、複数の第２有効画素回路と複数の無効画素回路を含み、
前記複数の第２発光素子は、前記少なくとも１つの第２表示領域に位置し、前記複数の第１画素回路のうちの少なくとも１つの第１画素回路は、前記複数の第１発光素子のうちの少なくとも１つの第１発光素子に電気的に接続され、前記少なくとも１つの第１画素回路は、前記少なくとも１つの第１発光素子の発光を駆動するように構成され、前記複数の第２有効画素回路のうちの少なくとも１つの第２有効画素回路は、前記複数の第２発光素子のうちの少なくとも１つの第２発光素子に電気的に接続され、前記少なくとも１つの第２有効画素回路は、前記少なくとも１つの第２発光素子の発光を駆動するように構成され、
第１方向に延びる少なくとも１本の第１信号線は、前記第１表示領域に位置し、且つ前記第１表示領域の複数の画素回路に電気的に接続され、前記第１信号線は前記少なくとも１つの第２表示領域によって少なくとも２本の第１サブ信号線に仕切られ、
前記少なくとも２本の第１サブ信号線のうちの隣接する第１サブ信号線は、第１転送線を介して電気的に接続され、前記第１転送線の少なくとも一部の線分は、前記複数の第１画素回路の間に位置する表示基板。
【請求項２】
前記第１転送線の前記ベース基板での正投影は、
前記第１転送線の前記ベース基板での正投影と、前記第１表示領域の少なくとも１つの無効画素回路の前記ベース基板での正投影とには重なる部分が存在すること、
前記第１転送線の前記ベース基板での正投影は、前記複数の第１画素回路と前記複数の第２画素回路との間に位置すること、
前記第１転送線の前記ベース基板での正投影は、前記少なくとも１つの第２表示領域の辺縁領域に位置すること、のうちの少なくとも１つを満たす請求項１に記載の表示基板。
【請求項３】
前記第１転送線は、少なくとも順に接続される第１線分、第２線分及び第３線分を含み、前記第１線分と第３線分の延在方向は同じであり、前記第２線分の延在方向は前記第１線分の延在方向と交差する請求項１又は２に記載の表示基板。
【請求項４】
前記第１線分と第３線分の前記ベース基板での正投影と前記第１表示領域の複数の無効画素回路の前記ベース基板での正投影には重なる部分が存在し、前記第２線分の前記ベース基板での正投影は複数の画素回路の間に位置し、あるいは、
前記第１線分、前記第２線分及び前記第３線分の前記ベース基板での正投影と、前記第１表示領域の複数の無効画素回路の前記ベース基板での正投影には重なる部分が存在する請求項３に記載の表示基板。
【請求項５】
前記第１線分、前記第２線分及び前記第３線分は同層構造であり、あるいは、前記第１線分と前記第３線分は同層構造であり、前記第１線分と第２線分は異なる導電層に位置する請求項３又は４に記載の表示基板。
【請求項６】
表示基板に垂直な方向において、前記画素回路は少なくとも前記ベース基板に設けられる活性層、第１ゲート金属層、第２ゲート金属層及び第１ソース・ドレイン金属層を含み、前記無効画素回路の活性層、第１ゲート金属層及び第２ゲート金属層はいずれも断続的

に設けられ、
前記第１転送線の第２線分の前記ベース基板での正投影は前記無効画素回路が位置する領域に位置し、前記第２線分の前記ベース基板での正投影と、前記無効画素回路の活性層、第１ゲート金属層及び第２ゲート金属層の前記ベース基板での正投影には重なる部分が存在しない請求項４に記載の表示基板。
【請求項７】
前記第１転送線の前記第１線分又は前記第３線分の前記ベース基板での正投影と重なる部分が存在する無効画素回路の第１ソース・ドレイン金属層は、前記無効画素回路の活性層、第１ゲート金属層及び第２ゲート金属層に電気的に接続されていない請求項６に記載の表示基板。
【請求項８】
前記第１転送線の前記第１線分と前記第３線分とは、前記第１ソース・ドレイン金属層の前記ベース基板から離れた側に位置し、前記第２線分と前記第１ゲート金属層又は前記第２ゲート金属層とは同層構造である請求項６又は７に記載の表示基板。
【請求項９】
前記第１転送線の前記ベース基板での正投影が前記第２表示領域の辺縁領域に位置するときに、前記第２表示領域の辺縁領域にシールド配線が設けられ、前記シールド配線の前記ベース基板での正投影は前記第１転送線の前記ベース基板での正投影を覆う請求項２に記載の表示基板。
【請求項１０】
前記少なくとも１本の第１信号線は、発光制御線、第１リセット制御線、第２リセット制御線、走査線、第１初期信号線、第２初期信号線の少なくとも１つを含む請求項１乃至９のいずれか１項に記載の表示基板。
【請求項１１】
前記第１表示領域に位置し、第２方向に延びる少なくとも１本の第２信号線を更に含み、前記第２方向は前記第１方向と交差し、
前記第２信号線は前記少なくとも１つの第２表示領域によって少なくとも２本の第２サブ信号線に仕切られ、前記少なくとも２本の第２サブ信号線のうちの隣接する第２サブ信号線は、第２転送線を介して電気的に接続される請求項１乃至１０のいずれか１項に記載の表示基板。
【請求項１２】
前記少なくとも１本の第２信号線はデータ線を含む、請求項１１に記載の表示基板。
【請求項１３】
前記表示基板に垂直な方向において、前記第２転送線は、前記第２信号線の前記ベース基板に近い側に位置する請求項１１又は１２に記載の表示基板。
【請求項１４】
前記第１転送線は、前記第２転送線の前記第２表示領域から離れた側に位置する請求項１１乃至１３のいずれか１項に記載の表示基板。
【請求項１５】
前記第２転送線の前記ベース基板での正投影は前記第２表示領域の辺縁領域に位置し、前記第２表示領域の辺縁領域にシールド配線が設けられ、前記シールド配線の前記ベース基板での正投影は前記第２転送線の前記ベース基板での正投影を覆う請求項１１乃至１４のいずれか１項に記載の表示基板。
【請求項１６】
前記シールド配線は第１電源線に電気的に接続される請求項９又は１５に記載の表示基板。
【請求項１７】
複数本の第１信号線は２つのグループに分けられ、前記第２表示領域は第２方向において対向する第１側と第２側とを有し、第１グループの第１信号線は前記第１転送線を介して前記第２表示領域の第１側から前記第２表示領域を迂回し、第２グループの第１信号線

は前記第１転送線を介して前記第２表示領域の第２側から前記第２表示領域を迂回し、前記第２方向は前記第１方向と交差する請求項１乃至１６のいずれか１項に記載の表示基板。
【請求項１８】
前記ベース基板は２つの第２表示領域を含み、前記２つの第２表示領域は前記第１方向に整列する請求項１乃至１７のいずれか１項に記載の表示基板。
【請求項１９】
前記第１信号線は前記２つの第２表示領域によって３本の第１サブ信号線に仕切られ、第１本の第１サブ信号線と第２本の第１サブ信号線は第１本の第１転送線を介して電気的に接続され、第２本の第１サブ信号線と第３本の第１サブ信号線は第２本の第１転送線を介して電気的に接続され、前記第１本の第１転送線は１つ目の第２表示領域を迂回し、前記第２本の第１転送線は２つ目の第２表示領域を迂回する請求項１８に記載の表示基板。
【請求項２０】
前記第１本の第１転送線と前記第２本の第１転送線とは第２方向において前記２つの第２表示領域の同じ側に位置し、前記第２方向は第１方向と交差する請求項１９に記載の表示基板。
【請求項２１】
請求項１乃至２０のいずれか１項に記載の表示基板を備える表示装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本明細書は、表示技術分野に関するがそれに限らず、特に表示基板及び表示装置に関する。
【背景技術】
【０００２】
有機発光ダイオード（ＯＬＥＤ、Ｏｒｇａｎｉｃ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）と量子ドット発光ダイオード（ＱＬＥＤ、Ｑｕａｎｔｕｍ－ｄｏｔ　Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）は能動発光表示デバイスであり、自律発光、広い視角、高いコントラスト比、低い電力消費、極めて高い応答速度、軽量化、湾曲可能、及び低コスト等の利点を有する。アンダーディスプレイカメラ技術は、表示装置の画面占有率を向上させるために提案された全く新しい技術である。
【発明の概要】
【０００３】
以下は、本明細書に記載されるテーマに対する概要である。本概要は特許請求の範囲の保護範囲を限定するものではない。
【０００４】
本開示の実施例は、表示基板及び表示装置を提供する。
【０００５】
一態様では、本開示の実施例は、ベース基板、複数の画素回路、複数の第１発光素子、複数の第２発光素子、及び第１方向に延びる少なくとも１本の第１信号線を含む表示基板を提供する。ベース基板は、第１表示領域と少なくとも１つの第２表示領域を含み、前記第１表示領域は少なくとも部分的に前記少なくとも１つの第２表示領域を取り囲む。複数の画素回路と複数の第１発光素子は前記第１表示領域に位置する。前記複数の画素回路は、複数の第１画素回路と複数の第２画素回路を含み、前記複数の第２画素回路は、複数の第２有効画素回路と複数の無効画素回路を含む。複数の第２発光素子は、前記少なくとも１つの第２表示領域に位置する。前記複数の第１画素回路のうちの少なくとも１つの第１画素回路は、前記複数の第１発光素子のうちの少なくとも１つの第１発光素子に電気的に接続され、前記少なくとも１つの第１画素回路は、前記少なくとも１つの第１発光素子の発光を駆動するように構成される。前記複数の第２有効画素回路のうちの少なくとも１つの第２有効画素回路は、前記複数の第２発光素子のうちの少なくとも１つの第２発光素子

に電気的に接続され、前記少なくとも１つの第２有効画素回路は、前記少なくとも１つの第２発光素子の発光を駆動するように構成される。第１方向に延びる少なくとも１本の第１信号線は、前記第１表示領域に位置し、且つ前記第１表示領域の複数の画素回路に電気的に接続され、前記第１信号線は前記少なくとも１つの第２表示領域によって少なくとも２本の第１サブ信号線に仕切られる。前記少なくとも２本の第１サブ信号線のうちの隣接する第１サブ信号線は、第１転送線を介して電気的に接続され、前記第１転送線の少なくとも一部の線分は、前記複数の第１画素回路の間に位置する。

【０００６】

いくつかの例示的な実施形態では、前記第１転送線の前記ベース基板での正投影は、

前記第１転送線の前記ベース基板での正投影と、前記第１表示領域の少なくとも１つの無効画素回路の前記ベース基板での正投影には重なる部分が存在すること、

前記第１転送線の前記ベース基板での正投影は、前記複数の第１画素回路と前記複数の第２画素回路との間に位置すること、

前記第１転送線の前記ベース基板での正投影は、前記少なくとも１つの第２表示領域の辺縁領域に位置すること、のうちの少なくとも１つを満たす。

【０００７】

いくつかの例示的な実施形態では、前記第１転送線は、少なくとも順次に接続される第１線分、第２線分及び第３線分を含み、前記第１線分と第３線分の延在方向は同じであり、前記第２線分の延在方向は前記第１線分の延在方向と交差する。

【０００８】

前記第１線分と第３線分の前記ベース基板での正投影と前記第１表示領域の複数の無効画素回路の前記ベース基板での正投影には重なる部分が存在し、前記第２線分の前記ベース基板での正投影は複数の画素回路の間に位置し、あるいは、前記第１線分、前記第２線分及び前記第３線分のベース基板での正投影と、前記第１表示領域の複数の無効画素回路の前記ベース基板での正投影には重なる部分が存在する。

【０００９】

いくつかの例示的な実施形態では、前記第１線分、前記第２線分及び前記第３線分は同層構造であり、あるいは、前記第１線分と前記第３線分は同層構造であり、前記第１線分と第２線分は異なる導電層に位置する。

【００１０】

いくつかの例示的な実施形態では、表示基板に垂直な方向において、前記画素回路は少なくとも前記ベース基板に設けられる活性層、第１ゲート金属層、第２ゲート金属層及び第１ソース・ドレイン金属層を含み、前記無効画素回路の活性層、第１ゲート金属層及び第２ゲート金属層はいずれも断続的に設けられる。前記第１転送線の第２線分の前記ベース基板での正投影は前記無効画素回路が位置する領域に位置し、前記第２線分の前記ベース基板での正投影と、前記無効画素回路の活性層、第１ゲート金属層及び第２ゲート金属層のベース基板での正投影には重なる部分が存在しない。

【００１１】

いくつかの例示的な実施形態では、前記第１転送線の前記第１線分又は前記第３線分の前記ベース基板での正投影と重なる部分が存在する無効画素回路の第１ソース・ドレイン金属層は、前記無効画素回路の活性層、第１ゲート金属層及び第２ゲート金属層に電気的に接続されていない。

【００１２】

いくつかの例示的な実施形態では、前記第１転送線の前記第１線分と前記第３線分は、前記第１ソース・ドレイン金属層の前記ベース基板から離れた側に位置し、前記第２線分と前記第１ゲート金属層又は前記第２ゲート金属層とは同層構造である。

【００１３】

いくつかの例示的な実施形態では、前記第１転送線の前記ベース基板での正投影が前記第２表示領域の辺縁領域に位置するときに、前記第２表示領域の辺縁領域にシールド配線が設けられ、前記シールド配線の前記ベース基板での正投影は前記第１転送線の前記ベー

ス基板での正投影を覆う。

【００１４】

いくつかの例示的な実施形態では、前記少なくとも１本の第１信号線は、発光制御線、第１リセット制御線、第２リセット制御線、走査線、第１初期信号線、第２初期信号線の少なくとも１つを含む。

【００１５】

いくつかの例示的な実施形態では、表示基板は、前記第１表示領域に位置し、第２方向に延びる少なくとも１本の第２信号線を更に含み、前記第２方向は前記第１方向と交差する。前記第２信号線は前記少なくとも１つの第２表示領域によって少なくとも２本の第２サブ信号線に仕切られ、前記少なくとも２本の第２サブ信号線のうちの隣接する第２サブ信号線は、第２転送線を介して電気的に接続される。

【００１６】

いくつかの例示的な実施形態では、前記少なくとも１本の第２信号線はデータ線を含む。

【００１７】

いくつかの例示的な実施形態では、前記表示基板に垂直な方向において、前記第２転送線は、前記第２信号線の前記ベース基板に近い側に位置する。

【００１８】

いくつかの例示的な実施形態では、前記第１転送線は、前記第２転送線の前記第２表示領域から離れた側に位置する。

【００１９】

いくつかの例示的な実施形態では、前記第２転送線の前記ベース基板での正投影は前記第２表示領域の辺縁領域に位置し、前記第２表示領域の辺縁領域にシールド配線が設けられ、前記シールド配線の前記ベース基板での正投影は前記第２転送線の前記ベース基板での正投影を覆う。

【００２０】

いくつかの例示的な実施形態では、前記シールド配線は第１電源線に電気的に接続される。

【００２１】

いくつかの例示的な実施形態では、複数本の第１信号線は２つのグループに分けられ、前記第２表示領域は第２方向において対向する第１側と第２側を有し、第１グループの第１信号線は前記第１転送線を介して前記第２表示領域の第１側から前記第２表示領域を迂回し、第２グループの第１信号線は前記第１転送線を介して前記第２表示領域の第２側から前記第２表示領域を迂回し、前記第２方向は前記第１方向と交差する。

【００２２】

いくつかの例示的な実施形態では、前記ベース基板は２つの第２表示領域を含み、前記第２表示領域は前記第１方向に整列する。

【００２３】

いくつかの例示的な実施形態では、前記第１信号線は前記２つの第２表示領域によって３本の第１サブ信号線に仕切られ、第１本の第１サブ信号線と第２本の第１サブ信号線は第１本の第１転送線を介して電気的に接続され、第２本の第１サブ信号線と第３本の第１サブ信号線は第２本の第１転送線を介して電気的に接続される。前記第１本の第１転送線は１つ目の第２表示領域を迂回し、前記第２本の第１転送線は２つ目の第２表示領域を迂回する。

【００２４】

いくつかの例示的な実施形態では、前記第１本の第１転送線と前記第２本の第１転送線は第２方向において前記２つの第２表示領域の同じ側に位置し、前記第２方向は第１方向と交差する。

【００２５】

他の態様では、本開示の実施例は、上述した表示基板を備える表示装置を提供する。

【００２６】
図面及び詳しい説明を読んで理解した後、その他の態様を分かることができる。
【図面の簡単な説明】
【００２７】
【図１】本開示の少なくとも１つの実施例の表示基板の模式図である。
【図２】本開示の少なくとも１つの実施例の画素回路の等価回路図である。
【図３】図２に示す画素回路の動作タイミングチャートである。
【図４】本開示の少なくとも１つの実施例の第１表示領域の局部配線の模式図である。
【図５】本開示の少なくとも１つの実施例の第１表示領域の画素回路の配置模式図である。
【図６】本開示の少なくとも１つの実施例の第１信号線の配置模式図である。
【図７】本開示の少なくとも１つの実施例の第１信号線の別の配置模式図である。
【図８】図７の領域Ｐ１の表示基板の部分平面図である。
【図９】図８のＲ－Ｒ’方向に沿う局部断面模式図である。
【図１０Ａ】図８の半導体層を形成した後の表示基板の部分平面模式図である。
【図１０Ｂ】図８の第１導電層を形成した後の表示基板の部分平面模式図である。
【図１０Ｃ】図８の第２導電層を形成した後の表示基板の部分平面模式図である。
【図１０Ｄ】図８の第３絶縁層を形成した後の表示基板の部分平面模式図である。
【図１０Ｅ】図８の第３導電層を形成した後の表示基板の部分平面模式図である。
【図１０Ｆ】図８の第４絶縁層を形成した後の表示基板の部分平面模式図である。
【図１１】本開示の少なくとも１つの実施例の第２信号線の配置模式図である。
【図１２】本開示の少なくとも１つの実施例の第２信号線の別の配置模式図である。
【図１３】図１２の領域Ｐ２の表示基板の部分平面模式図である。
【図１４】図１３の第３導電層を形成した後の表示基板の部分平面模式図である。
【図１５】本開示の少なくとも１つの実施例の第１初期信号線及び第２初期信号線の配置模式図である。
【図１６】本開示の少なくとも１つの実施例の第１表示領域の画素回路の別の配置模式図である。
【図１７】本開示の少なくとも１つの実施例の表示基板の別の模式図である。
【図１８】図１７の領域Ｐ３の透明導電線の配線模式図である。
【図１９】本開示の少なくとも１つの実施例の第１信号線の別の配線配置模式図である。
【図２０】本開示の少なくとも１つの実施例の表示基板の部分平面図である。
【図２１】本開示の少なくとも１つの実施例の表示基板の他の部分平面図である。
【図２２】本開示の少なくとも１つの実施例の第１転送線の第１線分と第２線分の接続位置の部分拡大模式図である。
【図２３】本開示の少なくとも１つの実施例の第１信号線の別の配置模式図である。
【図２４】本開示の少なくとも１つの実施例の表示基板の別の模式図である。
【図２５】図２４の第１信号線の模式図である。
【図２６】本開示の少なくとも１つの実施例の表示基板の別の模式図である。
【図２７】図２６の第２信号線の模式図である。
【図２８】本開示の少なくとも１つの実施例の表示基板の別の模式図である。
【図２９】本開示の少なくとも１つの実施例の表示装置の模式図である。
【発明を実施するための形態】
【００２８】
図面は本開示の技術案をより理解するためのものであり、且つ明細書の一部を構成し、本願の実施例と一緒に本開示の技術案を説明することに用いられ、本開示の技術案を制限するためのものではない。図面における１つ又は複数の構成要素の形状及び大きさは、本開示の概略的な説明のみを目的として、真の比率を反映していない。
【００２９】
以下は図面を参照しながら、本開示の実施例を詳しく説明する。実施形態は、複数の異

なる形態で実施することができる。当業者は、方式及び内容が本開示の趣旨及びその範囲を逸脱しない条件で他の形式に変換されることができるという事実を容易に理解することができる。したがって、本開示は、以下の実施形態に記載されたもののみに限定されるものと解釈されるべきではない。衝突しない限り、本開示における実施例及び実施例における特徴は任意に組み合わせることができる。

【００３０】

図面では、明確のために、１つ又は複数の構成要素の大きさ、層の厚さ又は領域を誇張して表示している場合がある。したがって、本開示の一態様は、必ずしも該寸法に限定されるものではなく、図面中の１つ又は複数の部品の形状及び大きさは、真の比率を反映しない。また、図面は理想的な例を概略的に示し、本開示の一態様は、図面に示された形状や数値等に限定されない。

【００３１】

本明細書における「第１」、「第２」、「第３」等の序数詞は、構成要素の混同を避けるために設けられるものであり、数量的に限定するためのものではない。本開示における「複数」は、２つ以上の数を意味する。

【００３２】

本明細書において、便宜上、「中央」、「上」、「下」、「前」、「後」、「垂直」、「水平」、「上」、「底」、「内」、「外」等の方位又は位置関係を示す語句を使用して、図面を参照して構成要素の位置関係を説明するのは、単に本明細書の説明を容易にし、説明を簡略化するためであり、言及される装置又は要素が特定の方位を有し、特定の方位で構成され、動作しなければならないことを示し、又は暗示するものではないので、本開示を限定するものとは解されない。構成要素の位置関係は、記述された構成要素の方向に応じて適宜変更される。したがって、説明書で説明する語句に限定されず、状況に応じて適宜変更することができる。

【００３３】

本明細書において、特に明確な規定及び限定がない限り、用語「取り付け」、「連接」、「接続」は広義に理解されるべきである。例えば、固定的な接続、取り外し可能な接続、又は一体的な接続であってもよい、機械的接続であってもよいし、接続であってもよい。直接接続、ミドルウェアを介した間接接続、又は２つの要素内部での連通であってもよい。当業者にとっては、本開示における上述の用語の意味は、状況に応じて理解されることができる。

【００３４】

本明細書において、「電気的接続」とは、構成要素が何らかの電気的作用を有する素子を介して接続される場合を含む。「何らかの電気的作用を有する素子」は、接続される構成要素間の電気信号の伝送が可能であれば特に制限されない。「何らかの電気的作用を有する素子」の例としては、電極や配線だけでなく、トランジスタなどのスイッチング素子、抵抗器、インダクタ、コンデンサ、その他複数の機能を有する素子などを含んでもよい。

【００３５】

本明細書において、トランジスタとは、少なくともゲート、ドレイン及びソースの３つの端子を含む素子を指す。トランジスタは、ドレイン（ドレイン電極端子、ドレイン領域又はドレイン電極）とソース（ソース電極端子、ソース領域又はソース電極）との間にチャネル領域を有し、電流がドレイン、チャネル領域及びソースを流すことができる。本明細書において、チャネル領域とは、主に電流が流れる領域を意味する。

【００３６】

本明細書では、第１極はドレインであり、第２極はソースであってもよく、又は第１極はソースであり、第２極はドレインであってもよい。極性が逆であるトランジスタを使用する場合や回路動作中の電流の向きが変化する場合など、「ソース」及び「ドレイン」の機能が入れ替わることがある。したがって、本明細書では、「ソース」と「ドレイン」は互いに入れ替わってもよい。また、ゲートは制御極と呼ぶこともできる。

【００３７】
本明細書において、「平行」とは、２本の直線のなす角度が－１０°以上１０°以下の状態をいうので、その角度が－５°以上５°以下の状態も含まれる。なお「垂直」とは２本の直線のなす角度が８０°以上１００°以下の状態を意味するので、８５°以上９５°以下の角度の状態も含まれる。
【００３８】
本明細書における三角形、矩形、台形、五角形又は六角形などは厳密な意味ではなく、近似三角形、矩形、台形、五角形又は六角形などであってもよく、公差によるいくつかの小さな変形が存在してもよく、面取り、円弧エッジ及び変形などが存在してもよい。
【００３９】
本開示における「光透過率」とは、光が媒質を透過する能力を意味し、透明又は半透明体を透過した光束と入射光束との割合である。
【００４０】
本開示における「約」、「ほぼ」とは、厳密に限界を限定せず、プロセスや測定誤差が許容される範囲内の場合を指す。本開示では「ほぼ同じ」とは数値の差が１０％以内の場合を指す。
【００４１】
本開示の実施例は、ベース基板と、複数の画素回路、複数の第１発光素子、複数の第２発光素子、及び少なくとも１本の第１信号線を含む表示基板を提供する。ベース基板は、第１表示領域と少なくとも１つの第２表示領域を含み、第１表示領域は少なくとも部分的に少なくとも１つの第２表示領域を取り囲む。複数の画素回路と複数の第１発光素子は第１表示領域に位置する。複数の画素回路は、複数の第１画素回路と複数の第２画素回路を含み、複数の第２画素回路は、複数の第２有効画素回路と複数の無効画素回路を含む。複数の第２発光素子は、少なくとも１つの第２表示領域に位置する。複数の第１画素回路のうちの少なくとも１つの第１画素回路は、複数の第１発光素子のうちの少なくとも１つの第１発光素子に電気的に接続され、前記少なくとも１つの第１画素回路は、前記少なくとも１つの第１発光素子の発光を駆動するように構成される。複数の第２有効画素回路のうちの少なくとも１つの第２有効画素回路は、複数の第２発光素子のうちの少なくとも１つの第２発光素子に電気的に接続され、前記少なくとも１つの第２有効画素回路は、前記少なくとも１つの第２発光素子の発光を駆動するように構成される。第１方向に延びる少なくとも１本の第１信号線は、第１表示領域に位置し、且つ第１表示領域の複数の画素回路に電気的に接続され、第１信号線は少なくとも１つの第２表示領域によって少なくとも２本の第１サブ信号線に仕切られる。少なくとも２本の第１サブ信号線のうちの隣接する第１サブ信号線は、第１転送線を介して電気的に接続され、第１転送線の少なくとも一部の線分は、複数の第１画素回路の間に位置する。
【００４２】
本実施例による表示基板は、第１信号線の隣接する第１サブ信号線を第１転送線で接続することにより、第１信号線の信号伝送を確保することができ、例えばバイラテラル駆動をサポートすることができる。また、第１転送線の少なくとも一部の線分は、複数の第１画素回路の間に位置し、例えば、無効画素回路が位置する領域、画素回路の間隔位置、又は第２表示領域の辺縁領域に配置することができ、空間を合理的に配置することができ、第２表示領域のサイズを確保することができる。
【００４３】
いくつかの例示的な実施形態では、第１転送線のベース基板での正投影は、
第１転送線のベース基板での正投影と、第１表示領域の少なくとも１つの無効画素回路のベース基板での正投影には重なる部分が存在すること、
第１転送線のベース基板での正投影は、複数の第１画素回路と複数の第２画素回路との間に位置すること、
第１転送線のベース基板での正投影は、少なくとも１つの第２表示領域の辺縁領域に位置すること、のうちの少なくとも１つを満たすことができる。

【００４４】
いくつかの例では、少なくとも１本の第１転送線のベース基板での正投影と、少なくとも１つの無効画素回路のベース基板での正投影には重なる部分が存在してもよい。他の例では、少なくとも１本の第１転送線のベース基板での正投影は、隣接する画素回路の間に位置してもよい。他の例では、少なくとも１本の第１転送線のベース基板での正投影は、第２表示領域の辺縁領域に位置してもよい。他の例では、少なくとも１本の第１転送線の一部のベース基板での正投影と、少なくとも１つの無効画素回路のベース基板での正投影には重なる部分が存在してもよく、他の一部のベース基板での正投影は、隣接する画素回路の間に位置してもよい。他の例では、少なくとも１本の第１転送線の一部のベース基板での正投影と、少なくとも１つの無効画素回路のベース基板での正投影には重なる部分が存在してもよく、他の一部のベース基板での正投影は、第２表示領域の辺縁領域に位置してもよい。他の例では、少なくとも１本の第１転送線の一部のベース基板での正投影は、隣接する画素回路の間に位置してもよく、他の一部のベース基板での正投影は、第２表示領域の辺縁領域に位置してもよい。いくつかの例では、第２表示領域の辺縁領域は、第２表示領域の発光素子の周辺であって、画素回路が設けられていない領域を指すことがある。

【００４５】
いくつかの例では、第２表示領域の数は、１つ、２つ、又はそれ以上であってもよい。しかし、本実施例はこれを限定しない。

【００４６】
いくつかの例では、第１転送線のベース基板での正投影と少なくとも１つの無効画素回路のベース基板での正投影には重なる部分が存在するように設定することにより、第１転送線が有効画素回路の配置スペース及び第２表示領域のスペースを占有する必要がなく、画素回路への駆動信号の供給及び第２表示領域のサイズの両方を保証する。

【００４７】
いくつかの例示的な実施形態では、第１転送線は、少なくとも順次に接続される第１線分、第２線分及び第３線分を含んでもよい。第１線分と第３線分の延在方向は同じであってもよく、第２線分の延在方向は第１線分の延在方向と交差していてもよい。例えば、第２線分の延在方向は、第１線分の延在方向に対して垂直であってもよい。

【００４８】
いくつかの例示的な実施形態では、第１転送線の第１線分と第３線分の前記ベース基板での正投影と第１表示領域の複数の無効画素回路のベース基板での正投影には重なる部分が存在してもよく、第２線分のベース基板での正投影は複数の画素回路の間に位置する。あるいは、第１線分、第２線分及び第３線分のベース基板での正投影と、第１表示領域の複数の無効画素回路のベース基板での正投影には重なる部分が存在する。例えば、第１線分と第３線分は同層構造であってもよく、第２線分は第１線分のベース基板に近い側に位置してもよい。しかし、本実施例はこれを限定しない。

【００４９】
いくつかの例示的な実施形態では、第１転送線の第１線分、第２線分及び第３線分は、第１信号線のベース基板から離れた側に位置してもよい。例えば、第１転送線の第１線分、第２線分及び第３線分は同層構造であってもよい。換言すれば、第１転送線は一体構造であってもよい。しかし、本実施例はこれを限定しない。

【００５０】
いくつかの例示的な実施形態では、表示基板に垂直な方向において、画素回路は、ベース基板に設けられる活性層、第１ゲート金属層、第２ゲート金属層及び第１ソース・ドレイン金属層を含んでもよい。無効画素回路の活性層、第１ゲート金属層及び第２ゲート金属層はいずれも断続的に設けられてもよい。無効画素回路の活性層は不連続であってもよく、第１ゲート金属層は不連続であってもよく、第２ゲート金属層は不連続であってもよい。第１転送線の第２線分のベース基板での正投影は無効画素回路が位置する領域に位置してもよく、第１転送線の第２線分のベース基板での正投影と、無効画素回路の活性層、

第１ゲート金属層及び第２ゲート金属層のベース基板での正投影には重なる部分が存在しなくてもよい。いくつかの例では、第１ゲート金属層は画素回路のトランジスタのゲート及び記憶コンデンサの第１コンデンサ極板を含んでもよく、第２ゲート金属層は画素回路の記憶コンデンサの第２コンデンサ極板を含んでもよく、第１ソース・ドレイン金属層は複数の接続電極を含んでもよい。本例では、無効画素回路の一部の膜層構造を除去することにより、第２線分に配置スペースを与えることができ、第２線分の静電容量を低減することができる。

【００５１】

いくつかの例示的な実施形態では、第１転送線の第１線分又は第３線分のベース基板での正投影と重なる部分が存在する無効画素回路の第１ソース・ドレイン金属層は、無効画素回路の活性層、第１ゲート金属層及び第２ゲート金属層に電気的に接続されていなくてもよい。本例では、無効画素回路の一部の膜層構造を除去することにより、第１線分に配置スペースを与えることができ、第１線分の静電容量を低減することができる。

【００５２】

いくつかの例示的な実施形態では、第１転送線の第１線分と第３線分は、第１ソース・ドレイン金属層のベース基板から離れた側に位置してもよく、第２線分と第１ゲート金属層又は第２ゲート金属層とは同層構造であってもよい。しかし、本実施例はこれを限定しない。

【００５３】

いくつかの例示的な実施形態では、少なくとも１本の第１信号線は、発光制御線、第１リセット制御線、第２リセット制御線、走査線、第１初期信号線、第２初期信号線の少なくとも１つを含んでもよい。例えば、第１信号線は、発光制御線と第１リセット制御線を含んでもよい。

【００５４】

いくつかの例示的な実施形態では、第１転送線のベース基板での正投影が第２表示領域の辺縁領域に位置してもよい。第２表示領域の辺縁領域にシールド配線が設けられてもよく、シールド配線のベース基板での正投影は第１転送線のベース基板での正投影を覆ってもよい。本例では、第１信号線は第２表示領域の辺縁領域で巻線を実現することができ、第１信号線の負荷を低減することができ、表示の均一性を向上させることができ、また、シールド配線を介して第２表示領域の辺縁領域の第１転送線を遮蔽することにより、複数本の第１転送線の間の隙間による干渉状況を改善することができる。

【００５５】

いくつかの例示的な実施形態では、表示基板は、第１表示領域に位置し、第２方向に延びる少なくとも１本の第２信号線を更に含んでもよい。第２方向は第１方向と交差してもよい。第２信号線は少なくとも１つの第２表示領域によって少なくとも２本の第２サブ信号線に仕切られてもよい。少なくとも２本の第２サブ信号線のうちの隣接する第２サブ信号線は、第２転送線を介して電気的に接続されてもよい。本例では、第２転送線により、第２信号線が第２表示領域を迂回することができ、第２表示領域のスペースを占有することを回避することができる。

【００５６】

いくつかの例示的な実施形態では、少なくとも１本の第２信号線は、データ線を含んでもよい。しかし、本実施例はこれを限定しない。他の例では、第２信号線は、初期信号線を含んでもよい（例えば、第１初期信号線、第２初期信号線を含む）。

【００５７】

いくつかの例示的な実施形態では、ベース基板に垂直な方向において、第２転送線は、第２信号のベース基板に近い側に位置してもよい。しかし、本実施例はこれを限定しない。例えば、第２転送線は、第２信号線のベース基板から離れた側に位置してもよい。

【００５８】

いくつかの例示的な実施形態では、第１転送線は、第２転送線の第２表示領域から離れた側に位置してもよい。本例では、配線交差を効果的に回避できる。

【００５９】
いくつかの例示的な実施形態では、第２転送線のベース基板での正投影が第２表示領域の辺縁領域に位置してもよい。第２表示領域の辺縁領域にシールド配線が設けられてもよい。シールド配線のベース基板での正投影は第２転送線のベース基板での正投影を覆ってもよい。本例では、第２信号線は第２表示領域の辺縁領域で巻線を実現することができ、第２信号線の負荷を低減することができ、表示の均一性を向上させることができ、また、シールド配線を介して第２表示領域の辺縁領域の第２転送線を遮蔽することにより、複数本の第２転送線の間の隙間による干渉状況を改善することができる。
【００６０】
いくつかの例示的な実施形態では、シールド配線は、第１電源線に電気的に接続されてもよい。しかし、本実施例はこれを限定しない。例えば、シールド配線は、直流電圧信号を伝送する他の配線に電気的に接続されてもよい。
【００６１】
いくつかの例示的な実施形態では、複数本の第１信号線は２つのグループに分けられてもよく、第２表示領域は第２方向において対向する第１側と第２側を有する。第１グループの第１信号線は第１転送線を介して第２表示領域の第１側から前記第２表示領域を迂回してもよく、第２グループの第１信号線は第１転送線を介して前記第２表示領域の第２側から前記第２表示領域を迂回する。第２方向は第１方向と交差する。いくつかの例では、複数本の第１信号線が第２表示領域の上下両側から第２表示領域を迂回することを設定することにより、複数本の第１信号線と第１転送線の配置に有利であり、配線の過密による悪影響を回避する。
【００６２】
いくつかの例示的な実施形態では、ベース基板は２つの第２表示領域を含んでもよく、前記第２表示領域は第１方向に整列してもよい。しかし、本実施例はこれを限定しない。例えば、２つの第２表示領域は、第１方向に沿って順次に配置されてもよく、第２方向には若干の位置ずれが存在してもよい。
【００６３】
以下、本実施例の方案をいくつかの例で説明する。
【００６４】
図１は、本開示の少なくとも１つの実施例の表示基板の模式図である。いくつかの例示的な実施形態では、図１に示すように、表示基板は、表示領域ＡＡと、表示領域ＡＡの周囲を囲む周辺領域ＢＢを含んでもよい。表示基板の表示領域ＡＡは、第１表示領域Ａ１と、２つの第２表示領域（例えば、第２表示領域Ａ２ａ、Ａ２ｂ）を含んでもよい。第１表示領域Ａ１は、２つの第２表示領域Ａ２ａ、Ａ２ｂの少なくとも一側に位置してもよい。例えば、第１表示領域Ａ１は、２つの第２表示領域Ａ２ａ、Ａ２ｂの周囲を囲んでもよい。しかし、本実施例はこれを限定しない。例えば、第１表示領域Ａ１は、第２表示領域Ａ２ａの周囲を囲み、部分的に第２表示領域Ａ２ｂを囲んでもよく、あるいは、第１表示領域Ａ１は、部分的に第２表示領域Ａ２ａを囲み、且つ部分的に第２表示領域Ａ２ｂを囲んでもよい。
【００６５】
いくつかの例示的な実施形態では、図１に示すように、表示領域ＡＡは、角丸矩形などの矩形であってもよい。第２表示領域Ａ２ａ、Ａ２ｂは、角丸矩形などの矩形であってもよい。しかし、本実施例はこれを限定しない。例えば、表示領域ＡＡは、円形、楕円形又は五角形などの他の形状であってもよい。また、例えば、第２表示領域は、円形、楕円形、半円形、五角形などの他の形状であってもよい。
【００６６】
いくつかの例示的な実施形態では、図１に示すように、２つの第２表示領域Ａ２ａ、Ａ２ｂは、第１方向Ｘに沿って順次に配置されてもよい。例えば、２つの第２表示領域Ａ２ａ、Ａ２ｂの形状及び大きさは同じであってもよく、第１方向Ｘに整列してもよく、第２方向Ｙに位置ずれがなくてもよい。例えば、第２表示領域Ａ２ａ、Ａ２ｂの上辺縁から表

示領域ＡＡの上辺縁までの距離は同じであってもよい。いくつかの例では、第１方向Ｘと第２方向Ｙは交差し、例えば、第１方向Ｘは第２方向Ｙに垂直であってもよい。しかし、本実施例はこれを限定しない。例えば、２つの第２表示領域Ａ２ａ、Ａ２ｂの形状又は大きさは異なっていてもよい。また、例えば、２つの第２表示領域Ａ２ａ、Ａ２ｂは第２方向Ｙにずれていてもよく、例えば、第２表示領域Ａ２ａの上辺縁から表示領域ＡＡの上辺縁までの距離は、第２表示領域Ａ２ｂの上辺縁から表示領域ＡＡの上辺縁までの距離以下であってもよい。

【００６７】

いくつかの例示的な実施形態では、図１に示すように、２つの第２表示領域Ａ２ａ、Ａ２ｂは、透光性の表示領域であってもよく、また、アンダーディスプレイカメラ（ＵＤＣ、Ｕｎｄｅｒ　Ｄｉｓｐｌａｙ　Ｃａｍｅｒａ）領域と呼ばれてもよく、第１表示領域Ａ１は、非透光性の表示領域であってもよいし、通常表示領域と呼んでもよい。例えば、感光性センサ（例えば、カメラ等のハードウェア）の表示基板での正投影は、表示基板の第２表示領域Ａ２ａ、Ａ２ｂ内に位置してもよい。いくつかの例では、図１に示すように、第２表示領域Ａ２ａは矩形（例えば、角丸矩形）であってもよく、感光センサの表示基板での正投影のサイズは、第２表示領域Ａ２ａの内接円のサイズ以下であってもよい。しかし、本実施例はこれを限定しない。他の例では、第２表示領域は円形であってもよく、感光性センサの表示基板での正投影のサイズは、第２表示領域のサイズ以下であってもよい。

【００６８】

いくつかの例示的な実施形態では、図１に示すように、２つの第２表示領域Ａ２ａ、Ａ２ｂは、表示領域ＡＡの上部の真ん中に位置してもよい。第１表示領域Ａ１は、第２表示領域Ａ２ａ、Ａ２ｂの周囲を囲んでもよい。しかし、本実施例はこれを限定しない。例えば、２つの第２表示領域Ａ２ａ、Ａ２ｂは、表示領域ＡＡの左上角又は右上角などの他の位置に位置してもよい。例えば、第１表示領域Ａ１は第２表示領域Ａ２ａの少なくとも一側を囲んでもよく、第１表示領域Ａ１は第２表示領域Ａ２ｂの少なくとも一側を囲んでもよい。

【００６９】

いくつかの例示的な実施形態では、表示領域ＡＡには複数のサブ画素が設置されてもよい。少なくとも１つのサブ画素は、画素回路と発光素子を含んでもよい。画素回路は、接続される発光素子を駆動するように構成されてもよい。例えば、画素回路は、発光素子の発光を駆動するための駆動電流を供給するように構成されてもよい。画素回路は、複数のトランジスタ及び少なくとも１つのコンデンサを含んでもよく、例えば、画素回路は、３Ｔ１Ｃ（即ち、３つのトランジスタ及び１つのコンデンサ）構造、７Ｔ１Ｃ（即ち、７つのトランジスタ及び１つのコンデンサ）構造、５Ｔ１Ｃ（即ち、５つのトランジスタ及び１つのコンデンサ）構造、８Ｔ１Ｃ（即ち、８つのトランジスタ及び１つのコンデンサ）構造、又は８Ｔ２Ｃ（即ち、８つのトランジスタ及び２つのコンデンサ）構造等であってもよい。いくつかの例では、発光素子は有機発光ダイオード（ＯＬＥＤ）であってもよく、発光素子は、対応する画素回路の駆動下で赤色光、緑色光、青色光、又は白色光などを発光する。発光素子が発光する色は、必要に応じて決められる。いくつかの例では、発光素子は、陽極、陰極及び陽極と陰極の間に位置する有機発光層を含んでもよい。発光素子の陽極は、対応する画素回路に電気的に接続されてもよい。しかし、本実施例はこれを限定しない。

【００７０】

いくつかの例示的な実施形態では、表示領域ＡＡの１つの画素ユニットは、３つのサブ画素を含んでもよく、３つのサブ画素はそれぞれ赤色サブ画素、緑色サブ画素、及び青色サブ画素であってもよい。しかし、本実施例はこれを限定しない。いくつかの例では、１つの画素ユニットは４つのサブ画素を含んでもよく、４つのサブ画素はそれぞれ赤色サブ画素、緑色サブ画素、青色サブ画素及び白色サブ画素であってもよい。

【００７１】

いくつかの例示的な実施形態では、発光素子の形状は、矩形、菱形、五角形、又は六角形であってもよい。１つの画素ユニットが３つのサブ画素を含む場合、３つのサブ画素の発光素子は、水平並列、垂直並列又は品の字形の方式で配列されてもよく、１つの画素ユニットが４つのサブ画素を含む場合、４つのサブ画素の発光素子は、水平並列、垂直並列、又は正方形の方式で配置されてもよい。しかし、本実施例はこれを限定しない。

【００７２】

図２は、本開示の少なくとも１つの実施例の画素回路の等価回路図である。図３は図２の画素回路の動作タイミングチャートである。本例示的な実施例の画素回路は、７Ｔ１Ｃ構造を例に説明する。しかし、本実施例はこれを限定しない。

【００７３】

いくつかの例示的な実施形態では、図２に示すように、本例の画素回路は、６つのスイッチングトランジスタ（Ｔ１、Ｔ２、Ｔ４～Ｔ７）、１つの駆動トランジスタＴ３及び１つの記憶コンデンサＣｓｔを含んでもよい。６つのスイッチングトランジスタは、それぞれデータ書き込みトランジスタＴ４、閾値補償トランジスタＴ２、第１発光制御トランジスタＴ５、第２発光制御トランジスタＴ６、第１リセットトランジスタＴ１及び第２リセットトランジスタＴ７である。発光素子ＥＬは、陽極、陰極、陽極と陰極の間に設置される有機発光層を含んでもよい。

【００７４】

いくつかの例示的な実施形態では、駆動トランジスタ及び６つのスイッチングトランジスタは、Ｐ型トランジスタであってもよいし、Ｎ型トランジスタであってもよい。画素回路に同一種類のトランジスタを採用することにより、プロセスフローが簡略化され、表示基板のプロセス難易度が低減され、製品の歩留まりが向上することができる。いくつかの可能な実施形態では、駆動トランジスタ及び６つのスイッチングトランジスタは、Ｐ型トランジスタ及びＮ型トランジスタを含んでもよい。

【００７５】

いくつかの例示的な実施形態では、駆動トランジスタ及び６つのスイッチングトランジスタは、低温ポリシリコン薄膜トランジスタ、又は酸化物薄膜トランジスタ、又は低温ポリシリコン薄膜トランジスタと酸化物薄膜トランジスタを用いることができる。低温ポリシリコン薄膜トランジスタの活性層は低温ポリシリコン（ＬＴＰＳ、Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ－Ｓｉｌｉｃｏｎ）を用い、酸化物薄膜トランジスタの活性層は酸化物半導体（Ｏｘｉｄｅ）を用いる。低温ポリシリコン薄膜トランジスタは移動度が高く、充電が速いなどの利点があり、酸化物薄膜トランジスタはリーク電流が低いなどの利点があり、低温ポリシリコン薄膜トランジスタと酸化物薄膜トランジスタを１つの表示基板上に集積し、低温多結晶酸化物（ＬＴＰＯ、Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ）表示基板を形成することで、両者の利点を活かすことができ、低周波駆動を実現でき、消費電力を低減でき、表示品質を向上させることができる。

【００７６】

いくつかの例示的な実施形態では、図２に示すように、表示基板は、走査線ＧＬと、データ線ＤＬと、第１電源線ＰＬ１と、第２電源線ＰＬ２と、発光制御線ＥＭＬと、第１初期信号線ＩＮＩＴ１と、第２初期信号線ＩＮＩＴ２と、第１リセット制御線ＲＳＴ１と、第２リセット制御線ＲＳＴ２とを備えることができる。いくつかの例では、第１電源線ＰＬ１は、画素回路に一定の第１電圧信号ＶＤＤを供給するように構成されてもよく、第２電源線ＰＬ２は、画素回路に一定の第２電圧信号ＶＳＳを供給するように構成されてもよく、第１電圧信号ＶＤＤは、第２電圧信号ＶＳＳよりも大きい。走査線ＧＬは、画素回路に走査信号ＳＣＡＮを供給するように構成されてもよく、データ線ＤＬは、画素回路にデータ信号ＤＡＴＡを供給するように構成されてもよく、発光制御線ＥＭＬは、画素回路に発光制御信号ＥＭを供給するように構成されてもよく、第１リセット制御線ＲＳＴ１は、画素回路に第１リセット制御信号ＲＥＳＥＴ１を供給するように構成されてもよく、第２リセット制御線ＲＳＴ２は、画素回路に第２リセット制御信号ＲＥＳＥＴ２を供給するよ

うに構成されてもよい。いくつかの例では、第ｎ行の画素回路では、第１リセット制御線ＲＳＴ１は第ｎ－１行の画素回路の走査線ＧＬに電気的に接続されて、走査信号ＳＣＡＮ（ｎ－１）が入力されるようにしてもよく、即ち第１リセット制御信号ＲＥＳＥＴ１（ｎ）が走査信号ＳＣＡＮ（ｎ－１）と同じである。第２リセット制御線ＲＳＴ２は第ｎ行の画素回路の走査線ＧＬに電気的に接続されて、走査信号ＳＣＡＮ（ｎ）が入力されるようにしてもよく、即ち第２リセット制御信号ＲＥＳＥＴ２（ｎ）は走査信号ＳＣＡＮ（ｎ）と同じである。いくつかの例では、第ｎ行の画素回路に電気的に接続される第２リセット制御線ＲＳＴ２と、第ｎ＋１行の画素回路に電気的に接続される第１リセット制御線ＲＳＴ１は一体構造であってもよい。ここで、ｎは０より大きい整数である。これにより、表示基板の信号線を削減することができ、表示基板の狭額縁設計を実現することができる。しかし、本実施例はこれを限定しない。

【００７７】

いくつかの例示的な実施形態では、第１初期信号線ＩＮＩＴ１は、画素回路に第１初期信号を供給するように構成されてもよく、第２初期信号線ＩＮＩＴ２は、画素回路に第２初期信号を供給するように構成されてもよい。例えば、第１初期信号は、第２初期信号と異なっていてもよい。第１初期信号及び第２初期信号は定電圧信号であってもよく、その大きさは例えば、第１電圧信号ＶＤＤと第２電圧信号ＶＳＳの間にあるが、これに限定しない。他の例では、第１初期信号と第２初期信号は同じであってもよく、第１初期信号線のみが設けられ、第１初期信号を提供してもよい。

【００７８】

いくつかの例示的な実施形態では、図２に示すように、駆動トランジスタＴ３は、発光素子ＥＬに電気的に接続され、走査信号ＳＣＡＮ、データ信号ＤＡＴＡ、第１電圧信号ＶＤＤ、第２電圧信号ＶＳＳ等の信号の制御下で、駆動電流を出力して発光素子ＥＬの発光を駆動する。データ書き込みトランジスタＴ４のゲートは走査線ＧＬに電気的に接続され、データ書き込みトランジスタＴ４の第１極はデータ線ＤＬに電気的に接続され、データ書き込みトランジスタＴ４の第２極は駆動トランジスタＴ３の第１極に電気的に接続される。閾値補償トランジスタＴ２のゲートは走査線ＧＬに電気的に接続され、閾値補償トランジスタＴ２の第１極は駆動トランジスタＴ３のゲートに電気的に接続され、閾値補償トランジスタＴ２の第２極は駆動トランジスタＴ３の第２極に電気的に接続される。第１発光制御トランジスタＴ５のゲートは発光制御線ＥＭＬに電気的に接続され、第１発光制御トランジスタＴ５の第１極は第１電源線ＰＬ１に電気的に接続され、第１発光制御トランジスタＴ５の第２極は駆動トランジスタＴ３の第１極に電気的に接続される。第２発光制御トランジスタＴ６のゲートは発光制御線ＥＭＬに電気的に接続され、第２発光制御トランジスタＴ６の第１極は駆動トランジスタＴ３の第２極に電気的に接続され、第２発光制御トランジスタＴ６の第２極は発光素子ＥＬの陽極に電気的に接続される。第１リセットトランジスタＴ１は、駆動トランジスタＴ３のゲートに電気的に接続され、駆動トランジスタＴ３のゲートをリセットするように構成され、第２リセットトランジスタＴ７は、発光素子ＥＬの陽極に電気的に接続され、発光素子ＥＬの陽極をリセットするように構成される。第１リセットトランジスタＴ１のゲートは第１リセット制御線ＲＳＴ１に電気的に接続され、第１リセットトランジスタＴ１の第１極は第１初期信号線ＩＮＩＴ１に電気的に接続され、第１リセットトランジスタＴ１の第２極は駆動トランジスタＴ３のゲートに電気的に接続される。第２リセットトランジスタＴ７のゲートは第２リセット制御線ＲＳＴ２に電気的に接続され、第２リセットトランジスタＴ７の第１極は第２初期信号線ＩＮＩＴ２に電気的に接続され、第２リセットトランジスタＴ７の第２極は発光素子ＥＬの陽極に電気的に接続される。記憶コンデンサＣｓｔの第１コンデンサ極板は駆動トランジスタＴ３のゲートに電気的に接続され、記憶コンデンサＣｓｔの第２コンデンサ極板は第１電源線ＰＬ１に電気的に接続される。

【００７９】

本例では、第１ノードＮ１は、記憶コンデンサＣｓｔ、第１リセットトランジスタＴ１、駆動トランジスタＴ３及び閾値補償トランジスタＴ２の接続点であり、第２ノードＮ２

は、第１発光制御トランジスタＴ５、データ書き込みトランジスタＴ４及び駆動トランジスタＴ３の接続点であり、第３ノードＮ３は、駆動トランジスタＴ３、閾値補償トランジスタＴ２及び第２発光制御トランジスタＴ６の接続点であり、第４ノードＮ４は、第２発光制御トランジスタＴ６、第２リセットトランジスタＴ７及び発光素子ＥＬの接続点である。

【００８０】

次に、図２に示す画素回路の動作プロセスについて、図３を参照して説明する。図２に示す画素回路に含まれる複数のトランジスタがいずれもＰ型トランジスタであることを例に説明する。

【００８１】

いくつかの例示的な実施形態では、図３に示すように、１フレーム表示期間において、画素回路の動作プロセスは、第１段階Ｓ１、第２段階Ｓ２、及び第３段階Ｓ３を含んでもよい。

【００８２】

第１段階Ｓ１はリセット段階と呼ばれる。第１リセット制御線ＲＳＴ１から供給される第１リセット制御信号ＲＥＳＥＴ１はローレベル信号であり、第１リセットトランジスタＴ１をオンし、第１初期信号線ＩＮＩＴ１から供給される第１初期信号は第１ノードＮ１に供給され、第１ノードＮ１を初期化して記憶コンデンサＣｓｔの元のデータ電圧をクリアする。走査線ＧＬから供給される走査信号ＳＣＡＮはハイレベル信号であり、発光制御線ＥＭＬから供給される発光制御信号ＥＭはハイレベル信号であり、データ書き込みトランジスタＴ４、閾値補償トランジスタＴ２、第１発光制御トランジスタＴ５、第２発光制御トランジスタＴ６及び第２リセットトランジスタＴ７をオフする。この段階では、発光素子ＥＬは発光しない。

【００８３】

第２段階Ｓ２は、データ書き込み段階又は閾値補償段階と呼ばれる。走査線ＧＬから供給される走査信号ＳＣＡＮはローレベル信号であり、第１リセット制御線ＲＳＴ１から供給される第１リセット制御信号ＲＥＳＥＴ１及び発光制御線ＥＭＬから供給される発光制御信号ＥＭはいずれもハイレベル信号であり、データ線ＤＬはデータ信号ＤＡＴＡを出力する。この段階では、記憶コンデンサＣｓｔの第１コンデンサ極板がローレベルであるため、駆動トランジスタＴ３はオンになる。走査信号ＳＣＡＮはローレベル信号であり、閾値補償トランジスタＴ２、データ書き込みトランジスタＴ４及び第２リセットトランジスタＴ７をオンする。閾値補償トランジスタＴ２とデータ書き込みトランジスタＴ４をオンすることによって、データ線ＤＬが出力するデータ電圧Ｖｄａｔａは、第２ノードＮ２、オンされた駆動トランジスタＴ３、第３ノードＮ３、オンされた閾値補償トランジスタＴ２を介して第１ノードＮ１に供給され、データ線ＤＬが出力するデータ電圧Ｖｄａｔａと駆動トランジスタＴ３の閾値電圧の差を記憶コンデンサＣｓｔに充電し、記憶コンデンサＣｓｔの第１コンデンサ極板（即ち第１ノードＮ１）の電圧はＶｄａｔａ－｜Ｖｔｈ｜であり、Ｖｄａｔａはデータ線ＤＬが出力するデータ信号ＤＡＴＡであり、Ｖｔｈは駆動トランジスタＴ３の閾値電圧である。第２リセットトランジスタＴ７がオンして、第２初期信号線ＩＮＩＴ２から供給される第２初期信号が発光素子ＥＬの陽極に供給され、発光素子ＥＬの陽極を初期化（リセット）し、内部の予め記憶された電圧をクリアして初期化を完了し、発光素子ＥＬが発光しないことを保証する。第１リセット制御線ＲＳＴ１から供給される第１リセット制御信号ＲＥＳＥＴ１はハイレベル信号であり、第１リセットトランジスタＴ１をオフする。発光制御信号線ＥＭＬから供給される発光制御信号ＥＭはハイレベル信号であり、第１発光制御トランジスタＴ５と第２発光制御トランジスタＴ６をオフする。

【００８４】

第３段階Ｓ３は発光段階と呼ばれる。発光制御信号線ＥＭＬから供給される発光制御信号ＥＭはローレベル信号であり、走査線ＧＬから供給される走査信号ＳＣＡＮ及び第１リセット制御線ＲＳＴ１から供給される第１リセット制御信号ＲＥＳＥＴ１はハイレベル信

号である。発光制御信号線ＥＭＬから供給される発光制御信号ＥＭはローレベル信号であり、第１発光制御トランジスタＴ５と第２発光制御トランジスタＴ６をオンし、第１電源線ＰＬ１から出力される第１電圧信号ＶＤＤは、オンされた第１発光制御トランジスタＴ５、駆動トランジスタＴ３及び第２発光制御トランジスタＴ６を介して発光素子ＥＬの陽極に駆動電圧を供給して、発光素子ＥＬの発光を駆動する。

【００８５】

画素回路の駆動工程において、駆動トランジスタＴ３を流れる駆動電流は、そのゲートと第１極の電圧差によって決定される。第１ノードＮ１の電圧はＶｄａｔａ－｜Ｖｔｈ｜であるので、駆動トランジスタＴ３の駆動電流は下記の式である。

【００８６】

Ｉ＝Ｋ×（Ｖｇｓ－Ｖｔｈ）^{2}＝Ｋ×［（ＶＤＤ－Ｖｄａｔａ＋｜Ｖｔｈ｜）－Ｖｔｈ］^{2}＝Ｋ×［ＶＤＤ－Ｖｄａｔａ］^{2}。

【００８７】

ここで、Ｉは駆動トランジスタＴ３を流れる駆動電流、即ち発光素子ＥＬを駆動する駆動電流であり、Ｋは定数であり、Ｖｇｓは駆動トランジスタＴ３のゲートと第１極の間の電圧差であり、Ｖｔｈは駆動トランジスタＴ３の閾値電圧であり、Ｖｄａｔａはデータ線ＤＬが出力するデータ電圧であり、ＶＤＤは第１電源線ＰＬ１が出力する第１電圧信号である。

【００８８】

上式から、発光素子ＥＬを流れる電流は駆動トランジスタＴ３の閾値電圧と無関係であることが分かる。したがって、本実施例の画素回路は、駆動トランジスタＴ３の閾値電圧を良好に補償することができる。

【００８９】

いくつかの例示的な実施形態では、図１に示すように、第１表示領域Ａ１に複数の第１発光素子１３と複数の画素回路を設けてもよく、第２表示領域Ａ２ａ、Ａ２ｂに複数の第２発光素子１４を設けてもよい。第１表示領域Ａ１の複数の画素回路は、複数の第１画素回路１１と複数の第２画素回路を含んでもよい。複数の第２画素回路は、複数の第２有効画素回路１２と複数の無効画素回路を含んでもよい。第１表示領域Ａ１の少なくとも１つの第１画素回路１１は、少なくとも１つの第１発光素子１３に電気的に接続され、少なくとも１つの第１画素回路１１は、少なくとも１つの第１発光素子１３の発光を駆動するように構成される。第１表示領域Ａ１の少なくとも１つの第１画素回路１１のベース基板での正投影は、少なくとも１つの第１発光素子１３のベース基板での正投影と少なくとも部分的に重なる。例えば、第１画素回路１１は第１発光素子１３と１対１の対応関係であってもよい。第１表示領域Ａ１の少なくとも１つの第２有効画素回路１２と、第２表示領域Ａ２ａ又はＡ２ｂにおける少なくとも１つの第２発光素子１４とは、透明導電線Ｌを介して電気的に接続してもよく、少なくとも１つの第２有効画素回路１２は、少なくとも１つの第２発光素子１４の発光を駆動するように構成される。無効画素回路は、エッチング工程における複数の膜層の部品の均一性を向上させるのに有利であってもよい。例えば、無効画素回路は、その所在する行又は所在する列の第１画素回路１１及び第２有効画素回路１２と同じ構造であってもよいが、それはいかなる発光素子にも接続されない。

【００９０】

いくつかの例示的な実施形態では、図１に示すように、透明導電線Ｌの一端は第２有効画素回路１２に電気的に接続されてもよく、他端は第２発光素子１４に電気的に接続されてもよい。透明導電線Ｌは、第１表示領域Ａ１から第２表示領域Ａ２ａまで延在してもよいし、第１表示領域Ａ１から第２表示領域Ａ２ｂまで延在してもよい。例えば、透明導電線Ｌは、第１方向Ｘに沿って第１表示領域Ａ１から第２表示領域Ａ２ａまで延在してもよく、又は、透明導電線Ｌは、まず第１表示領域Ａ１において第２方向Ｙに沿って延在してから、第１方向Ｘに沿って第２表示領域Ａ２ａまで延在してもよい。透明導電線Ｌは、透明導電性材料、例えばインジウム錫酸化物（ＩＴＯ）を用いることができる。しかし、本実施例はこれを限定しない。複数の透明導電線Ｌは１つの透明導電層に配置されてもよく

、複数の透明導電線Ｌは２つ又は３つの透明導電層に配置されてもよい。例えば、各１本の透明導電線Ｌは、１つの第２有効画素回路１２と１つの第２発光素子１４を接続することができる。また、例えば１つの第２有効画素回路１２と１つの第２発光素子１４は、順次に接続される複数本の透明導電線Ｌによって電気的に接続されることができる。

【００９１】

いくつかの例示的な実施形態では、第１表示領域Ａ１の光透過率は、第２表示領域Ａ２ａ、Ａ２ｂの光透過率よりも小さくてもよい。第１表示領域Ａ１のみに画素回路を設け、第２表示領域Ａ２ａ、Ａ２ｂには画素回路を設けないことで、第２表示領域Ａ２ａ、Ａ２ｂの光透過率を向上させることができる。

【００９２】

いくつかの例示的な実施形態では、表示効果を向上させるために、第２表示領域Ａ２ａ、Ａ２ｂ内の第２発光素子１４の密度は、第１表示領域Ａ１内の第１発光素子１３の密度以下であってもよい。しかし、本実施例はこれを限定しない。

【００９３】

いくつかの例示的な実施形態では、第１表示領域Ａ１の解像度は、第２表示領域Ａ２ａ及びＡ２ｂの解像度以下であってもよい。しかし、本実施例はこれを限定しない。

【００９４】

図４は、本開示の少なくとも１つの実施例の第１表示領域の局部配線の模式図である。いくつかの例示的な実施形態では、図１と図４に示すように、表示基板の第１表示領域Ａ１に、第１方向Ｘに沿って延びる複数本の第１信号線２１及び複数本の第３信号線２２と、第２方向Ｙに沿って延びる複数本の第２信号線３１及び複数本の第４信号線３２とを設けてもよい。第１信号線２１及び第３信号線２２は、第１方向Ｘにおいて順次に配置される複数の画素回路に電気的に接続されてもよい。第２信号線３１は、第２方向Ｙにおいて第２表示領域Ａ２ａ又はＡ２ｂによって仕切られる。第４信号線３２は、第２方向Ｙにおいて順次に配置される複数の第１画素回路１１に電気的に接続されてもよいし、複数の無効画素回路に電気的に接続されてもよい。第１信号線２１は、第１方向Ｘにおいて第２表示領域Ａ２ａ、Ａ２ｂによって３本の第１サブ信号線に仕切られ、隣接する第１サブ信号線は第１転送線４１によって電気的に接続されてもよい。いくつかの例では、第１信号線２１と第３信号線２２は、走査線と発光制御線を含んでもよく、第２信号線３１と第４信号線３２は、データ線を含んでもよい。第３信号線２２は、一端が表示領域ＡＡの左側周辺領域内のゲート駆動回路に電気的に接続されてもよく、他端が表示領域ＡＡの右側周辺領域内のゲート駆動回路に電気的に接続されてもよい。これにより、第１表示領域の画素回路に対するバイラテラル駆動を実現し、表示効果を向上させることができる。

【００９５】

次に、１本の第１信号線２１を例に説明する。いくつかの例では、図４に示すように、第１信号線２１は、第１方向Ｘにおいて２つの第２表示領域Ａ２ａ、Ａ２ｂによって第１方向Ｘに沿って延びる３本の第１サブ信号線に仕切られ、例えば、第１本の第１サブ信号線２１１、第２本の第１サブ信号線２１２、及び第３本の第１サブ信号線２１３を含む。第１本の第１サブ信号線２１１は、第２表示領域Ａ２ａの左側周辺領域内のゲート駆動回路に電気的に接続されてもよく、第２表示領域Ａ２ａの左側の第１表示領域Ａ１内の１行の画素回路に電気的に接続されてもよい。第２本の第１サブ信号線２１２は、第２表示領域Ａ２ａ、Ａ２ｂの間における第１表示領域Ａ１内の１行の画素回路に電気的に接続されてもよい。第３本の第１サブ信号線２１３は、第２表示領域Ａ２ｂの右側周辺領域内のゲート駆動回路に電気的に接続されてもよく、第２表示領域Ａ２ｂの右側の第１表示領域Ａ１内の１行の画素回路に電気的に接続されてもよい。いくつかの例では、第１本の第１サブ信号線２１１、第２本の第２サブ信号線２１２及び第３本の第１サブ信号線３１２に接続される画素回路は同一行に位置してもよい。本例では、第１本の第１サブ信号線２１１、第２本の第１サブ信号線２１２、及び第３本の第１サブ信号線２１３は順次に電気的に接続され、バイラテラル駆動を実現し、表示効果を向上させることができる。第１本の第１サブ信号線２１１と第２本の第１サブ信号線２１２は、一本の第１転送線４１を介して

電気的に接続されてもよく、同様に、第２本の第１サブ信号線２１２と第３本の第１サブ信号線２１３は、他の１本の第１転送線４１を介して電気的に接続されてもよい。

【００９６】

いくつかの例では、図４に示すように、第１本の第１サブ信号線２１１と第２本の第１サブ信号線２１２の間に電気的に接続される第１転送線４１は、少なくとも第２方向Ｙに沿って延びる第１線分４１１及び第３線分４１３と、第１方向Ｘに沿って延びる第２線分４１２とを含んでもよい。第２線分４１２は、第１線分４１１と第３線分４１３の間に接続される。例えば、第１線分４１１は、一端が第１本の第１サブ信号線２１１に電気的に接続されてもよく、他端が第２線分４１２の第１端に電気的に接続されてもよく、第３線分４１３は、一端が第２本の第１サブ信号線２１２に電気的に接続されてもよく、他端が第２線分４１２の第２端に電気的に接続されてもよい。

【００９７】

いくつかの例では、図４に示すように、第２表示領域Ａ２ａの第１方向Ｘでの中心線が第１中線ＯＯ’であり、第２方向Ｙでの中心線が第２中線ＱＱ’である。第２表示領域Ａ２ａによって仕切られた複数本の第１信号線２１を２つのグループに分けられてもよい。２つのグループ内の第１信号線２１の数は、同一であってもよく、異なってもよい。例えば、第２中線ＱＱ’を用いて複数本の第１信号線２１は２つのグループに分けられてもよく、第１グループは、第２中線ＱＱ’の上側に位置する複数本の第１信号線２１を含んでもよく、第２グループは、第２中線ＱＱ’の下側に位置する複数本の第１信号線２１を含んでもよい。第１グループの第１信号線２１は、第１転送線４１を介して第２表示領域Ａ２ａの第２方向Ｙでの第１側（例えば上側）から第２表示領域Ａ２ａを迂回してもよく、もう１つの第１信号線２１は、第１転送線４１を介して第２表示領域Ａ２ａの第２方向Ｙでの第２側（例えば下側）から第２表示領域Ａ２ａを迂回してもよい。本例では、第２表示領域の上下両側から第１信号線を転送することにより、配線が密に配置されて表示効果に影響を与えることを回避することができる。いくつかの例では、第２中線ＱＱ’側の領域において、第２中線ＱＱ’に近い第１信号線２１に電気的に接続される第１転送線４１は、第２中線ＱＱ’から離れた第１信号線２１に電気的に接続される第１転送線４１の第２表示領域Ａ２ａに近い側に位置してもよい。これにより、第１転送線が交差することを回避することができる。

【００９８】

第２本の第１サブ信号線２１２と第３本の第１サブ信号線２１３の間の接続方式は、第１本の第１サブ信号線２１１と第２本の第１サブ信号線２１２の間の接続方式とほぼ同じであるので、ここでは割愛する。第１本の第１サブ信号線２１１に接続される第１転送線と、第３本の第１サブ信号線２１３に接続される第１転送線は、第２表示領域Ａ２ａ、Ａ２ｂの第２方向Ｙでの同じ側に位置してもよい。しかし、本実施例はこれを限定しない。他の例では、第１本の第１サブ信号線２１１に接続される第１転送線と、第３本の第１サブ信号線２１３に接続される第１転送線は、第２表示領域Ａ２ａ、Ａ２ｂの第２方向Ｙでの異なる側に位置してもよい。例えば、第１本の第１サブ信号線２１１に接続される第１転送線は、第２方向Ｙにおいて第２表示領域Ａ２ａの上側に位置してもよく、第３本の第１サブ信号線２１３に接続される第１転送線は、第２方向Ｙにおいて第２表示領域Ａ２ｂの下側に位置してもよい。

【００９９】

次に、１本の第３信号線３１を例に説明する。いくつかの例では、図４に示すように、第３信号線３１は、第２方向Ｙにおいて第２表示領域Ａ２ａによって仕切られる。第３信号線３１は、３本の第２サブ信号線（例えば、第１本の第２サブ信号線３１１、第２本の第２サブ信号線３１２、第３本の第２サブ信号線３１３）を含んでもよい。第１本の第２サブ信号線３１１は、第２表示領域Ａ２ａの下側の第１表示領域内の複数の第１画素回路に電気的に接続されてもよい。第２本の第２サブ信号線３１２は、第２表示領域Ａ２ａの左側の第１表示領域内の複数の第２有効画素回路に電気的に接続されてもよい。第３本の第２サブ信号線３１３は、第２表示領域Ａ２ａの上側の第１表示領域内の複数の第１画素

回路に電気的に接続されてもよい。例えば、同じ１本の第２信号線３１の第１本の第２サブ信号線３１１と第３本の第２サブ信号線３１３に電気的に接続される画素回路は同じ列に位置してもよく、同じ１本の第２信号線３１の第２本の第２サブ信号線３１２が電気的に接続する第２有効画素回路に電気的に接続される第２発光素子は、第１本の第２サブ信号線３１１が電気的に接続する第１画素回路に電気的に接続される第１発光素子と同じ列に位置してもよい。第１本の第２サブ信号線３１１と第２本の第２サブ信号線３１２は、第２転送線４２ａを介して電気的に接続されてもよく、第３本の第２サブ信号線３１３と第２本の第２サブ信号線３１２は、第２転送線４２ｂを介して電気的に接続されてもよい。３本の第２サブ信号線３１１、３１２及び３１３は、いずれも第２方向Ｙに沿って延びてもよく、第２転送線４２ａと４２ｂは、いずれも第１方向Ｘに沿って延びてもよい。

【０１００】

いくつかの例では、図４に示すように、第２表示領域Ａ２ａによって仕切られた複数本の第２信号線３１を２つのグループに分けてもよく、２つのグループ内の第２信号線３１の数は同じであってもよいし、異なってもよい。例えば、第１中線ＯＯ’を用いて複数本の第２信号線３１を２つのグループに分けてもよく、第１グループは第１中線ＯＯ’の左側に位置する複数本の第２信号線３１を含んでもよく、第２グループは第１中線ＯＯ’の右側に位置する複数本の第２信号線３１を含んでもよい。第１グループの第２信号線３１は、第２表示領域Ａ２ａの第１方向Ｘでの一側（例えば左側）から第２表示領域Ａ２ａを迂回してもよく、第２グループの第２信号線３１は、第２表示領域Ａ２ａの第１方向Ｘでの他側（例えば右側）から第２表示領域Ａ２ａを迂回してもよい。本例では、第２表示領域の左右両側から第２信号線を転送することにより、配線が密に配置されることを回避することができる。いくつかの例では、第１中線ＯＯ’側の領域において、第１中線ＯＯ’に近い第２信号線３１は、第２表示領域Ａ２ａに近い１列の第２有効画素回路に電気的に接続され、第１中線ＯＯ’から離れた第２信号線３１は、第２表示領域Ａ２ａから離れた１列の第２有効画素回路に電気的に接続され、第１中線ＯＯ’に近い第２信号線３１に電気的に接続される第２転送線は、第２中線ＱＱ’から離れた第２信号線３１に電気的に接続される第２転送線の第２表示領域Ａ２ａに近い側に位置してもよい。しかし、本実施例はこれを限定しない。例えば、第１中線ＯＯ’側の領域において、第１中線ＯＯ’から離れた第２信号線に電気的に接続される第２転送線は、第１中線ＯＯ’に近い第２信号線に電気的に接続される第２転送線の第２表示領域Ａ２ａに近い側に位置してもよい。

【０１０１】

第２表示領域Ａ２ｂによって仕切られた第２信号線の転送方式は、第２表示領域Ａ２ａによって仕切られた第２信号線の転送方式とほぼ同じであるので、ここでは割愛する。

【０１０２】

いくつかの例では、図４に示すように、第１信号線２１に電気的に接続される第１転送線４１は、第２信号線３１に電気的に接続される第２転送線４２ａと４２ｂの周囲に位置してもよい。即ち、第１転送線４１は、第２転送線４２ａ又は第２転送線４２ｂの第２表示領域Ａ２ａから離れた側に位置してもよい。本例では、第２有効画素回路を第２表示領域の近接領域に配置することにより、第２有効画素回路と第２発光素子を電気的に接続する透明導電線が長すぎることを回避し、表示効果を確保することができる。

【０１０３】

図５は本開示の少なくとも１つの実施例の第１表示領域の画素回路の配置模式図である。いくつかの例示的な実施形態では、図５に示すように、第１表示領域の複数の画素回路はアレイ状に配置されてもよい。第１方向Ｘに沿って順次に配置される複数の画素回路は１行の画素回路と呼ばれてもよく、第２方向Ｙに沿って順次に配置される複数の画素回路は１列の画素回路と呼ばれてもよい。

【０１０４】

いくつかの例では、図５に示すように、第１方向Ｘに沿って順次に配置される複数の第１画素回路１１の間に、少なくとも１つの第２画素回路１０を設けてもよい。第２画素回路１０は、複数列の第１画素回路１１の間に配置されてもよい。例えば、Ｍ列の第１画素

回路１１毎に１列の第２画素回路１０を設けてもよい。第１画素回路のみが設けられる第１表示領域と比較して、従来のＭ列第１画素回路毎に第１方向Ｘに沿って圧縮することにより、１列の第２画素回路１０の配置スペースを新たに増加することができ、圧縮前のＭ列の画素回路と圧縮後のＭ＋１列の画素回路の占めるスペースは同じであってもよい。ここで、Ｍは２以上の整数であってもよい。本例では、図５に示すように、Ｍは２であってもよく、即ち、元の２列の第１画素回路を第１方向Ｘに沿って圧縮することにより、１列の第２画素回路の配置スペースを新たに増加することができ、圧縮前の２列の画素回路と圧縮後の３列の画素回路の占めるスペースは同じであってもよい。他の例では、Ｍは４であってもよいし、８であってもよい。しかし、本実施例はこれを限定しない。他の例では、第１画素回路を第２方向Ｙに沿って圧縮して、第２画素回路を配置するスペースを新たに増加することができる。例えば、元のＲ行の第１画素回路を第２方向Ｙに沿って圧縮することにより、１行の第２画素回路の配置スペースを新たに増加することができ、圧縮前のＲ行の画素回路と圧縮後のＲ＋１行の画素回路の占めるスペースは同じであってもよい。Ｒは１より大きい整数であってもよい。

【０１０５】

いくつかの例では、１列の第２画素回路１０は、複数の第２有効画素回路と複数の無効画素回路を含んでもよく、又は複数の無効画素回路を含んでもよい。第２有効画素回路は、第２表示領域の周囲の第１表示領域内に位置してもよい。

【０１０６】

図６は、本開示の少なくとも１つの実施例の第１信号線の配置模式図である。図６では、数本の第１信号線のみを例に示し、第２表示領域の周辺に配置される第２有効画素回路を省略して示す。いくつかの例では、図６に示すように、第１信号線２１は、第１表示領域内の１行の画素回路に電気的に接続され、第１転送線４１を介して第２表示領域の上側又は下側から第２表示領域を迂回して信号伝送を実現ことができる。第１信号線２１が電気的に接続する第１転送線４１の第１線分４１１及び第３線分４１３のベース基板での正投影と、複数の無効画素回路１５のベース基板での正投影には重なる部分が存在してもよい。第１転送線４１の第２線分４１２のベース基板での正投影は、隣接する画素回路行の間に位置してもよい。本例では、第１転送線４１の第１線分４１１と第３線分４１３を無効画素回路が所在する領域に配置することにより、有効画素回路のスペースを占有することを回避することができ、また、第２表示領域での巻線による第２表示領域のスペースを占有することを回避することができ、第２表示領域のサイズを確保することができる。しかし、本実施例はこれを限定しない。他の例では、第１画素回路を第２方向に沿って圧縮することによって第２画素回路を新たに増加する際に、第１転送線の第１線分と第３線分は隣接する画素回路列の間に配置されてもよく、第２線分のベース基板での正投影と、複数の無効画素回路のベース基板での正投影には重なる部分が存在してもよい。

【０１０７】

いくつかの例では、図６に示すように、異なる第１信号線２１に電気的に接続される第１転送線４１のベース基板での正投影と、異なる無効画素回路のベース基板での正投影には重なる部分が存在してもよい。例えば、複数の無効画素回路が所在する領域には、１本の第１転送線が配置されてもよい。しかし、本実施例はこれを限定しない。例えば、複数本の第１転送線は同じ列の無効画素回路が所在する領域に配置されてもよい。

【０１０８】

図７は、本開示の少なくとも１つの実施例の第１信号線の別の配置模式図である。図７では、第２表示領域Ａ２ａ周辺の第１信号線を例に示す。図７では、透明導電線と発光素子を省略して示す。本例の画素回路は、７Ｔ１Ｃ画素回路を例に説明する。本例では、第ｉ行の画素回路が受信する第１リセット制御信号は第ｉ－１行の画素回路が受信する走査線信号と同じであってもよく、即ち、第ｉ行の画素回路の第１リセットトランジスタＴ１と第ｉ－１行の画素回路の閾値補償トランジスタＴ２のゲートは、同じ信号を受信してもよい。第ｉ行の画素回路が受信する第２リセット制御信号は第ｉ行の画素回路が受信する走査信号と同じであってもよく、即ち、画素回路の閾値補償トランジスタＴ２のゲート、

データ書き込みトランジスタＴ４のゲート、及び第２リセットトランジスタＴ７のゲートは同じ信号を受信してもよい。本例では、第ｉ行の画素回路が電気的に接続する第１リセット制御線ＲＳＴ１（ｉ）は第ｉ－１行の画素回路が電気的に接続する走査線ＧＬ（ｉ）と、同じ信号を伝送することができる。ここで、ｉは０より大きい整数です。

【０１０９】

いくつかの例では、図７に示すように、本例の第１信号線は、第１リセット制御線と発光制御線を含んでもよい。第１信号線は、第２表示領域Ａ２ａによって仕切られる。図７では、第２表示領域Ａ２ａによって仕切られた第１リセット制御線は、第１リセット制御線ＲＳＴ１（ｉ）及びＲＳＴ１（ｉ＋１）を例に説明する。図７では、第２表示領域Ａ２ａによって仕切られた発光制御線は、発光制御線ＥＭＬ（ｉ）を例に説明する。例えば、第１リセット制御線ＲＳＴ１（ｉ）は、第１転送線４１ａに電気的に接続されることによって、第２表示領域Ａ２ａの上側から第２表示領域Ａ２ａを迂回してもよく、発光制御線ＥＭＬ（ｉ）は、第１転送線４１ｂに電気的に接続されることによって、第２表示領域Ａ２ａの上側から第２表示領域Ａ２ａを迂回してもよく、第１リセット制御線ＲＳＴ１（ｉ＋１）は、第１転送線４１ｃに電気的に接続されることによって、第２表示領域Ａ２ａの上側から第２表示領域Ａ２ａを迂回してもよい。本例の第３信号線は、第１リセット制御線、走査線、及び発光制御線を含んでもよい。第３信号線は、第２表示領域によって仕切られていない。図７では、第２表示領域Ａ２ａによって仕切られていない第１リセット制御線は、第１リセット制御線ＲＳＴ１（ｉ－１）を例に説明する。

【０１１０】

いくつかの例では、表示基板は第５信号線を更に含んでもよい。第５信号線は、第２表示領域によって仕切られ、第１転送線を介して第２表示領域を迂回していない。第５信号線は、第３転送線を介して同じ信号を伝送する隣接する第１信号線又は第３信号線に電気的に接続されてもよく、これによって、第２表示領域の上側又は下側から第２表示領域を迂回する第１転送線に接続する必要がない。

【０１１１】

いくつかの例では、第５信号線は走査線を含んでもよい。図７では、第２表示領域Ａ２ａによって仕切られ、第１転送線を介して第２表示領域Ａ２ａを迂回していない走査線は走査線ＧＬ（ｉ）を例に説明する。いくつかの例では、走査線ＧＬ（ｉ）は、２つの第２表示領域によって仕切られて形成された３本の第５サブ信号線を含んでもよい。図７では、第２表示領域Ａ２ａによって仕切られて形成された第１本の第５サブ信号線２３１と第２本の第５サブ信号線２３２を例に示す。走査線ＧＬ（ｉ）の第１本の第５サブ信号線２３１の一端は、左側周辺領域の走査駆動回路に電気的に接続されて走査信号を受信してもよく、第１本の第５サブ信号線２３１の他端は、第２表示領域Ａ２ａに近い辺縁まで延在してもよく、第３本の第５サブ信号線の一端は、右側周辺領域の走査駆動回路に電気的に接続されて走査信号を受信してもよく、第３本の第５サブ信号線の他端は、第２表示領域Ａ２ｂに近い辺縁まで延在してもよい。第２本の第５サブ信号線２３２は、第２表示領域Ａ２ａとＡ２ｂの間の第１表示領域内に位置してもよい。本例では、第１サブ信号線は第１リセット制御線ＲＳＴ１（ｉ＋１）を例にし、第１リセット制御線ＲＳＴ１（ｉ＋１）は、２つの第２表示領域によって仕切られて形成された３本の第１サブ信号線を含んでもよく、図７では、第２表示領域Ａ２ａによって仕切られて形成された第１本の第１サブ信号線２１１と第２本の第２サブ信号線２１２を例に示す。第１本の第１サブ信号線２１１は、第１転送線４１ｃを介して第２本の第１サブ信号線２１２の一端に電気的に接続されてもよく、第２本の第１サブ信号線２１２の他端は、他本の第１転送線を介して第３本の第１サブ信号線に電気的に接続されてもよい。走査線ＧＬ（ｉ）の第２本の第５サブ信号線２３２の一端（例えば第２表示領域Ａ２ａに近い一端）は、第３転送線４３を介して第１リセット制御線ＲＳＴ１（ｉ＋１）の第２本の第１サブ信号線２１２の一端（例えば第２表示領域Ａ２ａに近い一端）に電気的に接続されてもよい。例えば、走査線ＧＬ（ｉ）の第２本の第５サブ信号線２３２、第１リセット制御線ＲＳＴ１（ｉ＋１）の第２本の第１サブ信号線２１２、及び第３転送線４３は一体構造であってもよい。いくつかの例では

、第３転送線４３は、走査線ＧＬ（ｉ）の第２本の第５サブ信号線２３２の第２表示領域Ａ２ａに近い辺縁に位置してもよい。他の例では、走査線ＧＬ（ｉ）の第２本の第５サブ信号線２３２の第２表示領域Ａ２ｂに近い一端は、第３転送線を介して第１リセット制御線ＲＳＴ１（ｉ＋１）の第２本の第１サブ信号線２１２の第２表示領域Ａ２ｂに近い一端に電気的に接続されてもよく、第３転送線は第２表示領域Ａ２ｂに近い辺縁に位置してもよい。他の例では、走査線ＧＬ（ｉ）の第２本の第５サブ信号線２３２の両端は、それぞれ第３転送線を介して第１リセット制御線ＲＳＴ１（ｉ＋１）の第２本の第１サブ信号線２１２の両端に電気的に接続されてもよい。しかし、本実施例はこれを限定しない。他の例では、第３転送線４３は、走査線ＧＬ（ｉ）の第２本の第５サブ信号線２３２及び第１リセット制御線ＲＳＴ１（ｉ＋１）の第２本の第１サブ信号線２１２と異なる導電層に位置してもよく、例えば、走査線ＧＬ（ｉ）及び第１リセット制御線ＲＳＴ１（ｉ＋１）のベース基板から離れた側に位置してもよい。本例では、第２表示領域によって仕切られた走査線は、同じ信号を伝送する隣接する第１信号線に電気的に接続されることによって、信号伝送を実現することができ、転送線の数を削減することができる。

【０１１２】

他の例では、第１信号線は走査線と発光制御線を含んでもよく、第５信号線は第１リセット制御線を含んでもよい。第２表示領域によって仕切られた走査線は、第１転送線を介して転送し、第２表示領域を迂回してもよく、第２表示領域によって仕切られた第１リセット制御線は、同じ信号を伝送する隣接する走査線に電気的に接続されることによって、信号伝送を実現することができる。しかし、本実施例はこれを限定しない。

【０１１３】

いくつかの例では、図７に示すように、第１転送線４１ａ、第２転送線４１ｂ及び第３転送線４１ｃのベース基板での正投影と、同じ複数の無効画素回路のベース基板での正投影には重なる部分が存在してもよい。１列の無効画素回路が所在する領域には、複数本の第１転送線が配置されてもよい。

【０１１４】

図８は、図７の領域Ｐ１の表示基板の部分平面図である。図９は図８のＲ－Ｒ’方向に沿う局部断面模式図である。図１０Ａは図８の半導体層を形成した後の表示基板の部分平面模式図である。図１０Ｂは図８の第１導電層を形成した後の表示基板の部分平面模式図である。図１０Ｃは図８の第２導電層を形成した後の表示基板の部分平面模式図である。図１０Ｄは図８の第３絶縁層を形成した後の表示基板の部分平面模式図である。図１０Ｅは図８の第３導電層を形成した後の表示基板の部分平面模式図である。図１０Ｆは図８の第４絶縁層を形成した後の表示基板の部分平面模式図である。

【０１１５】

いくつかの例では、図７と図８に示すように、第１表示領域には、第１方向Ｘにおいて第１回路領域Ａ１１と第２回路領域Ａ１２が間隔をあけて配置されている。第１回路領域Ａ１１には、第１画素回路１１を複数列（例えば、２列の第１画素回路１１）設置し、第２回路領域Ａ１２には、第２画素回路を１列設置する（例えば、複数の無効画素回路１５を含み、又は複数の第２有効画素回路と複数の無効画素回路を含んでもよい）。図８では、２行と複数列の画素回路を例に示す。

【０１１６】

いくつかの例では、図８と図９に示すように、表示基板に垂直な方向において、第１表示領域Ａ１の表示基板は、ベース基板１００と、ベース基板１００に設けられる回路構成層を含んでもよい。回路構成層は、ベース基板１００に順次に設けられる半導体層５０、第１導電層５１、第２導電層５２、第３導電層５３及び第４導電層５４を含んでもよい。半導体層５０と第１導電層５１の間には第１絶縁層１０１が設けられ、第１導電層５１と第２導電層５２の間には第２絶縁層１０２が設けられ、第２導電層５２と第３導電層５３の間には第３絶縁層１０３が設けられ、第３導電層５３と第４導電層５４の間には第４絶縁層１０４が設けられる。いくつかの例では、第１絶縁層１０１～第４絶縁層１０４は、いずれも無機絶縁層であってもよい。又は、第１絶縁層１０１～第３絶縁層１０３は無機

絶縁層であってもよく、第４絶縁層１０４は有機絶縁層であってもよい。いくつかの例では、回路構造層のベース基板１００から離れた側には、少なくとも１つの透明導電層と発光構造層が設置されてもよい。透明導電層は、複数本の透明導電線を含んでもよい。透明導電線は、第２有効画素回路と第２発光素子の陽極に電気的に接続されるように構成されてもよい。発光構造層は、複数の第１発光素子と複数の第２発光素子を含んでもよい。発光構造層は、順次に設置される陽極層、画素定義層、有機発光層、及び陰極層を含んでもよい。しかし、本実施例はこれを限定しない。

【０１１７】

いくつかの例示的な実施形態では、図８～図１０Ａに示すように、第１表示領域Ａ１の半導体層５０は、少なくとも複数の画素回路の複数のトランジスタの活性層（例えば、無効画素回路１５の第１リセットトランジスタ１５１の活性層１５１０、閾値補償トランジスタ１５２の活性層１５２０、駆動トランジスタ１５３の活性層１５３０、データ書き込みトランジスタ１５４の活性層１５４０、第１発光制御トランジスタ１５５の活性層１５５０、第２発光制御トランジスタ１５６の活性層１５６０、及び第２リセットトランジスタ１５７の活性層１５７０、並びに、第１画素回路１１の第１リセットトランジスタ１１１の活性層１１１０、閾値補償トランジスタ１１２の活性層１１２０、駆動トランジスタ１１３の活性層１１３０、データ書き込みトランジスタ１１４の活性層１１４０、第１発光制御トランジスタ１１５の活性層１１５０、第２発光制御トランジスタ１１６の活性層１１６０、及び第２リセットトランジスタ１１７の活性層１１７０を含む）を含んでもよい。本例では、１つの画素回路の７つのトランジスタの活性層は一体構造であってもよい。いくつかの例では、少なくとも１つの活性層は、少なくとも１つのチャネル領域及び複数のドーピング領域を含んでもよい。チャネル領域には不純物がドープされなくてもよく、半導体特性を有する。複数のドーピング領域は、チャネル領域の両側にあってもよく、不純物がドーピングされ、従って導電性を有する。不純物はトランジスタの種類に応じて変化させることができる。いくつかの例では、活性層のドーピング領域をトランジスタのソース電極又はドレイン電極として解釈することができる。トランジスタ間の活性層の部分は不純物がドープされた配線と解釈することができ、トランジスタを電気的に接続するのに用いることができる。

【０１１８】

いくつかの例示的な実施形態では、図８～図１０Ｂに示すように、第１表示領域Ａ１の第１導電層５１は、複数の画素回路の複数のトランジスタのゲートと記憶コンデンサの第１コンデンサ極板（例えば、無効画素回路１５の第１リセットトランジスタ１５１のゲート１５１１、閾値補償トランジスタ１５２のゲート１５２１、駆動トランジスタ１５３のゲート１５３１、データ書き込みトランジスタ１５４のゲート１５４１、第１発光制御トランジスタ１５５のゲート１５５１、第２発光制御トランジスタ１５６のゲート１５６１、第２リセットトランジスタ１５７のゲート１５７１、及び記憶コンデンサ１５８の第１コンデンサ極板１５８１、並びに、第１画素回路１１の第１リセットトランジスタ１１１のゲート１１１１、閾値補償トランジスタ１１２のゲート１１２１、駆動トランジスタ１１３のゲート１１３１、データ書き込みトランジスタ１１４のゲート１１４１、第１発光制御トランジスタ１１５のゲート１１５１、第２発光制御トランジスタ１１６のゲート１１６１、第２リセットトランジスタ１１７のゲート１１７１、及び記憶コンデンサ１１８の第１コンデンサ極板１１８１を含む）、複数本の走査線（例えば、走査線ＧＬ（ｉ－１）とＧＬ（ｉ））、複数本の発光制御線（例えば、発光制御線ＥＭＬ（ｉ－１）とＥＭＬ（ｉ））、及び複数本の第１リセット制御線（例えば、第１リセット制御線ＲＳＴ１（ｉ－１）、ＲＳＴ１（ｉ）及びＲＳＴ１（ｉ＋１））を含んでもよい。

【０１１９】

いくつかの例では、図１０Ｂに示すように、第１リセット制御線ＲＳＴ１（ｉ）は、第ｉ行の無効画素回路１５の第１リセットトランジスタ１５１のゲート１５１１、第ｉ行の第１画素回路１１の第１リセットトランジスタ１１１のゲート１１１１、及び第ｉ－１行の画素回路の第２リセットトランジスタのゲートと一体構造であってもよい。第１リセッ

ト制御線ＲＳＴ１（ｉ＋１）は、第ｉ行の無効画素回路１５の第２リセットトランジスタ１５７のゲート１５７１、第ｉ行の第１画素回路１１の第２リセットトランジスタ１１７のゲート１１７１、及び第ｉ＋１行の画素回路の第１リセットトランジスタのゲートと一体構造であってもよい。走査線ＧＬ（ｉ）は、第ｉ行の無効画素回路１５のデータ書き込みトランジスタ１５４のゲート１５４１と閾値補償トランジスタ１５２のゲート１５２１と、及び、第ｉ行の第１画素回路１１のデータ書き込みトランジスタ１１４のゲート１１４１と閾値補償トランジスタ１１２のゲート１１２１と一体構造であってもよい。発光制御線ＥＭＬ（ｉ）は、第ｉ行の無効画素回路１５の第１発光制御トランジスタ１５５のゲート１５５１と第２発光制御トランジスタ１５６のゲート１５６１と、及び本行の第１画素回路１１の第１発光制御トランジスタ１１５のゲート１１５１と第２発光制御トランジスタ１１６のゲート１１６１と一体構造であってもよい。無効画素回路１５の記憶コンデンサ１５８の第１コンデンサ極板１５８１は駆動トランジスタ１５３のゲート１５３１と一体構造であってもよい。第１画素回路１１の記憶コンデンサ１１８の第１コンデンサ極板１１８１は駆動トランジスタ１１３のゲート１１３１と一体構造であってもよい。しかし、本実施例はこれを限定しない。

【０１２０】

いくつかの例示的な実施形態では、図８～図１０Ｃに示すように、第１表示領域Ａ１の第２導電層５２は、複数の画素回路の記憶コンデンサの第２コンデンサ極板（例えば、無効画素回路１５の記憶コンデンサ１５８の第２コンデンサ極板１５８２、第１画素回路１１の記憶コンデンサ１１８の第２コンデンサ極板１１８２を含む）、複数本の第１初期信号線（例えば、第１初期信号線ＩＮＩＴ１（ｉ－１）とＩＮＩＴ１（ｉ）を含む）、及び複数本の第２初期信号線（例えば、第２初期信号線ＩＮＩＴ２（ｉ－１）、ＩＮＩＴ２（ｉ）及びＩＮＩＴ２（ｉ＋１）を含む）を含んでもよい。第１画素回路１１の記憶コンデンサ１１８の第２コンデンサ極板１１８２は１つの透かし彫りの領域を有し、駆動トランジスタ１１３のゲート１１３１のベース基板での正投影は、該透かし彫りの領域のベース基板での正投影を覆ってもよい。該透かし彫りの領域のベース基板での正投影は多角形であってもよい。しかし、本実施例はこれを限定しない。

【０１２１】

いくつかの例示的な実施形態では、図８～図１０Ｄに示すように、第１表示領域Ａ１の第３絶縁層１０３には、複数のビアが開設され、例えば、第１ビアＶ１～第９ビアＶ９、及び第１１ビアＶ１１と第１２ビアＶ１２を含んでもよい。第１ビアＶ１～第５ビアＶ５内の第３絶縁層１０３、第２絶縁層１０２及び第１絶縁層１０１は除去され、半導体層５０の表面を露出する。第６ビアＶ６、第１１ビアＶ１１及び第１２ビアＶ１２内の第３絶縁層１０３及び第２絶縁層１０２は除去され、第１導電層５１の表面を露出する。第７ビアＶ７～第９ビアＶ９内の第３絶縁層１０３は除去され、第２導電層５２の表面を露出する。

【０１２２】

いくつかの例示的な実施形態では、図８～図１０Ｅに示すように、第１表示領域Ａ１の第３導電層５３は、複数の接続電極（例えば、第１接続電極ＣＰ１～第６接続電極ＣＰ６を含む）と、複数の第１転送線（例えば、第１転送線４１ａ、４１ｂ及び４１ｃ）を含んでもよい。第１接続電極ＣＰ１は、第１ビアＶ１を介して第１画素回路１１の第１リセットトランジスタ１１１の活性層１１１０の第１ドープ領域に電気的に接続されてもよく、第７ビアＶ７を介して第１初期信号線ＩＮＩＴ（ｉ）に電気的に接続されてもよい。第２接続電極ＣＰ２は、第２ビアＶ２を介して第１画素回路１１の閾値補償トランジスタ１１２の活性層１１２０の第１ドープ領域に電気的に接続されてもよく、第６ビアＶ６を介して駆動トランジスタ１１３のゲート１１３１に電気的に接続されてもよい。第３接続電極ＣＰ３は、第３ビアＶ３を介してデータ書き込みトランジスタ１１４の活性層１１４０の第１ドープ領域に電気的に接続されてもよい。第４接続電極ＣＰ４は、第４ビアＶ４を介して第１発光制御トランジスタ１１５の活性層１１５０の第１ドープ領域に電気的に接続されてもよく、第８ビアＶ８を介して記憶コンデンサ１１８の第２コンデンサ極板１１８

２に電気的に接続されてもよい。第５接続電極ＣＰ５は、第５ビアＶ５を介して第２発光制御トランジスタ１１６の活性層１１６０の第２ドープ領域に電気的に接続されてもよい。第６接続電極ＣＰ６は、第９ビアＶ９を介して第２初期信号線ＩＮＩＴ２（ｉ＋１）に電気的に接続されてもよく、第２リセットトランジスタ１１７の活性層１１７０の第１ドープ領域に電気的に接続されてもよい。

【０１２３】

いくつかの例では、図７及び図１０Ｅに示すように、第１転送線４１ａは、順次に接続される第４線分４１４ａ、第１線分４１１ａ、第２線分、第３線分、及び第５線分を含んでもよい。第１転送線４１ｂは、順次に接続される第４線分４１４ｂ、第１線分４１１ｂ、第２線分、第３線分、及び第５線分を含んでもよい。第１転送線４１ｃは、順次に接続される第１線分、第２線分、及び第３線分を含んでもよい。第１線分及び第３線分は、いずれも第２方向Ｙに沿って延び、第２線分は、第１方向Ｘに沿って延びる。

【０１２４】

いくつかの例では、図７及び図１０Ｅに示すように、第１転送線４１ａの第４線分４１４ａは、一端が第１１ビアＶ１１を介して第１リセット制御線ＲＳＴ１（ｉ）に電気的に接続されてもよく、他端が第２方向Ｙに沿って延びる第１線分４１１ａに電気的に接続されてもよい。第１転送線４１ａの第４線分４１４ａは、まず第２方向Ｙに沿って発光制御線ＥＭＬ（ｉ）から離れた側に延びてから、第１方向Ｘに沿って第２表示領域Ａ２ａに近い側に延びる。第４線分４１４ａのベース基板での正投影はＬ字型であってもよい。第１線分４１１ａは１つの第２回路領域Ａ１２に位置し、第４線分４１４ａと第１リセット制御線ＲＳＴ１（ｉ）との接続位置は、第１線分４１１ａが位置する第２回路領域Ａ１２に隣接するもう１つの第２回路領域Ａ１２に位置してもよい。しかし、本実施例はこれを限定しない。例えば、第１線分４１１ａが位置する第２回路領域と、第４線分４１４ａと第１リセット制御線ＲＳＴ１（ｉ）との接続位置が位置する第２回路領域との間には、少なくとも１つの第２回路領域を空けてもよい。

【０１２５】

いくつかの例では、図７及び図１０Ｅに示すように、第１転送線４１ｂの第４線分４１４ｂは、一端が第１２ビアＶ１２を介して発光制御線ＥＭＬ（ｉ）に電気的に接続されてもよく、他端が第２方向Ｙに沿って延びる第１線分４１１ｂに電気的に接続されてもよい。第１転送線４１ｂの第４線分４１４ｂは、まず第２方向Ｙに沿って第１リセット制御線ＲＳＴ１（ｉ）から離れた側に延びてから、第１方向Ｘに沿って第２表示領域Ａ２ａに近い側に延びる。第４線分４１４ｂのベース基板での正投影はＬ字型であってもよい。第１線分４１１ｂは、１つの第２回路領域Ａ１２に位置してもよく、第４線分４１４ｂと発光制御線ＥＭＬ（ｉ）と接続位置は、第１線分４１１ｂが位置する第２回路領域Ａ１２に隣接するもう１つの第２回路領域Ａ１２に位置してもよい。しかし、本実施例はこれを限定しない。

【０１２６】

本例では、第３導電層に位置する第１転送線で第２表示領域によって仕切られた第１信号線を電気的に接続し、第１転送線は金属材料で作製されることによって、信号伝達に対する抵抗の影響を低減することができる。

【０１２７】

第１転送線の第３線分及び第５線分の配置については、第１線分及び第４線分の配置を参照することができるので、ここでは割愛する。例えば、１つの第１転送線の第１線分と第３線分は、第２表示領域の第１方向での第１中心線に対して略対称であってもよく、第４線分と第５線分は、第２表示領域の第１方向での第１中心線に対して略対称であってもよい。

【０１２８】

いくつかの例示的な実施形態では、図８～図１０Ｆに示すように、第１表示領域Ａ１の第４絶縁層１０４には複数のビアが開設され、例えば、第１３ビアＶ１３～第１５ビアＶ１５を含んでもよい。第１３ビアＶ１３～第１５ビアＶ１５内の第４絶縁層１０４は除去

され、第３導電層５３の表面を露出する。

【０１２９】

いくつかの例示的な実施形態では、図８～図９に示すように、第１表示領域Ａ１の第４導電層５４は、複数本のデータ線（例えば、データ線ＤＬ（ｊ）とＤＬ（ｊ－２）を含む）、複数本の第１電源線（例えば、第１電源線ＰＬ１（ｊ）とＰＬ１（ｊ－２）を含む）、複数の陽極接続電極（例えば、陽極接続電極ＣＰ７）を含んでもよい。陽極接続電極ＣＰ７は、第１５ビアＶ１５を介して第５接続電極ＣＰ５に電気的に接続されてもよい。データ線ＤＬ（ｊ）は、第１３ビアＶ１３を介して第３接続電極ＣＰ３に電気的に接続されてもよい。第１電源線ＰＬ１（ｊ）は、第１４ビアＶ１４を介して第４接続電極ＣＰ４に電気的に接続されてもよい。

【０１３０】

本例では、第１転送線のベース基板での正投影と重なる部分が存在する無効画素回路が所在する第２回路領域Ａ１２は、第３絶縁層のみに第１転送線に電気的に接続されるビアを開設してもよく、無効画素回路に電気的に接続される第３導電層の接続電極が除去されて第１転送線を設置するスペースを残してもよい。残りの第２回路領域Ａ１２の無効画素回路の膜層構造は、第１画素回路の膜層構造とほぼ同じであってもよいので、ここでは割愛する。

【０１３１】

図１１は、本開示の少なくとも１つの実施例の第２信号線の配置模式図である。図１１では、第２表示領域Ａ２ａによって仕切られた数本の第２信号線のみを例に示す。いくつかの例では、図１１に示すように、第２信号線３１は、第２方向Ｙに沿って延びる第１本の第２サブ信号線３１１と第３本の第２サブ信号線３１３、及び第２方向Ｙに沿って延びる第２本の第２サブ信号線３１２を含んでもよい。第２本の第２サブ信号線３１２は、１列の画素回路（例えば、複数の第２有効画素回路と複数の無効画素回路を含んでもよく、又は複数の第２有効画素回路のみを含んでもよい）に電気的に接続されてもよく、第１本の第２サブ信号線３１１と第３本の第２サブ信号線３１３は、同じ列の第１画素回路１１に電気的に接続されてもよい。第１本の第２サブ信号線３１１と第２本の第２サブ信号線３１２は、第２転送線４２ａを介して電気的に接続されてもよく、第３本の第２サブ信号線３１３と第２本の第２サブ信号線３１２は、第２転送線４２ｂを介して電気的に接続されてもよい。第２転送線４２ａと第２転送線４２ｂは、第１方向Ｘに沿って延びてもよく、隣接する画素回路行間に位置してもよい。

【０１３２】

図１２は、本開示の少なくとも１つの実施例の第２信号線の別の配置模式図である。図１２では、第２表示領域Ａ２ａ周辺のデータ線が第２信号線であることを例に示す。図１２では、透明導電線と発光素子を省略して示す。いくつかの例では、図１２に示すように、第２信号線は、データ線ＤＬ（ｋ）とデータ線ＤＬ（ｋ＋１）を例に説明する。データ線ＤＬ（ｋ）は、３本の第２サブ信号線３１１ａ、３１２ａ及び３１３ａを含んでもよい、データ線ＤＬ（ｋ＋１）は、３本の第２サブ信号線３１１ｂ、３１２ｂ及び３１３ｂを含んでもよい。データ線ＤＬ（ｋ）の第１本の第２サブ信号線３１１ａと第３本の第２サブ信号線３１３ａは、同一列の第１画素回路１１に電気的に接続されてもよく、第２本の第２サブ信号線３１２ａは、１列の第２有効画素回路１２に電気的に接続されてもよい。データ線ＤＬ（ｋ＋１）の第１本の第２サブ信号線３１１ｂと第３本の第２サブ信号線３１３ｂは、同一列の第１画素回路１１に電気的に接続されてもよく、第２本の第２サブ信号線３１２ｂは、１列の第２有効画素回路１２に電気的に接続されてもよい。データ線ＤＫ（ｋ）の第１本の第２サブ信号線３１１ａと第２本の第２サブ信号線３１２ａは、第２転送線４２ａを介して電気的に接続されてもよく、第２本の第２サブ信号線３１２ａと第３本の第２サブ信号線３１３ａは、第２転送線４２ｂを介して電気的に接続されてもよい。データ線ＤＫ（ｋ＋１）の第１本の第２サブ信号線３１１ｂと第２本の第２サブ信号線３１２ｂは、第２転送線４２ｃを介して電気的に接続されてもよく、第２本の第２サブ信号線３１２ｂと第３本の第２サブ信号線３１３ｂは、第２転送線４２ｄを介して電気的に

接続されてもよい。例えば、第２転送線４２ａ、４２ｂ、４２ｃ及び４２ｄは、いずれも第１方向Ｘに沿って延びてもよい。

【０１３３】

いくつかの例では、図１２に示すように、第２表示領域Ａ２ａは、第１方向Ｘに第１中線ＯＯ’を有する。第１中線ＯＯ’側の領域（例えば、第１中線ＯＯ’の左側領域）では、データ線ＤＬ（ｋ）の第１本の第２サブ信号線３１１ａは、データ線ＤＬ（ｋ＋１）の第１本の第２サブ信号線３１１ｂの第１中線ＯＯ’から離れた側に位置する。データ線ＤＬ（ｋ）の第２本の第２サブ信号線３１２ａは、データ線ＤＬ（ｋ＋１）の第２本の第２サブ信号線３１２ｂの第２表示領域Ａ２ａに近い側に位置する。データ線ＤＬ（ｋ）の第２本の第２サブ信号線３１２ａが電気的に接続する第２転送線４２ａは、データ線ＤＬ（ｋ＋１）の第２本の第２サブ信号線３１２ｂが電気的に接続する第２転送線４２ｃの第２表示領域Ａ２ａに近い側に位置してもよい。第２転送線４２ａの第１方向Ｘに沿う長さは、第２転送線４２ｃの第１方向Ｘに沿う長さよりも短くてもよい。データ線ＤＬ（ｋ）の第２本の第２サブ信号線３１２ａが電気的に接続する第２転送線４２ｂは、データ線ＤＬ（ｋ＋１）の第２本の第２サブ信号線３１２ｂが電気的に接続する第２転送線４２ｄの第２表示領域Ａ２ａに近い側に位置してもよい。第２転送線４２ｂの第１方向Ｘに沿う長さは、第２転送線４２ｄの第１方向Ｘに沿う長さよりも短くてもよい。

【０１３４】

図１３は、図１２の領域Ｐ２の表示基板の部分平面模式図である。図１４は図１３における第３導電層を形成した後の表示基板の部分平面模式図である。本例では、第２有効画素回路１２の第１リセットトランジスタ１２１、閾値補償トランジスタ１２２、駆動トランジスタ１２３、データ書き込みトランジスタ１２４、第１発光制御トランジスタ１２５、第２発光制御トランジスタ１２、第２リセットトランジスタ１２７及び記憶コンデンサ１２８の膜層構造は、第１画素回路１１の第１リセットトランジスタ１１１、閾値補償トランジスタ１１２、駆動トランジスタ１１３、データ書き込みトランジスタ１１４、第１発光制御トランジスタ１１５、第２発光制御トランジスタ１１６、第２リセットトランジスタ１１７及び記憶コンデンサ１１８の膜層構造とほぼ同じであるため、ここでは割愛する。

【０１３５】

いくつかの例では、図１２～図１４に示すように、第２転送線４２ａは、第３導電層に位置してもよく、第２転送線４２ａの一端は、第４絶縁層に開設される第１７ビアＶ１７を介してデータ線ＤＬ（ｋ）の第１本の第２サブ信号線３１１ａに電気的に接続されてもよく、第２転送線４２ａの他端は、第４絶縁層に開設される第１６ビアＶ１６を介して第２本の第２サブ信号線３１２ａに電気的に接続されてもよい。第２転送線４２ｃは、第３導電層に位置してもよく、第２転送線４２ｃの一端は、第４絶縁層に開設される第１９ビアＶ１９を介してデータ線ＤＬ（ｋ＋１）の第１本の第２サブ信号線３１１ｂに電気的に接続されてもよく、第２転送線４２ｃの他端は、第４絶縁層に開設される第１８ビアＶ１８を介して第２本の第２サブ信号線３１２ｂに電気的に接続されてもよい。

【０１３６】

いくつかの例では、第２転送線４２ａと第１本の第２サブ信号線３１１ａの接続位置、第２転送線４２ａと第２本の第２サブデータ線３１２ａの接続位置のベース基板での正投影と、同じ第１リセット制御線のベース基板での正投影には重なる部分が存在してもよい。第２転送線４２ｃと第１本の第２サブ信号線３１１ｂの接続位置、第２転送線４２ｃと第２本の第２サブ信号線３１２ｂの接続位置のベース基板での正投影と、同じ第１リセット制御線のベース基板での正投影には重なる部分が存在してもよい。

【０１３７】

図１５は本開示の少なくとも１つの実施例の第１初期信号線及び第２初期信号線の配置模式図である。いくつかの例では、図１５に示すように、第１初期信号線ＩＮＩＴ１が供給する第１初期信号と、第２初期信号線ＩＮＩＴ２が供給する第２初期信号とが異なる場合、第１初期信号線ＩＮＩＴ１及び第２初期信号線ＩＮＩＴ２を第２表示領域Ａ２ａ及び

第２表示領域Ａ２ｂの外縁に沿って配線し、２つの第２表示領域を迂回し、第２表示領域のスペースを占有せず、周辺の画素回路に干渉を与えないことができる。第１初期信号線ＩＮＩＴ１が供給する第１初期信号と、第２初期信号線ＩＮＩＴ２が供給する第２初期信号とが同じである場合、第２表示領域Ａ２ａ、Ａ２ｂの外縁にいずれも１つの接続電極を設置し、第２表示領域Ａ２ａの第１方向Ｘでの両側に位置する第１初期信号線ＩＮＩＴ１を接続してもよい。しかし、本実施例はこれを限定しない。

【０１３８】

以下、表示基板の製造プロセスを例示して説明する。本開示でいう「パターン化プロセス」とは、金属材料、無機材料又は透明導電材料については、フォトレジスト塗布、マスク露光、現像、エッチング、フォトレジスト剥離等の処理を含み、有機材料については、有機材料塗布、マスク露光、現像等の処理を含む。堆積はスパッタリング、蒸着、化学気相蒸着のうちのいずれか１つ以上、塗布はスプレー、スピンコート、インクジェット印刷のうちのいずれか１つ以上、エッチングはドライエッチング、ウェットエッチングのうちのいずれか１つ以上であってもよく、本開示は限定しない。「薄膜」とは、ある材料をベース基板上に堆積、塗布又はその他の方法により作製した薄膜をいう。製作過程全体において当該「薄膜」がパターン化プロセスを必要としない場合、当該「薄膜」はまた「層」と呼ばれることができる。製作過程全体において当該「薄膜」にパターン化プロセスが必要な場合、パターン化プロセスの前は「薄膜」と呼び、パターン化プロセスの後は「層」と呼ばれる。パターン化プロセスの後の「層」には、少なくとも１つの「パターン」が含まれる。

【０１３９】

いくつかの例示的な実施形態では、表示基板の製造プロセスは、以下の動作を含んでもよい。

【０１４０】

（１）半導体層を形成する。

【０１４１】

いくつかの例示的な実施形態では、図１０Ａに示すように、ベース基板１００に半導体薄膜を堆積し、パターン化プロセスにより半導体薄膜をパターン化して、第１表示領域Ａ１に半導体層５０を形成する。１つの画素回路の７つのトランジスタの活性層は、相互に接続される一体構造であってもよい。いくつかの例では、半導体層５０の材料は、例えばポリシリコンを含んでもよい。しかし、本実施例はこれを限定しない。

【０１４２】

いくつかの例示的な実施形態では、ベース基板１００は、ガラス基板のような剛性基板であってもよい。しかし、本実施例はこれを限定しない。ベース基板は、例えばフレキシブル基板であってもよい。

【０１４３】

（２）第１導電層を形成する。

【０１４４】

いくつかの例示的な実施形態では、図１０Ｂに示すように、上記構造が形成されたベース基板１００に、第１絶縁薄膜と第１導電薄膜を順次に堆積し、パターン化プロセスにより第１導電薄膜をパターン化して、半導体層５０を覆う第１絶縁層１０１、及び第１表示領域Ａ１の第１絶縁層１０１に設置される第１導電層５１を形成する。第１導電層５１は、画素回路の第１ゲート金属層（ゲート及びコンデンサ極板を含む）、走査線、第１リセット制御線及び発光制御線を含んでもよい。

【０１４５】

（３）第２導電層を形成する。

【０１４６】

いくつかの例示的な実施形態では、図１０Ｃに示すように、上記構造が形成されたベース基板１００に、第２絶縁薄膜と第２導電薄膜を順次に堆積し、パターン化プロセスにより第２導電薄膜をパターン化して、第１導電層５１を覆う第２絶縁層１０２、及び第１表

示領域Ａ１の第２絶縁層１０２に設置される第２導電層５２を形成する。第２導電層５２は、画素回路の第２ゲート金属層（例えば、コンデンサ極板を含む）、第１初期信号線及び第２初期信号線を含んでもよい。

【０１４７】

（４）第３絶縁層を形成する。

【０１４８】

いくつかの例示的な実施形態では、図１０Ｄに示すように、上記パターンが形成されたベース基板１００に第３絶縁薄膜を堆積し、パターン化プロセスにより第３絶縁薄膜をパターン化して、第３絶縁層１０３を形成する。

【０１４９】

（５）第３導電層を形成する。

【０１５０】

いくつかの例示的な実施形態では、図１０Ｅと図１４に示すように、上記パターンが形成されたベース基板に第３導電薄膜を堆積し、パターン化プロセスにより第３導電薄膜をパターン化して、第１表示領域Ａ１の第３絶縁層１０３に第３導電層５３を形成する。第３導電層５３は、画素回路の第１ソース・ドレイン金属層（例えば、複数の接続電極を含む）、第１転送線、及び第２転送線を含んでもよい。

【０１５１】

（６）第４絶縁層を形成する。

【０１５２】

いくつかの例示的な実施形態では、図１０Ｆに示すように、上記パターンが形成されたベース基板１００に第４絶縁薄膜を堆積し、パターン化プロセスにより第４絶縁薄膜をパターン化して、第４絶縁層１０４を形成する。

【０１５３】

（７）第４導電層を形成する。

【０１５４】

いくつかの例示的な実施形態では、図８と図１３に示すように、上記パターンが形成されたベース基板に第４導電薄膜を堆積し、パターン化プロセスにより第４導電薄膜をパターン化して、第１表示領域Ａ１の第４絶縁層１０４に第４導電層５４を形成する。第４導電層５４は、第１電源線とデータ線を含んでもよい。

【０１５５】

ここまで、第１表示領域Ａ１の回路構成層が完成する。第２表示領域Ａ２ａ、Ａ２ｂは、ベース基板１００、ベース基板１００に積層された第１絶縁層１０１、第２絶縁層１０２、第３絶縁層１０３及び第４絶縁層１０４を含んでもよい。

【０１５６】

（８）第１平坦層、第１透明導電層、第２平坦層、第２透明導電層、第３平坦層、第３透明導電層、第４平坦層、陽極層、画素定義層、有機発光層及び陰極層を順次に形成する。

【０１５７】

いくつかの例示的な実施形態では、上記パターンが形成されたベース基板１００に第１平坦薄膜を塗布し、パターン化プロセスにより第１平坦薄膜をパターン化して、第１平坦層を形成する。続いて、上記パターンが形成されたベース基板に第１透明導電薄膜を堆積し、パターン化プロセスにより第１透明導電薄膜をパターン化して、第１透明導電層を形成する。続いて、上記パターンが形成されたベース基板に第２平坦薄膜を塗布し、パターン化プロセスにより第２平坦薄膜をパターン化して、第２平坦層を形成する。続いて、上記パターンが形成されたベース基板に第２透明導電薄膜を堆積し、パターン化プロセスにより第２透明導電薄膜をパターン化して、第２透明導電層を形成する。続いて、上記パターンが形成されたベース基板に第３平坦薄膜を塗布し、パターン化プロセスにより第３平坦薄膜をパターン化して、第３平坦層を形成する。続いて、上記パターンが形成されたベース基板に第３透明導電薄膜を堆積し、パターン化プロセスにより第３透明導電薄膜をパ

ターン化して、第３透明導電層を形成する。しかし、本実施例はこれを限定しない。他の例では、１つ又は２つの透明導電層のみを設けることができる。

【０１５８】

続いて、上記パターンが形成されたベース基板に陽極薄膜を堆積し、パターン化プロセスにより陽極薄膜をパターン化して、陽極層を形成する。続いて、上記パターンが形成されたベース基板に画素定義薄膜を塗布し、マスク、露光及び現像プロセスにより画素定義層を形成する。画素定義層には、陽極層を露出する複数の画素開口が形成されている。続いて、上記形成された画素開口内に有機発光層を形成し、有機発光層は陽極に接続される。続いて、陰極薄膜を堆積し、パターン化プロセスにより陰極薄膜をパターン化して、陰極層を形成し、陰極層は有機発光層及び第２電源線にそれぞれ電気的に接続される。いくつかの例では、陰極層にパッケージ層が形成され、パッケージ層は無機材料／有機材料／無機材料の積層構造を含んでもよい。

【０１５９】

いくつかの例示的な実施形態では、第１導電層５１、第２導電層５２、第３導電層５３及び第４導電層５４は、銀（Ａｇ）、銅（Ｃｕ）、アルミニウム（Ａｌ）、モリブデン（Ｍｏ）のいずれか１つ以上の金属材料、又はアルミニウム・ネオジム合金（ＡｌＮｄ）又はモリブデン・ニオブ合金（ＭｏＮｂ）のようなこれらの金属の合金材料を用いてもよく、単層構造であってもよいし、Ｍｏ／Ｃｕ／Ｍｏなどの多層複合構造であってもよい。第１絶縁層１０１、第２絶縁層１０２、第３絶縁層１０３及び第４絶縁層１０４は、ケイ素酸化物（ＳｉＯｘ）、ケイ素窒化物（ＳｉＮｘ）、シリコンオキシニトリド（ＳｉＯＮ）のいずれか１種以上であってもよく、単層、多層又は複合層であってもよい。第１絶縁層１０１及び第２絶縁層１０２はゲート絶縁（ＧＩ）層と呼ぶことができ、第３絶縁層１０３は層間絶縁（ＩＬＤ）層と呼ぶことができる。第１平坦層～第４平坦層は、ポリイミド、アクリル、ポリエチレンテレフタレート等の有機材料を用いることができる。画素定義層は、ポリイミド、アクリル、ポリエチレンテレフタレートなどの有機材料を用いることができる。陽極層は金属等の反射性材料を用いることができ、陰極層は透明導電性材料を用いることができる。しかし、本実施例はこれを限定しない。

【０１６０】

本実施例の表示基板の構造及びその製造プロセスは、一例に過ぎない。いくつかの例示的な実施形態では、実際の必要に応じて対応する構造を変更し、パターニングプロセスを増加又は削減してもよい。例えば、第４導電層のベース基板から離れた側に１つの導電層を新たに増加し、第１転送線及び第２転送線は新たに増加された導電層内に設置されてもよい。しかし、本実施例はこれを限定しない。

【０１６１】

本例示的な実施例の製造プロセスは、現在の成熟した製造設備を利用して実現することができ、既存の製造プロセスとの互換性がよく、プロセスの実現が簡単であり、実施が容易であり、生産効率が高く、生産コストが低く、良品率が高い。

【０１６２】

図１６は本開示の少なくとも１つの実施例の第１表示領域の画素回路の別の配置模式図である。いくつかの例では、図１６に示すように、第２画素回路１０は、複数列の第１画素回路１１と複数行の第１画素回路１１の間に配置されてもよい。いくつかの例では、ａ列の第１画素回路１１毎に１列の第２画素回路１０を設置してもよく、ｂ行の第１画素回路１１毎に１行の第２画素回路１０設置してもよく、ａとｂは２以上の整数であってもよい。第１画素回路のみが配置される第１表示領域と比較して、ａ×ｂ配列で配置される元の第１画素回路を第１方向Ｘ及び第２方向Ｙに沿って圧縮することにより、１行及び１列の第２画素回路１０の配置スペースを新たに増加することができ、圧縮前のａ×ｂ配列で配置される画素回路と圧縮後の（ａ＋１）×（ｂ＋１）配列で配置される画素回路の占有スペースは同じであってもよい。本例では、図１６に示すように、ａとｂはいずれも４であってもよい。しかし、本実施例はこれを限定しない。

【０１６３】

図１７は本開示の少なくとも１つの実施例の表示基板の別の模式図である。図１８は図１７の領域Ｐ３の透明導電線の配線模式図である。いくつかの例示的な実施形態では、図１７に示すように、第２表示領域Ａ２ａとＡ２ｂは円形であってもよい。第２表示領域Ａ２ａを例にして、第２表示領域Ａａは、第３方向Ｆ３及び第４方向Ｆ４の中線に沿って４つのサブ表示領域に分けられてもよい。第３方向Ｆ３は、第１方向Ｘ及び第２方向Ｙのいずれも交差し、例えば、第３方向Ｆ３と第１方向Ｘの間の時計回り方向のなす角度は約３０～６０度であってもよく、例えば、約４５度であってもよく、第４方向Ｆ４は第３方向Ｆ３と交差し、例えば、第４方向Ｆ４は第３方向Ｆ３に対して垂直であってもよい。例えば、第１方向Ｘに沿って配置される２つのサブ表示領域内の第２発光素子１４は、透明導電線Ｌを介して第１方向Ｘに隣接する第１表示領域Ａ１内の第２有効画素回路に電気的に接続されてもよく、第２方向Ｙに沿って配置される２つのサブ表示領域内の第２発光素子１４は、透明導電線Ｌを介して第２方向Ｙに隣接する第１表示領域Ａ１内の第２有効画素回路に電気的に接続されてもよい。しかし、本実施例はこれを限定しない。

【０１６４】

図１９は本開示の少なくとも１つの実施例の第１信号線の別の配線配置模式図である。いくつかの例では、図１７～図１９に示すように、第２表示領域Ａ２ａと第２表示領域Ａ２ｂに仕切られた第１信号線２１は、第１転送線４１を介して電気的に接続されてもよい。第１転送線４１は、第１方向Ｘに沿って延びる第２線分４１２、及び第２方向Ｙに沿って延びる第１線分４１１と第３線分４１３を含んでもよい。第１線分４１１及び第３線分４１３のベース基板での正投影と、第２方向Ｙに沿って配列される複数の無効画素回路１５のベース基板での正投影には重なる部分が存在してもよく、第２線分４１２のベース基板での正投影と、第１方向Ｘに沿って配列される複数の無効画素回路１５のベース基板での正投影には重なる部分が存在してもよい。いくつかの例では、複数本の第１信号線２１は、第１リセット制御線、発光制御線、及び走査線を含んでもよい。しかし、本実施例はこれを限定しない。他の例では、複数本の第１信号線は、第１リセット制御線と発光制御線を含んでもよく、第２表示領域にとって仕切られた走査線の接続方式は、先の実施例の説明を参照することができるので、ここでは割愛する。

【０１６５】

図２０と図２１は、本開示の少なくとも１つの実施例の表示基板の部分平面図である。図２０では、第１転送線の第１線分と第１信号線の接続位置を示す。図２１では、第１転送線の第１線分と第２線分の接続位置を示す。図２２は本開示の少なくとも１つの実施例の第１転送線の第１線分と第２線分の接続位置の部分拡大模式図である。

【０１６６】

いくつかの例示的な実施形態では、図２０～図２２に示すように、第１表示領域Ａ１は、第１回路領域Ａ１１及び第２回路領域Ａ１２を含んでもよい。複数の第１回路領域Ａ１１は、第１方向Ｘ及び第２方向Ｙにおいて、いずれも第２回路領域Ａ１２によって仕切られる。１つの第１回路領域Ａ１１には複数の第１画素回路が設置され、例えば１つの第１回路領域Ａ１１には４×４配列で配置される第１画素回路が設置されてもよい。第２回路領域Ａ１２には、複数の第２画素回路（例えば、複数の無効画素回路を含み、又は、複数の第２有効画素回路と複数の無効画素回路を含む）が設置される。

【０１６７】

いくつかの例では、図１９～図２２に示すように、１本の第１転送線４１は、順次に接続される第１線分４１１、第２線分４１２、及び第３線分４１３を含んでもよい。第１線分４１１及び第３線分４１３は同層構造であり、例えば第４導電層に位置してもよく、第２線分４１２は第１導電層に位置してもよい。第１信号線と第１転送線との接続関係について、発光制御線ＥＭＬ（ｉ）を例に説明する。図２０に示すように、第１転送線の第１線分４１１は、第２１ビアＶ２１を介して発光制御線ＥＭＬ（ｉ）に電気的に接続されてもよく、第２１ビアＶ２１内の第４絶縁層、第３絶縁層及び第２絶縁層は除去されてもよく、第１導電層の発光制御線ＥＭＬ（ｉ）の表面を露出する。第１線分４１１と発光制御線ＥＭＬ（ｉ）の接続位置は、第２回路領域Ａ１２に位置してもよい。本例では、１つの

第２回路領域Ａ１２には、第１方向Ｘに６本の第１転送線の第１線分を配置してもよい。第１線分４１１のベース基板での正投影と重なる部分が存在する無効画素回路が所在する第２回路領域Ａ１２の第４導電層のデータ線及び第１電源線は除去されてもよく、第２回路領域Ａ１２の第３絶縁層に開設される接続電極と残りの膜層の接続を実現するビアは除去されてもよく、これにより、第１線分４１１の配置スペースを提供し、第１線分４１１の接続への影響を回避し、第１線分４１１の配線容量を低減することができる。しかし、本実施例はこれを限定しない。例えば、第１線分のベース基板での正投影と重なる部分が存在する無効画素回路が所在する第２回路領域の第４導電層、第３導電層はいずれも除去されてもよく、該第２回路領域の第３絶縁層に開設される電極と残りの膜層の接続を実現するビア除去されてもよい。

【０１６８】

いくつかの例では、図２１と図２２に示すように、第１線分４１１は、第２２ビアＶ２２を介して第１導電層に位置する第２線分４１２に電気的に接続されてもよい。第２２ビアＶ２２内の第４絶縁層、第３絶縁層及び第２絶縁層は除去されてもよい。第２線分４１２のベース基板での正投影と、第２回路領域Ａ１２の複数の無効画素回路のベース基板での正投影には重なる部分が存在してもよい。例えば、第１方向Ｘに沿って配列される複数の無効画素回路の活性層、第１ゲート金属層及び第２ゲート金属層は、断続的に設置されてもよい。第２線分４１２のベース基板での正投影と、無効画素回路のトランジスタの活性層及びゲートのベース基板での正投影には重なる部分が存在しなくてもよい。第２線分４１２のベース基板での正投影と重なる部分が存在する無効画素回路のトランジスタの活性層は、第２線分４１２によって仕切られてもよく、無効画素回路の第２線分４１２と重なる部分が存在しない活性層のみを残し、無効画素回路の活性層が第２線分４１２に影響を及ぼすことを回避する。また、無効画素回路が電気的に接続する第１導電層と第２導電層に位置する配線が除去されてもよく、これにより、第２線分４１２の配置スペースを提供し、第２線分４１２の配線容量を低減する。しかし、本実施例はこれを限定しない。他の例では、第２線分４１２は、第２導電層に位置してもよい。第３線分の配置ついては第１線分の説明を参照することができるので、ここでは割愛する。

【０１６９】

本実施例の表示基板の膜層構造については、上述の実施例の説明を参照することができるので、ここでは割愛する。

【０１７０】

本例による表示基板は、無効画素回路が所在する領域に第１転送線を配置することにより、有効画素回路のスペースを占有することなく、第２表示領域のスペースも占有することなく、画素回路の駆動制御を保証することができ、第２表示領域のサイズを保証することもできる。また、第１転送線は、第４導電層に位置する第１線分と第３線分、及び第１導電層又は第２導電層に位置する第２線分を含んでもよく、第１転送線は、金属材料で製造してもよく、抵抗のゲート駆動信号の伝達への影響を低減することができる。また、第１転送線の配置に影響を与える無効画素回路の膜層構造は全て除去又は部分的に除去されてもよく、第１転送線の容量を低減し、信号伝送を確保することができる。

【０１７１】

図２３は本開示の少なくとも１つの実施例の第１信号線の別の配置模式図である。いくつかの例では、図２３に示すように、第１信号線２１に電気的に接続される第１転送線４１は、第１方向Ｘに沿って延びる第２線分４１２、及び第２方向Ｙに沿って延びる第１線分４１１と第３線分４１３を含んでもよい。第１線分４１１と第３線分４１３は、隣接する画素回路列の間に配置されてもよく、第２線分４１２は、隣接する画素回路列の間に配置されてもよい。本例では、第１転送線４１のベース基板での正投影は隣接する画素回路間に位置してもよい。本実施例の表示基板の残りの構成については、上記実施例の説明を参照することができるので、ここでは割愛する。

【０１７２】

図２４は本開示の少なくとも１つの実施例の表示基板の別の模式図である。図２５は図

２４の第１信号線の模式図である。図２４と図２５は、第２表示領域Ａ２ａの周囲の第１信号線の配置のみを示す。第２表示領域Ａ２ｂの周囲の配線配置については、第２表示領域Ａ２ａの周囲の配線配置と類似であるので、ここでは割愛する。

【０１７３】

いくつかの例示的な実施形態では、図２４と図２５に示すように、第１信号線２１は、第１方向Ｘに沿って延びる３本の第１サブ信号線（例えば、第１本の第１サブ信号線２１１と第２本の第１サブ信号線２１２を含む）を含んでもよい。第１本の第１サブ信号線２１１は、第１転送線４１を介して第２本の第１サブ信号線２１１に電気的に接続され、第２表示領域Ａ２ａを迂回してもよく、第２本の第１サブ信号線２１１は、もう１本の第１転送線を介して第３本の第１サブ信号線に電気的に接続され、第２表示領域Ａ２ｂを迂回してもよい。例えば、第１転送線４１は、まず第２方向Ｙに沿って延びてから、第１方向Ｘに沿って延び、更に第２方向Ｙに沿って延びてもよい。本例では、第１転送線４１は、第２表示領域Ａ２ａの辺縁領域に位置してもよい。例えば、第１本の第１サブ信号線２１１、第２本の第１サブ信号線２１１、及び第１転送線４１は、一体構造であってもよく、例えば、第１導電層又は第２導電層に位置してもよい。本例の第１信号線は、第２表示領域の辺縁領域に設けられる第１転送線を介して巻線して、第１信号線の負荷を低減し、表示の均一性を向上させることができる。

【０１７４】

いくつかの例では、図２４と図２５に示すように、第２表示領域Ａ２ａの辺縁領域には、シールド配線６１を設けてもよい。シールド配線６１のベース基板での正投影は、複数本の第１転送線４１のベース基板での正投影を覆ってもよい。いくつかの例では、シールド配線６１のベース基板での正投影は、矩形リング又は円環のようなリングであってもよい。本例では、複数本の第１転送線４１間の隙間をシールド配線６１で覆うことができることにより、干渉現象の発生を回避することができる。

【０１７５】

いくつかの例では、シールド配線６１は、第１電源線に電気的に接続されてもよい。例えば、シールド配線６１は、第２表示領域Ａ２ａの上側と下側の第１表示領域内に配置される第１電源線に電気的に接続されてもよい。シールド配線６１は、第１電源線と同層構造であってもよい。例えば、シールド配線６１は第３導電層に位置してもよく、第１信号線２１は第１導電層又は第２導電層に位置してもよい。他の例では、シールド配線６１は、第１初期信号線又は第２初期信号線に電気的に接続されてもよい。例えば、シールド配線６１は、第２表示領域Ａ２ａの左側と右側の第１表示領域内に配置される第１初期信号線又は第２初期信号線に電気的に接続されてもよい。シールド配線６１は、第１初期信号線又は第２初期信号線と同層構造であってもよく、例えば、第２導電層に位置してもよく、第１信号線２１は、第１導電層に位置してもよい。他の例では、シールド配線６１は、第２電源線に電気的に接続されてもよい。しかし、本実施例はこれを限定しない。シールド配線は、直流信号を供給する他の配線に電気的に接続されてもよい。

【０１７６】

いくつかの例では、複数本の第１信号線２１は、走査線、第１リセット制御線、及び発光制御線を含んでもよい。他の例では、複数本の第１信号線２１は、走査線、第１リセット制御線、発光制御線、第１初期信号線及び第２初期信号線を含んでもよい。しかし、本実施例はこれを限定しない。他の例では、複数本の第１信号線２１は、第１初期信号線と第２初期信号線を含んでもよく、走査線、第１リセット制御線及び発光制御線は、上述実施例のような方式で配置されてもよい。

【０１７７】

図２６は本開示の少なくとも１つの実施例の表示基板の別の模式図である。図２７は図２６の第２信号線の模式図である。図２６は、第２表示領域Ａ２ａの周囲の第１信号線と第２信号線の配置のみを示す。第２表示領域Ａ２ｂの周囲の配線配置については、第２表示領域Ａ２ａの周囲の配線配置と類似であるので、ここでは割愛する。

【０１７８】

いくつかの例示的な実施形態では、図２６と図２７に示すように、第２信号線３１は、２本の第２サブ信号線（例えば、第１本の第２サブ信号線３１１と第２本の第２サブ信号線３１２を含む）を含んでもよい。第１本の第２サブ信号線３１１は、第２表示領域Ａ２ａの下側の第１表示領域内の１列の第１画素回路１１に電気的に接続されてもよく、第２本の第２サブ信号線３１２は、第２表示領域Ａ２ａの上側の第１表示領域内の１列の第１画素回路１１に電気的に接続されてもよい。１本の第２信号線３１の第１本の第２サブ信号線３１１に接続される第１画素回路は、第２本の第２サブ信号線３１２に接続される第１画素回路と同じ列に位置してもよい。第１本の第２サブ信号線３１１と第２本の第２サブ信号線３１２は、第２転送線４２を介して電気的に接続されてもよい。例えば、第２転送線４２は、まず第１方向Ｘに沿って延びてから、第２方向Ｙに沿って延び、更に第１方向Ｘに沿って延びてもよい。本例では、第２転送線４２は、第２表示領域Ａ２ａの辺縁領域に位置してもよい。いくつかの例では、第２信号線３１の第１本の第２サブ信号線３１１、第２本の第２サブ信号線３１２、及び第２転送線４２は、一体構造であってもよく、例えば、第３導電層又は第４導電層に位置してもよい。本例の第２信号線は、第２表示領域の辺縁領域の第２転送線を介して第２表示領域を迂回し、第２信号線の負荷を軽減し、表示均一性を向上させることができる。

【０１７９】

いくつかの例では、図２６に示すように、第２表示領域Ａ２ａの辺縁領域には、シールド配線６１を設けてもよい。シールド配線６１のベース基板での正投影は、複数本の第１転送線４１と複数の第２転送線４２のベース基板での正投影を覆ってもよい。シールド配線６１と第１信号線２１の説明については、上述実施例の説明を参照することができるので、ここでは割愛する。本例では、複数本の第１転送線４１間の隙間と、複数本の第２転送線４２間の隙間をシールド配線６１で覆うことができることにより、干渉現象の発生を回避することができる。

【０１８０】

いくつかの例では、第２信号線３１はデータ線を含んでもよく、該データ線は第２表示領域Ａ２ａの上側と下側の第１表示領域内の同じ列の第１画素回路に電気的に接続されてもよく、第２表示領域Ａ２ａ内の該列の第１画素回路と同じ列の第２発光素子に電気的に接続される第２有効画素回路は、もう１本のデータ線に電気的に接続されてもよい。しかし、本実施例はこれを限定しない。他の例では、第２信号線は、初期信号線（例えば、第１初期信号線、第２初期信号線）をさらに含んでもよい。

【０１８１】

いくつかの例示的な実施形態では、第２表示領域Ａ２ａの周囲の第１信号線は、第２表示領域Ａ２ｂの周囲の第１信号線と、同じ巻線方式であってもよいし、異なる巻線方式であってもよい。例えば、第２表示領域Ａ２ａの周囲の第１信号線は、図６又は図１９に示す巻線方式であってもよいが、第２表示領域Ａ２ｂの周囲の第１信号線は、図２５に示す巻線方式であってもよい。また、第２表示領域Ａ２ａの周囲の第２信号線は、図１１に示す巻線方式であってもよいが、第２表示領域Ａ２ｂの周囲の第２信号線は、図２７に示す巻線方式であってもよい。しかし、本実施例はこれを限定しない。

【０１８２】

図２８は本開示の少なくとも１つの実施例の表示基板の別の模式図である。いくつかの例では、図２８に示すように、表示基板の表示領域は、第１表示領域Ａ１と第２表示領域Ａ２を含んでもよい。第１表示領域Ａ１は、第２表示領域Ａ２を囲んでもよい。第２表示領域Ａ２によって仕切られた第１信号線２１は、第２方向Ｙの一側で第２表示領域Ａ２を迂回する第１転送線４１によって電気的に接続されてもよく、これにより、第２表示領域Ａ２の左右両側の同じ行の画素回路が同じ信号を受信することを実現する。本実施例の第１転送線の配置方式、第２信号線の配置については上述の実施例の説明を参照することができるので、ここでは割愛する。しかし、本実施例はこれを限定しない。他の例では、表示基板の表示領域は、３つ以上の第２表示領域を含んでもよい。

【０１８３】

本開示の少なくとも１つの実施例は、上記のような表示基板を含む表示装置も提供する。

【０１８４】

図２９は本開示の少なくとも１つの実施例の表示装置の模式図である。図２９に示すように、本実施例は、表示基板９１と、表示基板９１から離れた表示構成層の光出射側に位置する感光センサ９２を含む表示装置を提供する。感光センサ９２の表示基板９１での正投影と、第２表示領域Ａ２ａ又はＡ２ｂには重なる部分が存在する。

【０１８５】

いくつかの例示的な実施形態では、表示基板９１は、フレキシブルＯＬＥＤ表示基板、ＱＬＥＤ表示基板、Ｍｉｃｒｏ－ＬＥＤ表示基板、又はＭｉｎｉ－ＬＥＤ表示基板であってもよい。表示装置は、ＯＬＥＤディスプレイ、携帯電話、タブレット、テレビ、ディスプレイ、ノートパソコン、デジタルフォトフレーム、ナビゲーションなど、表示機能を有するあらゆる製品又は部品であってもよく、本開示の実施例はこれに限定されるものではない。

【０１８６】

本開示の図面は、本開示に係る構造のみに関し、他の構造は、一般的な設計を参照することができる。衝突しない限り、本開示の実施例、即ち、実施例における特徴は、互いに組み合わせて、新しい実施例を得ることができる。当業者は、本開示の技術案の精神及び範囲から逸脱することなく、本開示の技術案を修正又は均等に置換することができ、すべて本開示の請求項の範囲に含まれるべきであることを理解すべきである。

【符号の説明】

【０１８７】

１０　第２画素回路
１１　第１画素回路
１２　第２有効画素回路
１３　第１発光素子
１４　第２発光素子
１５　無効画素回路
２１　第１信号線
２２　第３信号線
３１　第２信号線
３２　第４信号線
４１　第１転送線
４１ａ　第１転送線
４１ｂ　第２転送線
４１ｃ　第３転送線
４２　第２転送線
４２ａ　第２転送線
４２ｂ　第２転送線
４２ｃ　第２転送線
４２ｄ　第２転送線
４３　第３転送線
５０　半導体層
５１　第１導電層
５２　第２導電層
５３　第３導電層
５４　第４導電層
６１　シールド配線
９１　表示基板
９２　感光センサ

１００　ベース基板
１０１　第１絶縁層
１０２　第２絶縁層
１０３　第３絶縁層
１０４　第４絶縁層
１１１　第１リセットトランジスタ
１１２　閾値補償トランジスタ
１１３　駆動トランジスタ
１１４　トランジスタ
１１５　第１発光制御トランジスタ
１１６　第２発光制御トランジスタ
１１７　第２リセットトランジスタ
１１８　記憶コンデンサ
１２１　第１リセットトランジスタ
１２２　閾値補償トランジスタ
１２３　駆動トランジスタ
１２４　トランジスタ
１２５　第１発光制御トランジスタ
１２７　第２リセットトランジスタ
１２８　記憶コンデンサ
１５１　第１リセットトランジスタ
１５２　閾値補償トランジスタ
１５３　駆動トランジスタ
１５４　トランジスタ
１５５　第１発光制御トランジスタ
１５６　第２発光制御トランジスタ
１５７　第２リセットトランジスタ
１５８　記憶コンデンサ
２１１　第１サブ信号線
２１２　第２サブ信号線
２１３　第１サブ信号線
２３１　第５サブ信号線
２３２　第５サブ信号線
３１１　第２サブ信号線
３１１ａ　第２サブ信号線
３１１ｂ　第２サブ信号線
３１２　第２サブ信号線
３１２ａ　第２サブ信号線
３１２ｂ　第２サブ信号線
３１３　第２サブ信号線
３１３ａ　第２サブ信号線
３１３ｂ　第２サブ信号線
４１１　第１線分
４１１ａ　第１線分
４１１ｂ　第１線分
４１２　第２線分
４１３　第３線分
４１４ａ　第４線分
４１４ｂ　第４線分
１１１０　活性層

１１１１　ゲート
１１２０　活性層
１１２１　ゲート
１１３０　活性層
１１３１　ゲート
１１４０　活性層
１１４１　ゲート
１１５０　活性層
１１５１　ゲート
１１６０　活性層
１１６１　ゲート
１１７０　活性層
１１７１　ゲート
１１８１　第１コンデンサ極板
１１８２　第２コンデンサ極板
１５１０　活性層
１５１１　ゲート
１５２０　活性層
１５２１　ゲート
１５３０　活性層
１５３１　ゲート
１５４０　活性層
１５４１　ゲート
１５５０　活性層
１５５１　ゲート
１５６０　活性層
１５６１　ゲート
１５７０　活性層
１５７１　ゲート
１５８１　第１コンデンサ極板
１５８２　第２コンデンサ極板

【図面】

【図１】

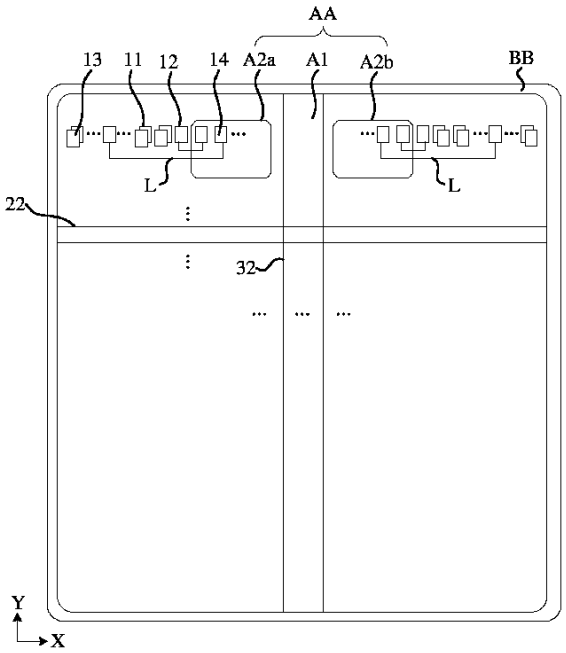

図 1

【図２】

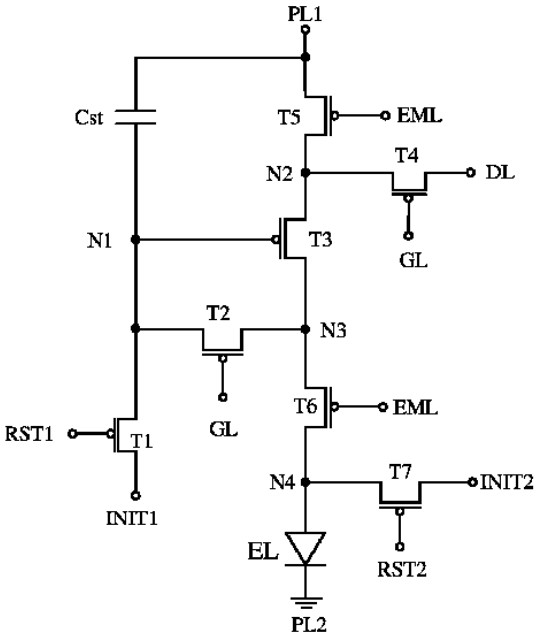

図 2

【図３】

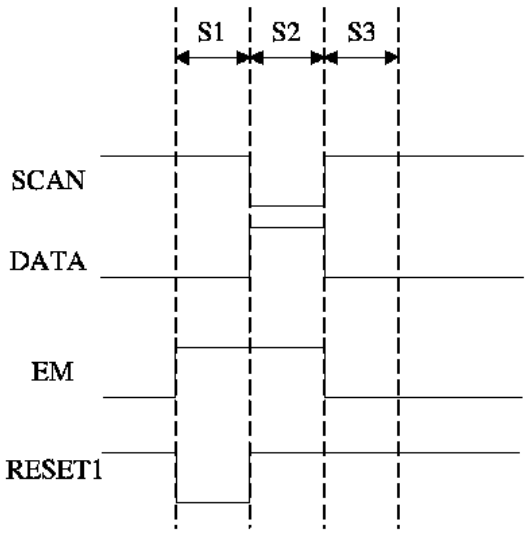

図 3

【図４】

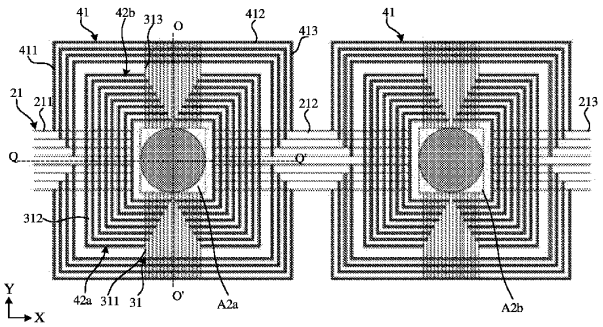

図 4

【図５】

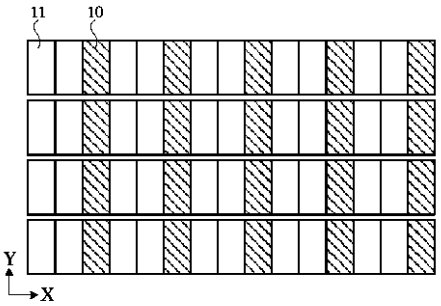

図 5

【図６】

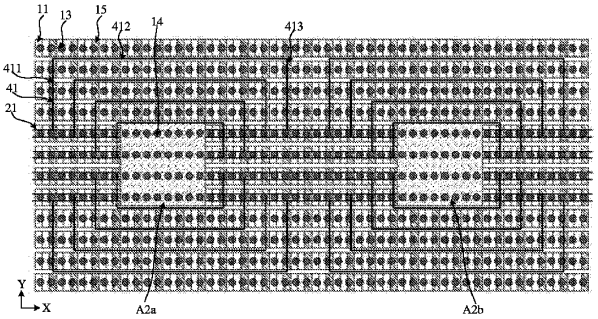

図 6

【図７】

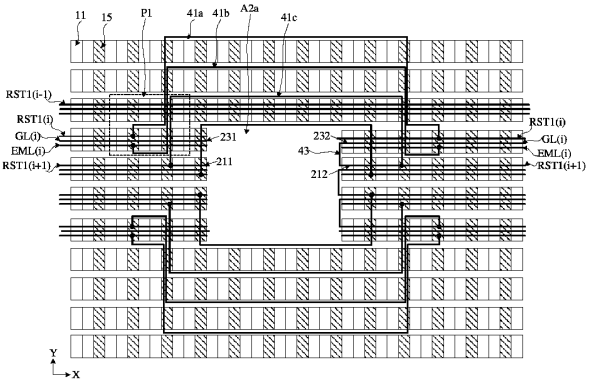

図 7

【図８】

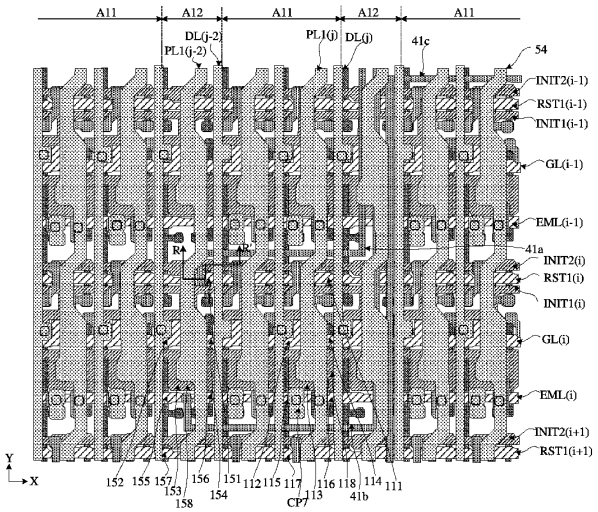

図 8

【図９】

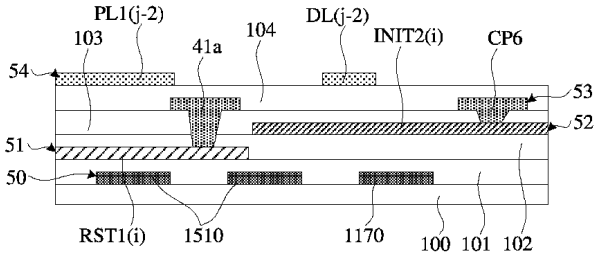

図 9

【図１０Ａ】

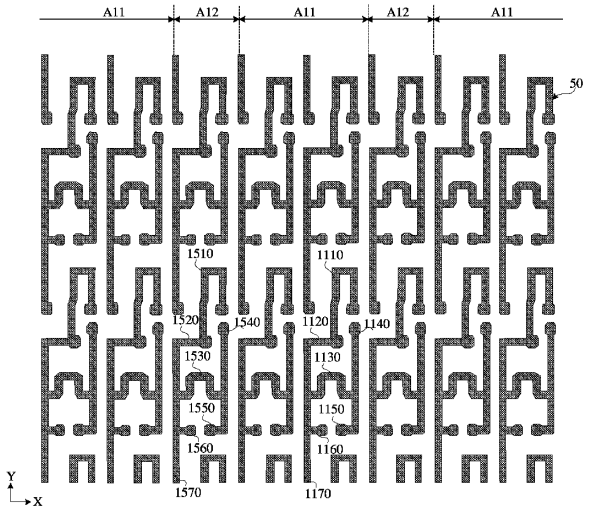

図 10A

【図１０Ｂ】

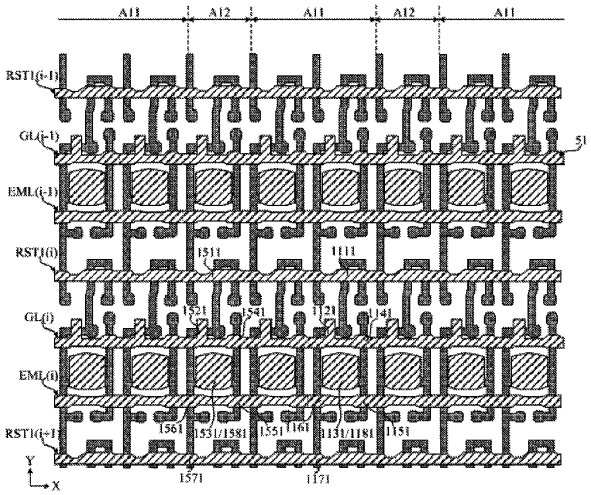

図 10B

【図１０Ｃ】

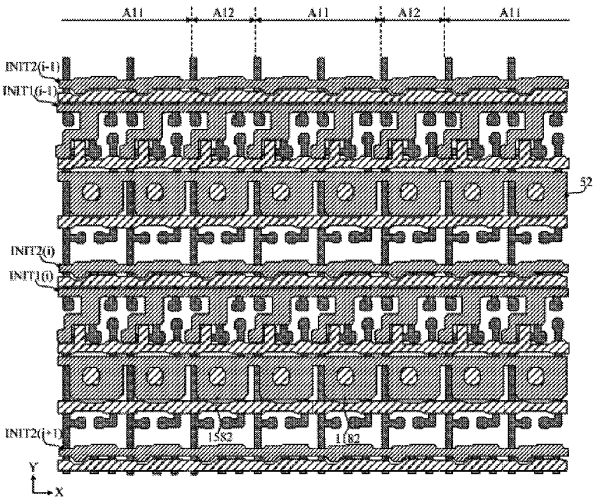

図 10C

【図１０Ｄ】

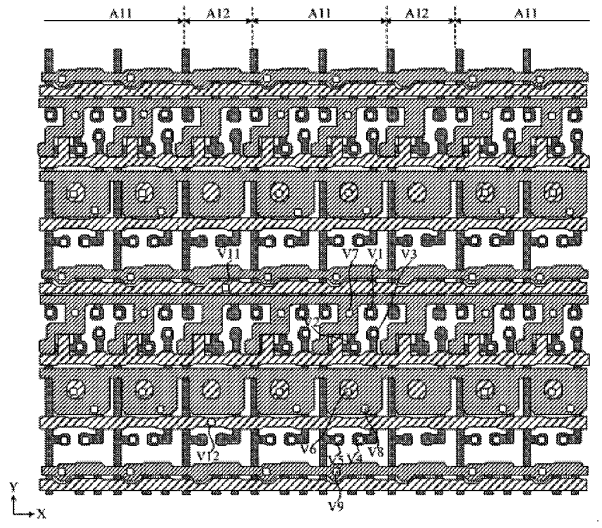

図 10D

【図１０Ｅ】

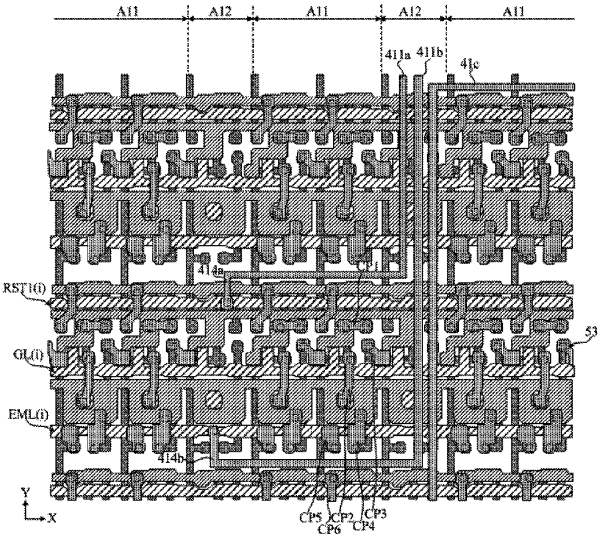

図 10E

【図１０Ｆ】

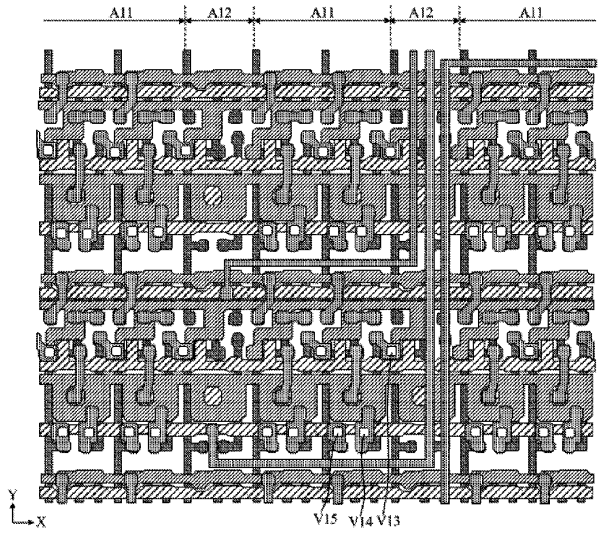

図 10F

【図１１】

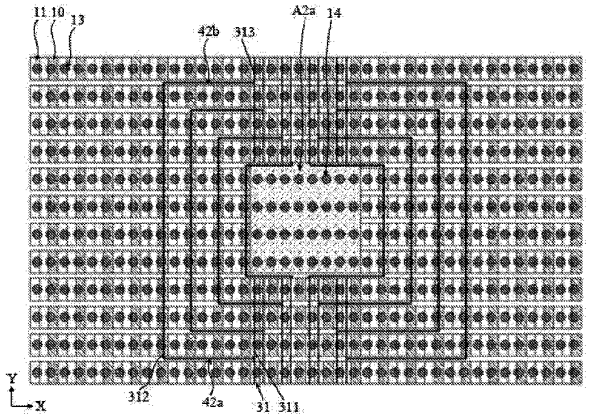

図 11

【図１２】

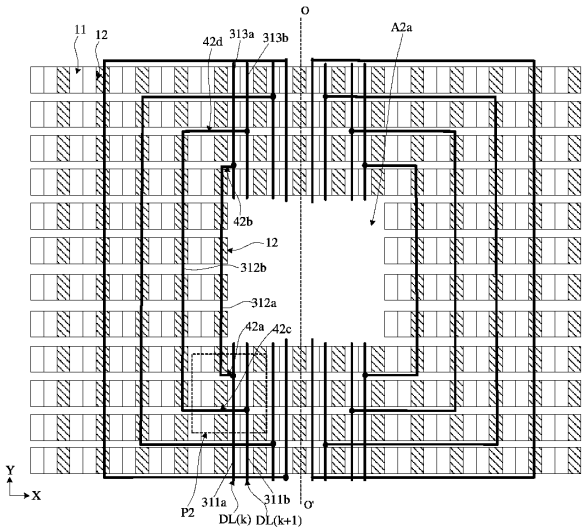

図 12

【図１３】

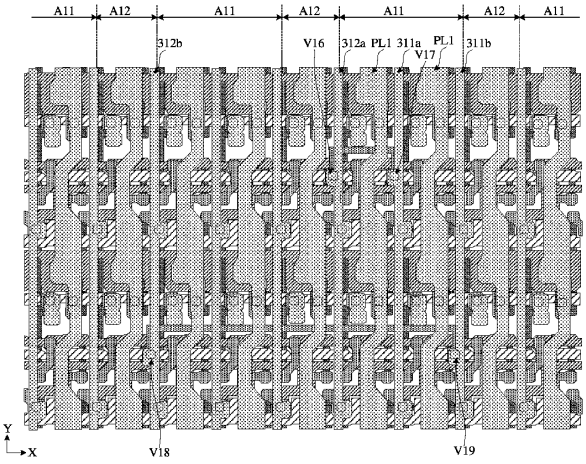

図 13

【図１４】

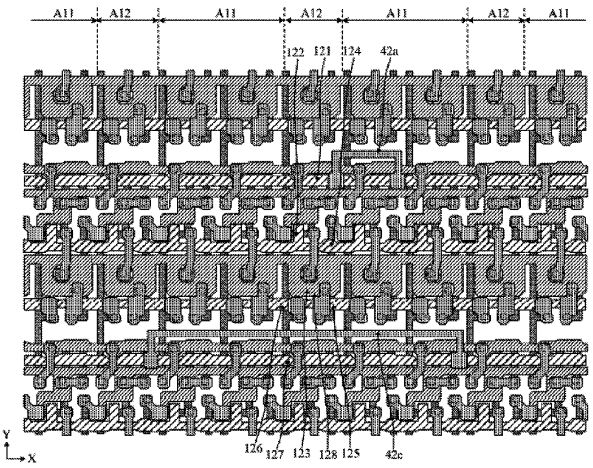

図 14

【図１５】

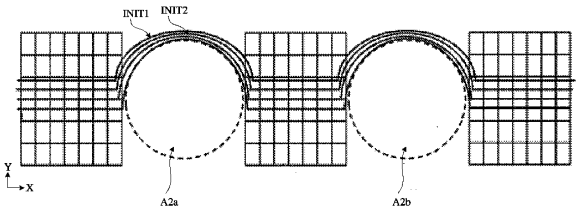

図 15

【図１６】

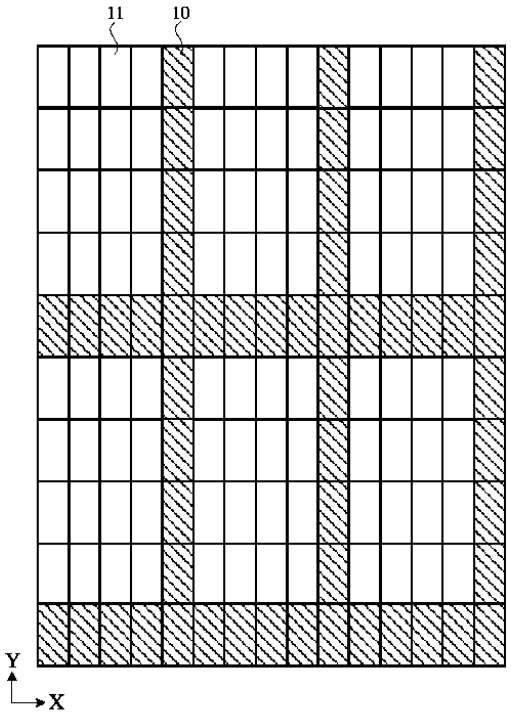

图 16

【図１７】

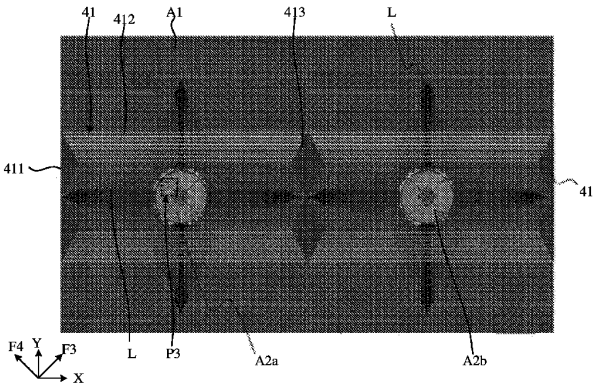

图 17

【図１８】

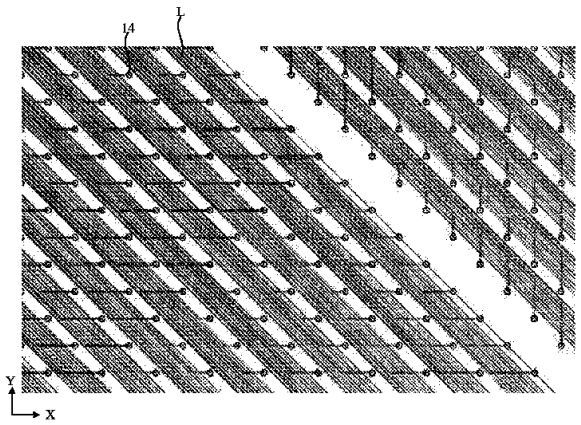

图 18

【図１９】

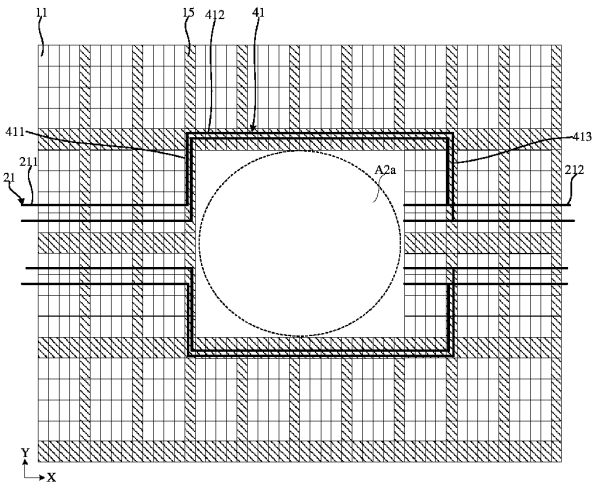

图 19

【図２０】

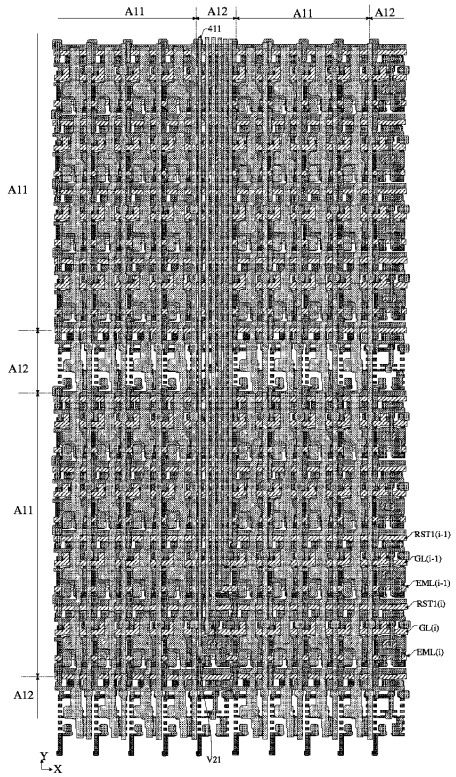

図 20

【図２１】

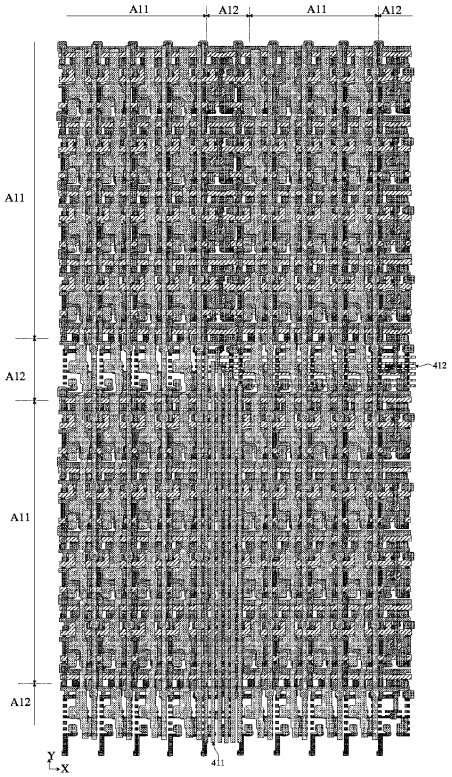

図 21

【図２２】

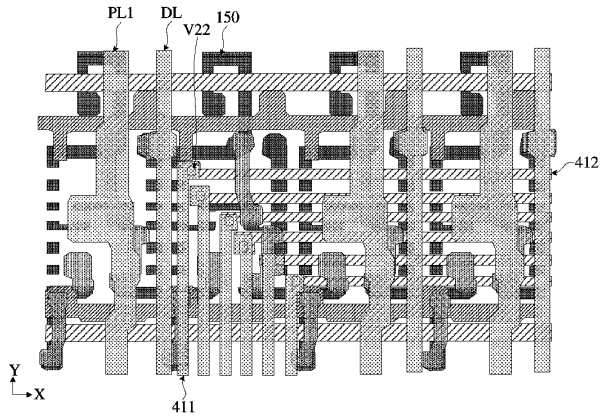

図 22

【図２３】

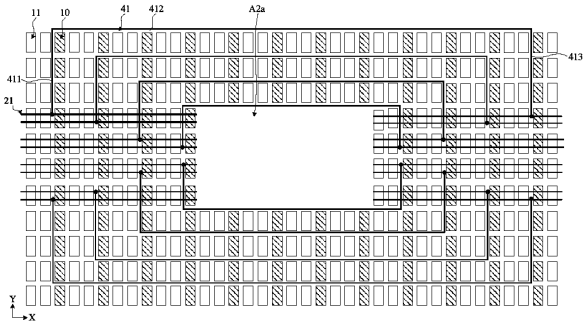

図 23

【図２４】

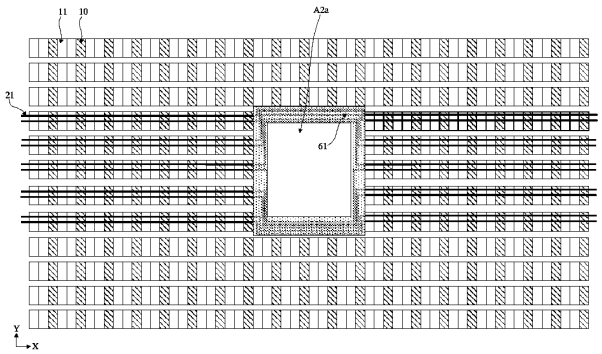

図 24

【図２５】

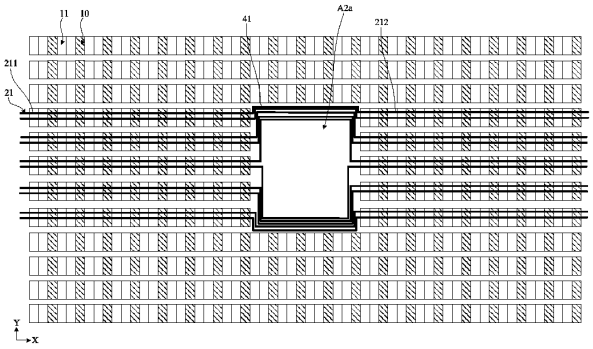

図 25

【図２６】

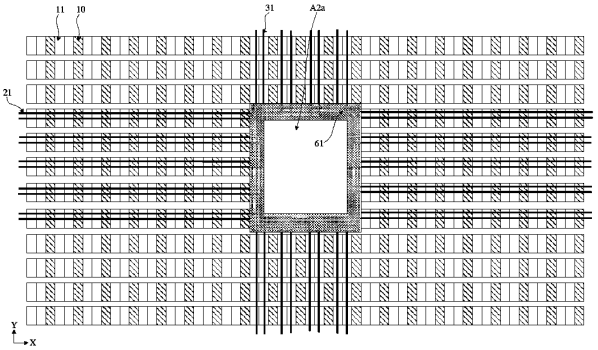

図 26

【図２７】

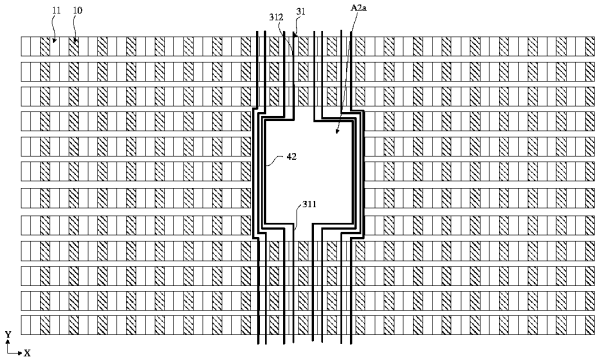

図 27

【図２８】

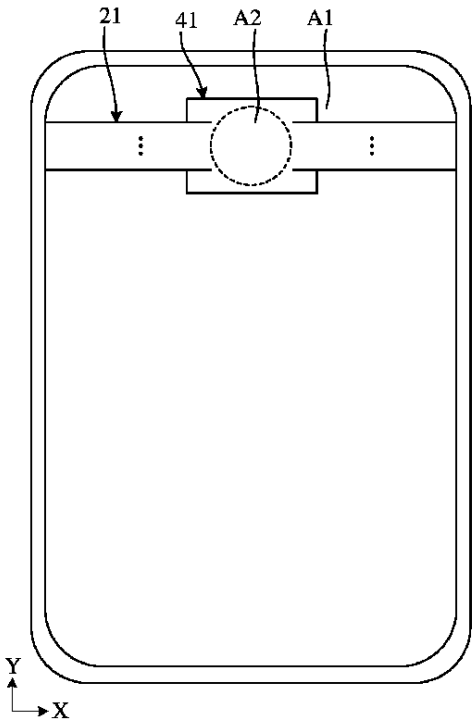

図 28

【図２９】

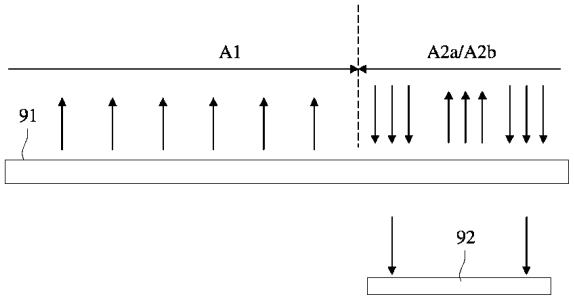

図 29

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/089823

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32(2016.01)i; H01L 27/32(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3; H01L27; G09F9

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; CNABS; ENTXTC, ENTXT, VEN, USTXT: 显示, 基板, 衬底, 围绕, 包围, 摄像头, 发光, 第二, 像素, 电路, 无效, 隔断, 间断, 断开, 转接线, 绕线, display+, substrate, surround+, camera, oled, lumina+, second, pixel, circuit, line, dummy, disconnect+, transfer+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 114122025 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 01 March 2022 (2022-03-01) description, paragraphs 67-157, and figures 1-14	1-21
Y	CN 112599580 A (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 02 April 2021 (2021-04-02) description, paragraphs 52-85, and figures 1-8	1-21
Y	CN 113745273 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 03 December 2021 (2021-12-03) description, paragraph 62, and figure 7	1-21
Y	CN 113870767 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 31 December 2021 (2021-12-31) description, paragraphs 136-143, and figure 4D	1-21
Y	CN 114373774 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 19 April 2022 (2022-04-19) description, paragraphs 59-137, and figures 1-11	1-21

☑ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 December 2022	**29 December 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/089823

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 113571570 A (HEFEI VISIONOX TECHNOLOGY CO., LTD.) 29 October 2021 (2021-10-29) description, paragraph 54, and figure 4	1-21
Y	CN 112562586 A (BOE TECHNOLOGY GROUP CO., LTD.) 26 March 2021 (2021-03-26) description, paragraphs 105-149, and figures 1-3D	1-21
A	JP 2010230797 A (SEIKO EPSON CORP.) 14 October 2010 (2010-10-14) entire document	1-21

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/089823

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	114122025	A	01 March 2022	None	
CN	112599580	A	02 April 2021	None	
CN	113745273	A	03 December 2021	None	
CN	113870767	A	31 December 2021	None	
CN	114373774	A	19 April 2022	None	
CN	113571570	A	29 October 2021	None	
CN	112562586	A	26 March 2021	None	
JP	2010230797	A	14 October 2010	None	

Form PCT/ISA/210 (patent family annex) (January 2015)

国际检索报告

国际申请号
PCT/CN2022/089823

A. 主题的分类

G09G 3/32(2016.01)i; H01L 27/32(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G3; H01L27; G09F9

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNTXT;CNABS;ENTXTC,ENTXT,VEN,USTXT:显示，基板，衬底，围绕，包围，摄像头，发光，第二，像素，电路，无效，隔断，间断，断开，转接线，绕线，display+, substrate, surround+, camera, oled, lumina+, second, pixel, circuit, line, dummy, disconnect+, transfer+

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
Y	CN 114122025 A (京东方科技集团股份有限公司等) 2022年3月1日 (2022-03-01) 说明书第67-157段，图1-14	1-21
Y	CN 112599580 A (合肥维信诺科技有限公司) 2021年4月2日 (2021-04-02) 说明书第52-85段，图1-8	1-21
Y	CN 113745273 A (京东方科技集团股份有限公司等) 2021年12月3日 (2021-12-03) 说明书第62段，图7	1-21
Y	CN 113870767 A (京东方科技集团股份有限公司等) 2021年12月31日 (2021-12-31) 说明书第136-143段，图4D	1-21
Y	CN 114373774 A (京东方科技集团股份有限公司等) 2022年4月19日 (2022-04-19) 说明书第59-137段，图1-11	1-21
Y	CN 113571570 A (合肥维信诺科技有限公司) 2021年10月29日 (2021-10-29) 说明书第54段，图4	1-21
Y	CN 112562586 A (京东方科技集团股份有限公司) 2021年3月26日 (2021-03-26) 说明书第105-149段，图1-3D	1-21

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：
"A" 认为不特别相关的表示了现有技术一般状态的文件
"E" 在国际申请日的当天或之后公布的在先申请或专利
"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）
"O" 涉及口头公开、使用、展览或其他方式公开的文件
"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件
"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性
"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性
"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年12月7日	2022年12月29日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 刘士奎 电话号码 62085842

PCT/ISA/210 表(第2页) (2015年1月)

国际检索报告

国际申请号
PCT/CN2022/089823

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	JP 2010230797 A (SEIKO EPSON CORP) 2010年10月14日 (2010 - 10 - 14) 全文	1-21

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/089823

检索报告引用的专利文件			公布日（年/月/日）	同族专利	公布日（年/月/日）
CN	114122025	A	2022年3月1日	无	
CN	112599580	A	2021年4月2日	无	
CN	113745273	A	2021年12月3日	无	
CN	113870767	A	2021年12月31日	无	
CN	114373774	A	2022年4月19日	无	
CN	113571570	A	2021年10月29日	无	
CN	112562586	A	2021年3月26日	无	
JP	2010230797	A	2010年10月14日	无	

PCT/ISA/210 表（同族专利附件）（2015年1月）

フロントページの続き

(51)国際特許分類　　ＦＩ　　テーマコード（参考）
Ｈ１０Ｋ　59/131

B,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SC,SD,SE,SG,SK,SL,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

中華人民共和国６１１７３１四川省成都市高新區（西區）合作路１１８８號
Ｎｏ．１１８８，Ｈｅｚｕｏ Ｒｄ．，（Ｗｅｓｔ Ｚｏｎｅ），Ｈｉ－ｔｅｃｈ Ｄｅｖｅｌｏｐｍｅｎｔ Ｚｏｎｅ，Ｃｈｅｎｇｄｕ，Ｓｉｃｈｕａｎ，６１１７３１，Ｐ．Ｒ．ＣＨＩＮＡ
(74)代理人　100108453
弁理士　村山 靖彦
(74)代理人　100110364
弁理士　実広 信哉
(72)発明者　王 ▲キ▼▲偉▼
中華人民共和国１００１７６北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路９号
(72)発明者　徐 元杰
中華人民共和国１００１７６北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路９号
(72)発明者　▲劉▼ ▲聡▼
中華人民共和国１００１７６北京市北京▲経▼▲済▼技▲術▼▲開▼▲発▼区地▲澤▼路９号

Ｆターム（参考）　3K107　AA01 BB01 BB08 CC43 CC45 DD39 EE03 FF15 HH05
5C094　AA60 BA03 BA27 CA19 DB01 EB00 FA02