

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
17. Februar 2005 (17.02.2005)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2005/015747 A1

(51) Internationale Patentklassifikation⁷: **H03M 1/42**

(21) Internationales Aktenzeichen: PCT/DE2004/001587

(22) Internationales Anmeldedatum:
21. Juli 2004 (21.07.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 37 042.0 12. August 2003 (12.08.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **STRÖBLE, Olaf**
[DE/DE]; Josef-Danzer-Str. 4, 82152 Planegg (DE). **DA
FONTE DIAS, Victor** [PT/DE]; Blumenweg 32, 85579
Neubiberg (DE).

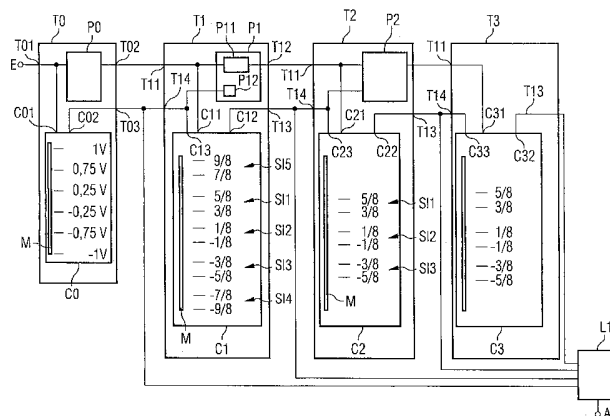
(74) Anwalt: **EPPING HERMANN FISCHER PATEN-
TANWALTSGESELLSCHAFT MBH**; Ridlerstrasse 55,
80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH,
CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE,
KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD,

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR CONVERTING AN ANALOG INPUT SIGNAL, AND DIGITAL-ANALOG CONVERTER

(54) Bezeichnung: VERFAHREN ZUR UMSETZUNG EINES ANALOGEN EINGANGSSIGNALS UND ANALOG-DIGITAL-
WANDLER



(57) Abstract: The invention relates to a method for converting an analog input signal into a digital value with successive approximation. According to said method, a first comparison process is carried out before a first approximation stage, subdividing a predefined input voltage interval into five subintervals by means of four reference potentials. During the comparison process, a determined partial voltage interval is used in the ensuing approximation stage in order to select a new reference potential pair to be used. Said method enables higher sampling rates and enlarges the range of the input signal. The invention also relates to an digital-analog converter comprising a first comparison device (C01) and at least two converter stages (T1, T2). Each converter stage (T1, T2) comprises a generator circuit (P1, P2) and a comparison device (C1, C2) that subdivides a predefined potential interval into subintervals by means of partial reference potentials, and determines in which subinterval a voltage signal is applied to the input. A control signal is generated and used to determine the digital value and to adjust the output voltage of the generator circuit (P2, P3) of the ensuing converter stage.

(57) Zusammenfassung: Es wird ein Verfahren zur Umsetzung eines analogen Eingangssignals in einen digitalen Wert mit sukzessiver Approximation vorgeschlagen. Dabei ist ein erster Vergleichsvorgang vor einem ersten Approximationsschritt vorgesehen, der ein vorgegebenes Eingangsspannungsintervall durch vier Referenzpotentiale in fünf Teilintervalle unterteilt. Bei dem Vergleichsvorgang wird ein ermitteltes Teilspannungsintervall im folgenden Approximationsschritt zur

[Fortsetzung auf der nächsten Seite]

WO 2005/015747 A1



MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Auswahl eines zu verwendenden neuen Referenzpotentialpaares verwendet. Mit diesem Verfahren sind höhere Abtastraten möglich. Gleichzeitig wird der Bereich des Eingangssignals vergrößert. Ein Analog-Digital-Wandler weist eine erste Vergleichsvorrichtung (C01) auf und zumindest zwei Wandlerstufen (T1, T2). Jede Wandlerstufe (T1, T2) umfaßt eine Generatorschaltung (P1, P2) und eine Vergleichsvorrichtung (C1, C2), die ein vorgegebenes Potentialintervall mittels Teilreferenzpotentiale in Teilintervalle unterteilt und ermittelt, in welchem Teilintervall sich ein am Eingang angelegtes Spannungssignal befindet. Es wird ein Steuersignal generiert, das zur Ermittlung des digitalen Wertes und zur Einstellung der Ausgangsspannung der Generatorschaltung (P2, P3) der folgenden Wandlerstufe verwendet wird.

Beschreibung

Verfahren zur Umsetzung eines analogen Eingangssignals und Analog-Digital-Wandler

5

Die Erfindung betrifft ein Verfahren zur Umsetzung eines Eingangssignals in einen digitalen Wert mittels sukzessiver Approximation. Die Erfindung betrifft weiterhin einen Analog-Digital-Wandler zur Umsetzung eines analogen Eingangsspannungssignals in einen digitalen Wert.

10

Analog-Digital-Wandler sind wichtige Bauelemente in der digitalen Signalverarbeitung. Analog-Digital-Wandler setzen dabei die Spannung eines Eingangssignals in eine dazu proportionale Zahl um, die als digitales Signal ausgegeben wird. Das digitale Signal ist häufig eine serielle Folge einer Anzahl von Bits, wobei der binäre Wert der Folge die proportionale Zahl darstellt.

15

Die Anzahl der Bits pro digitalen Signal ist ein Maß für seine Genauigkeit. Ein Analog-Digital-Wandler, der eine Genauigkeit von 8 Bits aufweist, setzt ein Eingangssignal in eine binäre Folge aus 8 Bits um. Das gesamte Eingangsintervall eines Analog-Digital-Wandlers wird somit in insgesamt 256 Teilintervalle zerlegt, wobei jedem Teilintervall beginnend mit dem niedrigsten eine binäre Zahlenfolge aus 8 Bits zugeordnet wird. Dem niedrigsten Teilintervall wird der Dezimalwert 0, dem höchsten Teilintervall der Dezimalwert 255 zugeordnet.

25

In einer Realisierungsmöglichkeit für einen Analog-Digital-Wandler wird das sukzessive Approximationsverfahren verwendet. Dieses besteht aus mehreren Approximationsschritten, wobei in jedem Schritt ein digitaler Teilwert ermittelt und zur Bildung des digitalen Gesamtwertes verwendet wird. Die Anzahl der Approximationsschritte entspricht dabei der binären Genauigkeit des digitalen Wertes. Eine einfache Ausführungsform eines solchen Verfahrens ist in "Tietze/Schenk, Halbleiter-

35

schaltungstechnik, 12. Auflage, Springer, 2002" auf den Seiten 1009 ff. im Detail beschrieben.

In einer Variation dieses Verfahrens wird ein Eingangssignal
5 oder zweckmäßigerweise die Spannung eines Eingangssignals in
einem Approximationsschritt nicht mit einer Referenzspannung
oder Referenzpotential, sondern mit zwei Referenzspannungen
oder Referenzpotentialen verglichen. Dabei wird ermittelt, ob
10 die Spannung des Eingangssignals größer oder kleiner als die
beiden Referenzspannungen oder Referenzpotentiale sind oder
zwischen den beiden liegt. Die beiden Referenzspannungen oder
Potentiale unterteilen somit das Eingangsintervall für diesen
Approximationsschritt in insgesamt drei Teilintervalle, und
es wird durch den Vergleich ermittelt, in welchem dieser drei
15 Teilintervalle die Spannung des Eingangssignals liegt. Abhän-
gig von dem Ergebnis wird ein neues Signal erzeugt, welches
für den folgenden Approximationsschritt verwendet wird. Wei-
terhin ist jedem Intervall ein Wert zugeordnet, der für die
Bildung des digitalen Ausgangswertes des Analog-Digital-
20 Wandlers benutzt wird.

Praktischerweise arbeiten Analog-Digital-Wandler mit sukzes-
siver Approximation in einem getakteten Betriebsmodus und
sind mit Abtast-Halte-Einrichtungen ausgebildet, wobei häufig
25 jeder Approximationsschritt durch Schaltungen realisiert
wird. Während einer Abtastphase werden die Eingangssignale in
den einzelnen Stufen des Analog-Digital-Wandlers abgetastet
oder gesampelt. In einer der Abtastphase folgenden Haltephase
erfolgt eine Signalverarbeitung.

30 Steigende Taktraten führen jedoch zu Problemen bei Abtast-
Halte-Schaltungen in den einzelnen Approximationsstufen des
Analog-Digital-Wandlers. Insbesondere die Abtast-Halte-
Schaltungen, die einen Vergleich des Eingangssignals mit den
35 Referenzsignalen durchführen, benötigen für ihre Entschei-
dungsfindung Zeit. Bei geringen Taktraten ist eine kurze
Zeitspanne zwischen der Abtast- und der Haltephase für eine

Entscheidungsfindung ausreichend, bei hohen Taktraten ist die Zeitspanne jedoch zu kurz und die Fehlerrate steigt stark an.

Um dies zu verhindern, wurden die Vergleichsschaltungen der einzelnen Approximationsstufen so implementiert, daß sie eine Entscheidung bereits in einer vorhergehenden Zeitphase treffen können. Dadurch haben die Vergleichsschaltungen eine komplette Haltephase Zeit für die Entscheidung. Ein Analog-Digital-Wandler mit einer solchen "Look-Ahead-Technik" ist in "Matsuura et. al, A 240-Mbps, 1-W CMOS EPRML Read-Channel LSI Chip Using an Interleaved Subranging Pipeline A/D Converter, IEEE Journal of Solid-State Circuits, Vol. 33, No. 11, November 1998, Seite 1840 ff." gezeigt. Der große Nachteil des dort beschriebenen Analog-Digital-Wandlers ist jedoch sein Leistungsverbrauch und seine hohe Versorgungsspannung von 3,3 V, die der Forderung nach geringem Leistungsverbrauch und kleiner Versorgungsspannung entgegensteht. Zusätzlich wird bei diesem Analog-Digital-Wandler das Problem einer zu kurzen Zeitspanne für die Entscheidungsfindung nicht vollständig gelöst.

Ein weiterer Analog-Digital-Wandler ist in US 5,861,832 beschrieben. Die letzte Approximationsstufe des dortigen Wandlers ist ohne zusätzliche Verstärker ausgebildet, wodurch der Strom- und Platzverbrauch reduziert wird. Das Problem einer fehlerfreien Umsetzung bleibt jedoch auch hier bestehen.

Aufgabe der Erfindung ist es, ein Verfahren zur Umsetzung eines analogen Eingangsspannungssignals in einen digitalen Wert mittels sukzessiver Approximation vorzusehen, das auch bei hohen Taktraten fehlerfrei funktioniert. Darüber hinaus ist es Aufgabe, einen Analog-Digital-Wandler bereitzustellen, der auch bei geringen Versorgungsspannungen und hohen Taktraten arbeitet.

Diese Aufgaben werden mit den Gegenständen der nebengeordneten Patentansprüche gelöst.

Dabei weist das Verfahren zur Umsetzung einen Initialvergleichsschritt auf, der das Eingangssignal mit zumindest vier Teilreferenzpotentialen vergleicht und ein von dem Vergleich abhängiges Steuersignal erzeugt. Weiterhin umfasst das Verfahren einen ersten Approximationsschritt und zumindest einen zweiten Approximationsschritt. Jeder Approximationsschritt weist einen Vergleichsvorgang auf, bei dem ein Signal mit zwei Teilreferenzpotentialen verglichen wird, die ein Referenzpotentialpaar bilden und bei dem abhängig von dem Vergleich ein Steuersignal generiert wird. Der erste Approximationsschritt erzeugt ein von dem Eingangssignal und dem Steuersignal des Initialvergleichsschritts abgeleitetes Ausgangssignal, das als Signal für den Vergleichsvorgang des zumindest einen zweiten Approximationsschrittes verwendet wird.

Das Referenzpotentialpaar des Vergleichsvorgangs des ersten Approximationsschrittes wird durch das Steuersignal des Initialvergleichsvorgangs aus einer Menge von fünf Referenzpotentialpaaren bestimmt. Das im zweiten Approximationsschritt verwendete Referenzpotentialpaar wird durch das Steuersignal des dem zumindest einen zweiten vorangegangenen Approximationsschritt aus einer Menge von drei Referenzpotentialpaaren gewählt. Letztlich umfasst das Verfahren die Bildung des digitalen Wertes aus dem Steuersignal des Initialvergleichsvorgangs und den Steuersignalen des ersten und des zumindest einen zweiten Approximationsschrittes.

Durch den Initialvergleichsschritt werden Signale mit großer Amplitude fehlerfrei verarbeitet und der Dynamikbereich für das Eingangssignal vergrößert. Zusätzlich wird durch das Steuersignal des Initialvergleichsschritts ein Referenzpotentialpaar aus einer Menge von zumindest fünf Referenzpotentialpaaren für den Vergleichsvorgang des ersten Approximationsschrittes ausgewählt. Somit wird bereits eine Vorauswahl getroffen, und der Vergleichsvorgang des ersten Approximationsschrittes erhält dadurch genügend Zeit für seine Entscheidungsfindung. Das erfindungsgemäße Verfahren ist daher auch für hohe Taktraten besonders geeignet.

Ein Analog-Digital-Wandler umfasst zur Umsetzung eines analogen Eingangssignals in einen digitalen Wert einen Eingang und eine mit dem Eingang verbundene erste Wandlerstufe. Die Wandlerstufe weist ein Vergleichsmittel für einen Vergleich eines am Eingang angelegten Signals mit zumindest vier Teilreferenzpotentialen aus und ist zur Abgabe des am Eingang angelegten Signals an einem ersten Ausgang und zur Abgabe eines von dem Vergleich abhängigen Steuersignals an einem zweiten Ausgang ausgebildet. Der Analog-Digital-Wandler weist weiterhin zumindest eine zweite Wandlerstufe auf, die der ersten Wandlerstufe nachgeschaltet ist. Die zweite Wandlerstufe enthält ein Mittel zur Abgabe eines Ausgangssignals an einen ersten Ausgang, das von einem Signal an einem Signaleingang der zumindest einen zweiten Wandlerstufe und von einem Steuersignal an einem Steuereingang der zumindest einen zweiten Wandlerstufe abgeleitet ist. Die zumindest eine zweite Wandlerstufe umfasst ferner ein Vergleichsmittel für einen Vergleich des an den Signaleingang angelegten Signals mit zwei durch das am Steuereingang angelegte Steuersignal bestimmten Teilreferenzpotentialen und für die Abgabe eines vom Vergleich abhängigen Steuersignals an einen zweiten Ausgang der zumindest einen zweiten Wandlerstufe. Dabei ist der Signaleingang und der Steuereingang der zumindest einen zweiten Wandlerstufe mit dem ersten Ausgang und mit dem zweiten Ausgang einer der zumindest einen zweiten Wandlerstufe vorgeschalteten Wandlerstufe verbunden. Der Analog-Digital-Wandler enthält eine Logikschaltung, die zur Abgabe eines digitalen Wertes aus dem Steuersignal der ersten Wandlerstufe und dem Steuersignal der zumindest einen zweiten Wandlerstufe ausgebildet ist.

Durch die Ausbildung des Analog-Digital-Wandlers mit einem Vergleichsmittel in jeder Wandlerstufe wird eine Entscheidung über ein von einer Wandlerstufe zu erzeugendes Ausgangssignal bereits in der der Wandlerstufe vorgeschalteten Wandlerstufe getroffen. Gleichzeitig wird bereits eine Vorauswahl über

die von dem Vergleichsmittel verwendeten Teilreferenzpotentiale durch das Steuersignal der vorangeschalteten Wandlerstufe getroffen. Dadurch wird einem Vergleichsmittel für den Vergleich des Signals am Signaleingang ein größerer Zeitraum zur Verfügung gestellt. Umgekehrt kann ein getaktet betriebener erfindungsgemäßer Analog-Digital-Wandler mit deutlich höheren Taktraten arbeiten. Durch den Vergleich mit vier Teilreferenzpotentialen in der ersten Wandlerstufe wird zudem ein großes Eingangssignal auch bei kleinen Versorgungsspannungen des Analog-Digital-Wandlers fehlerfrei verarbeitet. Es ist daher möglich, die Versorgungsspannung zu reduzieren und den Analog-Digital-Wandler in stromsparender CMOS-Schaltungstechnik zu implementieren.

Vorteilhafte Ausgestaltungsformen der Erfindung ergeben sich aus den Unteransprüchen.

Es ist bei dem Verfahren und seinen Ausgestaltungen vorteilhaft, Spannungen anstatt Potentiale zu benutzen. Da eine Spannung die Differenz zweier Potentiale darstellt, kann das Verfahren bei der Wahl eines einzigen Bezugspotentials für alle im Verfahren verwendeten Referenzpotentiale sehr leicht mit den entsprechenden Referenzspannungen ausgebildet werden. Unter der Voraussetzung alle Potentiale immer auf ein gleiches Bezugspotential zu beziehen lassen sich somit die Referenzpotentiale durch Referenzspannungen ersetzen. Dies ist insbesondere dann sinnvoll, wenn das Eingangssignal ein Spannungssignal darstellt. Ein Potentialintervall wird so zu einem Spannungsintervall.

Weiterhin ist es bei dem erfindungsgemäßen Verfahren zweckmäßig, daß der zumindest eine zweite Approximationsschritt ein von dem Ausgangssignal und dem Steuersignal des vorangegangenen Approximationsschrittes abgeleitetes Ausgangssignal erzeugt, das als Signal für einen dem zumindest einen zweiten nachfolgenden Approximationsschritt verwendet wird. Dieses wird dabei für den Vergleichsvorgang als auch für die Erzeu-

gung eines weiteren Ausgangssignals verwendet. Dadurch bleibt dem Vergleichsvorgang in einem Approximationsschritt deutlich mehr Zeit für seine Entscheidungsfindung, denn das Ergebnis des Vergleichsvorgangs wird erst im folgenden Approximations-
5 schritt benötigt.

In einer weiteren Ausgestaltung der Erfindung stimmen drei der zumindest fünf Referenzspannungspaare des Vergleichsvor-
10 gangs des ersten Approximationsschrittes mit den drei Referenzspannungspaaren des Vergleichsvorgangs des zumindest einen zweiten Approximationsschrittes überein.

Eine Weiterbildung ist dadurch gekennzeichnet, daß für die
15 Erzeugung des abgeleiteten Ausgangssignals im ersten Approximationsschritt und im zumindest einen zweiten Approximationsschritt das Eingangssignal in seiner Amplitude verdoppelt wird oder das Eingangssignal in seiner Amplitude verdoppelt wird und zu diesem ein Zwischensignal addiert oder subtra-
20 hiert wird. Das Zwischensignal ist aus dem n-fachen eines ersten Referenzpotentials im ersten Approximationsschritt oder aus dem ersten Referenzpotential im zumindest einen zweiten Approximationsschritt abgeleitet. Der Wert n ist eine natürliche Zahl größer 1.

25

In diesem Zusammenhang ist es besonders sinnvoll, wenn das erste und das zweite Teilreferenzpotential der Referenzpotentialpaare jeweils einen Bruchteil eines ersten Referenzpotentials aufweisen. Der Bruchteil beträgt dabei das m-fache des
30 achten Teils des ersten Referenzpotentials oder der ersten Referenzspannung, wobei m eine ganze, ungerade Zahl von -9 bis 9 ist. In einer Weiterbildung dieser Ausgestaltung weisen die beiden Teilreferenzpotentiale der Referenzpotentialpaare eine Spannungsdifferenz von $2/8$ des ersten Referenzpotentials
35 auf.

In einer Ausgestaltung ist bei dem Initialvergleichsschritt ein durch ein obere und ein unteres Grenzpotehtial vorgegebenes Eingangspotehtialintervall durch die zumindest vier Teilreferenzpotehtiale in zumindest fünf Teilpotehtialintervalle unterteilt. Es wird ermittelt, in welchem der fünf Teilpotehtialintervalle sich das Eingangssignal befindet und ein davon abhängiges Signal erzeugt. In diesem Zusammenhang wird auch bei dem Vergleichsvorgang eines Approximationsschrittes ein durch zwei Potehtiale vorgegebenes Potehtialintervall in drei Teilpotehtialintervalle unterteilt. Sinnvollerweise ist die Länge des vorgegebenen Eingangspotehtialintervalls des Initialvergleichsvorgangs die doppelte Länge des vorgegebenen Potehtialintervalls eines Approximationsschrittes.

Der obere bzw. untere Grenzwert des Eingangspotehtialintervalls oder des Potehtialintervalls, das durch die Teilreferenzpotehtiale in Teilpotehtialintervalle unterteilt wird, ist durch einen maximalen oder minimalen Wert des Signals definiert, das in diesem Approximationsschritt verwendet wird. Die beiden Grenzwerte können jedoch auch fest vorgegebene Grenzwerte sein, die größer bzw. kleiner als der maximale bzw. minimale Wert des Spannungssignals sind.

Eine zweckmäßige Ausführungsform ist eine Begrenzung eines Teilreferenzpotehtials eines Referenzpotehtialpaares auf das obere oder untere Grenzpotehtial des vorgegebenen Eingangspotehtialintervalls.

In einer Ausführungsform des Analog-Digital-Wandlers, bilden zwei Teilreferenzpotehtiale ein Referenzpotehtialpaar, wobei das Vergleichsmittel der zumindest einen zweiten Wandlerstufe für eine Wahl eines Referenzpotehtialpaares aus einer Menge von drei oder von zumindest fünf Referenzpotehtialpaaren abhängig von dem am Steuereingang angelegten Steuersignal bestimmt ist.

Zweckmäßigerweise weist der Analog-Digital-Wandler mehrere hintereinander geschaltete zweite Wandlerstufen auf, wobei das Vergleichsmittel der ersten zweiten Wandlerstufe für eine Wahl von zumindest fünf, die Vergleichsmittel der weiteren
5 zweiten Wandlerstufen für eine Wahl von drei Referenzpotentialpaaren ausgebildet sind.

In einer weiteren Ausführungsform weist das Vergleichsmittel der ersten Wandlerstufe des Analog-Digital-Wandlers ein durch
10 ein oberes und ein unteres Grenzpotential vorgegebenes Eingangspotentialintervall für das Eingangssignal auf. Die zumindest vier Teilreferenzpotentiale unterteilen somit das Eingangspotentialintervall in zumindest fünf Teilpotentialintervalle. Das Vergleichsmittel ist zur Ermittlung des Teilpotentialintervalls in dem sich das Eingangssignal befindet und
15 zur Abgabe eines davon abhängigen Steuersignals ausgebildet.

In diesem Zusammenhang weist das Vergleichsmittel der zumindest einen zweiten Wandlerstufe des Analog-Digital-Wandlers
20 ein durch ein oberes und ein unteres Potential vorgegebenes Potentialintervall für das am Signaleingang der Wandlerstufe angelegte Signal auf und unterteilt dieses mit den zwei Teilreferenzpotentialen eines Referenzpotentialpaares in drei Teilpotentialintervalle.

25 Die Vergleichsvorrichtungen und die Generatorschaltungen der Wandlerstufe des Analog-Digital-Wandlers sind vorteilhaft als Abtast-Halte-Schaltungen für einen getakteten Betrieb ausgebildet.

30 Zweckmäßigerweise ist dabei das Vergleichsmittel der zumindest einen zweiten Wandlerstufe für ein Abtasten eines am Signaleingang anliegenden Signals während eines ersten Zeitraumes und für einen Vergleich des abgetasteten Signals mit
35 zwei Teilreferenzpotentialen eines Referenzpotentialpaares und für die Abgabe eines eindeutigen von dem Vergleich abhängigen Signals am zweiten Ausgang während eines zweiten Zeit-

raumes ausgebildet. Dabei wird der erste Zeitraum als Abtastphase und der zweite Zeitraum als Haltephase bezeichnet.

Es ist ebenso vorteilhaft, das erste Vergleichsmittel der ersten Wandlerstufe für ein Abtasten eines Eingangssignals während eines ersten Zeitraums und für einen Vergleich des abgetasteten Eingangssignals mit zumindest vier Teilreferenzspannungen und für die Abgabe eines eindeutigen, von dem Vergleich abhängigen Signals während eines zweiten Zeitraumes auszubilden.

Es ist sinnvoll, das Mittel zur Abgabe der zumindest einen zweiten Wandlerstufe für ein Abtasten eines am Signaleingang anliegenden Signals während eines ersten Zeitraums und für eine Abgabe eines Ausgangssignals am ersten Ausgang abhängig abgetasteten Signals sowie einem Steuersignal am Steuereingang auszubilden. Damit tasten das Vergleichsmittel während der Abtastphase, also des ersten Zeitraums, ein am Signaleingang angelegtes Signal ab und verarbeitet dieses während des Haltezeitraums.

In einer Weiterbildung des Analog-Digital-Wandlers bildet der zweite Zeitraum der ersten Wandlerstufe den ersten Zeitraum der zweiten der ersten Wandlerstufe nachgeschalteten Wandlerstufe. Somit bildet die Haltephase einer Wandlerstufe die Abtastphase einer Wandlerstufe nachgeschalteten Wandlerstufe.

In einer anderen Weiterbildung des Analog-Digital-Wandlers werden die zwei Teilreferenzpotentiale eines Referenzpotentialpaars in Wandlerstufe aus jeweils einem Bruchteil eines ersten Referenzpotentials gebildet, wobei der Bruchteil das m -fache des achten Teils dieses ersten Referenzpotentials beträgt und m eine ganze ungerade Zahl im Bereich von -9 bis 9 ist. Die Differenz der zwei Teilreferenzpotentiale beträgt $2/8$ des Wertes des ersten Referenzpotentials.

In einer Weiterbildung des Analog-Digital-Wandlers ist der Wert des ersten Referenzpotentials gleich dem Wert der Hälfte der Differenz des unteren und oberen Grenzpentials des Eingangspotentialintervalls.

5

In einer Ausgestaltung der Erfindung weist die erste Wandlerstufe eine Abtast-Halte-Schaltung auf. Der Signaleingang der ersten Wandlerstufe ist mit dem Ausgang einer Abtast-Halte-Schaltung verbunden, die zum Abtasten eines Eingangsspannungssignals während der Abtastphase und zur Abgabe eines Signals am Ausgang der ersten Wandlerstufe während der Haltephase ausgebildet ist. Der Wert des abgegebenen Spannungssignals ist dabei gleich dem Wert des Eingangsspannungssignals während der Abtastphase. Damit werden mögliche Umsetzungsfehler eines analogen Signals in ein digitales Signal reduziert.

10

Im Folgenden wird die Erfindung anhand eines Ausführungsbeispiels unter Zuhilfenahme der Zeichnungen im Detail erläutert.

20

Es zeigen:

Figur 1 ein Ausführungsbeispiel eines Analog-Digital-Wandlers,

25

Figur 2 einen Ausschnitt einer Generatorschaltung einer Wandlerstufe des Analog-Digital-Wandlers,

Figur 3 ein Diagramm, welches das Verhältnis der Spannungen von Eingangs- zu Ausgangssignal zeigt,

30

Figur 4 ein Blockdiagramm einer Vergleichsvorrichtung,

Figur 5 ein Zeitdiagramm mit Abtast- und Haltephasen,

35

Figur 6 ein Ausführungsbeispiel für das Verfahren.

Figur 1 zeigt einen Analog-Digital-Wandler mit einem Eingang E und einem Ausgang A. Am Eingang E des Analog-Digital-Wandlers wird ein analoges Eingangsspannungssignal zugeführt, dessen umgesetzter digitaler Wert am Ausgang A abgreifbar ist. Der Wandler in diesem Ausführungsbeispiel benutzt Spannungssignale als Eingangssignale und Spannungen für die Signalverarbeitung innerhalb des Wandlers.

Der Analog-Digital-Wandler weist vier Wandlerstufen T0, T1 bis T3, sowie eine Logikschaltung L1 auf. Jede Wandlerstufe umfaßt einen Signaleingang T01 bzw. T11 sowie einen Steuerausgang T03 bzw. T13. Die Wandlerstufen T1, T2 und T3 weisen einen Steuereingang T14 und die Wandlerstufen T0, T1 und T2, einen Signalausgang T01 bzw. T12 auf. Die Wandlerstufen T0, T1 bis T3 sind in Reihe hintereinander geschaltet, d.h. ihr jeweiliger Signalausgang ist mit dem Signaleingang der folgenden Wandlerstufe und ihr jeweiliger Steuerausgang mit dem Steuereingang der folgenden Wandlerstufe verbunden. Die Steuerausgänge T03 bzw. T13 der jeweiligen Wandlerstufen T0 bis T3 sind ferner an die vier Eingänge der Logikschaltung L1 angeschlossen, deren Ausgang den Ausgang A des Digital-Analog-Wandlers bildet. Der Eingang T01 der ersten Wandlerstufe T0 bildet den Eingang des Digital-Analog-Wandlers.

Der hier gezeigte Analog-Digital-Wandler ist für eine Umsetzung eines analogen Eingangsspannungssignals in einem Eingangsspannungsintervall von -1 V bis +1 V in einem digitalen Wert ausgebildet. Die Länge des Eingangsspannungsintervalls beträgt demnach 2V. Der Analog-Digital-Wandler arbeitet in einem getakteten Betriebsmodus, der abwechselnd Abtast- und Haltephasen aufweist. Der zeitliche Verlauf einer solchen Abtast- und Haltephase ist in Figur 5 gezeigt. Jede Zeitperiode T ist unterteilt in eine Abtastphase Φ_s und einer Haltephase Φ_H . Zwischen der Abtastphase Φ_s und der Haltephase Φ_H befindet sich ein kleiner zeitlicher Abstand Δt , der zur Fehlerreduzierung der Abtast-Halte-Schaltungen eingeführt wird. Er dient dazu, den Schaltern in den Wandlerstufen T0 bis T3 aus-

reichend Zeit für den Schaltvorgang zwischen der Abtastphase Φ_S und der Haltephase Φ_H zur Verfügung zu stellen.

Die Wandlerstufe T0 weist eine Abtast-Halte-Schaltung P0 auf, die während einer Abtastphase Φ_S ein am Eingang des Analog-Digital-Wandlers angelegtes Signal abtastet und während einer Haltephase Φ_H einer Taktperiode T das abgetastete Signal am Ausgang T02 der Wandlerstufe T0 abgibt. Ferner weist die Wandlerstufe T0 eine Komparatorschaltung C0 auf, die mit Signaleingang C01 an den Eingang T01 der Wandlerstufe T0 angeschlossen ist und deren Ausgang C02 den Steuerausgang T03 der Wandlerstufe T0 bildet. Die Komparatorschaltung C0 weist Mittel zum Bereitstellen von vier Teilreferenzspannungen mit den Werten -0,75 V, -0,25 V, 0,25 V und 0,75 V auf, die das durch die beiden Grenzwerte -1 V und +1 V vorgegebene Eingangsspannungsintervall in fünf Teilspannungsintervalle unterteilen. Jedem dieser entstandenen Teilspannungsintervalle ist ein eindeutiger Wert zugeordnet, der als Steuersignal am Ausgang C02 abgegeben werden kann. Tabelle 1 zeigt die einzelnen, durch feste Teilreferenzspannungen vorgegebenen Teilspannungsintervalle und die dazu zugeordneten Steuersignale.

Teilspannungsintervall	Steuersignal	Bitfolge
1 V bis 0,75 V	"overload"	(0,0), (0,1)
0,75 V bis 0,25 V	"high"	(1,0), (0,0)
0,25 V bis -0,25 V	"fuzzy"	(0,1), (0,0)
-0,25 V bis - 0,75 V	"low"	(0,0), (0,0)
-0,75 V bis -1 V	"underload"	(0,0), (1,0)

Tabelle 1: Teilspannungsintervalle der ersten Komparatorschaltung C0 und zugeordnete Steuersignale

Ein am Signaleingang C01 der Komparatorschaltung C0 anliegendes Signal wird während der Abtastphase Φ_S einer Taktperiode T abgetastet oder gesampelt und während der Haltephase Φ_H mit den vier Teilreferenzspannungen verglichen. Dadurch wird eine Entscheidung getroffen, in welchem der fünf Teilspannungsintervalle sich der Spannungswert des Signals am Eingang C01

befindet und das dazugehörige Steuersignal wird am Ausgang ausgegeben.

Die Wandlerstufen T1 und T2 des Analog-Digital-Wandlers enthalten jeweils eine Generatorschaltung P1 bzw. P2 mit einem Signaleingang, einem Steuerausgang und einem Signalausgang, wobei der Signaleingang der Generatorschaltung an den Eingang T11 der jeweiligen Wandlerstufe und der Signalausgang der Generatorschaltung an den Ausgang T12 der jeweiligen Wandlerstufe angeschlossen ist. Der Steuereingang der Generatorschaltung P1 bzw. P2 führt zu dem Steuereingang T14 der jeweiligen Wandlerstufe T1 bzw. T2. Die Wandlerstufe T3 enthält keine weitere Generatorschaltung, da sie die letzte Approximationsstufe des Digital-Analog-Wandlers darstellt und kein weiteres analoges Spannungssignal benötigt wird.

Die Generatorschaltungen P1 und P2 weisen jeweils eine Steuereinheit P12 auf, die ein Steuersignal am Steuereingang auswertet und abhängig von diesen Einstellungen für die Schaltung P11 zur Erzeugung des Ausgangssignals vornimmt. Die Generatorschaltung P1 bzw. P2 und mit ihnen insbesondere die Schaltung P11 ist ebenfalls in Abtast-Halte-Schaltungstechnik ausgebildet. Während der Abtastphase Φ_s speichert die Generatorschaltung den Wert des am Eingang angelegten Signals und generiert im Laufe der Haltephase Φ_H ein neues Spannungssignal, das am Ausgang T12 der Wandlerstufe abgegeben wird.

Weiterhin enthalten die Wandlerstufen T1 bis T3 jeweils eine Komparatorschaltung C1 bis C3, deren Steuereingang C13, C23 und C33 mit dem Steuereingang T14 der jeweiligen Wandlerstufe T1 bis T3 verbunden ist. Ein Signaleingang C11 bis C31 der Komparatorschaltungen C1 bis C3 ist an den Signaleingang T11 der jeweiligen Wandlerstufe T1 bis T3 angeschlossen. Die Ausgänge C12 bis C32 der Komparatorschaltungen C1 bis C3 bilden die jeweiligen Steuerausgänge T13 der Wandlerstufe T1 bis T3.

Die Komparatorschaltung C1 der Wandlerstufe T1 ist so ausgebildet, daß sie abhängig von einem Steuersignal am Steuereingang C13 ein Referenzspannungspaar aus einer Menge von insgesamt fünf Referenzspannungspaaren SI1 bis SI5 auswählt. Ein
 5 jedes Referenzspannungspaar enthält zwei Teilreferenzspannungen, die jeweils $n/8$ einer ersten Referenzspannung V_{ref} betragen, wobei n eine ungerade Zahl ist. Die Differenz zwischen zwei Teilreferenzspannungen eines jeden Referenzspannungspaares beträgt jeweils $2/8 V_{ref}$. Die erste Referenzspannung V_{ref}
 10 ist im Ausführungsbeispiel 1 V.

Die beiden Teilreferenzspannungen des ausgewählten Referenzspannungspaares unterteilen das Eingangsspannungsintervall von -1 V bis +1 V faktisch in drei Teilspannungsintervalle.
 15 Beispielsweise wird bei einer Wahl des Referenzspannungspaares $(3/8, 5/8)$ der Bereich in die Intervalle zwischen -1 V bis $3/8$ V, $3/8$ V bis $5/8$ V und $5/8$ V bis +1 V unterteilt. Dadurch wird die Länge eines jeden Teilspannungsintervalls abhängig von dem gewählten Referenzspannungspaar unterschiedlich groß. Jedem durch die Unterteilung entstandenen Teilspannungsintervall ist ein eindeutiger Wert zugeordnet. Eine Übersicht der
 20 Teilreferenzspannungen eines jeden Referenzspannungspaares und den den entstandenen Teilspannungsintervallen zugeordneten Werten ist der nachfolgenden Tabelle 2 zu entnehmen.

25

Referenzspannungspaar	Teilspannungsintervalle [V_{ref}]	Steuersignal	Bitfolge
$(7/8, 9/8)$	-	-	-
	$[7/8, 9/8]$	fuzzy	$(0, 1)$
	$< 7/8$	low	$(0, 0)$
$(5/8, 3/8)$	$> 5/8$	high	$(1, 0)$
	$[3/8, 5/8]$	fuzzy	$(0, 1)$
	$< 3/8$	low	$(0, 0)$
$(1/8, -1/8)$	$> 1/8$	high	$(1, 0)$
	$[-1/8, 1/8]$	fuzzy	$(0, 1)$
	$< -1/8$	low	$(0, 0)$
	$> -3/8$	high	$(1, 0)$

$(-3/8, -5/8)$	$[-5/8, -3/8]$	fuzzy	$(0,1)$
	$< -5/8$	low	$(0,0)$
	$> -7/8$	high	$(1,0)$
$(-7/8, -9/8)$	$[-9/8, -7/8]$	fuzzy	$(0,1)$
	-	-	-

Tabelle 2: Übersicht über die Referenzspannungspaare und die Teilspannungsintervalle mit den zugeordneten Steuersignalen

Dabei enthält das Intervall mit der größeren Teilreferenzspannung als unteren Grenzwert den zugeordneten Wert "high", das Intervall zwischen den Teilreferenzspannungen den zugeordneten Wert "fuzzy" und das Intervall mit der kleineren Teilreferenzspannung als oberen Grenzwert den zugeordneten Wert "low". Da im praktischen Ausführungsfall der Spannungswert eines Eingangssignals am Eingang C13 nie größer als $9/8$ der Referenzspannung V_{ref} bzw. kleiner als $-9/8$ der Referenzspannung V_{ref} werden kann, können die dazu zugeordneten Teilspannungsintervalle mit den Werten "high" und "low" entfallen.

Liegt daher ein Eingangssignal beispielsweise zwischen zwei Teilreferenzspannungen eines durch das Steuersignal bestimmten Referenzspannungspaares, so wird unabhängig von dem ausgewählten Referenzspannungspaar immer das Steuersignal "fuzzy" an den Ausgang T13 der Wandlerstufe gelegt. Ist das Eingangssignal größer als die größere der beiden Teilreferenzspannungen wird von der Komparatorschaltung das Steuersignal "high" erzeugt, ist es kleiner als das kleinere der beiden Teilreferenzspannungen wird das Steuersignal "low" generiert. Das Steuersignal wird zur Auswahl des Referenzspannungspaares der folgenden Komparatorschaltung bzw. zur Erzeugung des analogen Spannungssignals in der folgenden Generatorschaltung verwendet. Die Auswahl eines Referenzspannungspaares in der Komparatorschaltung erfolgt zu jeder Haltephase Φ_H dynamisch durch das Steuersignal der vorgeschalteten Komparatorschaltung.

Einen Ausschnitt der Generatorschaltung P1 zeigt Figur 2. Die Schaltung P11 ist dabei als Abtast-Halte-Schaltung für einen getakteten Betriebsmodus und für eine Differenz-

5 Signallerarbeitung mit zwei Eingängen ausgebildet. Jeder der Eingänge führt einen Teil des Differenzeingangssignals. Die Generatorschaltung 11 läßt sich aber auch ohne größeren Aufwand für eine asymmetrische Signallerarbeitung mit single-ended Signaleingang realisieren.

10 Die Schaltung P11 weist einen Differenzverstärker 11 mit einem invertierenden Eingang "-" und einem nicht invertierenden Eingang "+" sowie einem invertierenden Ausgang "-" und einem nicht invertierenden Ausgang "+" auf. Die beiden Ausgänge des Differenzverstärkers 11 sind über jeweils einen Schalter 12
15 mit einem Versorgungspotential V_{CMO} gekoppelt. Der nicht invertierende Ausgang des Differenzverstärkers 11 ist über einen Schalter 15 mit einem Anschluß eines ersten Kondensators 13 verbunden. Dieser Anschluß des ersten Kondensators 13 ist über einen weiteren Schalter 12 mit einem Anschluß für ein
20 Eingangssignal V_{IP} gekoppelt. Der andere Anschluß des ersten Kondensators 13 ist an den invertierenden Eingang des Differenzverstärkers 11 angeschlossen. Der invertierende Eingang des Differenzverstärkers 11 ist außerdem mit einem zweiten Kondensator 13 verbunden, dessen anderer Anschluß über einen
25 Schalter 12 mit dem Anschluß für ein Differenzeingangssignal V_{IP} , sowie über einen Schalter 16 mit einem Referenzsignal V_{refP} , über einen Schalter 17 mit einem Referenzsignal V_{refN} und über einen Schalter 21 mit dem Potential V_{CMO} gekoppelt ist.

30

Der invertierende Eingang "-" des Differenzverstärkers 11 ist weiterhin an einen Kondensator 131 angeschlossen. Der andere Anschluß des Kondensators 131 ist über einen Schalter 12 und
20 mit dem Versorgungspotential V_{CMO} verbindbar. Weiterhin ist dieser Anschluß über den Schalter 18 an das Referenzsignal V_{refP} und über den Schalter 19 an das Referenzsignal V_{refN} angeschlossen.

35

Der invertierende Eingang und der nicht invertierende Eingang des Differenzverstärkers 11 sind über jeweils einen Schalter 12 an ein Versorgungspotential V_{CM1} angeschlossen.

- 5 Der invertierende Ausgang des Referenzverstärkers 11 führt über einen Schalter 15 zu einem Anschluß eines ersten Kondensators 14 und weiterhin über einen Schalter 12 zu einem Anschluß für das Differenzeingangssignal V_{IN} . Der nicht invertierende Eingang des Differenzverstärkers 11 ist mit dem
10 anderen Anschluß des ersten Kondensators 14 gekoppelt. Außerdem ist der nicht invertierende Eingang an einen Anschluß eines zweiten Kondensators 14 sowie an einen Anschluß eines Kondensators 141 angeschlossen. Der andere Anschluß des zweiten Kondensators 14 führt über einen Schalter 12 zu dem
15 Anschluß für das Eingangssignal V_{IN} , über einen Schalter 21 zu dem Potential V_{CM0} , über einen Schalter 17 zu dem Referenzsignal V_{refP} und über einen Schalter 16 zu dem Referenzsignal V_{refN} . Der andere Anschluß des Kondensators 141 ist über einen Schalter 12 und einen Schalter 20 an die Spannung V_{CM0} angeschlossen. Weiterhin ist er über einen Schalter 19 mit dem
20 Referenzsignal V_{refP} und über einen Schalter 18 mit dem Referenzsignal V_{refN} gekoppelt.

- Während der Abtastphase Φ_s einer Taktperiode T werden die
25 Schalter 12 der Abtast-Halte-Schaltung P11 geschlossen und die Kondensatoren 13 und 14 werden mit der Spannung der Differenzeingangssignale V_{IN} und V_{IP} geladen. Am Ende der Abtastphase und während der kleinen Zwischenzeit Δt werden die Schalter 12 geöffnet. Die Spannung der Eingangssignale ist
30 jetzt in den Kondensatoren gespeichert. Während der Haltephase Φ_H werden abhängig von dem Steuersignal eine Auswahl der Schalter 16 bis 21 geschlossen und daraus am Ausgang des Differenzverstärkers 11 eine Ausgangsspannung generiert. Die von dem Steuersignal abhängige erzeugte Ausgangsspannung sowie
35 die entsprechende Schalterstellung während der Haltephase ist der Tabelle 3 zu entnehmen. V_I ist dabei die Spannung des Eingangssignals, also die Differenz der beiden Spannungssig-

nale V_{IN} und V_{IP} . Die Referenzspannung V_{ref} ergibt sich aus den beiden Differenzreferenzspannungen V_{refP} und V_{refN} und beträgt 1 V.

Steuersignal	Geschlossene Schalter	Generierte Ausgangsspannung
"overload"	17, 19	$2 \cdot V_I - 2V_{ref}$
"high"	17, 20	$2 \cdot V_I - V_{ref}$
"fuzzy"	20, 21	$2 \cdot V_I$
"low"	16, 20	$2 \cdot V_I + V_{ref}$
"underload"	16, 18	$2 \cdot V_I + 2V_{ref}$

5 Tabelle 3: Schalterstellung und die daraus erzeugte Ausgangsspannung in der Generatorschaltung

Die Ausgangsspannung, die während der Haltephase Φ_H am Ausgang T12 der Wandlerstufe T1 abgreifbar ist, wird während derselben Phase von der Schaltung P11 der Generatorschaltung P2 der Wandlerstufe T2 abgetastet. Die Abtast-Halte-Schaltung P11 der Generatorschaltung P2 der Wandlerstufe T2 und alle folgenden Generatorschaltungen sind in ähnlicher Weise wie die Abtast-Halte-Schaltung P11 der Wandlerstufe T1 ausgebildet, jedoch fehlen die Kondensatoren 131 und 141 und die mit ihnen verbundenen Schalter und Signaleingänge, da die Generatorschaltungen P2 keine Ausgangsspannungen bei den Steuersignalen "underload" und "overload" erzeugen müssen.

20 Das Verhältnis von Eingangs- und Ausgangsspannungswerten der Abtast-Halte-Schaltungen P11 der Generatorschaltung P1 bzw. P2 zeigt Figur 3. Das Eingangsspannungsintervall auf der x-Achse liegt auf dem Bereich zwischen -1 und 1 V, die von der Abtast-Halte-Schaltung P11 erzeugte Ausgangsspannung zwischen -0,5 und 0,5 V. Die gestrichelte zusammen mit der durchgezogenen Linie zeigt die Übertragungsfunktion der Abtast-Halte-Schaltung P11 der ersten Generatorschaltung P1 an, die durchgezogenen Linien zeigen die Übertragungsfunktion der Abtast-Halte-Schaltung der Generatorschaltung P2 an. Insbesondere wird ein Eingangsspannungswert in dem mit "underload" bzw.

"overload" gekennzeichneten Teilintervall durch die Abtast-Halte-Schaltung P11 der ersten Generatorschaltung P1 auf das Ausgangsspannungsintervall zwischen $-0,5\text{ V}$ und $0,5\text{ V}$ begrenzt. Dies erfolgt, wie in der Tabelle 3 angegeben, durch Addition bzw. Subtraktion des zweifachen Spannungsreferenzwertes V_{ref} zum doppelten der Eingangsspannung, wenn sich das Eingangssignal im Bereich "overload" oder "underload" befindet. Auf diese Weise werden Eingangssignale oder Eingangsspannungen von der Wandlerstufe T1 in geeigneter Weise verarbeitet. Die folgenden Generatorschaltungen besitzen ein maximales Eingangssignal im Bereich von $-0,5\text{ V}$ bis $0,5\text{ V}$. Ein solches Eingangssignal läßt sich auch bei Versorgungsspannungen um 1 V noch problemlos verarbeiten. Die Entscheidung, in welchem Teilspannungsintervall der Eingangsspannungswert liegt, wird von der Komparatoreinrichtung der vorangegangenen Wandlerstufe oder von der ersten Komparatoreinrichtung C0 getroffen.

Ein Blockschaltbild für asymmetrische Signalverarbeitung einer Komparatorschaltung C2 der Wandlerstufe T2 ist in Figur 4 dargestellt. Die Komparatorschaltung weist an ihrem Eingang C21 einen Schalter C24 auf, der mit einem Anschluß eines Kondensators C25 sowie mit dem Eingang einer Vergleichsschaltung C26 gekoppelt ist. Der andere Anschluß des Kondensators C25 ist dem Massepotential als Bezugspotential verbunden. Die Vergleichsschaltung C26 besitzt einen Ausgang C262, die zu einer Schaltung C27 führt, die das Steuersignal generiert und am Steuerausgang C22 abgibt. Die Vergleichsschaltung C26 weist ferner zwei Eingänge für Teilreferenzspannungen auf. Jeder dieser beiden Eingänge ist mit drei Schaltern verbunden. Durch je zwei Schalter läßt sich ein Referenzspannungspaar auf die Eingänge der Teilreferenzspannungen legen. Eine Auswahl, welches Paar Schalter geschlossen wird, wird durch die Schaltung C28 getroffen, welche das Steuersignal am Steuereingang C23 der Komparatorschaltung C2 auswertet. Somit verbindet die Schaltung C28 die Eingänge für die Teilreferenzspannungen mit dem Referenzspannungspaar SI1, SI2 oder

SI3 abhängig von dem Steuersignal am Steuereingang C23. An den beiden Anschlüssen des Referenzspannungspaares SI1 liegen dabei die Teilreferenzspannung $-3/8 V_{ref}$ bzw. $-5/8 V_{ref}$ an. Die Anschlüsse von SI2 führen $1/8 V_{ref}$ bzw. $-1/8 V_{ref}$, SI3 führt
5 $5/8 V_{ref}$ bzw. $3/8 V_{ref}$.

Während der Abtastphase Φ_s ist der Schalter C24 geschlossen und der Kondensator C25 lädt sich auf den Eingangsspannungswert des Signals am Eingang C21 auf. Der Kondensator C25 ist
10 dabei in seiner Kapazität so gewählt, daß er während der Abtastphase Φ_s vollständig geladen wird. In der Haltephase Φ_H ist der Schalter C24 geöffnet und eines der Schalterpaare SI1, SI2 oder SI3 abhängig von dem Steuersignal geschlossen. Die Vergleichsschaltung 26 vergleicht den Spannungswert des
15 Kondensators C25 mit den Teilreferenzspannungen eines des durch die Schalter SI1, SI2 oder SI2 ausgewählten Referenzspannungspaares und gibt das Ergebnis am Eingang C262 aus. Da das Eingangsspannungsintervall am Eingang C21 praktisch auf den Bereich zwischen $-0,5 V$ und $0,5 V$ begrenzt ist, wird die-
20 ses Intervall in der Vergleichseinrichtung C26 durch die zwei Teilreferenzspannungen in drei bzw. zwei Teilspannungsintervalle unterteilt. Während der nachfolgenden Haltephase wird der im Kondensator C25 gespeicherte Spannungswert in der Vergleichsschaltung C26 mit den Teilreferenzspannungen vergli-
25 chen. Je nachdem, ob die Spannung über den Kondensator C25 größer oder kleiner als die Teilreferenzspannungen ist oder zwischen diesen liegt wird somit ermittelt, in welchem Spannungsintervall der Spannungswert des Kondensators C25 liegt. Daraus generiert die Schaltung C27 das Steuersignal für die
30 nächste Wandlerstufe und die Logikschaltung L1.

Die Komparatorschaltung C2 der Wandlerstufe T2 in Figur 2 kann in einfacher Weise in eine entsprechende Komparatorschaltung C1 modifiziert werden. Ebenso ist es für einen
35 Fachmann einfach möglich, die Komparatorschaltung C2 für eine Differenzsignalverarbeitung auszubilden.

Die Steuersignale der einzelnen Komparatorschaltungen C0 bis C3 werden einer Logikschaltung L1 zugeführt. Dabei entsprechen die einzelnen Steuersignale einer Bitfolge serieller Bits, die von der Logikschaltung L1 in der Figur 1 zu einem digitalen Wert zusammengesetzt werden. Zweckmäßigerweise werden die von den Komparatorschaltungen C0 bis C3 kommenden Steuersignale erst in der Logikschaltung L1 in Bitfolgen umgesetzt und in einem zweiten Schritt daraus der digitale Wert ermittelt. Die Logikschaltung L1 gibt den digitalen Wert am Ausgang A aus, sobald alle Komparatorschaltung C0 bis C3 der einzelnen Wandlerstufen T0 bis T3 ein Steuersignal bzw. eine Bitfolge geliefert haben.

Da der erfindungsgemäße Digital-Analog-Wandler im getakteten Betriebsmodus arbeitet, erzeugt die Komparatorschaltung C0 der Wandlerstufe T0 bereits wieder ein Steuersignal zu einem neuen Eingangsspannungswert, während die Einrichtungen C1 bis C3 noch Steuersignale zu den älteren Eingangsspannungen liefern. Daher ist es notwendig, daß die Logikschaltung L1 einen Zwischenspeicher aufweist, der Steuersignale und damit extrahierte Bitfolgen von noch nicht vollständig verarbeiteten Eingangsspannungssignalen zwischenspeichert. Erst wenn ein Eingangsspannungssignal alle Wandlerstufen T0 bis T3 durchlaufen hat und verarbeitet worden ist, liefert die Logikschaltung L1 den dazugehörigen digitalen Wert. Dieses Konzept wird auch Pipelining genannt.

Die Arbeitsweise eines solchen Digital-Analog-Wandlers soll an dem Verfahrensbeispiel der Figur 6 demonstriert werden. Dabei soll in insgesamt acht Schritten, von denen hier vier gezeigt sind, ein analoges Eingangsspannungssignal von 0,9 V in einen digitalen Wert umgewandelt werden. Der digitale Wert soll eine Genauigkeit von 8 Bits umfassen. Daher sind insgesamt sieben Approximationsschritte notwendig, wobei jeder Approximationsschritt einen Vergleichsvorgang für ein Eingangssignal und die Erzeugung eines neuen Signals umfaßt und in einer Taktperiode ausgeführt wird. jeder Approximations-

schritt wird in einer Wandlerstufe eines erfindungsgemäßen Analog-Digital-Wandlers durchgeführt. Zusätzlich besitzt der Analog-Digital-Wandler eine Wandlerstufe T0, der in einer Taktperiode einen Vergleichsvorgang mit einem Signal am Eingang des Analog-Digital-Wandlers durchführt, aber kein neues
5 Signal generiert, sondern das Eingangssignal unverändert an die nächste Wandlerstufe weiterleitet. Ein erfindungsgemäßer Analog-Digital-Wandler, der mit dem erfindungsgemäßen Verfahren arbeitet, besitzt folglich acht Wandlerstufen, wobei jede
10 Wandlerstufe einen Schritt durchführt.

Während einer ersten Phase Φ_1 , die eine Abtastphase Φ_s darstellt, führen sowohl die Abtast-Halte-Schaltung P0 der ersten Wandlerstufe T0 als auch die Komparatorschaltung C0 der
15 ersten Wandlerstufe T0 eine Abtastung S des Signals durch. Das abgetastete analoge Eingangsspannungssignal beträgt 0,9 V. Die zweite Phase Φ_2 stellt die Haltephase Φ_H für die erste Wandlerstufe T0 dar. Gleichzeitig ist sie die Abtastphase Φ_s für die Wandlerstufe T1 und deren Generatorschaltung P1 bzw.
20 Komparatorschaltung C1. In der Zeitphase Φ_2 hält die Abtast-Halte-Schaltung P0 das Eingangsspannungssignal von 0,9 V und gibt dieses unverändert am Ausgang T02 der Wandlerstufe T0 aus. Die Generatorschaltung P1 und die Komparatorschaltung C1 führen ein Abtasten mit diesem Eingangsspannungssignal durch.
25 Gleichzeitig trifft die Komparatorschaltung C0 der Wandlerstufe T0 eine Entscheidung D, in welchem Spannungsintervall die Eingangsspannung von 0,9 V liegt. Die Eingangsspannung von 0,9 V ist größer als 0,7 V, jedoch kleiner als 1 V und liegt daher im Bereich zwischen 0,75 V und 1 V. Wie der Tabelle 1 zu entnehmen ist, ist dies der mit dem Steuersignal
30 "overload" gekennzeichnete Bereich.

Der Komparatorschaltung C0 der Wandlerstufe T0 steht für ihre Entscheidungsfindung D die komplette Zeit der zweiten Phase
35 Φ_2 zur Verfügung und nicht nur der kurze Zeitraum Δt zwischen einer Abtastphase Φ_s und einer Haltephase Φ_H , da die Generatorschaltung P1 und die Komparatorschaltung C1, die diese In-

formation benötigen, das Eingangssignal während der Phase Φ_2 lediglich abtasten.

Am Ende der zweiten Phase Φ_H sendet die Komparatorschaltung
5 C0 der ersten Wandlerstufe T0 das Steuersignal "overload" an
die Generatorschaltung P1 und die Komparatorschaltung C1 der
Wandlerstufe T1. In der dritten Phase Φ_3 generiert die Gene-
ratorschaltung P1 in Abhängigkeit des Steuersignals "overlo-
ad" ein neues Spannungssignal und gibt dies am Signalausgang
10 T12 der ersten Wandlerstufe T1 aus. Das ausgegebene Span-
nungssignal beträgt $-0,2\text{ V}$ und ergibt sich aus der Differenz
des doppelten Wertes der Eingangsspannung von $0,9\text{ V} - 2 \cdot V_{\text{ref}}$,
wobei V_{ref} eine Referenzspannung von 1 V ist. Gleichzeitig
führen die Generatorschaltung P2 und die Komparatorschaltung
15 C2 der Wandlerstufe T2 eine Abtastung S des am Eingang T11
der Wandlerstufe T2 angelegten Signals von $-0,2\text{ V}$ durch.

Die Zeitphase Φ_3 ist gleichzeitig die Zeitraum für eine Ent-
scheidungsfindung der Komparatorschaltung C1. Durch das an
20 ihrem Steuereingang angelegte Signal "overload" wird gemäß
Tabelle 2 das Referenzspannungspaar mit den Teilreferenzspan-
nungen $7/8 V_{\text{ref}}$ und $9/8 V_{\text{ref}}$ ausgewählt. Mit diesen beiden
Teilreferenzspannungen wird das gesamte Eingangsspannungsinter-
vall zwischen -1 V und $+1\text{ V}$ in drei Teilspannungsintervall-
25 le unterteilt und ermittelt, in welchem dieser drei Teilspan-
nungsintervalle der Spannungswert des in der vorangegangenen
Zeitphase abgetasteten Signals liegt. Bei einer Referenzspan-
nung $V_{\text{ref}} = 1\text{ V}$ ist $7/8 V_{\text{ref}}$ kleiner als $0,9\text{ V}$, was wiederum
kleiner als $9/8 V_{\text{ref}}$ ist. Daher liegt der Spannungswert von
30 $0,9\text{ V}$ zwischen den beiden Teilreferenzspannungen. Im Ergebnis
ergibt sich so das Steuersignal "fuzzy".

Am Ende der Zeitphase Φ_3 wird das Steuersignal "fuzzy" der
Komparatorschaltung C1 der Wandlerstufe T1 zur Einstellung
35 der Generatorschaltung P2 der Wandlerstufe T2 verwendet. Da-
durch wird von der Generatorschaltung P2 am Ausgang T12 der
Wandlerstufe T2 eine Spannung von $-0,4\text{ V}$ erzeugt und abgege-

ben, die während derselben Zeitphase von der Generatorschaltung P3 und der Komparatorschaltung C3 der Wandlerstufe T3 abgetastet wird. Gleichzeitig wird mit dem Steuersignal "fuzzy" in der Komparatorschaltung C2 das mittlere Spannungsreferenzpaar mit den Teilreferenzspannungen $-1/8 V_{ref}$ und $+1/8 V_{ref}$ ausgewählt. Ein Vergleich der in der vorangegangenen Zeitphase gesampelten Spannung von $-0,2 V$ ergibt, daß diese kleiner als $-1/8 V_{ref}$, also kleiner als $-1/8 V$ ist. Daher wird am Ende der Zeitphase Φ_4 das Steuersignal "low" erzeugt.

10

Das Steuersignal "low" der Komparatorschaltung C2 wird in der Zeitphase Φ_5 von der Generatorschaltung P3 der Wandlerstufe T3 zur Erzeugung eines neuen analogen Spannungssignals und von der Komparatorschaltung C3 der Wandlerstufe T3 zur Auswahl eines Referenzspannungspaares verwendet, das aus den beiden Teilreferenzspannungen $-3/8 V_{ref}$ und $-5/8 V_{ref}$. Die Komparatorschaltung führt erneut einen Vergleich durch und reicht am Ende der Zeitphase Φ_5 das Steuersignal "fuzzy" an die darauffolgende Wandlerstufe T4 weiter. Dieser Ablauf wiederholt sich so lange, bis alle acht Wandlerstufen T0 bis T7 des Digital-Analog-Wandlers das Signal ausgewertet haben. Der Logikschaltung L1 wird dabei ab Φ_2 in jeder Zeitphase ein Steuersignal übermittelt, das von der Logikschaltung in eine Folge von Bits umgesetzt wird. Die von den Komparatorschaltungen C0 bis C7 übermittelten Steuersignale und die dazu gleichbedeutenden Teilfolgen von Bits sind in der Tabelle 4 zu sehen.

Stufe	Steuersignal	Bitfolge
C0	"overload"	(0,0), (0,1)
C1	"fuzzy"	(0,1)
C2	"low"	(0,0)
C3	"fuzzy"	(0,1)
C4	"high"	(1,0)
C5	"fuzzy"	(0,1)
C6	"low"	(0,0)
C7	"fuzzy"	(0,1)

Aus diesen acht Bitfolgen mit dem jeweils ersten Bitpaar wird eine digitale Zahl berechnet. Dazu werden die jeweils ersten
5 beiden Bits eines jeden Approximationsschrittes bzw. einer jeden Wandlerstufe addiert. Es ist jedoch zu berücksichtigen, daß die einzelnen Approximationsschritte und die von ihnen extrahierten Bitfolgen eine unterschiedliche Signifikanz aufweisen, die mit höheren Approximationsschritten bzw. steigender Wandlerstufe abnehmen. Beginnend bei den ersten beiden
10 Bits (0,0) der ersten Bitfolge ergibt sich bei Addition ein Zwischenwert von $00110010+1$ und damit der dezimale Wert 51. Zusätzlich wird der Logikschaltung durch das Steuersignal der ersten Komparatorschaltung C0 angezeigt, daß zu diesem Wert
15 der binäre Wert 2^{M-2} addiert werden muß. M ist dabei die Stellenzahl des binären digitalen Wertes oder die binäre Genauigkeit, im Beispiel also 8. Damit ergibt sich ein Wert von $51 + 64 = 115$. Dies ist das richtige digitale Ergebnis.

20 Durch die Ausbildung einer weiteren Wandlerstufe T0 vor der ersten Wandlerstufe T1 des Digital-Analog-Wandlers wird der Komparatorschaltung C1 in der Zeitphase Φ_3 ausreichend Zeit für eine Entscheidung eingeräumt. Gleichzeitig wird durch die Ausbildung der Komparatorschaltung C0 der Wandlerstufe T0,
25 die das Eingangsspannungsintervall durch vier Differenzspannungen in insgesamt fünf Teilspannungsintervalle unterteilt, wodurch der Dynamikbereich des Eingangsspannungsintervalls vergrößert wird. Umgekehrt bedeutet dies, daß eine Versorgungsspannung des Digital-Analog-Wandlers reduziert werden
30 kann, ohne die Nachteile auf sich nehmen zu müssen, die eine Verstärkung großer Eingangssignale bei zu geringer Versorgungsspannung mit sich bringt.

Somit ist in dem Verfahren ein Vergleichsvorgang vor dem eigentlichen ersten Approximationsschritt vorgesehen, der eine
35 Entscheidung über die einzustellende Spannung im ersten Approximationsschritt in einer Zeitphase vor dem ersten Approximationsschritt

ximationsschritt durchführt. Der Vergleichsvorgang des ersten Approximationsschrittes wird dadurch zeitlich deutlich entlastet. Zusätzlich wird durch die Unterteilung des Eingangsspannungsintervalls in insgesamt fünf Teilspannungsintervalle der Dynamikbereich der Eingangsspannungen bezüglich der Versorgungsspannung deutlich erhöht.

Weiterhin lassen sich die Komparatorschaltungen und die Generatorschaltung auch mit Referenzpotentialen realisieren. Da eine Spannung nur die Differenz zweier Potentiale darstellt, ist insbesondere der Vergleich eines Eingangssignals mit Teilreferenzspannungen ein Vergleich des Eingangssignals mit Teilreferenzpotentialen. Auch die Erzeugung eines neuen Signals ist durch Addition oder Subtraktion eines Potentials anstatt einer Spannung ohne weiteres möglich.

Bezugszeichenliste

	E:	Eingang
	A:	Ausgang
5	T0, T1, T2, T3:	Wandlerstufen
	T01, T1:	Signaleingang
	T02, T12:	Signalausgang
	T03, T13:	Steuerausgang
	T14:	Steuereingang
10	P0, P1, P2:	Abtast-Halte-Schaltung, Generatorschaltung
	C0, C1, C2, C3:	Komparatorschaltung
	L1:	Logikschaltung
	C01, C11, C21, C31:	Signaleingang
15	C02, C12, C22, C32:	Steuerausgang
	C13, C23, C33:	Steuereingang
	C24:	Schalter
	C25:	Kondensator
	C26:	Vergleichschaltung
20	C261, C262:	Eingang, Ausgang
	C72:	Schaltung
	C28:	Schalter
	SI1, SI2, SI3:	Referenzspannungspaare
	11:	Differenzverstärker
25	12, 15, ..., 21:	Schalter
	13, 14:	Kondensatoren
	131, 141:	Kondensatoren
	V_{refP} , V_{refN} :	Referenzpotentiale
	V_{IP} , V_{IN} :	Eingangssignale
30	V_{CMO} , V_{CMI} :	Versorgungsspannungen
	T:	Taktperiode
	Δt :	Zeitraum
	Φ_S , Φ_H :	Abtast-, Haltephase
	$\Phi_1 \dots \Phi_6$:	Zeitphasen
35	V_{ref} :	Referenzspannung

Patentansprüche:

1. Verfahren zur Umsetzung eines analogen Eingangssignals in einen digitalen Wert mittels sukzessiver Approximation umfassend:
- 5 send:
- einen Initialvergleichsschritt, der das Eingangssignal mit zumindest vier Teilreferenzpotentialen vergleicht und ein Steuersignal erzeugt;
 - einen ersten und zumindest einen zweiten Approximations-

10 schritt, der jeweils einen Vergleichsvorgang für ein Signal mit zwei ein Referenzpotentialpaar bildenden Teilreferenzpotentialen umfasst, und ein Steuersignal generiert; - wobei der erste Approximationsschritt ein von dem Eingangssignal und dem Steuersignal des Initial-

15 vergleichsschritts abgeleitetes Ausgangssignal erzeugt, welches als Signal für den Vergleichsvorgang des zumindest einen zweiten Approximationsschrittes verwendet wird; - wobei das Referenzpotentialpaar des Vergleichsvorgangs des ersten Approximationsschrittes aus einer Menge von zumindest fünf Referenzpotentialpaaren mittels des Steuersignals

20 des Initialvergleichsschritts gewählt ist; - und das Referenzpotentialpaar des Vergleichsvorgangs des zumindest einen zweiten Approximationsschrittes aus einer Menge von zumindest drei Referenzpotentialpaaren mittels des

25 Steuersignals des vorangegangenen Approximationsschrittes gewählt ist; - einen Vorgang zur Erzeugung des digitalen Wertes, der das Steuersignal des Initialvorgangs und die Steuersignale des ersten und des zumindest einen zweiten Approximationsschrit-

30 tes verwendet.
2. Verfahren nach Anspruch 1,
- d a d u r c h g e k e n n z e i c h n e t, daß
- der zumindest eine zweite Approximationsschritt ein von dem
- 35 Signal und dem Steuersignal des vorangegangenen Approximationsschrittes abgeleitetes Ausgangssignal erzeugt, welcher als

Signal für den Vergleichsvorgang eines dem zumindest einen zweiten nachfolgenden Approximationsschrittes verwendet wird.

3. Verfahren nach Anspruch 1 oder 2,

5 d a d u r c h g e k e n n z e i c h n e t, daß
drei der zumindest fünf Referenzpotentialpaare des Vergleichsvorgangs des ersten Approximationsschrittes mit den drei Referenzpotentialpaaren des Vergleichsvorgangs des zumindest einen zweiten Approximationsschrittes übereinstimmt.

10

4. Verfahren nach einem der Ansprüche 1 bis 3,

15 d a d u r c h g e k e n n z e i c h n e t, daß
für die Erzeugung eines abgeleiteten Ausgangssignals im ersten Approximationsschritt das Eingangssignal verdoppelt wird
oder das Eingangssignal verdoppelt wird und zu diesem ein
Zwischensignal addiert oder subtrahiert wird, wobei das Zwischen-
signal aus einem ersten Referenzpotential oder dem n-
fachen des ersten Referenzpotentials abgeleitet ist und n eine natürliche Zahl größer 1 ist.

20

5. Verfahren nach einem der Ansprüche 1 bis 4,

25 d a d u r c h g e k e n n z e i c h n e t, daß
die Teilreferenzpotentiale der Referenzpotentialpaare jeweils einen Bruchteil eines ersten Referenzpotentials aufweisen,
wobei jeweils ein Bruchteil das m-fache des achten Teils des ersten Referenzpotentials beträgt und m eine ganze, ungerade Zahl von -9 bis 9 ist.

6. Verfahren nach Anspruch 5,

30 d a d u r c h g e k e n n z e i c h n e t, daß
die beiden Teilreferenzpotentiale eines Referenzpotentialpaares eine Spannungsdifferenz von zwei Achteln des ersten Referenzpotentials aufweisen.

35 7. Verfahren nach einem der Ansprüche 1 bis 6,

d a d u r c h g e k e n n z e i c h n e t, daß

bei dem Initialvergleichsschritt ein durch einen oberen und einen unteren Grenzwert vorgegebenes Eingangspotentialintervall durch die zumindest vier Teilreferenzpotentiale in zumindest fünf Teilpotentialintervalle unterteilt und ermittelt wird, in welchem der zumindest fünf Teilpotentialintervalle sich das Eingangssignal befindet und ein davon abhängiges Steuersignal erzeugt wird.

8. Verfahren nach einem der Ansprüche 1 bis 7,
dadurch gekennzeichnet, daß
bei dem Vergleichsvorgang des ersten und des zumindest einen zweiten Approximationsschrittes ein durch einen oberen und einen unteren Grenzwert vorgegebenes Potentialintervall durch die zwei Teilreferenzpotentiale eines Referenzpotentialpaares in drei Teilpotentialintervalle unterteilt und ermittelt wird, in welchem drei Teilpotentialintervalle sich das Signal befindet und ein davon abhängiges Steuersignal erzeugt wird.

9. Verfahren nach einem der Ansprüche 7 bis 8,
dadurch gekennzeichnet, daß
die Länge des vorgegebenen Eingangspotentialintervalls dem doppelten Wert der Länge des vorgegebenen Potentialintervalls entspricht.

10. Verfahren nach Anspruch 7,
dadurch gekennzeichnet, daß
ein Teilreferenzpotential eines Referenzpotentialpaares auf den unteren bzw. oberen Grenzwert des vorgegebenen Eingangspotentialintervalls begrenzt wird.

11. Verfahren nach einem der Ansprüche 1 bis 10,
dadurch gekennzeichnet, daß
bei dem Verfahren Referenzspannungen und Teilreferenzspannungen durch Bezug aller Potentiale auf ein gemeinsames Bezugspotential verwendet werden.

12. Analog-Digital-Wandler zur Umsetzung eines analogen Eingangssignals in einen digitalen Wert umfassend:

- einen Eingang (E) für das analoge Eingangssignal;
- eine erste Wandlerstufe (T0), die ein Vergleichsmittel (C0) für ein am Eingang (E) angelegtes Eingangssignal mit zumindest vier Teilreferenzpotentialen aufweist und zur Abgabe des am Eingang (E) angelegten Signals an einen ersten Ausgang (T02) und zur Abgabe eines von dem Vergleich abhängigen Steuersignals an einen zweiten Ausgang (T03) ausgebildet ist;
- zumindest eine zweite der ersten Wandlerstufe (T0) nachgeschalteten Wandlerstufe (T1), die ein Mittel (P1) zur Abgabe eines von einem an einen Signaleingang (T11) angelegten Signal und von einem an einen Steuereingang (T14) angelegten Steuersignal abgeleiteten Ausgangssignals an einen ersten Ausgang (T12) aufweist und die ein Vergleichsmittel (C1) für einen Vergleich eines an einen Signaleingang (T11) anliegenden Signals mit zwei durch das an den Steuereingang (T14) angelegte Steuersignal bestimmten Teilreferenzpotentialen und für eine Abgabe eines von dem Vergleich abhängigen Steuersignals an einen zweiten Ausgang (T13) aufweist;
- wobei der Signaleingang (T11) und der Steuereingang (T14) der zumindest einen zweiten Wandlerstufe mit dem ersten Ausgang (T02, T12) und mit dem zweiten Ausgang (T03, T13) der der zumindest einen zweiten Wandlerstufe (T1) vorangeschalteten Wandlerstufe (T0) verbunden ist;
- eine Logikschaltung (L1), die zur Abgabe eines digitalen Wertes aus dem Steuersignal der ersten Wandlerstufe (T0) und dem Steuersignal der zumindest einen zweiten Wandlerstufe (T1) ausgebildet ist.

13. Analog-Digital-Wandler nach Anspruch 12,

d a d u r c h g e k e n n z e i c h n e t, daß

die zwei Teilreferenzpotentialen ein Referenzpotentialpaar bilden, wobei das Vergleichsmittel (C1) der zumindest einen

zweiten Wandlerstufe (T1) für eine Wahl eines Referenzpotentialpaares aus einer Menge von drei oder zumindest fünf Re-

renzpentialpaaren abhängig von einem am Steuereingang (T14) angelegten Steuersignal ausgebildet ist.

14. Analog-Digital-Wandler nach Anspruch 12 oder 13,
5 d a d u r c h g e k e n n z e i c h n e t, daß
das Vergleichsmittel (C0) der ersten Wandlerstufe (T0) ein durch einen oberen und einen unteren Grenzwert vorgegebenes Eingangspotentialintervall für das Eingangssignal aufweist, wobei die zumindest vier Teilreferenzpotentiale das Eingangs-
10 potentialintervall in zumindest fünf Teilpotentialintervalle unterteilen und das Vergleichsmittel (C0) durch einen Vergleich ermittelt, in welchem der zumindest fünf Teilpotentialintervalle sich das Eingangssignal befindet.

15 15. Analog-Digital-Wandler nach einem der Ansprüche 12 bis 14,
d a d u r c h g e k e n n z e i c h n e t, daß
das Vergleichsmittel (C1) der zumindest einen zweiten Wandlerstufe (T1) ein durch einen oberen und einen unteren Grenzwert vorgegebenes Potentialintervall für das am Signaleingang angelegte Signal aufweist, wobei die zwei Teilreferenzpotentiale das Potentialintervall in drei Teilpotentialintervalle unterteilen und das Vergleichsmittel (C1) durch einen Vergleich ermittelt, in welchem der drei Teilpotentialintervalle
20 sich das Eingangssignal befindet.
25

16. Analog-Digital-Wandler nach einem der Ansprüche 11 bis 15,
d a d u r c h g e k e n n z e i c h n e t, daß
30 die Wandlerstufen (T0, T1) als Abtast-Halte-Schaltungen für einen getakteten Betrieb ausgebildet sind.

17. Analog-Digital-Wandler nach einem der Ansprüche 12 bis 16,
35 d a d u r c h g e k e n n z e i c h n e t, daß
das Vergleichsmittel (C1) der zumindest einen zweiten Wandlerstufe (T1) für ein Abtasten eines am Signaleingang (T11)

anliegenden Signals während eines ersten Zeitraumes (Φ_S) und für einen Vergleich des Spannungswertes des abgetasteten Signals mit zwei Teilreferenzpotentialen eines Referenzpotentialpaars (SI1, SI2, SI3) und für die Abgabe eines von dem Vergleich abhängigen Steuersignals während eines zweiten Zeitraums (Φ_H) ausgebildet ist.

18. Analog-Digital-Wandler nach einem der Ansprüche 12 bis 17,
10 d a d u r c h g e k e n n z e i c h n e t, daß die Vergleichsvorrichtung (C0) der ersten Wandlerstufe (T0) für ein Abtasten eines Eingangssignals während eines ersten Zeitraumes (Φ_S) und für einen Vergleich des Spannungswertes des abgetasteten Eingangssignals mit zumindest vier Referenzpotentialen und für die Abgabe eines von dem Vergleich abhängigen Steuersignals während eines zweiten Zeitraums (Φ_H) ausgebildet ist.

19. Analog-Digital-Wandler nach einem der Ansprüche 12 bis 20
20 18,
d a d u r c h g e k e n n z e i c h n e t, daß das Mittel zur Abgabe (P1) der zumindest einen zweiten Wandlerstufe (T1) für ein Abtasten eines am Signaleingang (T11) angelegten Signals während eines ersten Zeitraumes (Φ_S) und
25 für eine Abgabe eines Signals abhängig von dem Steuersignal und dem abgetasteten Signal ausgebildet ist.

20. Analog-Digital-Wandler nach einem der Ansprüche 17 bis 19,
30 d a d u r c h g e k e n n z e i c h n e t, daß der zweite Zeitraum (Φ_H) der ersten Wandlerstufe (T0) den ersten Zeitraum (Φ_S) der zweiten, der ersten Wandlerstufe (T0) nachgeschalteten Wandlerstufe (T1) bildet.

35 21. Analog-Digital-Wandler nach einem der Ansprüche 12 bis 20,
d a d u r c h g e k e n n z e i c h n e t, daß

- die zwei Teilreferenzpotentiale eines Referenzpotentialpaares (SI1, SI2, SI3) aus jeweils einem Bruchteil eines ersten Referenzpotentials (V_{ref}) gebildet sind, wobei der Bruchteil das n-fache des achten Teils des ersten Referenzpotentials (V_{ref}) beträgt und n eine ganze, ungerade Zahl von -9 bis 9 ist und die Spannungsdifferenz der zwei Teilreferenzpotentiale eines Referenzpotentialpaares (SI1, SI2, SI3) zwei Achtel des Wertes des ersten Referenzpotentials (V_{ref}) beträgt.
- 10 22. Analog-Digital-Wandler nach einem der Ansprüche 14 bis 21,
d a d u r c h g e k e n n z e i c h n e t, daß
der Wert des ersten Referenzpotentials (V_{ref}) gleich der
Hälfte der Spannungsdifferenz zwischen unteren und oberen
15 Grenzwert des Eingangspotentialintervalls ist.
23. Analog-Digital-Wandler nach einem der Ansprüche 12 bis 22,
d a d u r c h g e k e n n z e i c h n e t, daß
20 der Signaleingang (T11) der zumindest einen zweiten Wandlerstufe (T1) mit dem Ausgang (T02) einer Abtast-Halte-Schaltung (P0) der ersten Wandlerstufe (T0) verbunden ist, die zum Abtasten eines Eingangssignals während eines ersten Zeitraums (Φ_S) und zur Abgabe eines analogen Spannungssignals während
25 eines zweiten Zeitraums (Φ_H) ausgebildet ist, wobei der Wert des abgegebenen Spannungssignals gleich dem Wert des Eingangsspannungssignals während des ersten Zeitraumes (Φ_S) ist.
24. Analog-Digital-Wandler nach einem der Ansprüche 12 bis 30 23,
d a d u r c h g e k e n n z e i c h n e t, daß
der Analog-Digital-Wandler für eine Signalverarbeitung mit Referenzspannungen und Teilreferenzspannungen ausgebildet
ist, die durch Bezug aller Potentiale auf ein gemeinsames Be-
35 zugspotential gebildet sind.

FIG 1

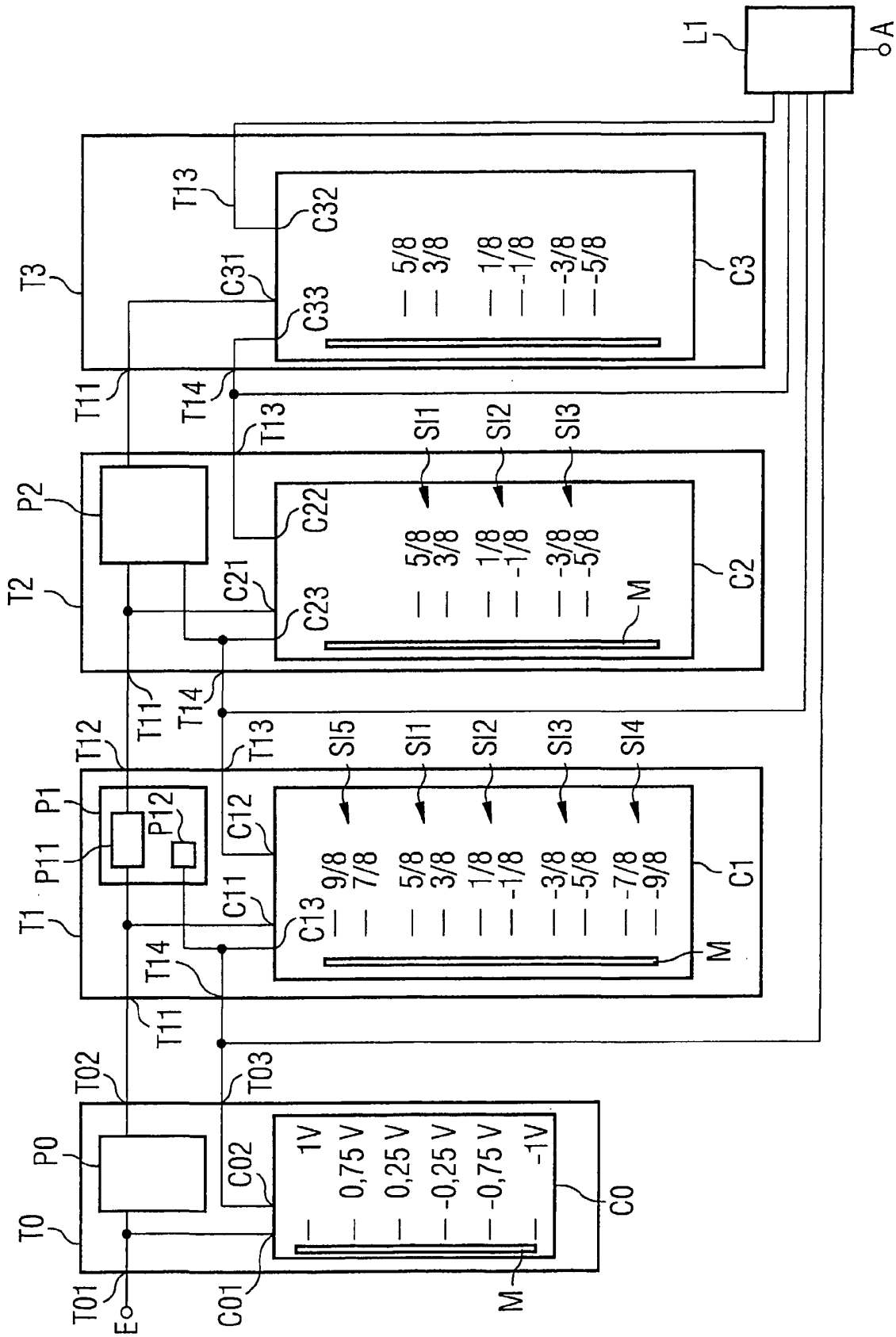
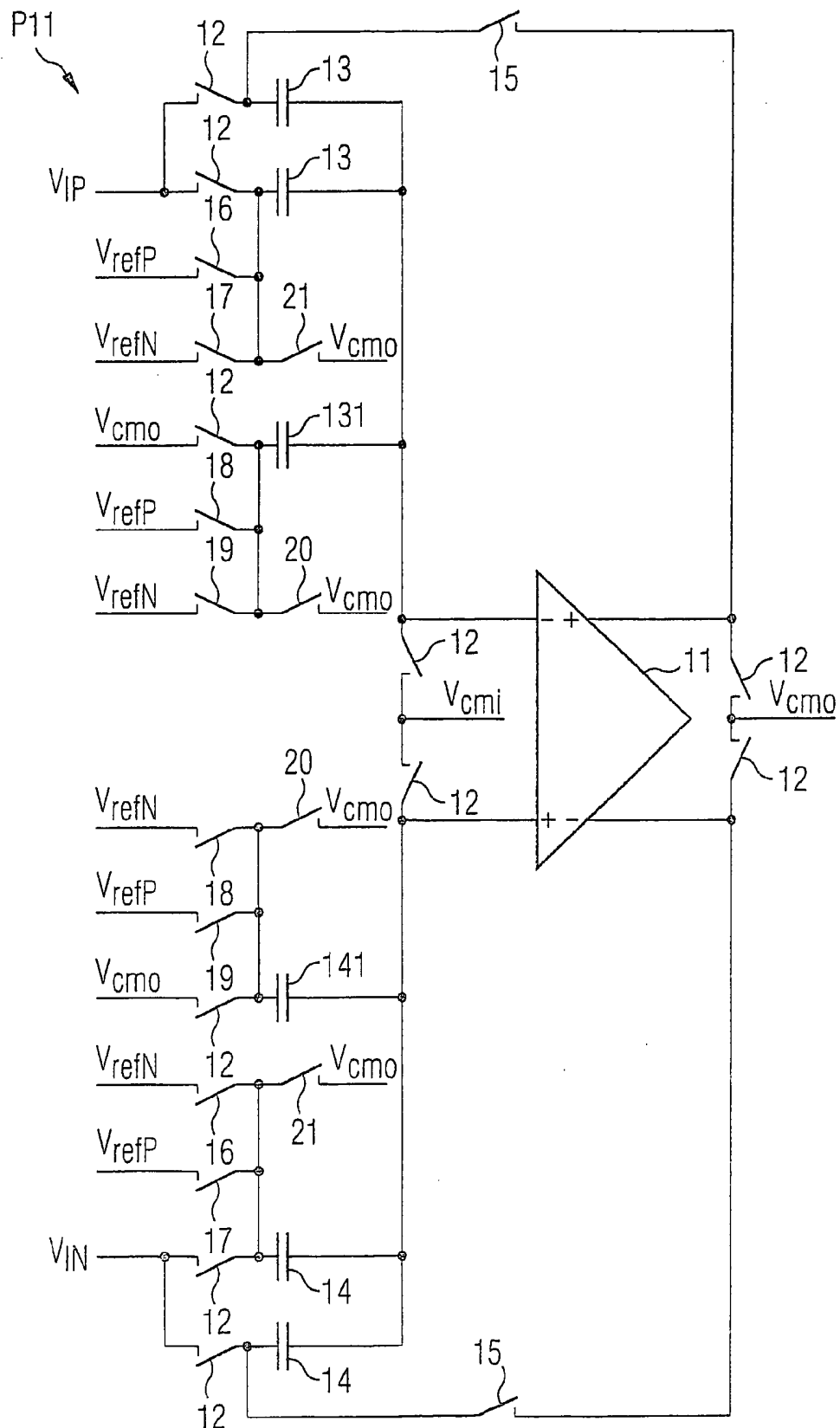
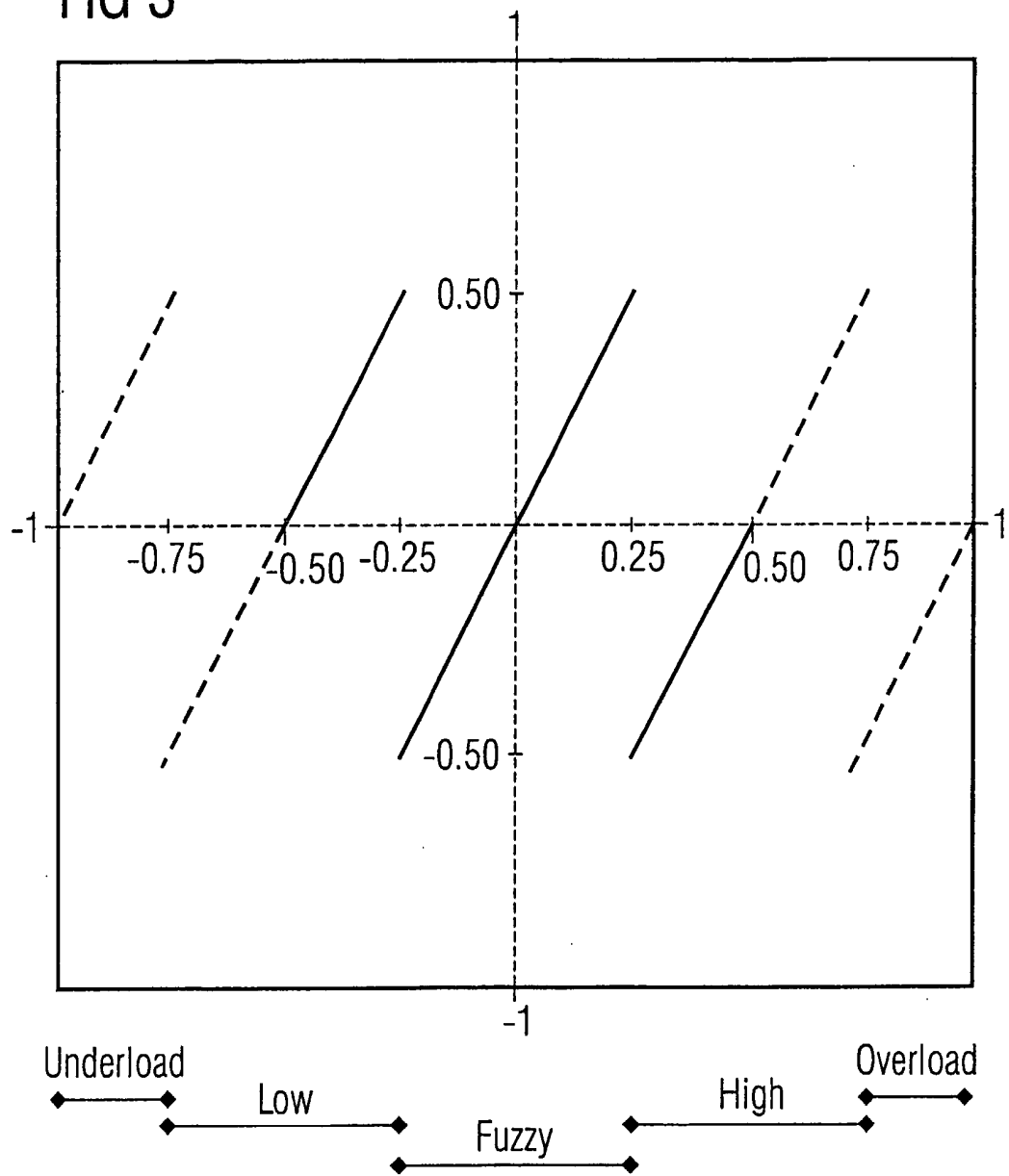


FIG 2



3/5

FIG 3



4/5

FIG 4

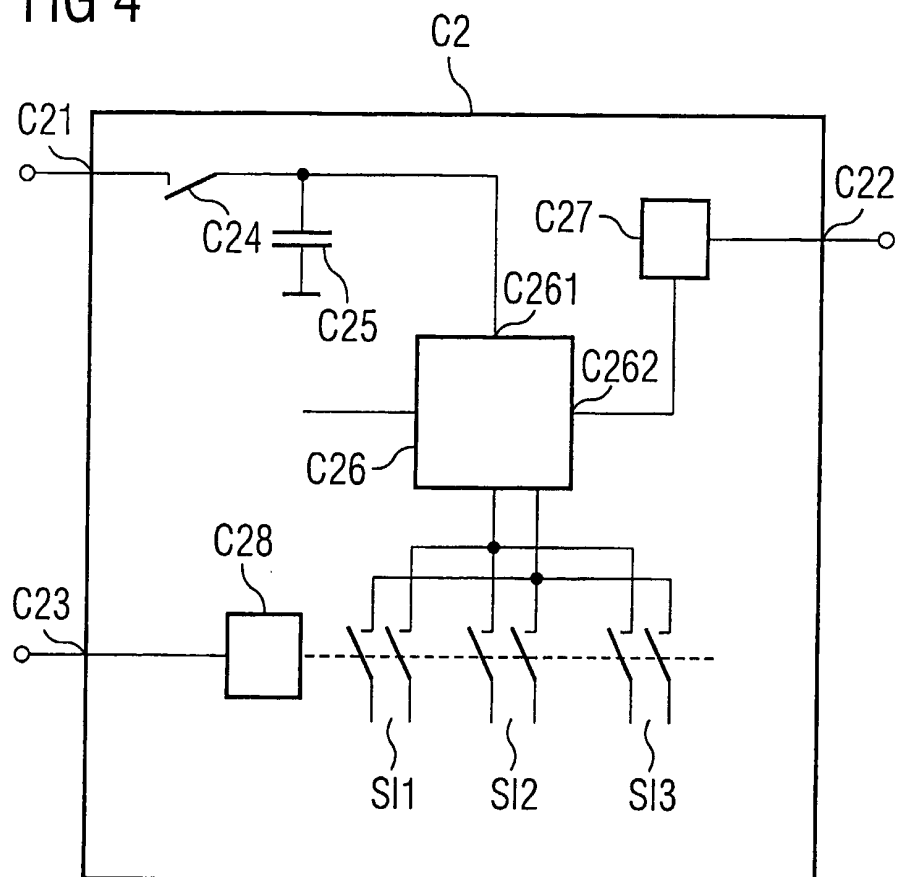


FIG 5

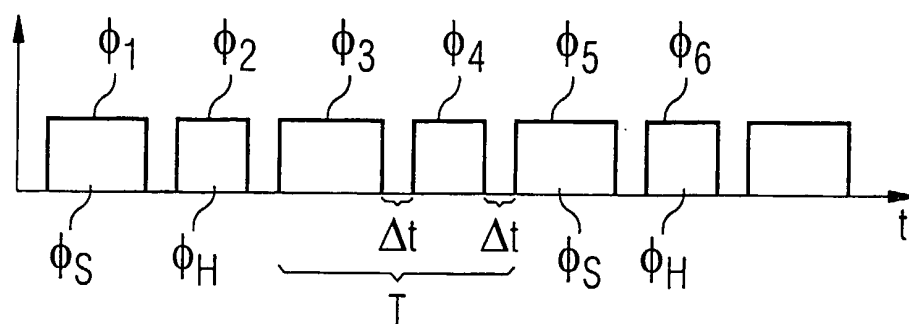


FIG 6

	T0		T1		T2		T3		T4	
	P0	C0	P1	C1	P2	C2	P3	C3	P4	C4
ϕ_1	S 0,9 V	S 0,9 V								
ϕ_2	H 0,9 V	D $0,75 V < 0,9 V$ $< 1 V$ $\Rightarrow$ overload	S 0,9 V	S 0,9 V						
ϕ_3		$\hookrightarrow$ H (overload) $2 \times 0,9 V -$ $2 V_r = -0,2 V$	D (overload) $7/8 V_r < 0,9 V$ $< 9/8 V_r$ $\Rightarrow$ Fuzzy	S -0,2 V	S -0,2 V					
ϕ_4				$\hookrightarrow$	H (Fuzzy) $2 \times -0,2 V$ $= -0,4 V$	D (Fuzzy) $\leq 0,2 V <$ $-1/8 V_r$ $\Rightarrow$ Low	S -0,4 V	S -0,4 V		
ϕ_5					$\hookrightarrow$	$\hookrightarrow$	H (Low) $2 \times -0,4 V$ $+ V_r = 0,2 V$	D (Low) $-5/8 V_r < -0,4 V$ $< -3/8 V_r$ $\Rightarrow$ Fuzzy	S 0,2 V	S 0,2 V
ϕ_6								$\hookrightarrow$	H (Fuzzy) $2 \times 0,2 V$ $= 0,4 V$	D (Fuzzy) $1/8 V_r < 0,2 V$ $\Rightarrow$ High
		$\updownarrow$ overload		$\updownarrow$ Fuzzy		$\updownarrow$ Low		$\updownarrow$ Fuzzy		$\updownarrow$ High

INTERNATIONAL SEARCH REPORT

International Application No
PCT/DE2004/001587

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H03M1/42

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H03M

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ, IBM-TDB, COMPENDEX, INSPEC

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	US 6 570 523 B1 (BACRANIA KANTILAL ET AL) 27 May 2003 (2003-05-27) abstract; figures 1,2,4 column 2, line 65 - column 3, line 42 column 8, line 55 - column 9, line 24 column 12, line 18 - line 65 column 14, line 16 - line 34 -----	1,2,4,7, 10,11 12
A	US 5 861 832 A (NAGARAJ KRISHNASWAMY) 19 January 1999 (1999-01-19) cited in the application figures 1-5 column 2, line 37 - line 57 column 4, line 14 - line 19 ----- -/--	1,12

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

26 November 2004

Date of mailing of the international search report

07/12/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2260 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Oliveira, J.

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE2004/001587

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MATSUURA T ET AL: "A 240-MBPS, 1-W CMOS EPRML READ-CHANNEL LSI CHIP USING AN INTERLEAVED SUBRANGING PIPELINE A/D CONVERTER" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, vol. 33, no. 11, November 1998 (1998-11), pages 1840-1850, XP000875478 ISSN: 0018-9200 figure 14 -----	1,12

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/DE2004/001587

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 6570523	B1	27-05-2003	US	2003151532 A1	14-08-2003
			US	2003154045 A1	14-08-2003
			US	2003151430 A1	14-08-2003

US 5861832	A	19-01-1999	NONE		

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2004/001587

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H03M1/42

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H03M

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ, IBM-TDB, COMPENDEX, INSPEC

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 570 523 B1 (BACRANIA KANTILAL ET AL) 27. Mai 2003 (2003-05-27)	1,2,4,7, 10,11 12
A	Zusammenfassung; Abbildungen 1,2,4 Spalte 2, Zeile 65 - Spalte 3, Zeile 42 Spalte 8, Zeile 55 - Spalte 9, Zeile 24 Spalte 12, Zeile 18 - Zeile 65 Spalte 14, Zeile 16 - Zeile 34 -----	
A	US 5 861 832 A (NAGARAJ KRISHNASWAMY) 19. Januar 1999 (1999-01-19) in der Anmeldung erwähnt Abbildungen 1-5 Spalte 2, Zeile 37 - Zeile 57 Spalte 4, Zeile 14 - Zeile 19 ----- -/--	1,12

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

* & * Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. November 2004

Absenddatum des internationalen Recherchenberichts

07/12/2004

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Oliveira, J.

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2004/001587

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	MATSUURA T ET AL: "A 240-MBPS, 1-W CMOS EPRML READ-CHANNEL LSI CHIP USING AN INTERLEAVED SUBRANGING PIPELINE A/D CONVERTER" IEEE JOURNAL OF SOLID-STATE CIRCUITS, IEEE INC. NEW YORK, US, Bd. 33, Nr. 11, November 1998 (1998-11), Seiten 1840-1850, XP000875478 ISSN: 0018-9200 Abbildung 14 -----	1,12

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2004/001587

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6570523	B1	27-05-2003	US 2003151532 A1 14-08-2003
			US 2003154045 A1 14-08-2003
			US 2003151430 A1 14-08-2003

US 5861832	A	19-01-1999	KEINE
