

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2019-507439
(P2019-507439A)

(43) 公表日 平成31年3月14日(2019.3.14)

(51) Int.Cl. F I テーマコード (参考)
G05F 1/56 (2006.01) G05F 1/56 310C 5H430
 G05F 1/56 310K

審査請求 未請求 予備審査請求 有 (全 44 頁)

(21) 出願番号 特願2018-545919 (P2018-545919)
 (86) (22) 出願日 平成29年2月13日 (2017. 2. 13)
 (85) 翻訳文提出日 平成30年10月24日 (2018. 10. 24)
 (86) 国際出願番号 PCT/US2017/017726
 (87) 国際公開番号 WO2017/151303
 (87) 国際公開日 平成29年9月8日 (2017. 9. 8)
 (31) 優先権主張番号 62/302, 726
 (32) 優先日 平成28年3月2日 (2016. 3. 2)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 62/337, 502
 (32) 優先日 平成28年5月17日 (2016. 5. 17)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 15/250, 737
 (32) 優先日 平成28年8月29日 (2016. 8. 29)
 (33) 優先権主張国 米国 (US)

(71) 出願人 595020643
 クゥアルコム・インコーポレイテッド
 QUALCOMM INCORPORATED
 アメリカ合衆国、カリフォルニア州 92
 121-1714、サン・ディエゴ、モア
 ハウス・ドライブ 5775
 (74) 代理人 100108855
 弁理士 蔵田 昌俊
 (74) 代理人 100109830
 弁理士 福原 淑弘
 (74) 代理人 100158805
 弁理士 井関 守三
 (74) 代理人 100112807
 弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 多入力多出力レギュレータコントローラシステム

(57) 【要約】

回路技法は、複数のレギュレータ回路を制御する。レギュレータ回路は、電圧制御サーキットリーを時分割方式で使用するよう構成される。電圧制御サーキットリーは、電圧制御回路をレギュレータのうちの1つの選択された電圧調整ループと選択的に結合するためのスイッチの複数のセットを含み得る。

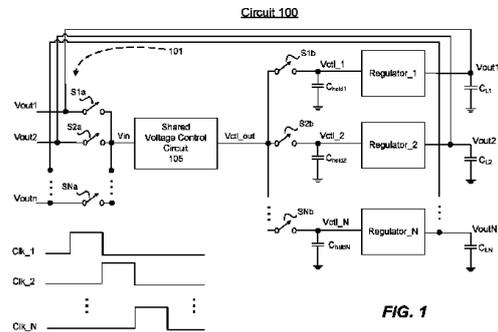


FIG. 1

【特許請求の範囲】**【請求項 1】**

回路であって、

各々が電圧制御信号を受信することと、調整された電圧信号を出力することとを行うように構成された複数のレギュレータ回路、各レギュレータ回路は、制御電圧を記憶するための電圧制御ノードと結合されたキャパシタを備える、と、

前記複数のレギュレータ回路の前記電圧制御ノードと結合された出力を有する電圧制御回路、前記電圧制御回路は、前記複数のレギュレータ回路の前記制御電圧を設定するために、前記複数のレギュレータ回路から出力された調整された電圧信号を感知することと、前記電圧制御信号を出力することとを行うように構成された入力に有する、と、

10

前記電圧制御回路の前記出力を前記複数のレギュレータ回路の前記電圧制御ノードのうちの選択された1つと選択的に結合するように構成されたスイッチの第1のセットと、

前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの選択された1つを前記電圧制御回路の前記入力と選択的に結合するように構成されたスイッチの第2のセットと

を備える、回路。

【請求項 2】

前記電圧制御回路のノードをプリチャージするための、前記複数のレギュレータ回路の少なくとも1つの電圧制御ノードと結合されたバッファ回路入力および前記電圧制御回路と結合されたバッファ回路出力を有する少なくとも1つのバッファ回路をさらに備える、請求項1に記載の回路。

20

【請求項 3】

前記電圧制御回路の前記出力をプリチャージするため、複数のバッファ回路を通して、前記複数のレギュレータ回路の前記電圧制御ノードを前記電圧制御回路の前記出力と選択的に結合するように構成されたスイッチの第3のセットをさらに備える、請求項2に記載の回路。

【請求項 4】

前記複数のレギュレータ回路の前記電圧制御ノードを前記少なくとも1つのバッファ回路の入力端子と選択的に結合するように構成されたスイッチの第3のセット、前記少なくとも1つのバッファ回路の出力端子は、前記電圧制御回路の前記出力に結合される、をさらに備える、請求項2に記載の回路。

30

【請求項 5】

前記少なくとも1つのバッファ回路は、第1の時間間隔の間、前記電圧制御回路の前記出力と結合され、前記複数のレギュレータ回路の前記電圧制御ノードのうちの前記選択された1つは、前記第1の時間間隔に続く第2の時間間隔の間、スイッチの前記第1のセットのうちの1つを通して、前記電圧制御回路の前記出力と結合され、および前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの前記選択された1つは、前記第1の時間間隔および前記第2の時間間隔にオーバーラップする第3の時間間隔の間、スイッチの前記第2のセットのうちの1つを通して、前記電圧制御回路の前記入力と結合される、請求項2に記載の回路。

40

【請求項 6】

少なくとも1つのバッファ回路、前記少なくとも1つのバッファ回路は、前記電圧制御回路と前記レギュレータ回路との間のルーティング分離(routing separation)を提供するための前記電圧制御回路出力と結合されたバッファ回路入力および前記複数のレギュレータ回路のうちの1つに結合されたバッファ回路出力を有する、をさらに備える、請求項1に記載の回路。

【請求項 7】

前記少なくとも1つのバッファ回路は、トランジスタの第2の端子と前記トランジスタの第1の端子との間に結合された電流調整ループ、前記電流調整ループは、複数のミラートランジスタを含む、を備える、請求項6に記載の回路。

50

【請求項 8】

各レギュレータ回路は、前記レギュレータの前記出力において、前記調整された電圧信号を設定するための電圧制御ループにおいて構成されたバッファ回路出力および前記制御電圧を受信するための前記電圧制御ノードに結合されたバッファ回路入力を有するバッファ回路をさらに備える、請求項 1 に記載の回路。

【請求項 9】

複数のクロック間隔、スイッチの前記第 1 のセットは、第 1 のクロック間隔の間、前記電圧制御回路の前記出力を前記電圧制御ノードのうちの前記選択された 1 つと選択的に結合し、スイッチの前記第 2 のセットは、少なくとも第 2 のクロック間隔の間、前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの前記選択された 1 つを前記電圧制御回路の前記入力と選択的に結合する、前記第 2 のクロック間隔は、前記第 1 のクロック間隔にオーバーラップする、をさらに備える、請求項 1 に記載の回路。

10

【請求項 10】

前記電圧制御回路は、前記複数のレギュレータ回路から前記調整された電圧信号のうちの前記選択された 1 つおよびフィードバック電圧信号を提供するように構成された出力を受信するための、前記第 2 の複数のスイッチと結合された入力を有する抵抗器デバイダ回路を備える、請求項 1 に記載の回路。

【請求項 11】

前記抵抗器デバイダ回路は、前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの前記選択された 1 つに基づいて抵抗値を調整するための可変抵抗要素を備える、請求項 10 に記載の回路。

20

【請求項 12】

前記電圧制御回路は、
前記フィードバック電圧信号を受信するための前記抵抗器デバイダ回路と結合された第 1 の入力と、
基準電圧信号を受信するように結合された第 2 の入力と、
前記フィードバック電圧信号を前記基準電圧信号と比較することに基づいて前記電圧制御信号を生成するための出力と
を含む増幅器をさらに備える、請求項 10 に記載の回路。

【請求項 13】

前記複数のレギュレータ回路のうちの前記第 1 の 1 つから出力された第 1 の調整された電圧信号は、前記複数のレギュレータ回路のうちの前記第 2 の 1 つから出力された第 2 の調整された電圧信号とは異なる、請求項 1 に記載の回路。

30

【請求項 14】

前記電圧制御回路、スイッチの前記第 1 のセットおよびスイッチの前記第 2 のセットは、前記複数のレギュレータの各々に関して、電圧調整ループを形成し、前記電圧調整ループは、前記複数のレギュレータ回路の前記電圧制御ノードの前記制御電圧を調整するように構成される、請求項 1 に記載の回路。

【請求項 15】

前記電圧調整ループは、異なる時間間隔において、前記複数のレギュレータ回路の各々に対して離散時間電圧調整ループを形成する、請求項 14 に記載の回路。

40

【請求項 16】

1 つまたは複数のレギュレータ回路は、電流制御回路をさらに備える、請求項 1 に記載の回路。

【請求項 17】

前記電流制御回路は、各レギュレータに関して、連続時間電流調整ループを形成し、ここにおいて、前記電流制御回路は、前記電圧制御回路の応答時間よりも早い応答時間を有する、請求項 16 に記載の回路。

【請求項 18】

前記電流制御回路は、

50

選択されたレギュレータ回路に関して入力電圧を受信するための第1の端子、調整された出力電圧を前記選択されたレギュレータ回路の出力ノードに提供するための第2の端子、および制御端子を有するパストランジスタと、

前記レギュレータ回路の前記出力において、前記パストランジスタの前記第2の端子と結合された第1の端子、前記選択されたレギュレータ回路の前記出力ノードにおいて、負荷電流と相互補完的であるループ電流を出力するための第2の端子、および前記電圧制御回路から前記電圧制御信号を受信するための制御端子を有する電流感知トランジスタと、

前記電流感知トランジスタの前記第2の端子と前記パストランジスタの前記制御端子との間に結合された電流調整ループ、前記電流調整ループは、複数の電流ミラーおよび1つまたは複数の電流総和回路を備える、

を備える、請求項16に記載の回路。

【請求項19】

前記複数のレギュレータ回路は、線形レギュレータ回路である、請求項1に記載の回路。

【請求項20】

前記複数のレギュレータ回路は、スイッチングレギュレータ回路である、請求項1に記載の回路。

【請求項21】

少なくとも1つのスイッチングレギュレータ回路は、

前記電圧制御ノードに結合された入力を有する比較器と、

少なくとも1つのスイッチングトランジスタと、

前記少なくとも1つのスイッチングトランジスタの端子に結合されたインダクタと

を備える、請求項20に記載の回路。

【請求項22】

電流および前記比較器の第2の端子に結合された出力を感知するように構成された入力を有する電流制御回路をさらに備える、請求項21に記載の回路。

【請求項23】

方法であって、

複数のレギュレータ回路の各々から出力された調整された電圧信号を生成すること、ここにおいて、各レギュレータ回路は、制御電圧を記憶するための電圧制御ノードと結合されたキャパシタを備える、と、

前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの選択された1つを電圧制御回路の入力と選択的に結合することと

前記電圧制御回路の出力からの電圧制御信号を出力することと、

前記電圧制御回路の前記出力を前記複数のレギュレータ回路の前記電圧制御ノードのうちの選択された1つと選択的に結合することと

を備え、

ここにおいて、各レギュレータ回路は、前記制御電圧に設定するために前記電圧制御信号を受信することと、対応する調整された電圧信号を出力することとを行うように構成される、

方法。

【請求項24】

回路であって、

調整された電圧を作り出すための複数のレギュレータ手段、各レギュレータ手段は、電圧制御信号を受信することと、調整された電圧信号を出力することとを行うように構成され、各レギュレータ手段は、電圧制御ノード上で制御電圧を記憶するための手段を備える、と、

前記複数のレギュレータ手段の前記電圧制御ノードと選択的に結合された出力を有する前記複数のレギュレータ手段を制御するための電圧制御手段、前記電圧制御手段は、前記複数のレギュレータ手段の前記制御電圧を設定するために、前記複数のレギュレータ手段

10

20

30

40

50

から出力された調整された電圧信号を感知することと、前記電圧制御信号を出力することを行うように構成された入力を有する、と、

前記電圧制御手段の前記出力を前記複数のレギュレータ手段の前記電圧制御ノードのうちの選択された1つと選択的に結合するための手段と、

前記複数のレギュレータ手段から出力された前記調整された電圧信号のうちの選択された1つを前記電圧制御手段の前記入力と選択的に結合するための手段と

を備える、回路。

【発明の詳細な説明】

【関連出願への相互参照】

【0001】

10

[0001]本特許出願は、「Multiple Input Multiple Output Regulator Controller System」と題され、2016年3月2日に出願された、米国仮特許出願第62/302,726号、および「Multiple Input Multiple Output Regulator Controller System」と題され、2016年5月17日に出願された、米国仮特許出願第62/337,502号の利益を主張し、それらの開示は、本明細書において、それら全体が参照により明確に組み込まれている。

【技術分野】

【0002】

[0002]本開示は、一般に、電子回路に関し、さらに特には、複数のレギュレータ回路の間で共有された電圧制御回路を有する改良されたレギュレータ回路構成に関する。

20

【背景技術】

【0003】

[0003]電子システムは、様々なサブシステムに電力を供給する(power)ために1つまたは複数の調整された電圧を使用し得る。レギュレータは、そのような調整された電圧を提供する回路である。レギュレータは、入力電圧を受信するように、およびそれに応答して、調整された出力電圧を生成するように構成される。ある1つの共通のタイプのレギュレータは、低ドロップアウト(low dropout)(LDO)レギュレータである。LDOレギュレータは、入力(または供給)電圧が出力電圧に非常に近いとき、出力電圧を調整することができる直流(DC)線形電圧レギュレータである。他の共通のタイプのレギュレータ回路は、スイッチングレギュレータおよび線形レギュレータを含む。

30

【0004】

[0004]レギュレータ回路は、電圧制御回路、電流コントローラ回路、または両方によって、制御され得る。従来のレギュレータに関連付けられた1つの共通の課題は、コントローラサーキットリーが、レギュレータの集積回路デバイスエリアの大部分を構成し得ることである。これは、レギュレータが小さい電力のハンドリングに対して定格であるとき、デバイスエリアのかなりの量になり得る。加えて、従来のレギュレータは、システムレベルの統合に関してモジュラベースで設計されている。よって、複数のレギュレータを利用するシステムにおいて、各レギュレータに関して、同じレギュレータ制御サーキットリーの複数のインスタンスが複製され(duplicated)、それは、利用可能な統合されたデバイスエリアのかなりの部分を占める。

40

【発明の概要】

【0005】

[0005]本明細書において説明される態様は、レギュレータ回路において電圧調整を制御するための回路に関する。本開示の一態様において、回路が提示される。回路は、レギュレータ回路を含み、各々が電圧制御信号を受信し、それに従って、調整された電圧信号を出力するように構成される。各レギュレータ回路は、制御電圧を記憶するための電圧制御ノードと結合されたキャパシタを備える。回路はまた、レギュレータ回路の電圧制御ノードと結合された出力を有する電圧制御回路を含む。電圧制御回路は、レギュレータ回路の制御電圧を設定するために、レギュレータ回路から出力された調整された電圧信号を感知することと、電圧制御信号を出力することとを行うように構成された入力を有する。追加

50

的に、回路は、電圧制御回路の出力を複数のレギュレータ回路の電圧制御ノードのうちの選択された1つと選択的に結合するように構成されたスイッチの第1のセットを含む。回路は、複数のレギュレータ回路からの出力を電圧制御回路の入力と選択的に結合するように構成されたスイッチの第2のセットをさらに含む。

【0006】

[0006]一態様において、回路は、少なくとも1つのバッファ回路をさらに備える。(1つまたは複数の)バッファ回路は、電圧制御回路のノードをプリチャージするために、レギュレータ回路の1つまたは複数の電圧制御ノードと結合された入力および電圧制御回路と結合された出力を有する。

【0007】

[0007]一態様において、回路は、少なくとも1つのバッファ回路をさらに備える。(1つまたは複数の)バッファ回路は、電圧制御回路とレギュレータ回路との間のルーティング分離を提供するための、電圧制御回路出力と結合されたバッファ回路入力および複数のレギュレータ回路のうちの1つのレギュレータ回路に結合されたバッファ回路出力を有する。

【0008】

[0008]一態様において、(1つまたは複数の)少なくとも1つのバッファ回路は、トランジスタの第2の端子とトランジスタの第1の端子との間に結合された電流調整ループを備える。電流調整ループは、ミラートランジスタを含む。

【0009】

[0009]一態様において、回路は、スイッチの第3のセットをさらに備える。スイッチの第3のセットは、電圧制御回路の出力ノードをプリチャージするために、バッファ回路を通して、レギュレータ回路の電圧制御ノードを電圧制御回路の出力ノードと選択的に結合するように構成される。

【0010】

[0010]一態様において、回路は、レギュレータ回路の電圧制御ノードをバッファ回路の入力端子と選択的に結合するよう構成されたスイッチの第3のセットをさらに備える。バッファ回路の出力端子は、電圧制御回路の出力ノードに結合される。

【0011】

[0011]一態様において、レギュレータ回路の電圧制御ノードのうちの選択された1つに結合された入力を有する(1つまたは複数の)バッファ回路は、第1の時間間隔の間、電圧制御回路の出力と結合される。レギュレータ回路の電圧制御ノードのうちの選択された1つは、第1の時間間隔に続く第2の時間間隔の間、スイッチの第1のセットのうちの1つを通して、電圧制御回路の出力と結合される。レギュレータ回路から出力された調整された電圧信号の選択された1つは、第1の時間インターナルおよび第2の時間間隔にオーバーラップする第3の時間間隔の間、スイッチの第2のセットのうちの1つを通して、電圧制御回路の入力と結合される。

【0012】

[0012]一態様において、各レギュレータ回路は、レギュレータの出力において、調整された電圧信号を設定するために、電圧制御ループにおいて構成された制御電圧および出力を受信するための電圧制御ノードに結合された入力を有するバッファ回路をさらに備える。

【0013】

[0013]一態様において、回路は、クロック間隔をさらに備える。スイッチの第1のセットは、第1のクロック間隔の間、電圧制御回路の出力を電圧制御ノードのうちの選択された1つと選択的に結合する。スイッチの第2のセットは、少なくとも第2のクロック間隔の間、レギュレータ回路から出力された調整された電圧信号の選択された1つを電圧制御回路の入力と選択的に結合する。第2のクロック間隔は、第1のクロック間隔にオーバーラップする。

【0014】

10

20

30

40

50

[0014]一態様において、電圧制御回路は、抵抗器デバイダ回路を備える。抵抗器デバイダ回路は、レギュレータ回路から調整された電圧信号およびフィードバック電圧信号を提供するように構成された出力を受信するためのスイッチの第2のセットと結合された入力を有する。

【0015】

[0015]一態様において、抵抗器デバイダ回路は、レギュレータ回路から出力された調整された電圧信号のうちの選択された1つに基づいて抵抗値を調整するための可変抵抗要素を備える。

【0016】

[0016]一態様において、電圧制御回路は、増幅器をさらに備える。増幅器は、フィードバック電圧信号を受信するための抵抗器デバイダ回路と結合された第1の入力および基準電圧信号を受信するために結合された第2の入力を含む。増幅器はまた、フィードバック電圧信号を基準電圧信号と比較することに基づいて電圧制御信号を生成するための出力を含む。

10

【0017】

[0017]一態様において、レギュレータ回路のうちの第1の1つから出力された第1の調整された電圧信号は、レギュレータ回路のうちの第2の1つから出力された第2の調整された電圧信号とは異なる。

【0018】

[0018]一態様において、電圧制御回路およびスイッチの第1および第2のセットは、レギュレータの各々に関して、電圧調整ループを形成する。電圧調整ループは、レギュレータ回路の電圧制御ノードの制御電圧を調整するように構成される。一態様において、電圧調整ループは、異なる時間間隔において、レギュレータ回路の各々に関して、離散時間電圧調整ループを形成する。

20

【0019】

[0019]一態様において、1つまたは複数のレギュレータ回路は、電流制御回路をさらに備える。電流制御回路は、各レギュレータに関して、連続時間電流調整ループを形成し得る。電流制御回路はまた、電圧制御回路の応答時間よりも速い応答時間を有し得る。

【0020】

[0020]一態様において、電流制御回路は、パストランジスタを含む。パストランジスタは、選択されたレギュレータ回路に関して入力電圧を受信するための第1の端子、調整された出力電圧を選択されたレギュレータ回路の出力ノードに提供するための第2の端子、および制御端子を有する。電流制御回路はまた、電流感知トランジスタを含む。電流感知トランジスタは、レギュレータ回路の出力において、パストランジスタの第2の端子と結合された第1の端子を有する。電流感知トランジスタはまた、選択されたレギュレータ回路の出力ノードにおいて負荷電流と相互補完的であるループ電流を出力するための第2の端子、および電圧制御回路から電圧制御信号を受信するための制御端子を有する。電流制御回路は、電流感知トランジスタの第2の端子とパストランジスタ制御端子との間に結合された電流調整ループをさらに含む。電流調整ループは、電流ミラーおよび1つまたは複数の電流総和回路を備える。

30

40

【0021】

[0021]一態様において、レギュレータ回路は、線形レギュレータ回路である。別の態様において、レギュレータ回路は、スイッチングレギュレータ回路である。一態様において、少なくとも1つのスイッチングレギュレータ回路は、電圧制御ノードに結合された入力を有する比較器、少なくとも1つのスイッチングトランジスタ、および(1つまたは複数の)スイッチングトランジスタの端子に結合されたインダクタを備える。一態様において、(1つまたは複数の)スイッチングレギュレータは、電流および比較器の第2の端子に結合された出力を感知するように構成された入力を有する電流制御回路をさらに備える。

【0022】

[0022]本開示のさらに別の態様において、方法が提示される。方法は、レギュレータ回

50

路のセットの各々から出力された調整された電圧信号を生成することを含む。各レギュレータ回路は、制御電圧を記憶するための電圧制御ノードと結合されたキャパシタを備える。方法はまた、レギュレータ回路から出力された調整された電圧信号のうちの選択された1つを電圧制御回路の入力と選択的に結合することを含む。さらに、方法は、電圧制御回路の出力からの電圧制御信号を出力することと、電圧制御回路の出力をレギュレータ回路の電圧制御ノードのうちの選択された1つと選択的に結合することを含む。各レギュレータ回路は、制御電圧を設定するために、電圧制御信号を受信することと、およびそれに従って、対応する調整された電圧信号を出力することを行うように構成される。

【0023】

[0023]本開示のさらに別の態様において、回路が提示される。回路は、調整された電圧を作り出すためのレギュレータ手段を含む。各レギュレータ手段は、電圧制御信号を受信することと、およびそれに従って、調整された電圧信号を出力することを行うように構成される。各レギュレータ手段は、電圧制御ノード上で制御電圧を記憶するための手段を備える。回路はまた、レギュレータ手段の電圧制御ノードと選択的に結合された出力を有するレギュレータ手段を制御するための電圧制御手段を含む。電圧制御手段は、レギュレータ手段の制御電圧を設定するために、レギュレータ手段から出力された調整された電圧信号を感知することと、電圧制御信号を出力することを行うように構成された入力に有する。加えて、回路は、電圧制御手段の出力をレギュレータ手段の電圧制御ノードの選択された1つと選択的に結合するための手段を含む。回路は、レギュレータ手段から出力された調整された電圧信号のうちの選択された1つを電圧制御手段の入力と選択的に結合するための手段をさらに含む。

10

20

【0024】

[0024]以下の詳細な説明および添付の図面は、本発明の性質および利点のより良い理解を提供する。

【図面の簡単な説明】

【0025】

[0025]少なくともある特定の態様のよりよい理解のために、次の詳細な説明への参照がなされるが、それは、添付の図面とともに読まれるべきである。

【図1】[0026]図1は、本開示の態様に従った、レギュレータ回路間で時分割方式で使用される電圧制御回路を備える例示的な回路のブロック図を描く。

30

【図2A】[0027]図2Aは、本開示の態様に従った、構成された例示的な電圧制御回路のブロック図を描く。

【図2B】[0028]図2Bは、本開示の態様に従った、プリチャージ回路を含む例示的な回路のブロック図を描く。

【図2C】[0029]図2Cは、本開示の態様に従った、プリチャージ回路を含む別の例示的な回路のブロック図を描く。

【図2D】[0030]図2Dは、本開示の態様に従った、レギュレータコントローラとレギュレータ回路との間の拡張されたルーティングのための例示的なバッファ回路のブロック図を描く。

40

【図2E】[0031]図2Eは、本開示の態様に従った、一定の状態動作の間の、レギュレータコントローラとレギュレータ回路との間の拡張されたルーティングのためのバッファ回路のブロック図を描く。

【図2F】[0032]図2Fは、本開示の態様に従った、結合過渡状態動作の間の、レギュレータコントローラとレギュレータ回路との間の拡張されたルーティングのためのバッファ回路のブロック図を描く。

【図2G】[0033]図2Gは、本開示の態様に従った、ノーマル電力(NPM)モードにおいて動作しているバッファ回路の例を描くブロック図である。

【図2H】[0034]図2Hは、本開示の態様に従った、低電力(LPM)モードにおいて動作しているバッファ回路の例を描くブロック図である。

【図3A】[0035]図3Aは、本開示の態様に従った、レギュレータ回路を制御するための

50

例示的な回路構成のブロック図を描く。

【図 3 B】図 3 B は、本開示の態様に従った、レギュレータ回路を制御するための例示的な回路構成のブロック図を描く。

【図 3 C】図 3 C は、本開示の態様に従った、レギュレータ回路を制御するための例示的な回路構成のブロック図を描く。

【図 3 D】[0036]図 3 D は、本開示の態様に従った、レギュレータ回路を制御するための回路構成に関する例となる過渡応答のグラフを描く。

【図 4 A】[0037]図 4 A は、本開示の態様に従った、異なる電圧レベルにおいて複数の調整された電圧を用いた使用のための共有された電圧制御回路構成の例となるブロック図を描く。

【図 4 B】[0038]図 4 B は、本開示の態様に従った、スイッチングレギュレータを用いた使用のための例示的な共有された電圧制御回路構成のブロック図を描く。

【図 4 C】[0039]図 4 C は、本開示の態様に従った使用のための例示的なスイッチングレギュレータのブロック図を描く。

【図 5 A】[0040]図 5 A は、図 3 A 乃至 3 C の回路構成を参照して説明される技法に従った、複数のレギュレータ回路にわたる電圧制御回路を時分割方式で使用するための例示的な処理フローチャートを描く。

【図 5 B】図 5 B は、図 3 A 乃至 3 C の回路構成を参照して説明される技法に従った、複数のレギュレータ回路にわたる電圧制御回路を時分割で使用するための例示的な処理フローチャートを描く。

【図 6】[0041]図 6 は、本開示のある態様が有利に用いられ得る例示的な無線通信システムを示すブロック図である。

【詳細な説明】

【0026】

[0042]説明を通して、説明の目的のために、本開示の完全な理解を提供するために、多数の特定の詳細が記載される。しかしながら、ここに説明される技法がこれらの特定の詳細のうちの一部がなく実現され得ることは、当業者には明らかであろう。他の実例では、周知の構造およびデバイスが、本開示の根底にある原理を曖昧にすることを避けるためにブロック図の形態で示され得る。

【0027】

[0043]本教示に基づき、当業者は、本開示の範囲が、本開示のその他任意の態様と組み合わせられて実装されようと、あるいはそれら独立して実装されようと、本開示の任意の態様をカバーするように意図されていることを理解すべきである。例えば、記載される任意の数の態様を使用して、装置が実装され得、または方法が実施され得る。加えて、本発明の範囲は、記載される本開示の様々な態様に加えて、またはそれ以外の、他の構造、機能、または構造と機能を使用して実施されるそのような装置または方法をカバーするように意図される。開示される本開示の任意の態様が、請求項の 1 つまたは複数の要素によって具現化され得ることが理解されるべきである。

【0028】

[0044]本明細書において使用される「例示的な (exemplary)」という用語は、「例、実例、または例示を提供する」を意味する。「例示的な」としてここにおいて説明されるいずれの態様も、他の態様に対して、必ずしも好ましいまたは有利であるようには解釈されない。

【0029】

[0045]この説明の全体で使用される「結合された」という用語は、「電氣的、力学的、または別の方法であれ、介在する接続を通して直接的に、または間接的に接続されている」ことを意味し、それは、物理的な接続に必ずしも限定されない。加えて、接続は、オブジェクトが永久に接続されるかまたは、解放可能に接続されるようなものであることができる。

【0030】

10

20

30

40

50

[0046] 特定の態様が本明細書で説明されるが、これらの態様の多くの変形および置換が、本開示の範囲内に含まれる。好ましい態様のいくつかの利益および利点が述べられるが、本開示の範囲は、特定の利益、用途または目的に限定されるようには意図されない。むしろ、本開示の態様は、異なる技術、システム構成、ネットワークおよびプロトコルに広く適用可能であるように意図されており、それらのうちのいくつかは、図面において、および好ましい態様の以下の説明において、例として例示される。詳細な説明および図面は、限定ではなく、本開示の単なる例示であり、本開示の範囲は、添付された特許請求の範囲およびそれらの同等物によって定義されている。

【0031】

[0047] 加えて、本明細書において説明された態様は、電界効果トランジスタ (FET) 技術を使用して実装される。しかしながら、本明細書において説明される回路技法は、いずれのタイプのトランジスタにも限定されないことが留意されるべきである。本明細書において説明される回路技法を実装するために、他のタイプトランジスタまたは同等のデバイスが使用され得ることは、当業者によって理解されるだろう。さらに、本明細書において説明される技法は、PFETトランジスタ構成に基づくが、当業者が、開示された回路の多くがまた、NFETトランジスタ構成に基づくことができることを理解するであろうということはさらに留意されるべきである。

【0032】

[0048] 従来の電圧レギュレータのためのコントローラ論理回路は、レギュレータサーキットリーのための全体の集積回路デバイスエリアの大部分を包含する (encompasses)。本開示のある特定の態様は、異なる時間間隔において、レギュレータ回路の電圧を制御するためにレギュレータ間で時分割方式で使用される電圧制御回路を有する改良されたレギュレータコントローラ回路構成を含む。電圧制御サーキットリーを共有することは、とりわけ、全体の集積回路 (IC) デバイスエリアを減らすことに有利である。

【0033】

[0049] 少なくともある特定の態様において、連続時間電流調整ループを備える電流制御回路および離散時間電圧調整ループを備える共有された電圧制御回路を含むハイブリッド制御機構が開示される。電圧制御回路は、異なるレギュレータ回路から切り離され (separated) 得、かつそれらの間で共有され得、各々は、潜在的に異なる調整された出力電圧を有する。共有された電圧コントローラサーキットリーは、レギュレータの電力ステージから切り離され得、およびそれらの間で時分割方式で使用され得る。具体的に言うと、レギュレータ回路のレギュレータコントローラハードウェアは、過渡負荷電流に関する高速過渡応答をハンドリングするための連続時間アナログ電流調整ループと、複数のレギュレータ間で時分割方式で使用される共有された離散時間電圧調整ループとに分けられ得る。

【0034】

[0050] そのような時分割方式で使用される電圧制御回路構成は、集積回路デバイスエリアという観点で著しいコスト節約を提供し得、また、レギュレータコントローラサーキットリーのシステムレベルの配置に関して、回路設計者にさらなる柔軟性を提供し得る。コントローラの数が制限されているので、これはまた、より簡略化された設計になり (result in) 得る。加えて、離散時間電圧調整ループは、無駄な集積デバイスエリアを減らすために、コントローラ間で共有され得る。

【0035】

[0051] 説明された態様がそれ上で実装され得る例となる回路の説明が以下に提供される。ある特定の要素が、別個のコンポーネントとして描かれ得るが、いくつかの実例において、コンポーネントのうちの1つまたは複数は、単一のコンポーネントまたはデバイスに組み合わせられ得る。同様に、ある特定の機能性が、回路内の単一の要素またはコンポーネントによって行われるものとして説明され得るが、機能性は、いくつかの実例において、機能的に協調的したやり方において共同作用する複数の要素またはコンポーネントによって、実行され得る。

【0036】

10

20

30

40

50

[0052] 図 1 は、レギュレータ回路間で時分割方式で使用される共有された電圧制御回路を備える例示的な回路 100 のブロック図を描く。例示された例において、回路 100 は、レギュレータ回路レギュレータ__1、レギュレータ__2、...、レギュレータ__N と結合された出力ノードを有する共有された電圧制御回路 105 を備える。回路ノードは、例えば、ノードが直接的に接続されているかまたは、電圧または電流を介して信号パスに沿って、電氣的に反応する (electrically responsive) とき、結合され得る。本開示の特徴および利点は、複数のレギュレータ回路を有するシステムを含み、ここで、レギュレータ回路のいくつかまたは全ては、電圧制御回路を共有し得る。この例において、レギュレータ 1 乃至 N の入力は各々、電圧制御ノード V_{ctl_1} 、 V_{ctl_2} 、...、 V_{ctl_N} 上のそれぞれの制御電圧と結合され、およびレギュレータ回路の出力は各々、それぞれ、出力負荷キャパシタンス CL_1 CL_2 、...、 CL_N を含む。出力負荷キャパシタンスは、例えば、レギュレータ回路の出力負荷のキャパシタンスであり得る。出力負荷は、他のインピーダンスを有し得、および容量性負荷に制限されない。各レギュレータ回路 1 乃至 N は、それぞれ、電圧制御ノード、 V_{ctl_1} 、 V_{ctl_2} 、...、 V_{ctl_N} 、および内部キャパシタンス、 $Chold_1$ 、 $Chold_2$ 、...、 $Chold_N$ 、を含む。電圧制御ノード、ノード、 V_{ctl_1} 、 V_{ctl_2} 、...、 V_{ctl_N} 、の制御電圧は、レギュレータの各々に関して、それぞれ、内部キャパシタ $Chold_1$ 、 $Chold_2$ 、...、 $Chold_N$ において記憶される。

10

【0037】

[0053] 例となる回路 100 は、例えば、図 1 において示されるように、異なるフェーズを有する、クロック間隔、 clk_1 、 clk_2 、...、 clk_N 、に分割された入力クロック信号をさらに含む。本開示の例において、クロック間隔は、等しい時間間隔に分割され得る。他の態様において、クロック間隔の持続時間は、特定の回路設計の様々なパラメータおよび制約に従って、個別に調整 (adjusted) され得る。さらに、入力クロック信号間隔は、1 つまたは複数のクロック生成器回路 (例えば、以下の図 2 を参照) を使用して、生成され得る。入力クロック信号は、1 つまたは複数の内部または外部クロック生成器回路によって生成され得る。一態様において、(1 つまたは複数の) クロック生成器回路は、入力クロック信号をクロック間隔 clk_1 、 clk_2 、...、 clk_N に分割するための構成されたクロックデバイダサーキットリーを含み得る。少なくともある特定の態様において、入力クロック信号間隔は、結果として生じる入力クロック信号を取得するために、1 つまたは複数の異なるクロック信号から導出され得るか、またはそれらと組み合わせられ得る。入力クロック信号は、1 つまたは複数の別個のクロック信号と組み合わせられ得る。例えば、入力クロック信号は、入力回路 100 に直接的に輸入されたクロック信号から、または、1 つまたは複数の介在する組合せのまたは順次式論理回路を介して、導出され得る。

20

30

【0038】

[0054] 例示された例において、共有された電圧制御回路 105 の出力ノードにおける電圧制御信号 V_{ctl_out} は、レギュレータ回路 1 乃至 N までの電圧を調整するために、スイッチ、 S_{1b} 、 S_{2b} 、...、 S_{Nb} 、の第 1 のセットを介して、レギュレータの入力電圧制御ノード、 V_{ctl_1} 、 V_{ctl_2} 、...、 V_{ctl_N} 、と選択的に結合される。スイッチ、 S_{1b} 、 S_{2b} 、...、 S_{Nb} 、の第 1 のセットは、電氣的な回路接続を選択的に確立することおよび遮断する (breaking) ことが任意のタイプの電氣的なスイッチとして実装され得、および本明細書において説明された態様は、任意の特定のタイプのスイッチまたは電氣的な切り替え技術に限定されない。スイッチ、 S_{1b} 、 S_{2b} 、...、 S_{Nb} 、の第 1 のセットは、FET デバイスを使用して、実装され得る。1 つの態様において、スイッチ、 S_{1b} 、 S_{2b} 、...、 S_{Nb} 、の第 1 のセットは、デマルチプレクサ回路として実装され得る。

40

【0039】

[0055] スイッチ、 S_{1b} 、 S_{2b} 、...、 S_{Nb} 、の第 1 のセットは、異なるクロック間隔 clk_1 、 clk_2 、...、 clk_N において、共有された電圧制御回路

50

105から出力された電圧制御信号Vctl_outとレギュレータ1乃至Nまでの入力のうちの選択された1つを選択的に結合するように構成され得る。これを達成するために、スイッチ、S1b、S2b、...、SNb、の第1のセットは、クロック間隔、clk_1、clk_2、...、clk_Nのうちの1つによって、各々選択され得る。クロック間隔は、適切なクロック間隔の間、適切なレギュレータ回路を選択するように提供され得、例えば、非オーバーラップするクロックフェーズであり得る。この例において、クロック間隔clk_1は、レギュレータ_1のスイッチS1bを選択するために結合され得、クロック間隔clk_2は、レギュレータ_2のスイッチS2bを選択するために結合され得、クロック間隔clk_Nは、レギュレータ_NのスイッチSNbを選択するために結合され得る。

10

【0040】

[0056]回路100は、レギュレータから出力された調整された電圧、Vout1、Vout2、...、VoutNと、共有された電圧制御回路105の入力Vinとの間に結合された電圧調整ループ101において、スイッチ、S1a、S2a、...、SNa、の第2のセットをさらに含む。スイッチ、S1a、S2a、...、SNa、の第2のセットは、それぞれの異なるクロック間隔clk_1、clk_2、...、clk_Nのうちの1つの間、それぞれのレギュレータ1乃至Nから出力された、調整された電圧、Vout1、Vout2、...、VoutNのうちの選択された1つを共有された電圧制御回路105の入力Vinと選択的に結合し得る。

20

【0041】

[0057]スイッチ、S1a、S2a、...、SNa、の第2のセットは、選択的に確立し、および電氣的な回路接続を遮断する能力のある任意のタイプの電氣的なスイッチとして実装され得、本明細書において説明された態様は、スイッチまたは電氣的なスイッチング技術の任意の特定のタイプに限定されない。1つの態様において、スイッチ、S1a、S2a、...、SNa、の第2のセットは、マルチプレクサ回路として実装され得る。スイッチ、S1a、S2a、...、SNa、の第2のセットは、FETデバイスを使用して、実装され得る。

【0042】

[0058]レギュレータ回路1乃至Nの各々に関する、出力電圧、Vout1、Vout2、...、VoutNの電圧調整は、レギュレータのうちの各々に関して、個別の電圧制御回路を使用することの代わりに、共有された電圧制御回路105から出力された電圧制御信号Vctl_outに基づいて、行われ得る。これは、とりわけ、電圧制御回路105の回路要素が、レギュレータ回路のうちの各々1つにつき複製されることを必要としないため、有利である。回路の実装形態において多くのレギュレータがある場合、この技法は、著しい集積回路デバイスエリアの節約をもたらし得る。

30

【0043】

[0059]動作において、レギュレータ1乃至Nのうちの各々に関する入力は、時分割方式での使用ベースで、異なる個別のクロック間隔、clk_1、clk_2、...、clk_Nにおいて、共有された電圧制御回路105から出力される電圧制御信号Vctl_outと選択的に結合され得る。例えば、第1のクロック間隔の間(例えば、clk_1がアクティブであるとき)、スイッチS1aおよびS1bは、接続を形成するために閉じられ得、一方で、スイッチs2a、s2b、SNaおよびSNbは、開かれ得る。この事例において、電圧制御回路105の電圧制御信号Vctl_outは、スイッチS1bを介して、レギュレータ_1の電圧制御ノードVctl_1と選択的に結合され得、一方で、電圧制御信号Vctl_outは、他の電圧制御ノードVctl_2...、Vctl_Nから接続を絶たれ(disconnected)得る。加えて、レギュレータ_1の調整された出力電圧Vout1は、スイッチS1aを介して、共有された電圧制御回路105の入力Vinに選択的に結合され得、一方で、レギュレータ_2の調整された出力電圧Vout2およびレギュレータ_NのVoutNは、共有された電圧制御回路105から接続を絶たれ得る。

40

50

【 0 0 4 4 】

[0060]同様に、第2のクロック間隔の間、(例えば、 clk_2b がアクティブのとき)、スイッチ $S2a$ および $S2b$ は、接続を形成するために閉じられ得、一方でスイッチ $S1a$ 、 $S1b$ 、 SNa および SNb は、開かれ得る。この事例において、電圧制御回路105の電圧制御信号 $Vctl_out$ は、スイッチ $S2b$ を介して、レギュレータ__2の電圧制御ノード $Vctl_2$ に選択的に結合され得、一方で、電圧制御信号 $Vctl_out$ は、他の電圧制御ノード $Vctl_2$ 、 \dots 、 $Vctl_N$ から接続を絶たれる。加えて、レギュレータ__2の調整された出力電圧 $Vout2$ は、スイッチ $S2a$ を介して、選択的に、共有された電圧制御回路105の入力 Vin と接続され得る。一方で、レギュレータ__1の調整された出力電圧 $Vout1$ 、 \dots 、レギュレータ__Nの $VoutN$ は、共有された電圧制御回路105から接続を絶たれる。

10

【 0 0 4 5 】

[0061]このようなやり方で、電圧制御回路105の電圧制御信号 $Vctl_out$ を時分割方式で使用することによって、回路100は、同じ時分割方式で使用される電圧制御回路サーキットリーを使用して、それぞれ、異なるレギュレータ1乃至Nの調整された出力電圧 $Vout1$ 、 $Vout2$ 、 \dots 、 $VoutN$ を調整するために適切な制御電圧を提供するように動作可能である。いくつかの態様において、説明された技法を使用するレギュレータは、同じ出力電圧(例えば、 $Vout1 = Vout2$)を使用し得、他の態様において、異なるレギュレータは、異なる出力電圧(例えば、 $Vout1 \neq Vout2$)を有し得る。同じ電圧制御回路を使用する異なるレギュレータ上の同じまたは異なる出力電圧の組合せがまた、可能である。

20

【 0 0 4 6 】

[0062]図2Aは、本開示の態様に従って構成された例示的な電圧制御回路200Aのブロック図を描く。図2Aの例示された例において、回路200Aは、それぞれ、電圧制御スイッチ216のセットを介して、レギュレータ1および2の入力(例えば、 $Vctl_1$ および $Vctl_2$)と結合された共有された電圧制御回路205を含む。電圧制御スイッチ216は、図1に従って上記で説明されたスイッチ、 $S1b$ 、 $S2b$ 、 \dots 、 SNb 、の第1のセットに対応し得る。1つの態様において、電圧制御スイッチ216は、デマルチプレクサ回路として実装され得る。同様に、共有された電圧制御回路205は、それぞれ、調整された電圧スイッチ214のセットを介して、レギュレータ1および2の出力(例えば、 $Vout1$ および $Vout2$)と結合される。調整された電圧スイッチ214は、図1に関して上記に説明され、スイッチ $S1a$ 、 $S2a$ 、 \dots 、 SNa 、の第2のセットに対応し得る。1つの態様において、電圧制御スイッチ216は、マルチプレクサ回路として実装され得る。

30

【 0 0 4 7 】

[0063]図2Aにおいて示されるように、共有された電圧制御回路205は、抵抗器 $R1$ および $R2$ を備える抵抗器デバイダ回路を含む。抵抗器デバイダ回路は、レギュレータ1または2の選択された1つから調整された電圧出力を受信することと、それに応答して、フィードバック電圧信号 Vfb を出力することとを行うように構成され得る。共有された電圧制御回路205は、エラー増幅器220をさらに備え得る。エラー増幅器220は、

40

【 0 0 4 8 】

[0064]エラー増幅器220は、例えば、出力負荷電流から結果として生じるレギュレータ回路の出力電圧において、エラー(DCオフセット)を検出するように構成され得る。エラー増幅器220は、第1の入力においてフィードバック電圧信号 Vfb を受信し、第2の入力において基準電圧信号 $Vref$ を受信するように構成され得る。1つの態様において、エラー増幅器220は、フィードバック電圧信号 Vfb を基準電圧信号 $Vref$ と比較することと、その比較に応答して出力電圧制御信号 $Vctl_out$ を提供することとを行うように構成され得る。例えば、調整された電圧におけるエラーは、エラー増幅器2

50

20によって、第1の入力端子におけるフィードバック電圧 V_{fb} を第2の入力端子における基準電圧 V_{ref} と比較することによって、検出され得る。エラー増幅器220は、電圧 V_{fb} を V_{ref} と比較するとき、エラーを検出することに応答して、出力電圧エラーを補正するためのその出力ノード V_{ctl_out} を導出するように構成され得る。エラー増幅器220は、エラー増幅器220の入力における電圧 V_{fb} と V_{ref} との間の差に応答して、出力 V_{ctl_out} を駆動するように構成される。

【0049】

[0065]図2Aの例示された例において、共有された電圧制御回路205は、共有された電圧制御回路205の出力ノードと結合された補償器回路225をさらに備える。1つの態様において、補償器回路225は、異なる処理、電圧、温度、変形、出力負荷、外部キャパシタンス、および/または印刷回路板(PCB: printed circuit board)の寄生変動にわたるエラー増幅器220の出力ノードにおける機能を安定させるために利用され得る単一の補償器キャパシタ(図示せず)を備え得る。補償キャパシタは、電圧調整ループを安定させるために、およびエラー増幅器220のステップ応答におけるオーバーシュートおよびリングング(ringing)を制御するために、利用されることができる。

10

【0050】

[0066]回路200Aは、例えば、クロック、 Clk 、からクロック信号間隔を生成するように構成された1つまたは複数のクロック間隔生成器回路217をさらに含む。1つの態様において、(1つまたは複数の)1つまたは複数の入力クロック信号は、クロック間隔のうちの一つの間、レギュレータの各々を選択する(例えば、チャンネル選択)ために、電圧制御スイッチ216に提供されるためにクロック間隔に分割され得る。例えば、上記の図1において例示されるように、クロック間隔 Clk_1 、...、 Clk_N は、別個のクロック信号であり得、ここで、クロック信号のただ一つのみが、特定のスイッチをアクティベートするために、ある時間において高い状態にある。クロック間隔技法の広いレンジは、異なるレギュレータを共有された電圧制御回路に選択的に結合するように選択的に使用されることができることが理解されるべきである。(1つまたは複数の)クロック間隔生成器回路217は、例えば、入力クロック信号 Clk からのクロック間隔を生成するための1つまたは複数のクロックデバイダ回路を含み得る。回路200Aの入力クロック信号 Clk は、直接的に接続されたクロック信号であり得るか、1つまたは複数の異なるクロック信号から導出された信号であり得るか、または1つまたは複数の介在する組合せのまたは順次式論理回路を介して受信され得る。

20

30

【0051】

[0067]図2Aにおける例は、本開示の別の態様を例示する。いくつかの態様において、レギュレータ回路は、電流制御回路を含み得る。この例において、レギュレータ1は、電流制御回路206を備え、一方で、レギュレータ2は、電流制御回路207を備える。特定の態様の特徴および利点は、例えば、電圧制御ループを維持するための電圧制御サーキットリを共有するレギュレータを含み得、特定のレギュレータが電圧制御サーキットリから接続を絶たれたとき、レギュレータのうちの一つかまたは全てにおける電流制御回路は、各レギュレータの出力における変化に応答するために電流制御ループを維持し得る。電流制御回路は、共有された電圧制御回路のより遅い応答時間(例えば、より低い帯域幅)よりも早い応答時間(例えば、より広い帯域幅)を有し得る。いくつかの実装形態において、異なるレギュレータにおける電流制御回路は、同じアーキテクチャを有し得、一方で、他の実装形態において、異なるレギュレータにおける電流制御回路は、異なるアーキテクチャを有する。各レギュレータにおいて共有された電圧制御サーキットリおよび同じ電流制御回路を有するレギュレータの一つの例となる実装形態は、例示の目的で、下記に提供される。

40

【0052】

[0068]図2Bは、本開示の態様に従った、プリチャージ回路を含む例示的な回路200Bのブロック図を描く。本例は、別の特徴を例示する。ここで、レギュレータ1乃至Nは、共有された電圧制御回路299を使用して、調整された出力電圧を生成する。本開示の

50

態様は、例えば、共有された電圧制御回路299がレギュレータ制御電圧と結合される前に、共有された電圧制御回路299の少なくとも1つのノードをプリチャージするためのプリチャージ回路を含み得る。この例において、プリチャージ回路は、Vctl_outが異なるレギュレータの異なる電圧制御ノードに結合される前に、Vctl_outの値をプリチャージする。

【0053】

[0069]この例において、回路200Bは、各々がレギュレータの電圧制御ノードVctl_1、Vctl_2、...、Vctl_Nに結合された入力端子、およびスイッチS1c、S2c、...、SNcの第3のセットを介して、共有された電圧制御回路299から出力された電圧制御信号Vctl_outと選択的に結合されることが出来る出力端子を有するバッファ回路251、252、および253をさらに含む。1つの態様において、バッファは、例えば、制御電圧を感知し、およびVctl_outを同じ電圧まで駆動する単位利得増幅器または他のサーキットリを使用し、実装され得る。

10

【0054】

[0070]スイッチS1cおよびS2cの第3のセットは、バッファ回路251乃至253を介して、それぞれのレギュレータ回路の電圧制御ノードの(内部キャパシタChold1、Chold2、...、CholdNにおいて記憶された)内部制御電圧、Vctl_1、Vctl_2、...、Vctl_Nを、共有された電圧制御回路299の電圧制御信号Vctl_outと選択的に結合するように構成され得る。これは、内部電圧制御ノード、Vctl_1またはVctl_2またはVctl_Nが、共有された電圧制御回路299の出力ノードと選択的に結合される前に、共有された電圧制御回路299の出力電圧制御ノードをプリチャージするために、なされ得る。

20

【0055】

[0071]例示された例において、スイッチS1cは、バッファ回路251の出力端子と共有された電圧制御回路299の出力ノードとの間に選択的に結合され得る。同様に、スイッチS2cは、バッファ回路252の出力端子と共有された電圧制御回路299の出力ノードとの間に選択的に結合され得る。同様に、スイッチSNcは、バッファ回路253の出力端子と共有された電圧制御回路299の出力ノードとの間に選択的に結合され得る。

【0056】

[0072]スイッチS1cは、例えば、スイッチS1bが電圧制御信号Vctl_outをレギュレータ_1の内部電圧制御ノードVctl_1と選択的に結合するためにアクティベートされる前の、クロック間隔の間、電圧制御信号Vctl_outをVctl_1の制御電圧に接近する値までプリチャージするために、レギュレータ_1の内部制御ノードVctl_1上の制御電圧を共有された電圧制御回路299のVctl_outと選択的に結合するように構成され得る。クロック間隔Clk_1は、スイッチS1cを閉じ得、およびクロック間隔Clk_2は、Vctl_out上の電圧が、スイッチS1bが閉じられる前に、制御電圧Vctl_1とおおよそ等しいように、スイッチS1bを閉じ得る。

30

【0057】

[0073]同様に、スイッチS2cは、スイッチS2bが電圧制御信号Vctl_outをレギュレータ_2の内部電圧制御ノードVctl_2に選択的に結合する前の、クロック間隔の間、電圧制御信号Vctl_outをVctl_2の制御電圧に接近する値までプリチャージするために、レギュレータ_2の内部制御ノードVctl_2上の制御電圧を共有された電圧制御回路299のVctl_outに選択的に結合するように構成され得る。

40

【0058】

[0074]プリチャージすることが有利であり得る1つの理由は、異なるレギュレータの各々が、例えば、異なる入力電圧および/または出力電圧を有し得ることのため、および、異なる制御電圧レベルで動作し得ることのためである。よって、内部電圧制御ノード、Vctl_1、Vctl_2、...、Vctl_Nにおける電圧レベルのエラーを防止するために、内部電圧制御ノードが共有された電圧制御回路299から出力された電圧制御

50

信号 V_{ctl_out} と最初に結合されるとき、バッファ回路の出力ノードは、異なるレギュレータ上で特定の電圧を調整するために、電圧制御信号 V_{ctl_out} を適切な値までプリチャージするために、スイッチ S_{1c} 、 S_{2c} 、...、 S_{Nc} を介して、共有された電圧制御回路 299 の出力ノードと最初に選択的に結合され得る。

【0059】

[0075] スwitch S_{Xa} 、 S_{Xb} 、および S_{Xc} 、の3つのセットは、各レギュレータ出力において電圧を制御するために閉ざされた電圧フィードバックループにおいて各レギュレータを選択的に結合するように動作され得、ここで X は、1から N までの数である（例えば、 S_{1a} 、 S_{1b} 、および S_{1c} 、等）。例えば、第1のバッファ回路 251 は、 S_{1c} が閉じているとき、第1の時間間隔の間、レギュレータ__1に関する電圧制御ノード V_{ctl_1} に結合された入力、および電圧制御回路、 V_{ctl_out} 、の出力電圧と結合された出力を有する。 V_{ctl_out} は、次いで、第1の時間間隔に続く第2の時間間隔の間、スイッチ S_{1b} を通して電圧制御ノード V_{ctl_1} に結合される。第2の時間間隔において、 S_{1c} は、例えば、開かれていることができ、 S_{1b} は閉じられている。1つの態様において、レギュレータ__1から出力された調整された電圧 V_{out1} は、第3の時間間隔の間、スイッチ S_{1a} を通して、電圧制御回路の入力（例えば、 V_{in} ）と結合され、それは、第1の時間間隔および第2の時間間隔の合計におよそ等しくあり得る。図 2B を参照すると、クロック位相間隔 Clk_1 は、スイッチ S_{1c} を閉じるための第1の時間間隔を設定し得、クロック位相間隔 Clk_2 は、スイッチ S_{1b} を閉じるための第2の時間間隔を設定し得る。この例において、スイッチ S_{1a} は、 Clk_1 および Clk_2 の両方の持続時間の間、閉じられる。各レギュレータに関して、プリチャージする（例えば、スイッチ S_{Xc} を閉じる）ために順次的な時間間隔をオーバーラップさせること、そして次に、制御電圧 V_{ctl_X} を設定する（例えば、スイッチ S_{Xb} を閉じる）ことは、例えば、電圧過渡を減らし、電圧調整処理の速度を上げるために電圧ループを閉じる前に、 V_{ctl_out} が適した値に設定されることを確かにするために有利であり得る。クロック位相を使用して上記に言及された時間間隔を設定することは、時間間隔を確立するための1つの技法であることが理解されるべきである。レギュレータを共有された電圧制御回路と選択的に結合するための他の技法がまた、使用されることができる。

【0060】

[0076] 図 2C は、本開示の態様に従った、プリチャージ回路を含む別の例となる回路のブロック図を描く。この例において、複数のキャパシタ上の制御電圧は、プリチャージ動作のための1つまたは複数の共有されたバッファ回路を通して、選択的に結合される。この例において、 N スwitch 260 乃至 261 の第3のセットは、 N レギュレータ回路の N 電圧制御ノード 280 乃至 281 をバッファ回路 262 の入力端子と選択的に結合するように構成される。スイッチ 260 は、第1のスイッチであり、スイッチ 261 は、 N 番目のスイッチであり、電圧制御ノード 280 は、第1の電圧制御ノードであり、電圧制御ノード 281 は、 N 番目の電圧制御ノードである。バッファ回路 262 の出力端子は、電圧制御回路の出力ノードに結合され、それは、この例において、エラー増幅器 (EA) の出力および補償器回路の端子である。スイッチ 260 乃至 261 は、共有された電圧制御回路の出力をプリチャージするために、電圧制御ノード 280 乃至 281 をバッファ回路 262 の入力に選択的に結合する。例えば、第1の時間間隔 1A の間、スイッチ 260 は、閉じられ得、およびスイッチ 261 は、開かれ得る。従って、ノード 280 上の電圧は、バッファ回路 262 の入力に結合される。この例において、バッファ回路 262 の出力は、スイッチ 263 を通して、電圧制御回路におけるノードに結合され、それは、例えば、バッファ回路 262 が電圧制御サーキットリーに干渉することを防ぐために、ただプリチャージフェーズの間のみ閉じられ得、電圧制御回路（例えば、エラー増幅器）が閉ざされた電圧調整ループにあるとき、開かれ得る。図 2C において例示されるように、スイッチ 263 は、時間間隔 1B...NB の間、開かれており、それらは、例えば、異なるレギュレータを有する異なる電圧調整ループにある状態の (being in) 電圧制御回路に

10

20

30

40

50

対応する (correspond to)。プリチャージの間、スイッチ 263 は、開かれており、電圧制御回路の出力は、スイッチを開くことによってレギュレータから切り離される (decoupled)。

【0061】

[0077] 図 2C は、別の例となる特徴をさらに例示する。この例において、各レギュレータ回路は、例えば、制御電圧を受信するための電圧制御ノードに結合された入力、およびレギュレータの出力において調整された電圧信号に設定するための電圧制御ループにおいて構成される出力、などを有する、バッファ回路 271 乃至 272 のような、バッファ回路をさらに備える。この例において、バッファ回路 271 は、Chold_1 上で制御電圧を受信するための電圧制御ノード 280 に結合された入力、およびレギュレータ__1 の出力において調整された電圧信号 Vout1 に設定するための電圧制御ループにおいて構成される出力を有する。同様に、バッファ回路 272 は、Chold_2 上で制御電圧を受信するための電圧制御ノード 281 に結合された入力、およびレギュレータ__N の出力において調整された電圧信号 VoutN に設定するための電圧制御ループにおいて構成される出力を有する。多くのそのようなレギュレータ N、ここで、N は、整数であるが、は、同じかまたは異なる出力電圧、Vout を作り出すために、図 2C において示されるように構成され得ることが理解されるべきである。さらに、上記で説明されるように、本明細書で示されるバッファ回路は、上記で例示されるように、例えば、単位利得増幅器、または、電圧制御回路の出力をプリチャージするため、または制御電圧を電圧制御ループに結合するための同等の回路、あるいは両方を使用して、実装され得る。

10

20

【0062】

[0078] 図 2D は、本開示の態様に従った、例示的なバッファ回路 270 のブロック図を描く。図 2D の例において、バッファ回路 270 は、入力バッファ電圧バッファ__in を受信するためのバッファ回路入力 (例えば、トランジスタ MB1 の制御端子) を含み得る。バッファ回路入力は、例えば、電圧制御ノード Vctl__N を介して、電圧制御回路 (例えば、図 2B の共有された電圧制御回路 299) と結合され得る。例えば、図 2B において示されるように、Vctl__N は、バッファ回路 251 乃至 253 をレギュレータ回路レギュレータ__1 乃至レギュレータ__N に結合する電圧制御ノードのセット (例えば、Vctl__1、Vctl__2、Vctl__N) のうちの 1 つであり得る。加えて、バッファ回路 270 は、例えば、バッファ回路 251 乃至 253 を介して、図 2B の共有された電圧制御回路 299 の電圧制御出力 Vctl__out に結合され得る。

30

【0063】

[0079] バッファ回路 270 は、バッファ回路出力 (例えば、ノード E) においてバッファ回路出力電圧バッファ__out をさらに提供し得る。ノード E は、制御ノード VB を通して、レギュレータ回路レギュレータ__N (例えば、図 2C のレギュレータ__1 乃至レギュレータ__N) に結合されることができ得る。関連する態様において、および例として、バッファ回路 270 は、図 2C において示されるようにバッファ回路 271 乃至 272 として、実装され得る。例えば、バッファ回路 271 乃至 272 は各々、ノード E において、出力電圧バッファ__out を、ノード VB__N に結合されたレギュレータ回路レギュレータ__1 乃至レギュレータ__N に、供給し得る。

40

【0064】

[0080] バッファ回路 270 は、両者の間でのルーティング (routing) 寄生およびチャネル結合を減らすために、電圧制御回路 (例えば、図 2B の共有された電圧制御回路 299) とレギュレータ回路 (例えば、図 2B のレギュレータ__1 乃至レギュレータ__N) との間の分離を提供する。特に、線形レギュレータ分離は、信号が実際にはアナログであり、アナログ信号を駆動させて高スイング結合を拒否するための低電力および低インピーダンスのバッファを生成することが難しいため、困難である (challenging)。本開示の態様に従って、バッファ回路 270 は、ルーティング (routing) 距離を延長し得る。コントローラは、減らされたチャネル結合を有する電力ステージ (例えば、レギュレータ回路) から離れて置かれ得る。つまり、共に駐在する (reside together) (または、近いルーテ

50

ィングの近接における)従来のコントローラおよび電力ステージ(例えば、レギュレータ回路)とは異なり、バッファ回路270を使用することによって、コントローラ(例えば、図2Bの共有された電圧制御回路299)および電力ステージ(例えば、図2Bのレギュレータ_1乃至レギュレータ_N)は、ルーティングの寄生の増加(increased routing parasitics)なく印刷回路板上に間隔を開けられ(spaced apart)得る。

【0065】

[0081]図2Dを参照すると、電圧制御ノードVct1_Nは、バッファ回路入力(例えば、トランジスタMB1の制御端子)に結合され得る。トランジスタMB1の第1の端子は、電流ソースIBに結合され得、トランジスタMB1の第2の端子は、入力電圧Vinに結合され得る。バッファ回路270は、トランジスタMB1の第2の端子とトランジスタMB1の第1の端子との間に結合された電流調整ループをさらに備え得る。図2Dの例示された例において、電流調整ループは、電流ミラートランジスタMC1/MC2、MC3/MC4、およびMC5/MC6および電圧Vinと結合された電流ソースIB/K(K>1)を備える電流ミラー回路を含む。

【0066】

[0082]動作において、バッファ回路270は、ノードEにおいて一定の出力電圧バッファ_outを維持するために、電流ソースを使用して、電圧をプルアップまたはプルダウンする能力を有する。例えば、ノードEにおける電圧の値が高くなる時、トランジスタMB1におけるドレイン電流は減らされる。ドレイン電流が基準電流(例えば、IB/K)より小さい場合、それは、ノードEにおいて電圧の値をプルダウンするために、大きなプルダウン電流(例えば、トランジスタMC3にわたる電流からトランジスタMC6にわたる電流を差し引いたものに等しい)をアクティベートする。加えて、トランジスタMC6にわたる電流は、トランジスタMC2およびMC3との間の電流の減法(subtraction)に起因してトランジスタMB1にわたる電流とは反対の方向である。

【0067】

[0083]バッファ回路270は、単に例示的であり、電圧モードの実装形態、電流モードの実装形態、または他の実装形態において実装されることができることが当該者にとって理解されるべきである。

【0068】

[0084]図2Eは、一定の状態動作の間のバッファ回路270の例となるブロック図を描く。図2Eの例において描かれるように、電流ソースが変わらず、ルーティングキャパシタが3pFの値にある一定の状態の間、トランジスタMC1にわたる電圧は、IBに等しく、トランジスタMC2にわたる電圧は、IB/Kに等しく、ミラートランジスタMC3/MC4およびMC5/MC6にわたる電圧はゼロである。この例の目的のために、ルーティングキャパシタおよび一定の状態電流ソースは、モデル要素であり、同等の回路と取り替えられることができる。その上、ルーティングキャパシタ(3pF)のキャパシタンスの値は、単に、例示的なものであり限定的なものではない。

【0069】

[0085]図2Fは、結合過渡状態動作の間のバッファ回路270の例となるブロック図を描く。結合過渡動作の間、(例えば、電流ソースからの5.5Vステップアップ電流に起因して、ノードEにおける電圧が高くなる時)、トランジスタMC1にわたる電流は、IBより少なく、トランジスタMC2にわたる電圧は、IB/Kより少なく、ミラートランジスタMC3/MC4およびMC5/MC6にわたる電圧は、ゼロより大きい。これは、ノードEにおいて出力電圧バッファ_outにおけるいずれのスパイクも補償するために、プルダウン電流をアクティベートする。この例の目的のために、ルーティングキャパシタおよびセットアップ電流ソースは、モデル要素であり、同等の回路と取り替えられることができる。ルーティングキャパシタ(3pF)のキャパシタンスの値は、単に、例示的なものであり限定的なものではない。

【0070】

[0086]図2Gは、通常の電力モード(NPM)バイアス電流のための例示的なバッファ

10

20

30

40

50

回路 270 のブロック図を描く。描かれるように、電流ソース I_B が $5.6 \mu A$ および I_B / K が $3.3 \mu A$ であるとき、トランジスタ $M C 1$ にわたる電圧は、 $5.6 \mu A$ に等しく、トランジスタ $M C 2$ にわたる電圧は、 $3.3 \mu A$ に等しく、ミラートランジスタ $M C 3 / M C 4$ および $M C 5 / M C 6$ にわたる電圧は、 $0 \mu A$ である。電流ソース I_B および I_B / K の値は、ただ例示的かつ非限定的なものであり、他の値が予期される (contemplated)。

【0071】

[0087] 図 2 H は、低電力モード (LPM) バイアス電流のための例示的なバッファ回路 270 のブロック図を描く。描かれるように、電流ソース I_B が $1.1 \mu A$ および I_B / K が $0.4 \mu A$ であるとき、トランジスタ $M C 1$ にわたる電圧は、 $1.1 \mu A$ に等しく、トランジスタ $M C 2$ にわたる電圧は、 $0.4 \mu A$ に等しく、ミラートランジスタ $M C 3 / M C 4$ および $M C 5 / M C 6$ にわたる電圧は、 $0 \mu A$ である。電流ソース I_B および I_B / K の値は、ただ例示的かつ非限定的なものであり、他の値が予期される。

10

【0072】

[0088] 図 3 A は、本開示の態様に従った、レギュレータ回路を制御するための例示的な回路 300 のブロック図を描く。この例示された例において、回路 300 は、レギュレータ回路 1 および 2 における入力において、 $V_{c t l_1}$ および $V_{c t l_2}$ 、電圧制御ノードと結合された共有された電圧制御回路 305 を含む。共有された電圧制御回路 305 は、抵抗器 $R 1$ および $R 2$ 、エラー増幅器 320、および補償器回路 325 を備える抵抗器デバイダ回路を含み、各々は、例えば、図 2 A の共有された電圧制御回路 205 に関して上記に説明される機能を行うように動作可能である。

20

【0073】

[0089] 回路 300 は、スイッチ $S 1 b$ および $S 2 b$ の第 1 のセット、スイッチ $S 1 a$ および $S 2 a$ の第 2 のセット、およびスイッチ $S 1 c$ および $S 2 c$ の第 3 のセットをさらに含む。スイッチ $S 1 b$ および $S 2 b$ の第 1 のセットは、異なるクロック間隔において、それぞれ、共有された電圧制御回路 305 から出力された電圧制御信号 $V_{c t l_o u t}$ をレギュレータ 1 および 2 の電圧制御ノード $V_{c t l_1}$ および $V_{c t l_2}$ のうちの選択された 1 つと選択的に結合するように構成され得る。例えば、共有された電圧制御回路 305 の出力ノードは、第 1 のクロック間隔の間、スイッチ $S 1 b$ を介して、レギュレータ 1 の入力電圧制御ノード $V_{c t l_1}$ と選択的に結合され得るか、または第 2 のクロック間隔の間、スイッチ $S 2 b$ を介して、レギュレータ 2 の入力電圧制御ノード $V_{c t l_2}$ と選択的に結合され得る。

30

【0074】

[0090] スwitch $S 1 a$ および $S 2 a$ の第 2 のセットは、それぞれ、レギュレータ 1 および 2 から出力された調整された電圧 $V_{o u t 1}$ および $V_{o u t 2}$ と、入力クロック信号 (図示せず) から導出される異なるクロック間隔における共有された電圧制御回路 305 の入力電圧 $V_{i n}$ との間で結合され得る。例えば、共有された電圧制御回路 305 の入力ノード $V_{i n}$ は、第 1 のクロック間隔の間、スイッチ $S 1 a$ を介して、レギュレータ 1 の調整された出力電圧 $V_{o u t 1}$ と選択的に結合され得るか、または第 2 のクロック間隔の間、スイッチ $S 2 a$ を介して、レギュレータ 2 の調整された出力電圧 $V_{o u t 2}$ と選択的に結合され得る。

40

【0075】

[0091] 図 3 A において示されるように、レギュレータ 1 は、入力電圧 $V_{i n 1}$ を受信するための入力電圧端子および出力負荷キャパシタンス $C L 1$ を有する出力電圧端子を含む。レギュレータ 1 は、パストランジスタ $M p a s s$ を備える入力電力ステージをさらに備える。入力電圧 $V_{i n 1}$ は、入力電力ステージトランジスタ $M p a s s$ の第 1 の端子と結合され得、調整された出力電圧 $V_{o u t 1}$ は、入力電力ステージトランジスタ $M p a s s$ の第 2 の端子と結合され得る。同様に、レギュレータ 2 は、入力電圧 $V_{i n 2}$ を受信するための入力電圧端子および出力負荷キャパシタンス $C L 2$ を有する出力電圧端子を含む。レギュレータ 2 は、パストランジスタ $M p a s s$ を備える入力電力ステージをさらに備え

50

る。入力電圧 V_{in2} は、入力電力ステージトランジスタ M_{pass} の第 1 の端子と結合され得、調整された出力電圧 V_{out2} は、入力電力ステージトランジスタ M_{pass} の第 2 の端子と結合され得る。

【0076】

[0092] この例において、レギュレータ 1 および 2 の各々は、電流調整ループを備える電流制御回路をさらに含む。図 3 A において、レギュレータ 1 のコンポーネントは、(1) レギュレータ 1 の出力において、パストランジスタ M_{pass} の第 2 の端子と結合された第 1 の端子を有する電流感知トランジスタ M_{sens} 、レギュレータ 1 の出力ノードにおいて、負荷電流と相互補完的であるループ電流 I_1 を出力するための第 2 の端子、および共有された電圧制御回路 305 から電圧制御信号 V_{ctl_out} を受信するための電圧制御ノード V_{ctl_1} と結合された制御端子をさらに備える。レギュレータ 1 のコンポーネントは、(2) 電流感知トランジスタ M_{sens} の第 2 の端子とパストランジスタ M_{pass} の制御端子との間に結合された電流調整ループをさらに備える。例示された例において、電流調整ループは、電流ミラートランジスタ M_{2a}/M_{2b} 、 M_{3a}/M_{3b} 、および M_{4}/M_{pass} を備える電流ミラー回路および電圧 aV_{dd} と結合された電流ソース I_a を備える 1 つまたは複数の電流総和回路を含む。

10

【0077】

[0093] 同様に、この例において、レギュレータ 2 のコンポーネントは、(1) レギュレータ 2 の出力において、パストランジスタ M_{pass} の第 2 の端子と結合された第 1 の端子を有する電流感知トランジスタ M_{sens} 、レギュレータ 2 の出力ノードにおいて、負荷電流と相互補完的であるループ電流 I_2 を出力するための第 2 の端子、および共有された電圧制御回路 305 から電圧制御信号 V_{ctl_out} を受信するための電圧制御ノード V_{ctl_2} と結合された制御端子をさらに含む。レギュレータ 2 のコンポーネントは、(2) 電流感知トランジスタ M_{sens} の第 2 の端子とパストランジスタ M_{pass} の制御端子との間に結合された電流調整ループをさらに含む。例示された例において、電流調整ループは、電流ミラートランジスタ M_{2a}/M_{2b} 、 M_{3a}/M_{3b} 、および M_{4}/M_{pass} を備える電流ミラー回路および電圧 aV_{dd} と結合された電流ソース I_b を備える 1 つまたは複数の電流総和回路を含む。他の周知の線形レギュレータトポロジーおよび電流制御回路が使用されることができ、これは理解されるべきである。この例において、異なる感知トランジスタを通る電流は、負荷電流が変化すると、感知トランジスタを通る電流が反対方向に変化する（例えば、レギュレータ 1 の負荷電流が増加する場合、電流 I_1 は減少し、およびレギュレータ 1 の負荷電流が減少する場合、電流 I_1 は増加する）という意味において、負荷電流と相互補完的である。

20

30

【0078】

[0094] 加えて、エラー増幅器 320 出力ノード V_{ctl_out} は、それぞれの電圧制御ノード、 V_{ctl_1} または V_{ctl_2} を、レギュレータ 1 および 2 のそれぞれの出力電圧 V_{out1} または V_{out2} におけるエラーを補正するための値まで駆動するために、レギュレータ 1 および 2 の電流感知トランジスタ M_{sens} のゲート端子と選択的に結合する。エラー増幅器 320 出力ノードは、レギュレータ出力電圧 V_{out1} または V_{out2} に基づいて、電流感知トランジスタ M_{sens} の制御端子（例えば、ゲート端子）を駆動し得る。例えば、（例えば、負荷過渡に起因して）より多くの負荷電流が必要とされるとき、レギュレータ出力電圧 V_{out1} または V_{out2} は、減少し得る。それに応じて、共有された電圧制御回路 305 は、それぞれ、そのゲートソース電圧 V_{gs} を減らすために M_{sens} の制御端子をより高い値へ駆動し得、 M_{sens} を通る電流を減らし得、および出力 V_{out1} または V_{out2} において出力電流を増加させ得、それは、過渡負荷電流によって導入された出力電圧エラーを補正する。

40

【0079】

[0095] 電流制御回路の構成および動作に関するさらなる詳細は、「Dual Loop Regulator Circuit」と題され、2015年10月30日に出版された米国特許出願第 14/928,703 号、において見つけられることができ、その開示は、その全体が参照によ

50

り本明細書に明示的に組み込まれる。

【0080】

[0096] 図2Bにおける回路200Bと同様に、回路300は、各々がレギュレータの電圧制御ノードVctl_1またはVctl_2に結合された入力端子およびスイッチS1およびS2の第3のセットを介して、共有された電圧制御回路305から出力された電圧制御信号Vctl_outと選択的に結合されることが出来る出力端子を有するバッファ回路330および332のセットをさらに含む。スイッチS1cおよびS2cの第3のセットは、バッファ回路330および332を介して、それぞれのレギュレータ回路の電圧制御ノードの内部制御電圧、Vctl_1またはVctl_2を、共有された電圧制御回路305の電圧制御信号Vctl_outと選択的に結合するように構成され得る。これは、内部電圧制御ノード、Vctl_1またはVctl_2が、共有された電圧制御回路305の出力ノードと選択的に結合される前に、共有された電圧制御回路305の出力電圧制御ノードをプリチャージするために、なされ得る。スイッチS1cは、バッファ回路330の出力端子と共有された電圧制御回路305の出力ノードとの間に選択的に結合され得、スイッチS2cは、バッファ回路332の出力端子と共有された電圧制御回路305の出力ノードとの間に選択的に結合され得る。スイッチS1cは、スイッチS1bが電圧制御信号Vctl_outをレギュレータ1の内部電圧制御ノードVctl_1と選択的に結合するためにアクティベートされる前のクロック間隔の間、電圧制御信号Vctl_outをVctl_1の制御電圧に接近する値までプリチャージするために、レギュレータ1の内部制御ノードVctl_1上の制御電圧を、共有された電圧制御回路305のVctl_outと選択的に結合するために構成され得る。同様に、スイッチS2cは、スイッチS2bが、電圧制御信号Vctl_outをレギュレータ2の内部電圧制御ノードVctl_2と選択的に結合する前のクロック間隔の間、電圧制御信号Vctl_outをVctl_2の制御電圧に接近する値までプリチャージするために、レギュレータ2の内部制御ノードVctl_2上で制御電圧を共有された電圧制御回路305のVctl_outと選択的に結合するために構成され得る。

10

20

【0081】

[0097] 例となるプリチャージ周期が図3Bにおいて示されるが、それは、本開示の態様に従って構成された回路300に関する例示的なプリチャージ周期のブロック図を描く。例示された例において、プリチャージ周期は、第1のクロック間隔clk_1aの間、実装される。第1のクロック間隔clk_1aは、他のクロック間隔clk_1b、clk_2a、およびclk_2bが非アクティブであると示される間、アクティブであると示される。clk_1aがアクティブであるとき、スイッチS1cは、接続を形成するために閉じられ得、一方でスイッチS1b、S2b、およびS2cは、開かれ得る。それに従って、第1のバッファ回路330の出力は、この第1のクロック間隔clk_1aの間、スイッチS1cを介して、共有された電圧制御回路305の出力ノードと選択的に結合され得る。

30

【0082】

[0098] 示されるように、レギュレータ1の電圧Vctl_1は、Vctl_1における電圧に接近する値まで共有された電圧制御回路305の出力ノードをプリチャージするために、バッファ回路330を通して結合される。これは、電圧制御ノードVctl_1が、後続のクロック間隔において、スイッチS1bを介して、電圧制御信号Vctl_outと選択的に結合される前の、クロック間隔の間になされ得る。加えて、スイッチS1aは、調整された出力信号Vout1が共有された電圧制御回路305の出力ノードまでエラー増幅器320を通して伝搬するのに十分な時間を提供するために、第1のクロック間隔clk_1aならびに第2のクロック間隔clk_1bの両方の間、閉じられ得る。

40

【0083】

[0099] 同様に、異なるクロック間隔の間、例えば、clk_2a(図示せず)など、スイッチS2cは、接続を形成するために閉じられ得、一方でスイッチS1b、S1c、およびS2bは、開かれ得る。よって、スイッチS2cは、それをVctl_2における電

50

圧に接近する値までプリチャージするために、バッファ回路 332 の出力を共有された電圧制御回路 305 の出力ノードと選択的に結合し得る。加えて、スイッチ S2a は、調整された出力信号 V_{out2} が共有された電圧制御回路 305 の出力ノード V_{ctl_out} までエラー増幅器 320 を通して伝搬するのに十分な時間を提供するために、第 1 のクロック間隔 clk_2a および第 2 のクロック間隔 clk_2b の両方の間、閉じられ得る。

【0084】

[00100] この例は、電流制御回路をさらに例示する。上記に述べられるように、レギュレータ 1 または 2 の出力において経験される過渡電流は、例えば、レギュレータの各々の電流調整ループを備える電流制御回路によって調整され得る。例えば、電流制御回路は、共有された電圧制御回路 305 が別のレギュレータを制御するとき、レギュレータの閉ざされたループ制御を維持し得る。これは、レギュレータ 2 の出力 V_{out2} における過渡電流を調整するためのレギュレータ 2 の電流調整ループにおけるループ電流 336 によって描かれる。そのような過渡電流応答は、同様に、レギュレータ 1 の電流調整ループ（例えば、ループ電流 334）において、アクティブであり得る。この例において、レギュレータ 1 および 2 の過渡電流応答は、例えば、プリチャージング周期、電圧制御周期の間、および特定のレギュレータが共有された電圧制御回路 305 から切り離されるとき、アクティブであり得る。

10

【0085】

[00101] 図 3C は、本開示の態様に従って構成された回路 300 のための例となる電圧制御周期のブロック図を描く。例示された例において、電圧制御周期は、複数のクロック間隔の第 2 のクロック間隔 clk_1b の間、実装される。第 2 のクロック間隔 clk_1b は、他のクロック間隔 clk_1a 、 clk_2a 、および clk_2b が非アクティブであると示される間、アクティブであると示される。

20

【0086】

[00102] clk_1b がアクティブであるとき、スイッチ S1b は、接続を形成するために閉じられ得、一方でスイッチ S1c、S2b、および S2c が開かれ得る。それに応じて、共有された電圧制御回路 305 から出力された電圧制御信号 V_{ctl_out} は、この第 2 のクロック間隔 clk_1b の間、スイッチ S1b を介して、レギュレータ 1 の入力電圧制御ノード V_{ctl_1} と選択的に結合され得る。この事例において、共有された電圧制御回路 305 の出力ノードからの V_{ctl_out} は、制御電圧ノード V_{ctl_1} を電圧制御信号 V_{ctl_out} の値に응答してレギュレータ 1 の出力電圧 V_{out1} を調整するための値に設定するために、レギュレータ 1 の電圧制御ノード V_{ctl_1} に結合される。これは、上記で説明されるように、共有された電圧制御回路 305 の出力ノードがプリチャージされた後に、クロック間隔の間になされ得る。よって、第 2 のクロック間隔 clk_1b の間、電圧制御ノード V_{ctl_1} は、スイッチ S1b を介して、共有された電圧制御回路 305 の出力ノード上で、プリチャージされた電圧制御信号 V_{ctl_out} と選択的に結合し得る。上記のように、スイッチ S1a は、調整された出力信号 V_{out1} が共有された電圧制御回路 305 の出力ノードまでエラー増幅器 320 を通して伝搬するのに十分な時間を提供するために、第 1 のクロック間隔 clk_1a なら

30

40

【0087】

[00103] 同様に、異なるクロック間隔の間、例えば、 clk_2b （図示せず）など、スイッチ S2b は、接続を形成するために閉じられ得、一方で、スイッチ S1b、S1c、および S2c は開かれ得る。それに応じて、共有された電圧制御回路 305 から出力された電圧制御信号 V_{ctl_out} は、このクロック間隔 clk_2b の間、スイッチ S2b を介して、レギュレータ 2 の入力電圧制御ノード V_{ctl_2} と選択的に結合され得る。この事例において、共有された電圧制御回路 305 の出力ノードからの電圧制御信号 V_{ctl_out} は、電圧制御信号 V_{ctl_out} の値に응答して、制御電圧ノード V_{ctl_2} をレギュレータ 2 の出力電圧 V_{out2} に調整するための値に設定するために

50

、レギュレータ2の電圧制御ノードV c t l _ 2に伝導されるだろう。これは、上記で説明されるように、共有された電圧制御回路305の出力ノードがプリチャージされた後に、クロック間隔の間になされ得る。よって、クロック間隔c l k _ 2 bの間、電圧制御ノードV c t l _ 2は、スイッチS 2 bを介して、共有された電圧制御回路305の出力ノード上で、プリチャージされた電圧制御信号V c t l _ o u tと選択的に結合し得る。加えて、調整された出力信号V o u t 2が共有された電圧制御回路305の出力ノードまでエラー増幅器320を通して伝搬するのに十分な時間を提供するために、スイッチS 2 aは、第1のクロック間隔c l k _ 2 aならびに第2のクロック間隔c l k _ 2 bの両方の間、閉じられ得る。

【0088】

[00104]加えて、レギュレータ1または2の出力において経験される任意の過渡電流は、例えば、レギュレータの各々の電流調整ループを備える電流制御回路によって調整され得る。これは、レギュレータ1およびレギュレータ2の電流調整ループにおけるループ電流335および336によって、それぞれ、レギュレータの出力において、過渡電流を調整するために、描かれる。レギュレータ1および2のループ電流335および336（はまた、過渡応答電流とも呼ばれ得る）は、プリチャージング周期または電圧制御周期、または両方の間、伝導し得、および各レギュレータが、例えば、共有された電圧制御回路から接続を絶たれるとき、電流調整ループをさらに維持し得る。

【0089】

[00105]図3Dは、本開示の態様に従って構成されたレギュレータ回路を制御するための回路300に関する例となる過渡応答のグラフを描く。図3Dの例において、回路300に関する過渡応答は、図3Bおよび3Cにおいて示されるクロック間隔c l k _ 1 bに従って動作するレギュレータ1の調整された出力電圧信号V o u t 1および図3Bおよび3Cのクロック間隔c l k _ 2 bに従って動作するレギュレータ2の調整された出力電圧信号V o u t 2のグラフを含む。

【0090】

[00106]示されるように、クロック間隔c l k _ 1 bおよびc l k _ 2 bは、各々、およそ0.01ミリ秒(ms)のクロック期間を有し、各々、クロック期間のおよそ1/5のクロック間隔の間アクティブであり、クロック期間のその他の4/5の間、非アクティブである。この例において、レギュレータ1の調整された電圧V o u t 1は、c l k _ 1 bがアクティブな状態ときの上限における3.304ボルトと、c l k _ 1 bに関して非アクティブな状態の終わりの低限におけるおよそ3.3025との間で、変わる。同様に、レギュレータ2の調整された電圧V o u t 2は、異なる電圧、c l k _ 2 bがアクティブな状態であるときの上限における1.8035ボルトと、c l k _ 2 bに関する非アクティブ状態の終わりににおける低限におけるおよそ1.8025との間で、変わる。

【0091】

[00107]上記に述べられた値は、例示的なものである。説明された態様は、複数の異なる調整された電圧を調整するように適合され得、それは、例えば、共有された電圧制御回路を使用する異なるクロック間隔における異なるレギュレータに関して、異なる値を有し得る。

【0092】

[00108]図4Aは、本開示の態様に従った、異なる電圧レベルにおいて複数の調整された電圧を用いた使用のための共有された電圧制御回路構成の例となるブロック図を描く。回路400Aは、共有された電圧制御回路405と結合された選択スイッチの複数のセットを含む。共有された電圧制御回路405は、調整された電圧入力V i n、入力電圧V i nを受信するためおよびフィードバック電圧信号V f bを提供するための可変抵抗器R 1および抵抗器R 2を備える抵抗器デバイダ、基準電圧入力V r e f、およびエラー増幅器420を備える。

【0093】

[00109]エラー増幅器420は、第1の入力における抵抗器デバイダ（例えば、R 1お

10

20

30

40

50

よび R 2) を通して、調整された電圧、 V_{out1} 、 V_{out2} 、 \dots 、 V_{outN} を受信することと、第 2 の入力において、対応する基準電圧、 V_{ref1} 、 V_{ref2} 、 \dots 、 V_{refN} を受信することと、入力された調整された電圧を対応する基準電圧と比較することと、および電圧を比較することに応答して、共有された電圧制御回路 405 の出力における電圧制御信号 V_{ctl_out} を提供することを行うように適合され得る。共有された電圧制御回路 405 は、出力ノードと結合されおよび出力において電圧制御信号 V_{ctl_out} を安定させるために構成される補償器回路 425 をさらに備える。

【0094】

[00110]レギュレータの調整された出力電圧が異なる電圧値にある場合において、異なる基準電圧、 V_{ref1} 、 V_{ref2} 、 \dots 、 V_{refN} は、共有された電圧制御回路 405 の基準電圧入力 V_{ref} に供給され得る。基準電圧スイッチ 410 のセットは、エラー増幅器 420 の入力に適切な基準電圧を供給するために選択ロジック回路を提供し得る。基準電圧スイッチ 410 のセットは、例えば、基準電圧、 V_{ref1} 、 V_{ref2} 、 \dots 、 V_{refN} のうちの適切な 1 つを共有された電圧制御回路 405 の基準電圧入力と選択的に結合するために、選択信号、 $Select$ を受信するために、結合される。1 つの態様において、基準電圧スイッチ 410 のセットは、マルチプレクサ回路として実装され得る。

10

【0095】

[00111]この例において、フィードバック抵抗器における可変抵抗は、可変抵抗選択スイッチ 412 のセットを使用して調整され得る。可変抵抗器 R 1 は、可変抵抗を提供するための任意の既知の技法を使用して、実装され得る。いくつかの態様において、抵抗器ラダー（図示せず）は、当業者によって理解される可変抵抗器 R 1 の可変抵抗値を提供するために使用され得る。そのように、可変抵抗選択信号、 $Select$ （選択）は、可変抵抗器 R 1 に関する適切な抵抗値を提供するために、抵抗器ラダーにおいて、1 つまたは複数の抵抗器をセレクトイン（select in）またはセレクトアウト（select out）するために利用され得る。

20

【0096】

[00112]異なるレギュレータ回路が、異なる調整された出力電圧、 V_{out1} 、 V_{out2} 、 \dots 、 V_{outN} を生成している場合、所望の電圧において出力を調整するために、共有された電圧制御回路 405 を用いて異なるレギュレータ回路が閉ざされた電圧フィードバックループにおいて構成されるとき、フィードバックデバイダ比を修正すること、または基準電圧を修正することのいずれか、あるいは両方が、好ましい場合がある。例えば、第 1 のレギュレータが、共有された電圧制御回路 405（例えば、 $Select$ 信号を変えることによって、それは、クロック間隔であり得るが）を有する閉ざされたループに切り替わる（switching into）とき、 V_{out1} は、 V_{in} に結合され得る。同じ時間において、抵抗器デバイダ比または基準電圧のうちのいずれか、あるいは両方は、新しい値に切り替わり得る、そして、所望の出力電圧においてアクティブなレギュレータを維持するために、エラー増幅器がエラー信号、 V_{ctl_out} を作り出す。異なる出力電圧を有する異なるレギュレータが電圧制御ループに切り替わると、異なる抵抗器デバイダの値および/または異なる基準電圧が、例えば、異なるレギュレータ出力電圧を維持するために使用され得る。

30

40

【0097】

[00113]図 4 B は、複数のスイッチングレギュレータに選択的に結合された共有された電圧制御回路の例となるブロック図を描く。例示された例において、回路 400 B は、電圧制御スイッチ 416 のセットを介して、スイッチングレギュレータ 1 乃至 N と選択的に結合された構成された共有された電圧制御回路 405 を含む。共有された電圧制御回路 405 は、調整された電圧スイッチ 404 のセットを通して、例えば、電圧制御スイッチ 416 のセットに電圧制御信号 V_{ctl_out} を出力するために、調整された電圧、 V_{out1} 、 \dots 、 V_{outN} を選択的に受信するように構成される。

【0098】

50

[00114]調整された電圧スイッチ404のセットは、スイッチングレギュレータの出力から調整された出力電圧 V_{out1} 、...、 V_{outN} を受信することと、調整された出力電圧の出力のうちの選択された1つを共有された電圧制御回路405の入力へ出力することとを行うように構成される。電圧制御スイッチ416のセットは、共有された電圧制御回路405から出力された電圧制御信号 V_{ctl_out} を受信することと、制御電圧、 V_{ctl_1} 、...、 V_{ctl_N} の選択された1つを異なるスイッチングレギュレータに出力することとを行うように構成される。スイッチ404および416は、例えば、上記に説明されるように、複数のクロック位相を使用して、制御され得る。従って、スイッチングレギュレータ回路1乃至Nは、異なる時間間隔において、閉ざされた電圧調整ループにおいて構成される。

10

【0099】

[00115]例示された例において、スイッチングレギュレータNは、電圧制御信号 V_{ctl_N} を受信するように適合された入力電圧制御ノードおよび入力電圧制御ノードと結合された内部キャパシタンス C_{holdN} を備える。受信された電圧制御信号 V_{ctl_N} の値は、内部キャパシタンス C_{holdN} によって、記憶され得る。制御電圧信号 V_{ctl_N} は、比較器回路445の1つの入力によって、受信され得る。

【0100】

[00116]比較器回路445の他の入力は、総和回路450から出力信号444（例えば、電圧）を受信し得る。総和回路450は、電流制御回路474から出力された感知された出力電流信号475に、補償ランプ440によって生成されたランプ信号を加算する（または差し引く）ように構成され得る。出力信号444は、このように、感知された出力電流信号475によって修正された（例えば、それに加算された、またはそれから差し引かれた）ランプ信号を備える。示されるように、比較器445は、増幅器回路を使用して実装され得る。

20

【0101】

[00117]比較器445の出力は、ゲートドライブ論理回路465に提供され、それは、スイッチングレギュレータNのスイッチングステージ470を選択的にアクティベートまたは非アクティベートするために出力選択信号455を提供する。ゲートドライブ論理回路465は、例えば、設定/リセットラッチ、フリップフロップ、または他の組合せの論理回路を含む複数の順次式論理回路のうちのいずれかとして実装され得る。この例において、ゲートドライブ論理回路465は、比較器回路445の出力を入力クロック信号、 clk_N と組み合わせる。

30

【0102】

[00118]スイッチングレギュレータNのスイッチングステージ470は、入力電圧 V_{in_N} を受信し、および出力電圧 V_{outN} を提供する。出力選択信号455は、出力電圧信号 V_{outN} を調整するためにスイッチングステージ470内で、1つまたは複数のスイッチ（図示せず）を開くかまたは閉じるように構成される。

【0103】

[00119]スイッチングレギュレータNのスイッチングステージ470は、スイッチングレギュレータにおいて感知された電流に基づいて、フィードバック電流信号472を生成して、それを電流制御回路474に出力する。1つの態様において、電流制御回路474は、スイッチングレギュレータNのスイッチングステージ470における電流を感知することと、それに応答して、感知された出力電流信号475を提供することとを行うように適合された電流感知回路（図示せず）を備える。この感知された出力電流信号475は、次いで、総和回路450に提供され、それは、感知された出力電流信号475を補償ランプ440から出力されたランプ信号と組み合わせる。結果として生じる信号444は、上記で説明されたように、次いで、比較器回路445のその他の入力に提供され、入力電圧制御信号 V_{ctl_N} と比較される。

40

【0104】

[00120]比較器回路445の出力は、ゲートドライブ論理回路465に出力される。ゲ

50

ートドライブ論理回路465は、入力クロック信号または1つまたは複数の部分を受信し、選択信号455を生成し、それは、スイッチングレギュレータNのスイッチングステージ470へ出力される。

【0105】

[00121]図4Cは、本開示の態様に従った、使用のための例示的なスイッチングレギュレータのブロック図を描く。例示された例において、スイッチングレギュレータ400Cは、共有された電圧制御回路405（図示せず）から出力された電圧制御信号Vctlを受信するように構成される。スイッチングレギュレータ400Cは、電圧制御信号Vctlを受信するように適合された入力電圧制御ノードおよび入力電圧制御ノードと結合された内部キャパシタンスCholdを備える。受信された電圧制御信号Vctlの値は、内部キャパシタンスCholdによって記憶され得る。制御電圧信号Vctlは、総和回路445の1つの入力によって受信され得る。

10

【0106】

[00122]比較器回路445の他の入力は、総和回路450から出力信号444（例えば、電圧）を受信し得る。総和回路450は、補償ランプ440から出力されたランプ信号を、電流感知回路480からの感知された出力電流信号475上の、感知された電流Isensに加算する（または差し引く）ように構成され得る。出力信号444は、このように、感知された出力電流Isensによって修正された（例えば、それに加算された、またはそれから差し引かれた）ランプ信号を備える。

【0107】

20

[00123]この特定の例において、比較器445の出力は、設定/リセットラッチなどの、ゲートドライブ論理回路465に提供され、それは、スイッチングレギュレータ400Cの1つまたは複数のスイッチSを選択的にアクティベートまたは非アクティベートするために出力選択信号455を提供する。スイッチングレギュレータ400Cは、入力電圧Vinを受信することと、それに応答して、出力電圧Voutを提供することとを行うように構成される。選択信号455は、出力電圧信号Voutを調整するためにスイッチングレギュレータ400C内で、スイッチSを開くかまたは閉じるように構成される。

【0108】

[00124]スイッチングレギュレータ400Cは、スイッチSと出力電圧Voutとの間に結合されたインダクタLをさらに備える。インダクタLは、スイッチング電圧VDを有するスイッチングノードと結合された第1の端子および出力電圧Voutと結合された第2の端子を有する。スイッチングレギュレータ400Cはまた、スイッチSが開いた位置にあるときおよび入力電圧Vinが接続を絶たれたとき、インダクタ電流をインダクタに提供するためにスイッチングノードと接地との間に結合されたダイオードDを備える。その代案としては、ダイオードDは、スイッチ（例えば、低サイドスイッチングトランジスタ）として実装され得る。

30

【0109】

[00125]この例において、電流感知回路480は、インダクタLの出力において例示されるが、異なる電流感知回路が、入力電流、出力電流、または当該技術で知られるスイッチングトランジスタのうちの1つにおける電流を感知し得ることが理解されるべきである。この例において、電流感知回路480は、インダクタLにおいて導電（current conducting）を感知することと、感知された出力電流信号475上で感知された電流信号Isensを総和回路450に提供することとを行うように構成される。スイッチングレギュレータ400Cは、調整された出力電圧Voutを保持する（hold）スイッチングレギュレータの出力にわたって結合されたキャパシタCおよび負荷電流Iloadを伝導する抵抗器Rとしてここでモデルにされる負荷をさらに備える。

40

【0110】

[00126]電流感知回路480は、インダクタLにおいて導電を感知するように、および、それに応答して、感知された電流信号Isensを提供するように適合される。この感知された電流Isensは、総和回路450に信号475上で出力され、それは、補償ラ

50

ンプ 440 から出力されたランプ信号によって、感知された電流信号 *I s e n s* を修正する。結果として生じる信号 444 は、上記で説明されるように、次いで、比較器回路 445 のその他の入力に提供され、入力電圧制御信号 *V c t l* と比較される。

【0111】

[00127]比較器回路 445 の出力は、設定/リセットラッチのような、ゲートドライブ論理回路 465 に提供する。ゲートドライブ論理回路 465 はまた、入力クロック信号 *C l k* (またはその1つまたは複数の部分)を受信して、選択信号 455 を生成し、それは、スイッチングレギュレータ 400C の1つまたは複数のスイッチ *S* の制御端子へ出力される。

【0112】

[00128]図 5 A 乃至 5 B は、図 3 A 乃至 3 C の回路構成を参照して説明される技法に従った、複数のレギュレータ回路にわたる電圧制御回路を時分割方式で使用するための例示的なプロセスのフローチャートを描く。次の図は、説明された技法に従って、調整された電圧を生成するためのプロセスの様々な態様を例示する例示的なフローチャートを描く。下記において説明される処理は、実際は例示的であり、例示的な目的のために提供され、本開示の範囲に限定するようには意図されないことが留意される。例えば、いくつかの態様に従った方法は、下記で説明される動作のいくつかまたは全てを含み得るかまたは省略し得、また説明されたものとは異なる順序におけるステップを含み得る。説明される特定の方法は、全ての他の潜在的な中間動作を除外する任意の特定の動作のセットに限定されることを意図しない。

【0113】

[00129]加えて、動作は、コンピュータ実行可能コードにおいて、実現され得、それは、汎用または専用コンピュータにある特定の機能的な動作を行わせる。他の実例において、これらの動作は、特定のハードウェアコンポーネントまたはハードワイヤードサーキットリーによって、またはプログラムされたコンピュータコンポーネントおよびカスタムハードウェアサーキットリーの任意の組合せによって、行われ得る。

【0114】

[00130]図 5 A は、入力電圧制御信号を受信することと、調整された電圧信号を出力することを行うように各々構成された複数のレギュレータ回路を制御するための方法を描く。各レギュレータ回路は、制御電圧を記憶するための電圧制御ノードと結合されたキャパシタを備える。例示された例において、処理 500 は、動作 501 において、開始し、レギュレータのうちの1つを選択する。処理 500 は、個別のクロック間隔のうちの別個のもの (*separate ones*) の間、電圧制御回路の入力において、レギュレータ回路の各々から出力された調整された電圧信号を感知すること (動作 502) と、調整された電圧信号を感知することに応答してレギュレータ回路の電圧を調整するためにレギュレータ回路の電圧制御ノードと結合された出力ノードを有する電圧制御回路から電圧制御信号を出力すること (動作 503) とによって、継続する。処理 500 は、電圧制御回路から出力された電圧制御信号をレギュレータ回路の電圧制御ノードの選択された1つと選択的に結合すること (動作 504) と、およびレギュレータ回路から出力された調整された電圧信号のうちの選択された1つを電圧制御回路の入力と選択的に結合すること (動作 505) とによって、継続する。いくつかの態様において、電圧制御回路の出力ノードはまた、電圧制御回路からの電圧制御信号を各電圧制御ノードに選択的に結合する前にプリチャージされ得る。

【0115】

[00131]処理 500 は、図 5 B において継続し、それは、図 3 A 乃至 3 C の回路構成を参照して説明される技法に従って、複数のレギュレータ回路にわたる電圧制御回路を時分割方式で使用するための例示的な処理のフローチャートを例示する。例示された例において、処理 500 は、抵抗器デバイダ回路において、レギュレータ回路から出力された調整された電圧信号を受信すること (動作 506) と、およびそれに応答して増幅器にフィードバック電圧信号を出力すること (動作 507) とによって、継続する。処理 500 は、

10

20

30

40

50

次いで、抵抗器デバイダネットワークと結合された増幅器の第1の入力において、フィードバック電圧信号を受信し(動作508)得、増幅器の第2の入力において、基準電圧信号を受信し(動作509)得、フィードバック電圧信号を基準電圧信号と比較することに基づいて、電圧制御信号を出力し(動作510)得る。

【0116】

[00132]図6は、本開示のある態様が有利に用いられ得る例示的な無線通信システム600を示すブロック図である。例示目的のために、図6は、3つの遠隔ユニット620、630、および650と2つの基地局640を示す。ワイヤレス通信システムは、より多くの遠隔ユニットおよび基地局を有し得ることが理解されるであろう。遠隔ユニット620、630、および650は、開示された共有された電圧制御回路を含むICデバイス625A、625C、および625Bを含む。他のデバイスがまた、基地局、スイッチングデバイス、およびネットワーク機器のような、開示された電圧制御回路を含み得ることが理解されるだろう。図6は、基地局640から遠隔ユニット620、630、および650への順方向リンク信号680、および遠隔ユニット620、630、および650から基地局640への逆方向リンク信号690を示す。

10

【0117】

[00133]図6において、遠隔ユニット620は、モバイル電話として示され、遠隔ユニット630は、携帯用コンピュータとして示され、遠隔ユニット650は、無線ローカルループシステムにおける固定ロケーションの遠隔ユニットとして示される。例えば、遠隔ユニットは、モバイル電話、ハンドヘルドパーソナル通信システム(PCS)ユニット、パーソナルデジタルアシスタント(PDA)のようなパーソナルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、ミュージックプレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読取機器のような固定ロケーションデータユニット、あるいはデータまたはコンピュータ命令を記憶するまたは取り出す他の通信デバイス、あるいはそれらの組み合わせであり得る。図6は、本開示の教示にしたがった遠隔ユニットを例示しているが、本開示は、これらの例示的な例示されたユニットに限定されるものではない。本開示の態様は、多くのデバイスにおいて、適切に用いられ得、それらは、開示された共有された電圧制御回路を含む。

20

【0118】

[00134]前述の説明を通して、説明の目的のために、本発明の完全な理解を提供するために、多数の特定の詳細が記載される。しかしながら、これらの態様がこれらの特定の詳細の一部または全部がなく実現され得ることは、当業者にとって明らかであろう。上記の例および実施形態は、唯一の実施形態であるように見なされるべきではなく、本発明の柔軟性および利点を例示するために示された。他の配列、実施形態、実装形態および同等のものは、当業者にとって明らかであり、以下の特許請求の範囲によって定義された本発明の趣旨および範囲から逸脱することなく、用いられ得る。

30

【0119】

[00135]ファームウェアおよび/またはソフトウェアの実装形態の場合、これら方法論は、本明細書に説明された機能を行うモジュール(例えば、プロシージャ、機能等)で実装され得る。命令を有形に具現化する(tangibly embodying)任意の機械可読媒体は、本明細書に説明された方法論を実装する際に使用され得る。例えば、ソフトウェアコードは、メモリに記憶され、プロセッサユニットによって実行され得る。メモリは、プロセッサユニット内部でまたはプロセッサユニット外部で実装され得る。ここで使用される場合、「メモリ」という用語は、長期、短期、揮発性、不揮発性タイプ、またはその他のメモリを称し、特定のタイプのメモリまたはメモリの数、あるいはメモリが記憶される媒体のタイプに限定されるべきでない。

40

【0120】

[00136]ファームウェアおよび/またはソフトウェアで実装される場合、機能は、コンピュータ可読媒体上に、1つまたは複数の命令またはコードとして記憶され得る。例は、データ構造により符号化されたコンピュータ可読媒体、およびコンピュータプログラムに

50

より符号化されたコンピュータ可読媒体を含む。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータによってアクセスされ得る利用可能な媒体であり得る。限定ではなく例として、このようなコンピュータ可読媒体は、RAM、ROM、EEPROM（登録商標）、CD-ROMまたは他の光ディスク記憶装置、磁気ディスク記憶装置またはその他の磁気記憶デバイス、あるいは、データ構造または命令の形式で所望のプログラムコードを記憶するために使用されることができ、かつコンピュータによってアクセスされることができ他の媒体を含むことができる。ここで使用される場合、ディスク(disk)およびディスク(disc)は、コンパクトディスク(CD)、レーザーディスク(登録商標)、光ディスク、デジタル多目的ディスク(DVD)、フロッピー(登録商標)ディスクおよびBlu-ray(登録商標)ディスクを含み、ここでディスク(disks)は、通常磁氣的にデータを再生し、一方ディスク(disks)は、レーザーを用いて光学的にデータを再生する。上記の組み合わせもまた、コンピュータ可読媒体の範囲内に含まれるべきである。

10

【0121】

[00137]コンピュータ可読媒体上の記憶装置に加えて、命令および/またはデータは、通信装置に含まれる伝送媒体上の信号として提供され得る。例えば、通信装置は、命令およびデータを示す信号を有するトランシーバを含み得る。これら命令およびデータは、1つまたは複数のプロセッサに、特許請求の範囲において概説される機能を実装させるように構成される。

20

【0122】

[00138]本開示およびそれらの利点が詳細に説明されてきたが、添付の特許請求の範囲によって定義される本教示の技術から逸脱することなく、種々の変更、置換、および代替が、本明細書で行われ得ることが理解されるべきである。例えば、「上(above)」および「下(below)」といった相関用語が、基板または電子デバイスに関して使用される。当然ながら、基板または電子デバイスが反転している場合、上が下になり、逆もまた同様である。追加的に、横向きに傾けられている場合、上および下は、基板または電子デバイスの両端を指し得る。さらに、本願の範囲は、本明細書において説明されたプロセス、機械、製造物、組成物、手段、方法およびステップの特定の構成に限定されるようには意図されない。当業者が本開示から容易に理解するように、本明細書に説明された対応する構成と実質的に同じ機能を実行する、または実質的に同じ結果を達成する、既存の、または後に開発されるプロセス、機械、製造物、組成物、手段、方法、またはステップは、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、このようなプロセス、機械、製造物、組成物、手段、方法、またはステップを、その範囲内に含むように意図される。

30

【図 1】

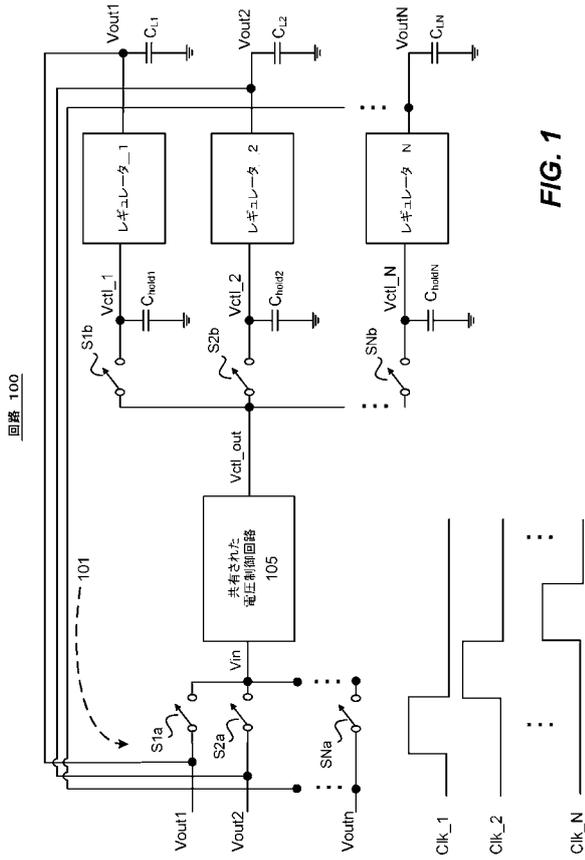


FIG. 1

【図 2 B】

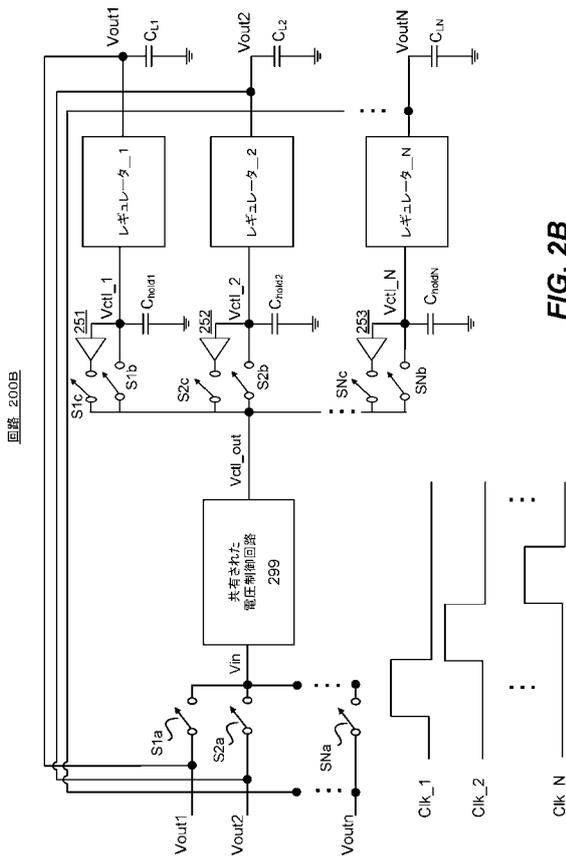


FIG. 2B

【図 2 A】

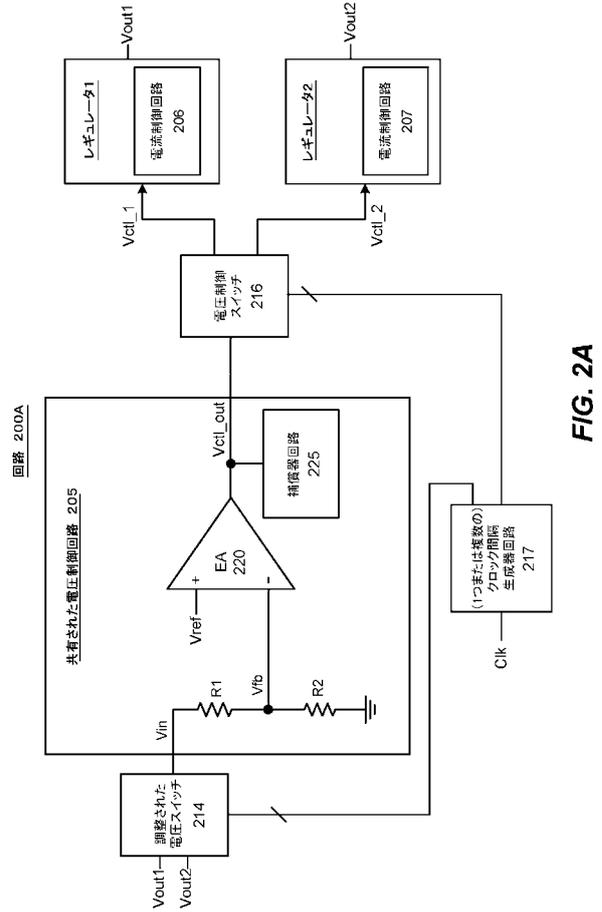


FIG. 2A

【図 2 C】

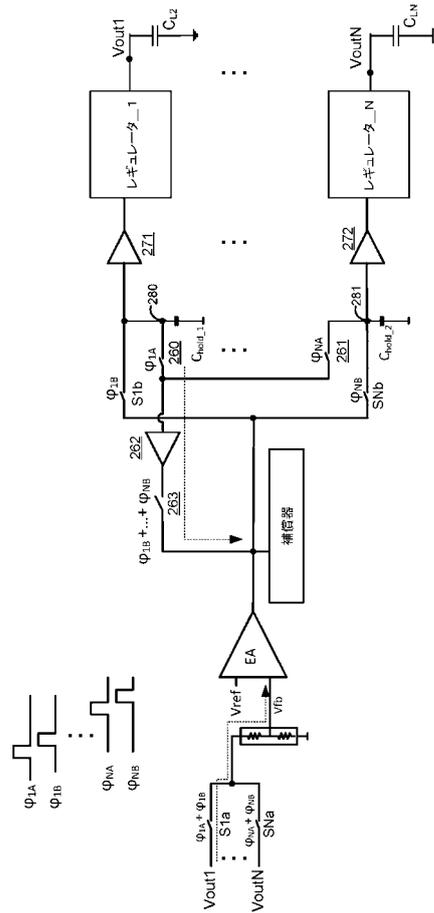


FIG. 2C

【 図 2 D 】

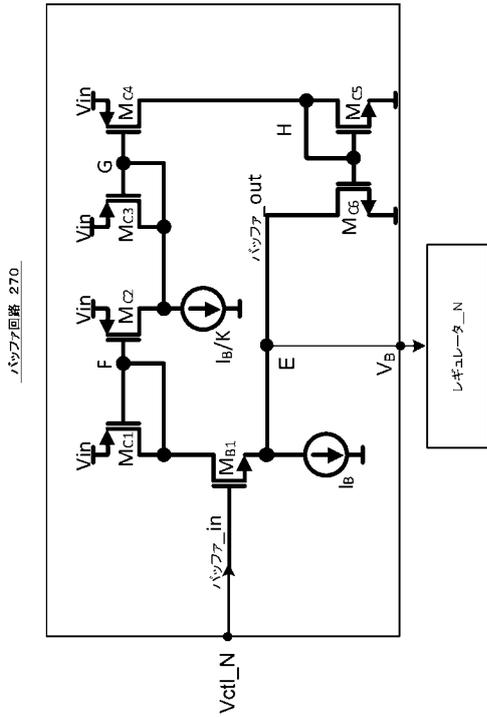


FIG. 2D

【 図 2 E 】

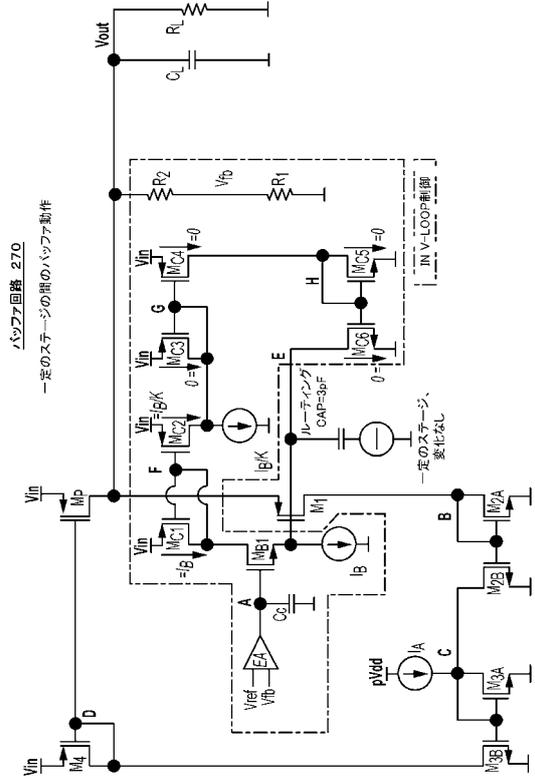


FIG. 2E

【 図 2 F 】

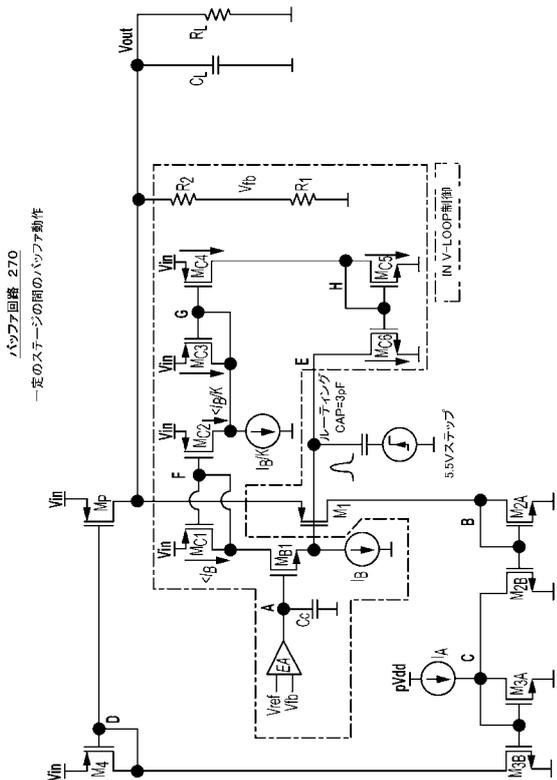


FIG. 2F

【 図 2 G 】

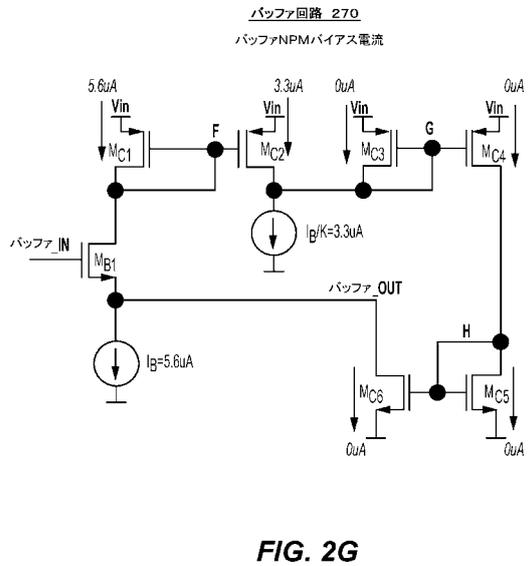


FIG. 2G

【 図 2 H 】

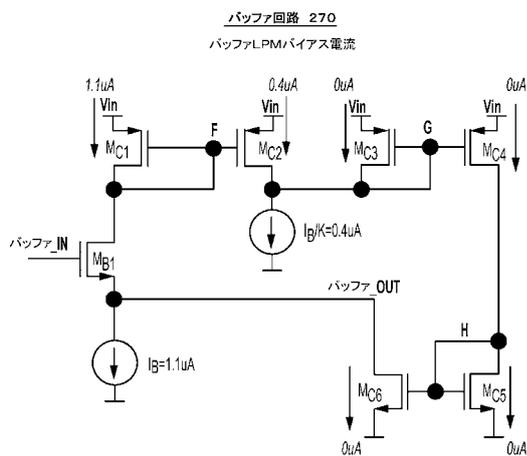


FIG. 2H

【 図 3 A 】

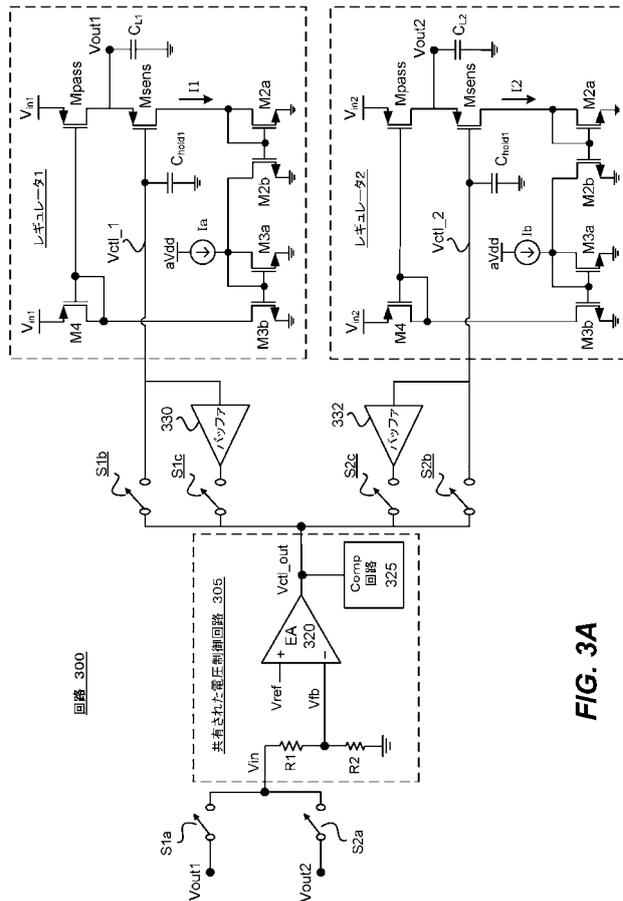


FIG. 3A

【 図 3 B 】

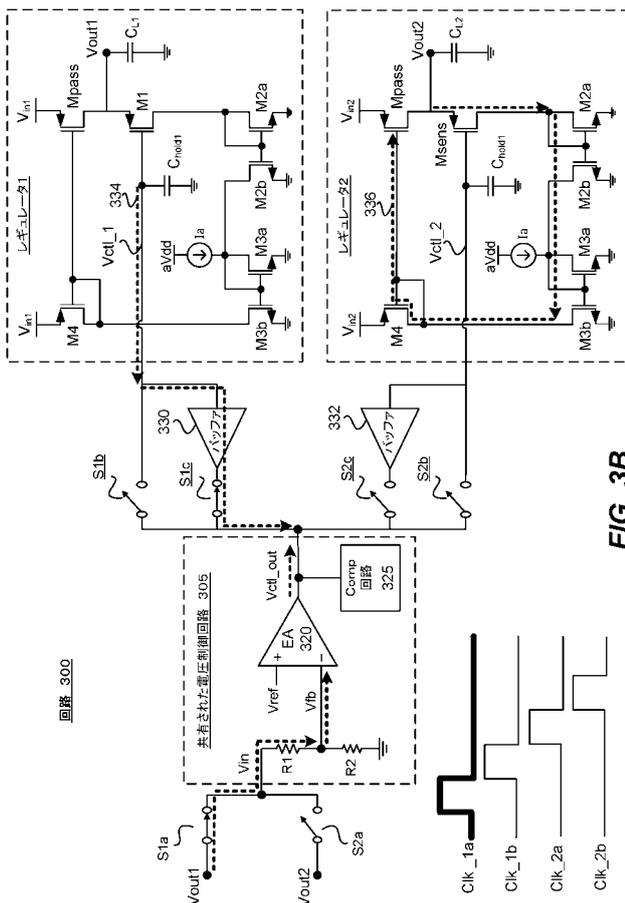


FIG. 3B

【 図 3 C 】

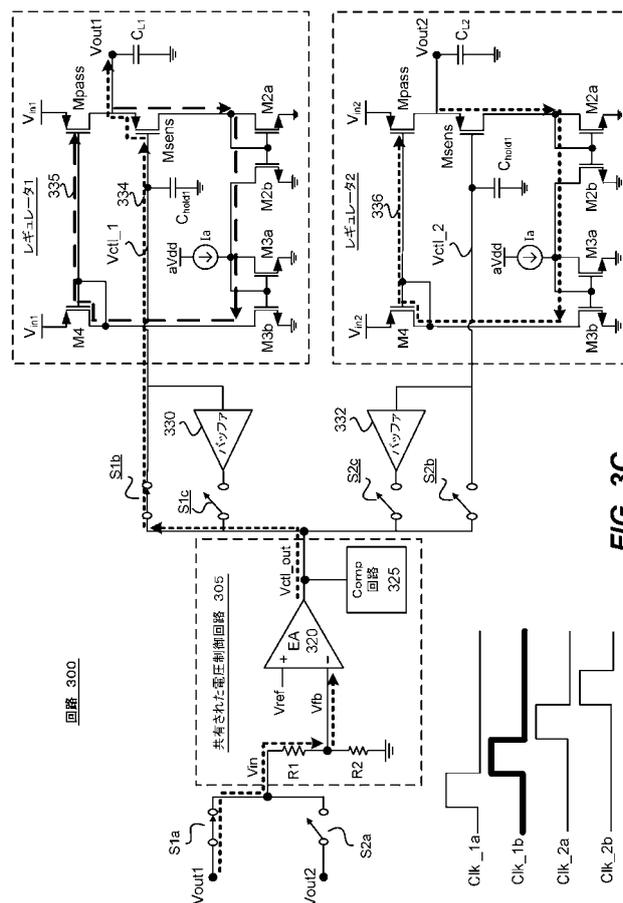


FIG. 3C

【図 3 D】

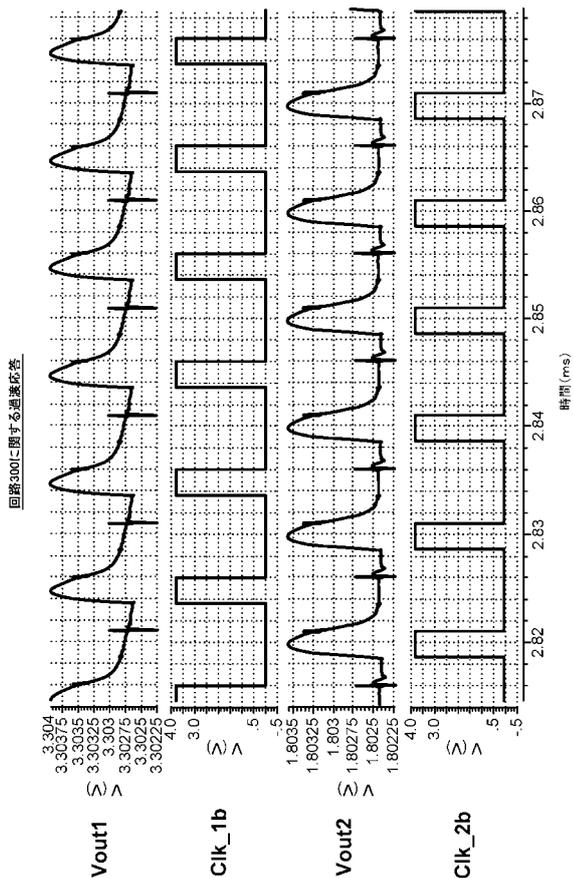


FIG. 3D

【図 4 A】

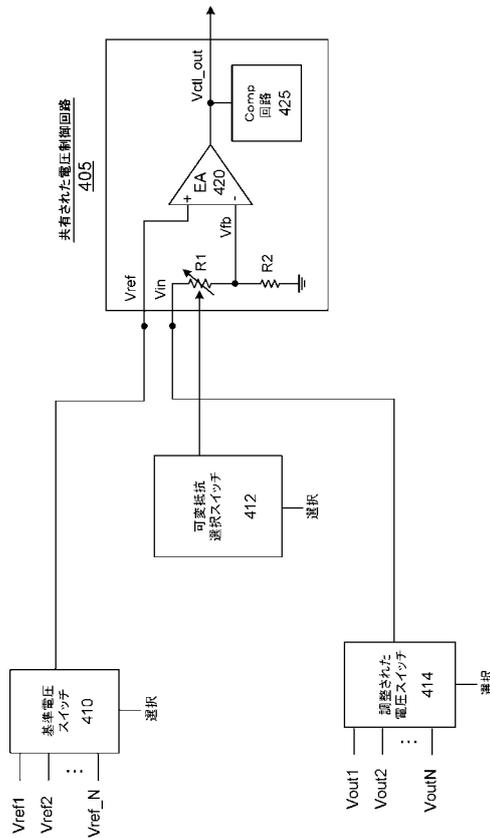


FIG. 4A

【図 4 B】

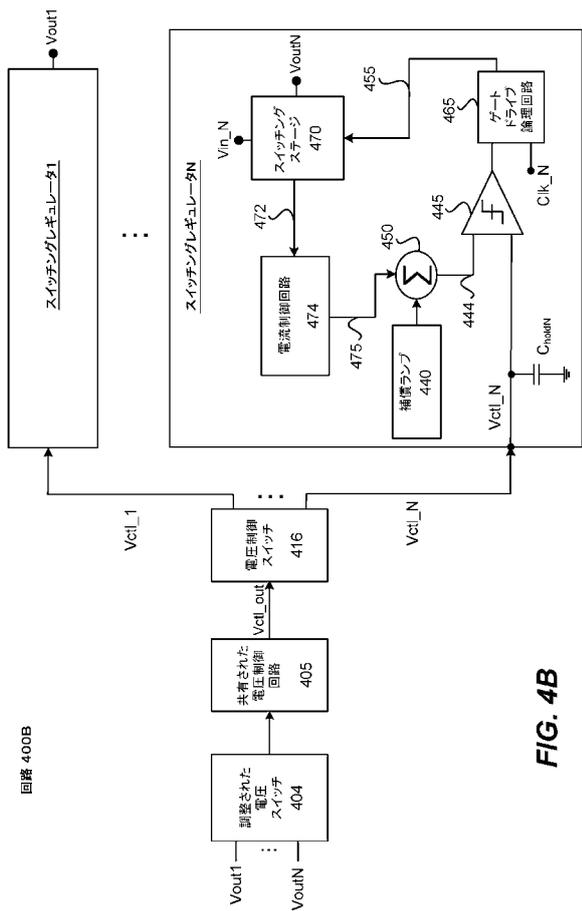


FIG. 4B

【図 4 C】

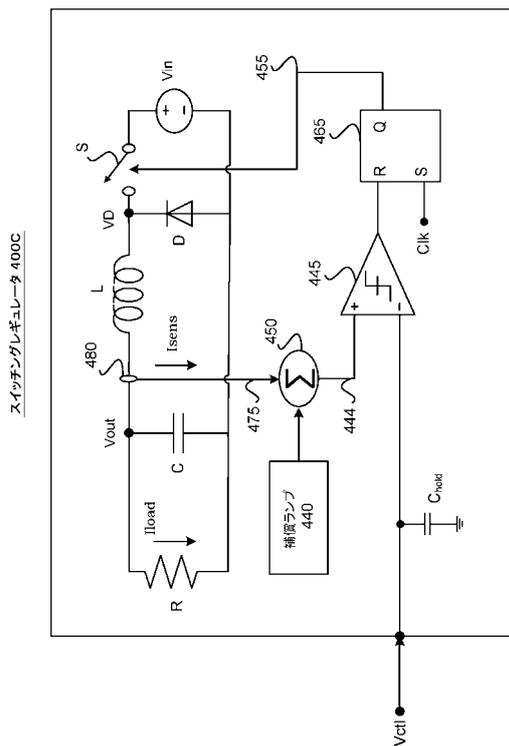


FIG. 4C

【 図 5 A 】

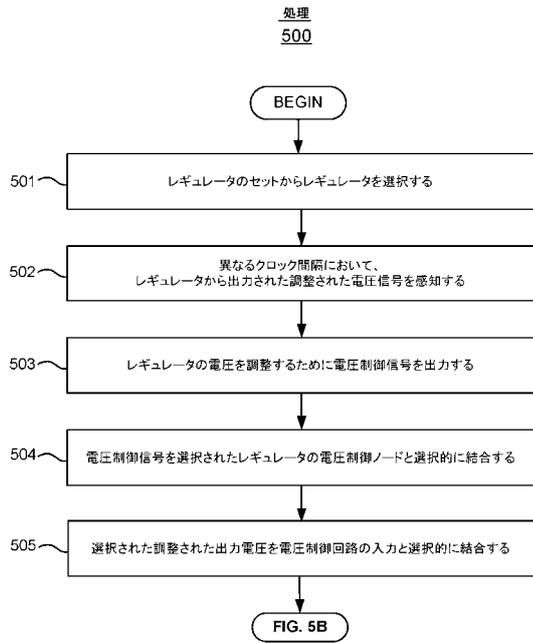


FIG. 5A

【 図 5 B 】

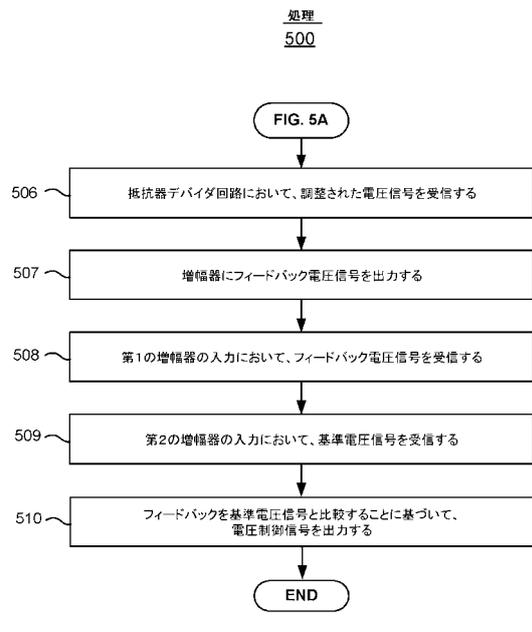


FIG. 5B

【 図 6 】

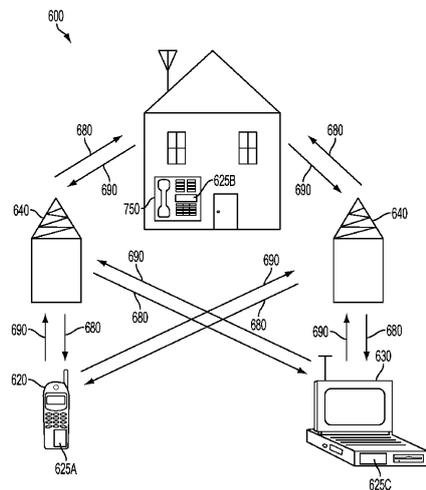


FIG. 6

【手続補正書】

【提出日】平成30年11月1日(2018.11.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

回路であって、

各々が電圧制御信号を受信することと、調整された電圧信号を出力することとを行うように構成された複数のレギュレータ回路、各レギュレータ回路は、制御電圧を記憶するための電圧制御ノードと接地との間に結合されたキャパシタを備える、と、

前記複数のレギュレータ回路の前記電圧制御ノードと結合された出力を有する電圧制御回路、前記電圧制御回路は、前記複数のレギュレータ回路の前記制御電圧を設定するために、前記複数のレギュレータ回路から出力された調整された電圧信号を感知することと、前記電圧制御信号を出力することとを行うように構成された入力に有する、と、

前記電圧制御回路の前記出力を前記複数のレギュレータ回路の前記電圧制御ノードのうちの選択された1つと選択的に結合するように構成されたスイッチの第1のセットと、

前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの選択された1つを前記電圧制御回路の前記入力と選択的に結合するように構成されたスイッチの第2のセットと

を備える、回路。

【請求項2】

前記電圧制御回路のノードをプリチャージするための、前記複数のレギュレータ回路の少なくとも1つの電圧制御ノードと結合されたバッファ回路入力および前記電圧制御回路と結合されたバッファ回路出力を有する少なくとも1つのバッファ回路をさらに備える、請求項1に記載の回路。

【請求項3】

前記電圧制御回路の前記出力をプリチャージするため、複数のバッファ回路を通して、前記複数のレギュレータ回路の前記電圧制御ノードを前記電圧制御回路の前記出力と選択的に結合するように構成されたスイッチの第3のセットをさらに備える、請求項2に記載の回路。

【請求項4】

前記複数のレギュレータ回路の前記電圧制御ノードを前記少なくとも1つのバッファ回路の入力端子と選択的に結合するように構成されたスイッチの第3のセット、前記少なくとも1つのバッファ回路の出力端子は、前記電圧制御回路の前記出力に結合される、をさらに備える、請求項2に記載の回路。

【請求項5】

前記少なくとも1つのバッファ回路は、第1の時間間隔の間、前記電圧制御回路の前記出力と結合され、前記複数のレギュレータ回路の前記電圧制御ノードのうちの前記選択された1つは、前記第1の時間間隔に続く第2の時間間隔の間、スイッチの前記第1のセットのうちの1つを通して、前記電圧制御回路の前記出力と結合され、および前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの前記選択された1つは、前記第1の時間間隔および前記第2の時間間隔にオーバーラップする第3の時間間隔の間、スイッチの前記第2のセットのうちの1つを通して、前記電圧制御回路の前記入力と結合される、請求項2に記載の回路。

【請求項6】

少なくとも1つのバッファ回路、前記少なくとも1つのバッファ回路は、前記電圧制御回路と前記レギュレータ回路との間のルーティング分離(routing separation)を提供する

ための前記電圧制御回路出力と結合されたバッファ回路入力および前記複数のレギュレータ回路のうちの1つに結合されたバッファ回路出力を有する、をさらに備える、請求項1に記載の回路。

【請求項7】

前記少なくとも1つのバッファ回路は、トランジスタの第2の端子と前記トランジスタの第1の端子との間に結合された電流調整ループ、前記電流調整ループは、複数のミラートランジスタを含む、を備える、請求項6に記載の回路。

【請求項8】

各レギュレータ回路は、前記レギュレータの前記出力において、前記調整された電圧信号を設定するための電圧制御ループにおいて構成されたバッファ回路出力および前記制御電圧を受信するための前記電圧制御ノードに結合されたバッファ回路入力を有するバッファ回路をさらに備える、請求項1に記載の回路。

【請求項9】

複数のクロック間隔、スイッチの前記第1のセットは、第1のクロック間隔の間、前記電圧制御回路の前記出力を前記電圧制御ノードのうちの前記選択された1つと選択的に結合し、スイッチの前記第2のセットは、少なくとも第2のクロック間隔の間、前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの前記選択された1つを前記電圧制御回路の前記入力と選択的に結合する、前記第2のクロック間隔は、前記第1のクロック間隔にオーバーラップする、をさらに備える、請求項1に記載の回路。

【請求項10】

前記電圧制御回路は、前記複数のレギュレータ回路から前記調整された電圧信号のうちの前記選択された1つおよびフィードバック電圧信号を提供するように構成された出力を受信するための、スイッチの前記第2のセットと結合された入力を有する抵抗器デバイダ回路を備える、請求項1に記載の回路。

【請求項11】

前記抵抗器デバイダ回路は、前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの前記選択された1つに基づいて抵抗値を調整するための可変抵抗要素を備える、請求項10に記載の回路。

【請求項12】

前記電圧制御回路は、
前記フィードバック電圧信号を受信するための前記抵抗器デバイダ回路と結合された第1の入力と、
基準電圧信号を受信するように結合された第2の入力と、
前記フィードバック電圧信号を前記基準電圧信号と比較することに基づいて前記電圧制御信号を生成するための出力と
を含む増幅器をさらに備える、請求項10に記載の回路。

【請求項13】

前記複数のレギュレータ回路のうちの第1の1つから出力された第1の調整された電圧信号は、前記複数のレギュレータ回路のうちの第2の1つから出力された第2の調整された電圧信号とは異なる、請求項1に記載の回路。

【請求項14】

前記電圧制御回路、スイッチの前記第1のセットおよびスイッチの前記第2のセットは、前記複数のレギュレータの各々に関して、電圧調整ループを形成し、前記電圧調整ループは、前記複数のレギュレータ回路の前記電圧制御ノードの前記制御電圧を調整するように構成される、請求項1に記載の回路。

【請求項15】

前記電圧調整ループは、異なる時間間隔において、前記複数のレギュレータ回路の各々に対して離散時間電圧調整ループを形成する、請求項14に記載の回路。

【請求項16】

1つまたは複数のレギュレータ回路は、電流制御回路をさらに備える、請求項1に記載

の回路。

【請求項 17】

前記電流制御回路は、各レギュレータに関して、連続時間電流調整ループを形成し、ここにおいて、前記電流制御回路は、前記電圧制御回路の応答時間よりも早い応答時間を有する、請求項 16 に記載の回路。

【請求項 18】

前記電流制御回路は、

選択されたレギュレータ回路に関して入力電圧を受信するための第 1 の端子、調整された出力電圧を前記選択されたレギュレータ回路の出力ノードに提供するための第 2 の端子、および制御端子を有するパストランジスタと、

前記レギュレータ回路の前記出力において、前記パストランジスタの前記第 2 の端子と結合された第 1 の端子、前記選択されたレギュレータ回路の前記出力ノードにおいて、負荷電流と相互補完的であるループ電流を出力するための第 2 の端子、および前記電圧制御回路から前記電圧制御信号を受信するための制御端子を有する電流感知トランジスタと、

前記電流感知トランジスタの前記第 2 の端子と前記パストランジスタの前記制御端子との間に結合された電流調整ループ、前記電流調整ループは、複数の電流ミラーおよび 1 つまたは複数の電流総和回路を備える、

を備える、請求項 16 に記載の回路。

【請求項 19】

前記複数のレギュレータ回路は、線形レギュレータ回路である、請求項 1 に記載の回路。

【請求項 20】

前記複数のレギュレータ回路は、スイッチングレギュレータ回路である、請求項 1 に記載の回路。

【請求項 21】

少なくとも 1 つのスイッチングレギュレータ回路は、

前記電圧制御ノードに結合された入力を有する比較器と、

少なくとも 1 つのスイッチングトランジスタと、

前記少なくとも 1 つのスイッチングトランジスタの端子に結合されたインダクタと

を備える、請求項 20 に記載の回路。

【請求項 22】

電流および前記比較器の第 2 の端子に結合された出力を感知するように構成された入力を有する電流制御回路をさらに備える、請求項 21 に記載の回路。

【請求項 23】

方法であって、

複数のレギュレータ回路の各々から出力された調整された電圧信号を生成すること、ここにおいて、各レギュレータ回路は、制御電圧を記憶するための電圧制御ノードと接地との間に結合されたキャパシタを備える、と、

前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの選択された 1 つを電圧制御回路の入力と選択的に結合することと

前記電圧制御回路の出力からの電圧制御信号を出力することと、

前記電圧制御回路の前記出力を前記複数のレギュレータ回路の前記電圧制御ノードのうちの選択された 1 つと選択的に結合することと

を備え、

ここにおいて、各レギュレータ回路は、前記制御電圧に設定するために前記電圧制御信号を受信することと、対応する調整された電圧信号を出力することとを行うように構成される、

方法。

【請求項 24】

回路であって、

調整された電圧を作り出すための複数のレギュレータ手段、各レギュレータ手段は、電圧制御信号を受信することと、調整された電圧信号を出力することとを行うように構成され、各レギュレータ手段は、電圧制御ノードと接地との間で制御電圧を記憶するための手段を備える、と、

前記複数のレギュレータ手段の前記電圧制御ノードと選択的に結合された出力を有する前記複数のレギュレータ手段を制御するための電圧制御手段、前記電圧制御手段は、前記複数のレギュレータ手段の前記制御電圧を設定するために、前記複数のレギュレータ手段から出力された調整された電圧信号を感知することと、前記電圧制御信号を出力することとを行うように構成された入力に有する、と、

前記電圧制御手段の前記出力を前記複数のレギュレータ手段の前記電圧制御ノードのうちの選択された1つと選択的に結合するための手段と、

前記複数のレギュレータ手段から出力された前記調整された電圧信号のうちの選択された1つを前記電圧制御手段の前記入力と選択的に結合するための手段と

を備える、回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0122

【補正方法】変更

【補正の内容】

【0122】

[00138]本開示およびそれらの利点が詳細に説明されてきたが、添付の特許請求の範囲によって定義される本教示の技術から逸脱することなく、種々の変更、置換、および代替が、本明細書で行われ得ることが理解されるべきである。例えば、「上 (above)」および「下 (below)」といった相関用語が、基板または電子デバイスに関して使用される。当然ながら、基板または電子デバイスが反転している場合、上が下になり、逆もまた同様である。追加的に、横向きに傾けられている場合、上および下は、基板または電子デバイスの両端を指し得る。さらに、本願の範囲は、本明細書において説明されたプロセス、機械、製造物、組成物、手段、方法およびステップの特定の構成に限定されるようには意図されない。当業者が本開示から容易に理解するように、本明細書に説明された対応する構成と実質的に同じ機能を実行する、または実質的に同じ結果を達成する、既存の、または後に開発されるプロセス、機械、製造物、組成物、手段、方法、またはステップは、本開示に従って利用され得る。したがって、添付の特許請求の範囲は、このようなプロセス、機械、製造物、組成物、手段、方法、またはステップを、その範囲内に含むように意図される。

以下に本願の出願当初の特許請求の範囲に記載された発明を付記する。

[書類名] 特許請求の範囲

[C 1]

回路であって、

各々が電圧制御信号を受信することと、調整された電圧信号を出力することとを行うように構成された複数のレギュレータ回路、各レギュレータ回路は、制御電圧を記憶するための電圧制御ノードと結合されたキャパシタを備える、と、

前記複数のレギュレータ回路の前記電圧制御ノードと結合された出力を有する電圧制御回路、前記電圧制御回路は、前記複数のレギュレータ回路の前記制御電圧を設定するために、前記複数のレギュレータ回路から出力された調整された電圧信号を感知することと、前記電圧制御信号を出力することとを行うように構成された入力に有する、と、

前記電圧制御回路の前記出力を前記複数のレギュレータ回路の前記電圧制御ノードのうちの選択された1つと選択的に結合するように構成されたスイッチの第1のセットと、

前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの選択された1つを前記電圧制御回路の前記入力と選択的に結合するように構成されたスイッチの第2のセットと

を備える、回路。

[C 2]

前記電圧制御回路のノードをプリチャージするための、前記複数のレギュレータ回路の少なくとも1つの電圧制御ノードと結合されたバッファ回路入力および前記電圧制御回路と結合されたバッファ回路出力を有する少なくとも1つのバッファ回路をさらに備える、C 1に記載の回路。

[C 3]

前記電圧制御回路の前記出力をプリチャージするため、複数のバッファ回路を通して、前記複数のレギュレータ回路の前記電圧制御ノードを前記電圧制御回路の前記出力と選択的に結合するように構成されたスイッチの第3のセットをさらに備える、C 2に記載の回路。

[C 4]

前記複数のレギュレータ回路の前記電圧制御ノードを前記少なくとも1つのバッファ回路の入力端子と選択的に結合するように構成されたスイッチの第3のセット、前記少なくとも1つのバッファ回路の出力端子は、前記電圧制御回路の前記出力に結合される、をさらに備える、C 2に記載の回路。

[C 5]

前記少なくとも1つのバッファ回路は、第1の時間間隔の間、前記電圧制御回路の前記出力と結合され、前記複数のレギュレータ回路の前記電圧制御ノードのうちの前記選択された1つは、前記第1の時間間隔に続く第2の時間間隔の間、スイッチの前記第1のセットのうちの一つを通して、前記電圧制御回路の前記出力と結合され、および前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの前記選択された1つは、前記第1の時間間隔および前記第2の時間間隔にオーバーラップする第3の時間間隔の間、スイッチの前記第2のセットのうちの一つを通して、前記電圧制御回路の前記入力と結合される、C 2に記載の回路。

[C 6]

少なくとも1つのバッファ回路、前記少なくとも1つのバッファ回路は、前記電圧制御回路と前記レギュレータ回路との間のルーティング分離(routing separation)を提供するための前記電圧制御回路出力と結合されたバッファ回路入力および前記複数のレギュレータ回路のうちの一つに結合されたバッファ回路出力を有する、をさらに備える、C 1に記載の回路。

[C 7]

前記少なくとも1つのバッファ回路は、トランジスタの第2の端子と前記トランジスタの第1の端子との間に結合された電流調整ループ、前記電流調整ループは、複数のミラートランジスタを含む、を備える、C 6に記載の回路。

[C 8]

各レギュレータ回路は、前記レギュレータの前記出力において、前記調整された電圧信号を設定するための電圧制御ループにおいて構成されたバッファ回路出力および前記制御電圧を受信するための前記電圧制御ノードに結合されたバッファ回路入力を有するバッファ回路をさらに備える、C 1に記載の回路。

[C 9]

複数のクロック間隔、スイッチの前記第1のセットは、第1のクロック間隔の間、前記電圧制御回路の前記出力を前記電圧制御ノードのうちの前記選択された1つと選択的に結合し、スイッチの前記第2のセットは、少なくとも第2のクロック間隔の間、前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの前記選択された1つを前記電圧制御回路の前記入力と選択的に結合する、前記第2のクロック間隔は、前記第1のクロック間隔にオーバーラップする、をさらに備える、C 1に記載の回路。

[C 10]

前記電圧制御回路は、前記複数のレギュレータ回路から前記調整された電圧信号のうちの前記選択された1つおよびフィードバック電圧信号を提供するように構成された出力を

受信するための、前記第 2 の複数のスイッチと結合された入力を有する抵抗器デバイダ回路を備える、C 1 に記載の回路。

[C 1 1]

前記抵抗器デバイダ回路は、前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの前記選択された 1 つに基づいて抵抗値を調整するための可変抵抗要素を備える、C 1 0 に記載の回路。

[C 1 2]

前記電圧制御回路は、
前記フィードバック電圧信号を受信するための前記抵抗器デバイダ回路と結合された第 1 の入力と、
基準電圧信号を受信するように結合された第 2 の入力と、
前記フィードバック電圧信号を前記基準電圧信号と比較することに基づいて前記電圧制御信号を生成するための出力と
を含む増幅器をさらに備える、C 1 0 に記載の回路。

[C 1 3]

前記複数のレギュレータ回路のうち第 1 の 1 つから出力された第 1 の調整された電圧信号は、前記複数のレギュレータ回路のうち第 2 の 1 つから出力された第 2 の調整された電圧信号とは異なる、C 1 に記載の回路。

[C 1 4]

前記電圧制御回路、スイッチの前記第 1 のセットおよびスイッチの前記第 2 のセットは、前記複数のレギュレータの各々に関して、電圧調整ループを形成し、前記電圧調整ループは、前記複数のレギュレータ回路の前記電圧制御ノードの前記制御電圧を調整するように構成される、C 1 に記載の回路。

[C 1 5]

前記電圧調整ループは、異なる時間間隔において、前記複数のレギュレータ回路の各々に対して離散時間電圧調整ループを形成する、C 1 4 に記載の回路。

[C 1 6]

1 つまたは複数のレギュレータ回路は、電流制御回路をさらに備える、C 1 に記載の回路。

[C 1 7]

前記電流制御回路は、各レギュレータに関して、連続時間電流調整ループを形成し、ここにおいて、前記電流制御回路は、前記電圧制御回路の応答時間よりも早い応答時間を有する、C 1 6 に記載の回路。

[C 1 8]

前記電流制御回路は、
選択されたレギュレータ回路に関して入力電圧を受信するための第 1 の端子、調整された出力電圧を前記選択されたレギュレータ回路の出力ノードに提供するための第 2 の端子、および制御端子を有するパストランジスタと、
前記レギュレータ回路の前記出力において、前記パストランジスタの前記第 2 の端子と結合された第 1 の端子、前記選択されたレギュレータ回路の前記出力ノードにおいて、負荷電流と相互補完的であるループ電流を出力するための第 2 の端子、および前記電圧制御回路から前記電圧制御信号を受信するための制御端子を有する電流感知トランジスタと、
前記電流感知トランジスタの前記第 2 の端子と前記パストランジスタの前記制御端子との間に結合された電流調整ループ、前記電流調整ループは、複数の電流ミラーおよび 1 つまたは複数の電流総和回路を備える、
を備える、C 1 6 に記載の回路。

[C 1 9]

前記複数のレギュレータ回路は、線形レギュレータ回路である、C 1 に記載の回路。

[C 2 0]

前記複数のレギュレータ回路は、スイッチングレギュレータ回路である、C 1 に記載の

回路。

[C 2 1]

少なくとも1つのスイッチングレギュレータ回路は、
前記電圧制御ノードに結合された入力を有する比較器と、
少なくとも1つのスイッチングトランジスタと、
前記少なくとも1つのスイッチングトランジスタの端子に結合されたインダクタと
を備える、C 2 0 に記載の回路。

[C 2 2]

電流および前記比較器の第2の端子に結合された出力を感知するように構成された入力を有する電流制御回路をさらに備える、C 2 1 に記載の回路。

[C 2 3]

方法であって、
複数のレギュレータ回路の各々から出力された調整された電圧信号を生成すること、
ここで、各レギュレータ回路は、制御電圧を記憶するための電圧制御ノードと結合されたキャパシタを備える、と、
前記複数のレギュレータ回路から出力された前記調整された電圧信号のうちの選択された1つを電圧制御回路の入力と選択的に結合することと
前記電圧制御回路の出力からの電圧制御信号を出力することと、
前記電圧制御回路の前記出力を前記複数のレギュレータ回路の前記電圧制御ノードのうちの選択された1つと選択的に結合することと
を備え、
ここで、各レギュレータ回路は、前記制御電圧に設定するために前記電圧制御信号を受信することと、対応する調整された電圧信号を出力することを行うように構成される、

方法。

[C 2 4]

回路であって、
調整された電圧を作り出すための複数のレギュレータ手段、各レギュレータ手段は、電圧制御信号を受信することと、調整された電圧信号を出力することを行うように構成され、各レギュレータ手段は、電圧制御ノード上で制御電圧を記憶するための手段を備える、と、

前記複数のレギュレータ手段の前記電圧制御ノードと選択的に結合された入力を有する前記複数のレギュレータ手段を制御するための電圧制御手段、前記電圧制御手段は、前記複数のレギュレータ手段の前記制御電圧を設定するために、前記複数のレギュレータ手段から出力された調整された電圧信号を感知することと、前記電圧制御信号を出力することを行うように構成された入力を有する、と、

前記電圧制御手段の前記出力を前記複数のレギュレータ手段の前記電圧制御ノードのうちの選択された1つと選択的に結合するための手段と、

前記複数のレギュレータ手段から出力された前記調整された電圧信号のうちの選択された1つを前記電圧制御手段の前記入力と選択的に結合するための手段と
を備える、回路。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No

PCT/US2017/017726

A. CLASSIFICATION OF SUBJECT MATTER INV. G05F1/46 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G05F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2012/329509 A1 (RAVICHANDRAN KRISHNAN [US] ET AL) 27 December 2012 (2012-12-27) the whole document	1, 2, 23, 24
A	----- WO 2009/044231 A2 (LIU CHINGHSIUNG [CA]) 9 April 2009 (2009-04-09) paragraph [0005] - paragraph [0011] -----	1-24
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family
Date of the actual completion of the international search 20 April 2017		Date of mailing of the international search report 29/05/2017
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Schobert, Daniel

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2017/017726

Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 2012329509	A1	27-12-2012	CN 103930848 A	16-07-2014
			EP 2724205 A2	30-04-2014
			JP 5816747 B2	18-11-2015
			JP 2014527213 A	09-10-2014
			JP 2016028336 A	25-02-2016
			KR 20140025535 A	04-03-2014
			TW 201301005 A	01-01-2013
			US 2012329509 A1	27-12-2012
			WO 2012177861 A2	27-12-2012

WO 2009044231	A2	09-04-2009	US 2010277140 A1	04-11-2010
			WO 2009044231 A2	09-04-2009

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ

(74)代理人 100184332

弁理士 中丸 慶洋

(72)発明者 ホ、ンガイ・イエウン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

(72)発明者 グアン、フア

アメリカ合衆国、カリフォルニア州 9 2 1 2 1 - 1 7 1 4、サン・ディエゴ、モアハウス・ドライブ 5 7 7 5

Fターム(参考) 5H430 BB01 BB05 BB09 BB11 EE06 EE09 EE12 EE17 FF02 FF13
GG08 GG17 HH03 JJ07